

dimanche 15 décembre 2019 20:14

Alexandre Parodi: TP d'électronique numérique MOS - Version Octobre 2013

### TP D'ÉLECTRONIQUE NUMÉRIQUE MOS

**ATTENTION : LES MOSFETS SONT EXTRÊMEMENT SENSIBLES À L'ÉLECTRICITÉ STATIQUE !**

- VOUS devez être **RELIÉ À LA MASSE** pour les manipuler;
- **TOUCHEZ LA TERRE** (e.g. châssis d'ordinateur) au début et avant chaque manipulation de MOS ;
- les trois **ÉLECTRODES D'UN MOSFET** doivent **tout le temps** être à des **POTENTIELS VOISINS** :
  - soit **RELIÉES ENTRE ELLES** :
    - ... enfoncées dans la **languette de mousse conductrice** pour stockage ;
    - ... ou saisies ensemble par une **pince** dont vous avez touché la partie métallique ;
    - ... ou posées sur le **tapis de mousse conductrice** relié à la masse.
  - soit **BRANCHÉES** au moyen d'une pince SUR LE MONTAGE **PRÉALABLEMENT TESTÉ**.

**Objectifs :** comprendre :

- les précautions de manipulation des composants et systèmes MOS.
- le fonctionnement des portes NOT CMOS, NOR NMOS ;
- le fonctionnement électrique (délai de propagation et consommation) des portes CMOS ;

**1. Réalisation du testeur et des stimulateurs (figure 1)**

a) Réaliser un testeur qui vérifie si une borne est à la masse (0), au plus alimentée (1) ou flottante (Z).

b) Réaliser les deux "stimulateurs" avec un bouton poussoir chacun (figure 1), et les vérifier au moyen du testeur.

**2. Réalisation d'une porte NOT NMOS (figure 1)**

a) Câbler la porte NOT sans le transistor.

b) vérifier que ses électrodes sont bien aux potentiels définis :  $V_{GS}=0V$  ou  $5V$  en appuyant sur le bouton,  $V_{DS}=0V$  et  $V_{DD}=5V$ .

**3. Test de la porte NOT NMOS (figure 1)**

a) Brancher le N-MOSFET BS170 au moyen de la pince, (le pôle + de la pile étant bien sûr débranché) ; Attention il y a deux sortes de MOSFETs dans le kit ! **Lisez le nom sur le boîtier !**

Attention au brochage (cf. figure ci-contre) ! Drain D et Source S ne sont pas symétriques dans ces MOSFETs !

b) Tester la porte après avoir rebranché la pile.

**4. Réalisation et test d'une porte NOR NMOS (figure 2)**

a) débrancher la pile, compléter la porte NOT vers la porte NOR en ajoutant les connexions pour mais **sans le deuxième transistor**, rebrancher la pile et **vérifier l'état électrique que ses électrodes auront** (cf. §2b).

b) débrancher la pile, brancher le deuxième transistor N-MOSFET BS170, rebrancher la pile et tester la porte.

**5. Réalisation et test d'une porte NOT CMOS (figure 3)**


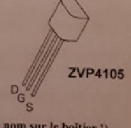
a) enlever le deuxième N-MOSFET avec une pince en court-circuitant ses pattes et les **replanter sur la languette de mousse plastique conductrice**, enlever la résistance de  $330\ \Omega$ .

b) effectuer les connexions pour le transistor P-MOSFET ZVP4105, vérifier les potentiels de ses électrodes (cf. 2b).

c) brancher le P-MOSFET ZVP4105 (Attention il y a deux sortes de MOSFETs ! **Lisez le nom sur le boîtier !**)

Attention au brochage (figure ci-contre) : **il est différent de celui du BS170 !**

d) tester le fonctionnement de la porte.

Alexandre Parodi: TP d'électronique numérique MOS - Version Octobre 2013

### 6. Étude du comportement dynamique de la porte NOT CMOS (figure 4)

Le but est d'observer le délai et l'évolution des courants d'alimentation de la porte dans des conditions normales où elle fournit un signal à une autre porte CMOS.

**a/ Espionnage des courants d'alimentation**

- Ajouter une LED jaune en série dans la connexion alimentation - source du P-MOSFET et une autre LED jaune dans la connexion source-masse du N-MOSFET pour espionner les courants d'alimentation;
- vérifier que la porte fonctionne toujours.

**b/ Ajout d'une porte NOT utilisatrice**

- connecter la sortie de la porte réalisée à l'entrée d'une porte NOT CMOS (entrée en broche 1, sortie en 2 ou entrée en broche 3, sortie en 4) d'un circuit intégré CMOS 6xNOT 74HC04 ou 74HC14 (cf. note 1).
- Vérifier que la cascade NOT (réalisée) suivie du NOT (74HC04) effectue bien la fonction identité.

**c/ Ralentissement du phénomène**

Le délai  $T_p$  de votre porte NOT =  $\alpha \cdot \tau$  avec  $\tau = r \cdot 2c$  (avec  $r$  = résistance Drain-Source du FET passant et  $2c$  = capacité d'entrée de la porte suivante, avec  $c$  = capacité Grille-canal d'un MOSFET) et est imperceptible.

Toutefois, en mettant un condensateur C1 en parallèle entre entrée et masse d'un MOSFET de la porte suivante sa capacité totale d'entrée de la porte suivante devient  $c' = 2c + C1 = C1$  si  $c \ll C1$ .

De plus, en plaçant une résistance en série R6 avec le drain d'un MOSFET de la porte, sa résistance drain-source devient :  $r' = r + R6 = R6$  si  $r \ll R6$ . Même effet en plaçant une seule résistance R6 en série sur la sortie.

Pour  $R6 = 330\ \Omega$  et  $C1 = 1000\ \mu F$ ,  $\tau = R6 \cdot C1 = 0,33\ s$  et  $T_p$  monte à une fraction de seconde, perceptible à l'œil nu.

- Ajouter la résistance  $R6 = 330\ \Omega$  en série entre la sortie de votre porte et l'entrée de la suivante; ( $R6$  limite aussi le courant important qui dure maintenant longtemps et peut donc être destructeur ...)
- Ajouter un condensateur  $C1 = 1000\ \mu F$  en // sur l'entrée de la porte suivante (+ sur entrée et - à la masse).

d) Noter et expliquer le **retard perceptible** de votre porte pour un front montant et descendant en entrée.

e) Noter et expliquer l'allumage des LEDs jaunes de votre porte; **consomme t-elle** depuis l'alimentation, et **quand** ?

### 7. Démontage

a) Démontez les transistors avec une pince en court-circuitant leurs pattes et les **replanter sur les côtés de la languette de mousse plastique conductrice** du kit MOS.

b) Démontez **délicatement** le circuit Intégré CMOS 74HC04 en **faisant attention de ne pas tordre ses broches** et le replanter sur la mousse plastique conductrice au dos du kit MOS.

c) Démontez et ranger les autres composants dans la boîte **EN LES TRIANT !**

1 La très classique série civile 74 de circuits intégrés DIL, logiques modulaires standards SSI et MSI (originaires de Texas Instruments en 1964) a connu de nombreuses variantes.