



SPÉCIFICATION DES CIRCUITS INTÉGRÉS

TÉLÉCOM NANCY

Slaviša Jovanović et Yves Berviller

{slavisa.jovanovic,yves.berviller}@univ-lorraine.fr
<http://www.ijl.univ-lorraine.fr/>

10 janvier 2022

OBJECTIFS ET CONTENU DU MODULE

- L'objectif principal de ce cours est de, à partir d'un cahier des charges initial, concevoir un circuit numérique en VHDL synthétisable et le tester sur une plate-forme FPGA
- → Développer, simuler, réaliser et programmer un microcontrôleur RISC *ex-nihilo*

Pour ce faire, vous allez apprendre :

- Les bases de la conception d'un circuit numérique (combinatoire et/ou séquentiel)
- Le langage de description de matériel VHDL
- Altera Quartus FPGA software development tools
- spécifier des composants en langage VHDL
- simuler des composants en VHDL
- optimiser la synthèse

OBJECTIFS ET CONTENU DU MODULE

- maîtriser les architecture et fonctionnement des FPGA
- prédire performances et ressources nécessaires
- produire les fichiers de configuration par synthèse automatique

Contenu du cours :

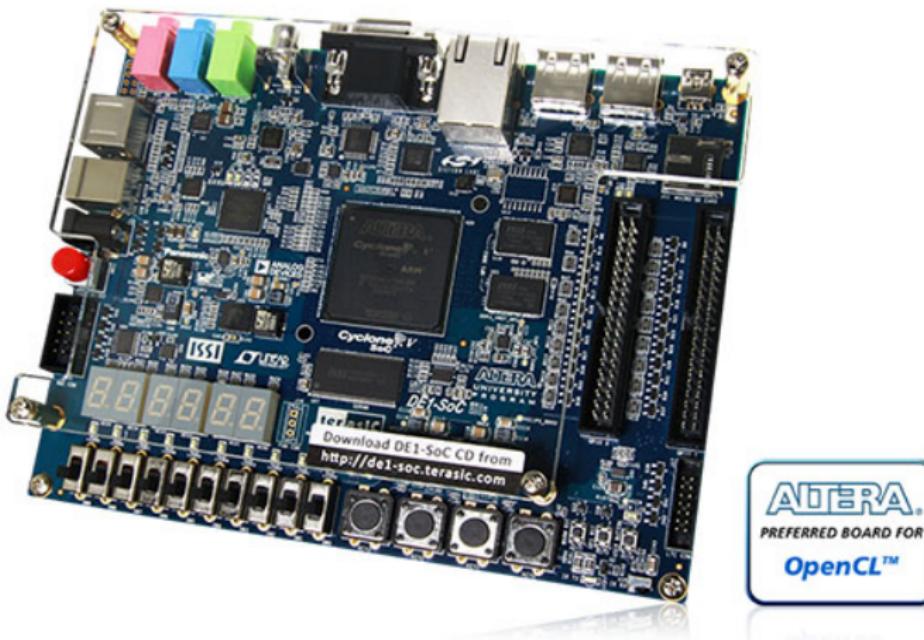
- Introduction aux circuits intégrés
- Circuits intégrés programmables : FPGA, CPLD
- Processus de développement
- Le langage de spécification de matériel VHDL.
- Spécification des composants en VHDL :
 - ▷ multiplexeur, additionneur, registres, compteur, bloc de registres ;
- L'objectif principal :

OBJECTIFS ET CONTENU DU MODULE

- ▷ être capable de réaliser un circuit numérique de faible complexité en technologie FPGA et de l'optimiser par rapport aux différentes contraintes : taille (coût) et vitesse
- Prérequis :
 - ▷ Logique booléenne, électronique numérique de base

OBJECTIFS ET CONTENU DU MODULE

Plateforme de test : Altera DE1-SoC + Altera Quartus 21.0



INFORMATIONS SUR LE COURS

- Cours/TD/TP : 48h (24 séances)

- Cours/TD/TP : S. Jovanović et Y. Berviller
slavisa.jovanovic@univ-lorraine.fr
yves.berviller@univ-lorraine.fr
Institut Jean Lamour, N2EV - MAE

- Salle cours & TD : Salles Télécom

- Adresse web interne : ARCHE Spécification des Circuits Intégrés

- Manuels : les diapos du cours

RÉFÉRENCES

-  Pong P Chu, *RTL hardware design using VHDL : coding for efficiency, portability, and scalability*, John Wiley & Sons, 2006.
-  Jacques Weber and Sébastien Moutault, *Le langage VHDL : du langage au circuit, du circuit au langage-4e édition : Cours et exercices corrigés*, Dunod, 2011.

Contrôle des connaissances

- Évaluation terminale = 75%
 - Examen final, au mois de mai
- Évaluation continue = 25%
 - devoirs à rendre
- Note finale :
 - $N = N_E * 0.75 + N_D * 0.25$

SOMMAIRE

1 Introduction

- Motivations
- Histoire des semiconducteurs
- Circuits intégrés
- Conception de circuits intégrés numériques

MOTIVATIONS

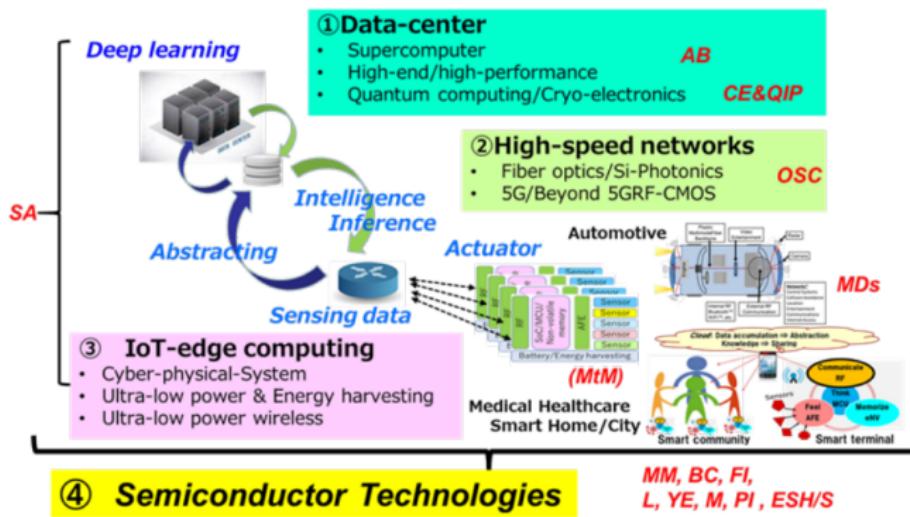
MARCHÉ MONDIAL DE L'ÉLECTRONIQUE PAR SEGMENTS



. Source : DECISION March 2013 (Embedded Systems)

MOTIVATIONS

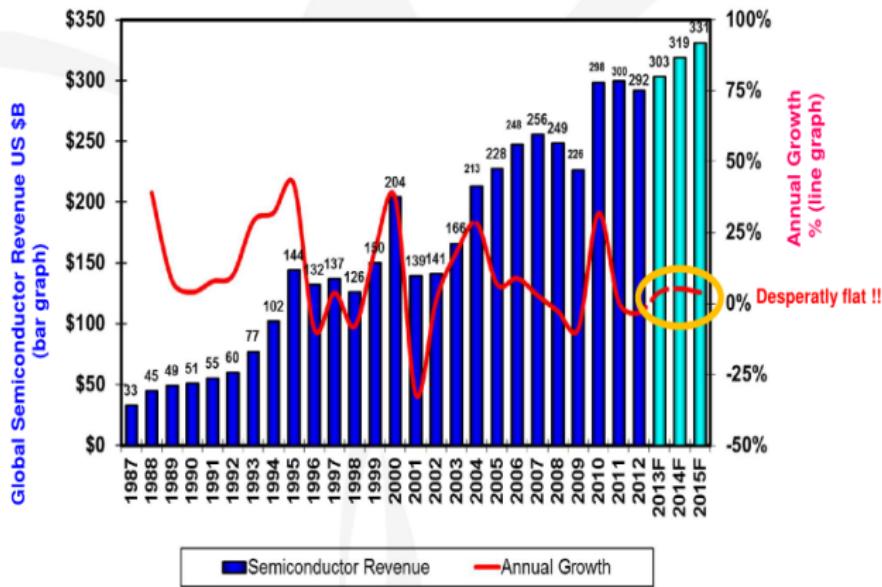
DOMAINES D'APPLICATIONS



AB: Applications Benchmarking, SA: Systems and Architecture, OSC: Outside system Connectivity, MM: More Moore, BC: Beyond CMOS, CE&QIP: Cryogenics Electronics and Quantum Information Processing, PI: Packaging Integration, FI: Factory Integration, L: Lithography, YE: Yield Enhancement, M: Metrology, ESH/S: Environment, Safety, Health, and Sustainability, MtM: More than Moore, MDs: Market drivers (automobile, medical devices).

MOTIVATIONS

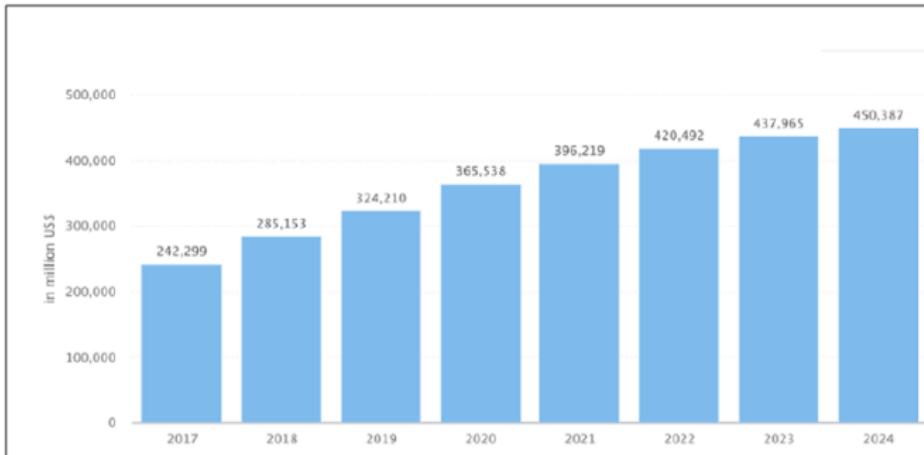
CYCLES DE L'INDUSTRIE DE SEMICONDUCTEURS



Source: SEMI 2013 : SIA/WSTS historical year end reports, WSTS

MOTIVATIONS

CYCLES DE L'INDUSTRIE DE SEMICONDUCTEURS

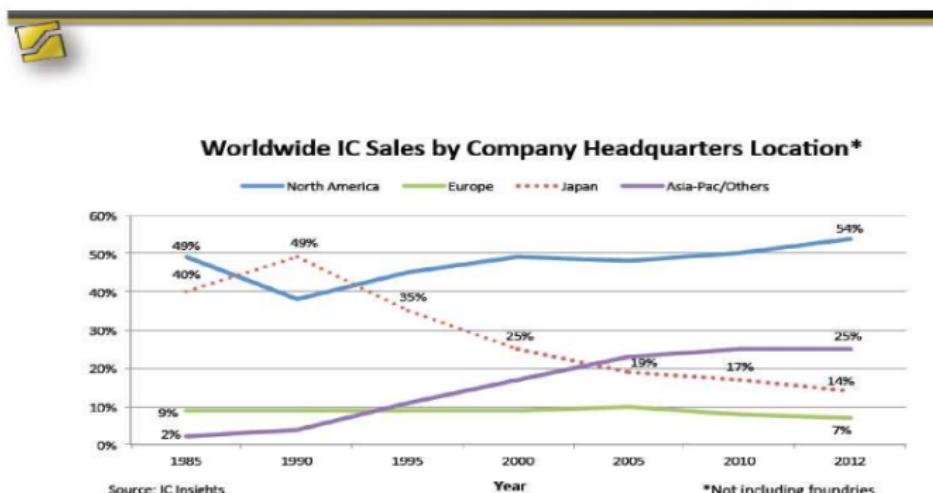


Source: Statista

Source : IRDS 2020

MOTIVATIONS

VENTES DE SEMICONDUCTEURS DANS LE MONDE



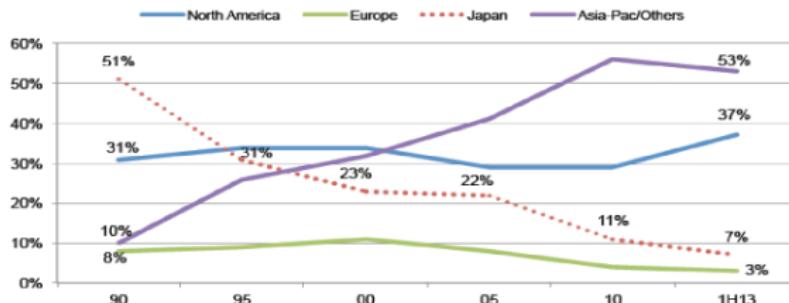
- L'Europe et le Japon en baisse

MOTIVATIONS

LA PRODUCTION DE SEMICONDUCTEURS DANS LE MONDE



Semiconductor Capital Expenditures by Region



Source: IC Insights

IC Insights

September 26, 2013

European Microelectronics Summit

- L'Europe et le Japon à la peine ...

MOTIVATIONS

CES - *chips for everything*



Infomotions



Reebok



Sports



Sony Tennis



ibitz

wearable devices



Fitbit, bitfit, fitfit ...



Instabeats



UV jewel



Interchangeable ehealth

MOTIVATIONS

CES - Internet of things



smartglasses



Fitbit for dogs



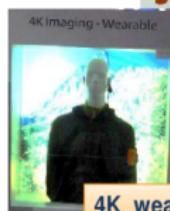
Smartwatches



IoT Cisco



Mother Sen.se



4K wearable



Smarthome



FAMIBOT

MOTIVATIONS

CES - other applications



Robots



AirDrones



SmartKeys



Brain sensing



Immersive Gaming



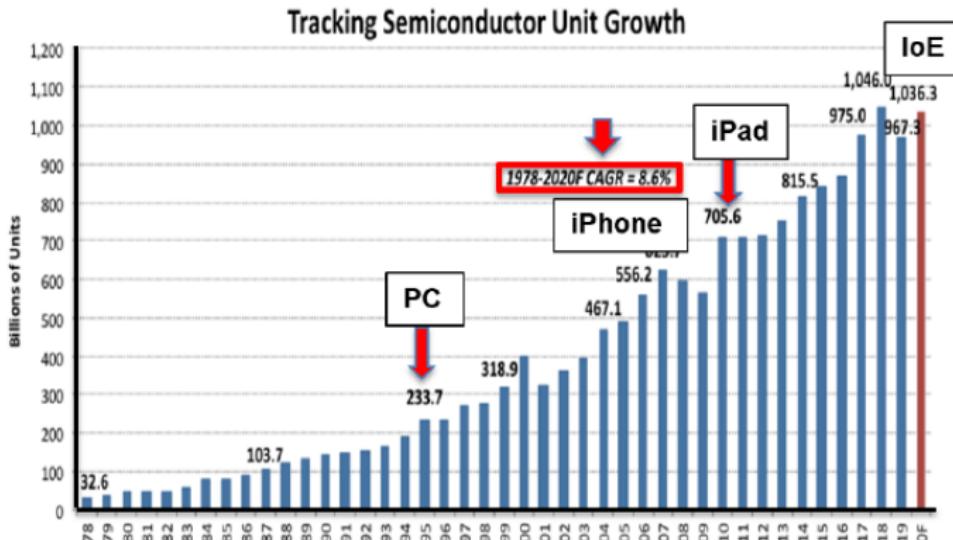
3D scanners



3D printers

MOTIVATIONS

PRODUCTION DES SEMICONDUCTEURS

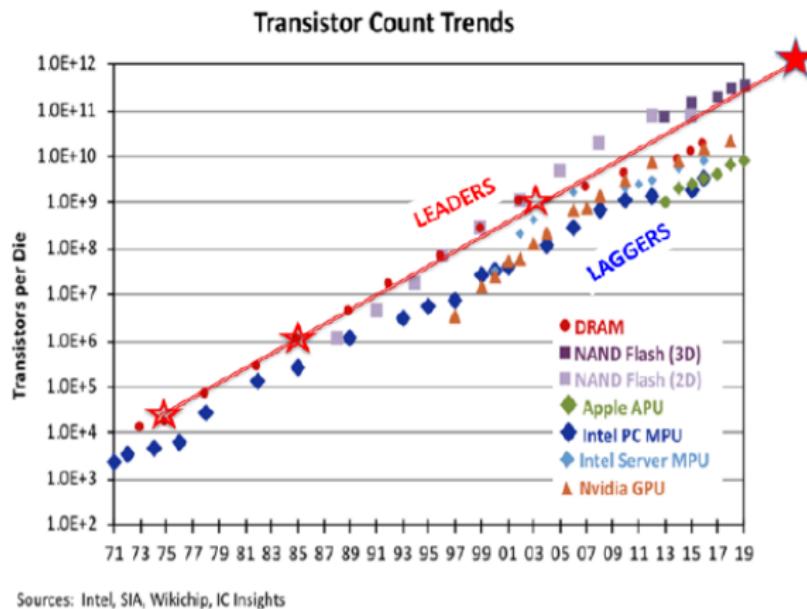


Source: IC Insights

Source : IRDS 2020

MOTIVATIONS

PRODUCTION DES SEMICONDUCTEURS



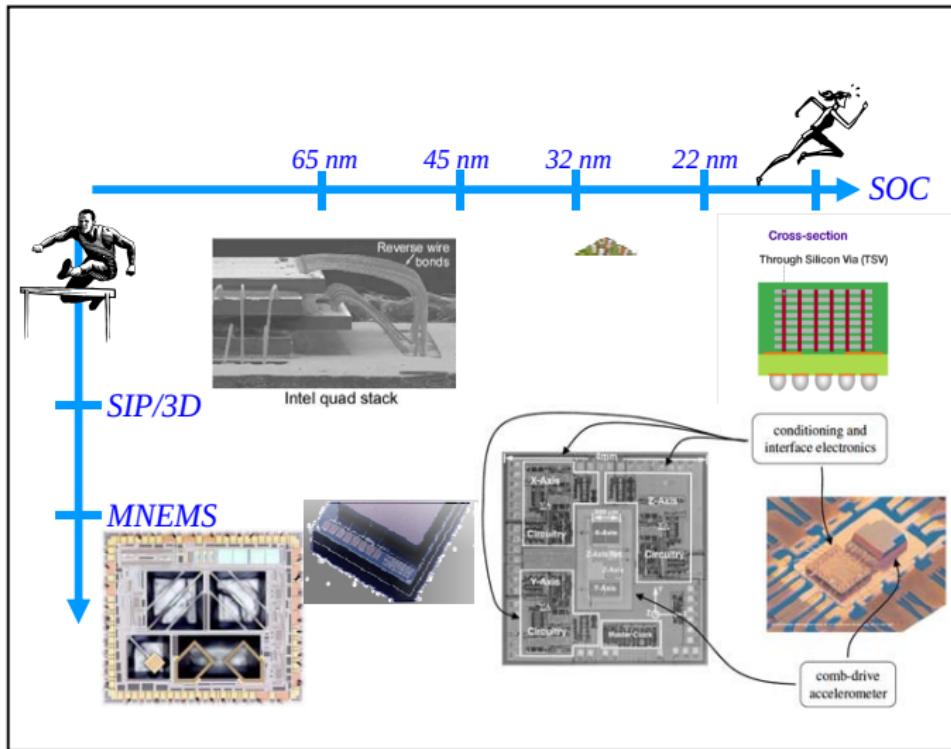
Source : IRDS 2020

MOTIVATIONS

DÉFIS À RELEVER

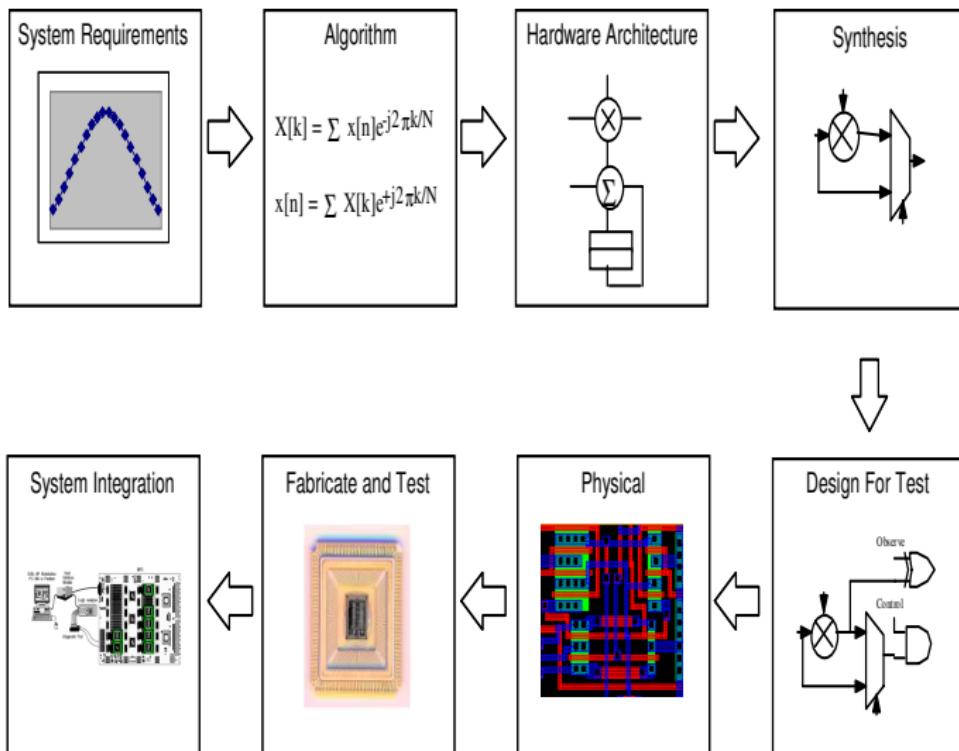
- De nouvelles puces plus performantes pour irriguer les nouveaux marchés de croissance
 - ▷ santé, sécurité, contrôle de l'énergie, objets communicants, ...
- Ruptures au niveau technologique au plan système
- Technologies *More than Moore* et *More Moore*
- marché européen : analogique et MEMS, RF, capteurs, FDSOI, ...
- Les CI : plus petit, moins cher, plus mobile, plus performant, plus fonctionnel, ...
- Les CI : plus fiable et plus autonome (consommation)
→ *energy harvesting*
- Va-t-on vers des circuits auto-alimentés ?
- La réponse dans quelques années !

MOTIVATIONS



MOTIVATIONS

DU CAHIER DES CHARGES À LA PUCE



SOMMAIRE

1 Introduction

- Motivations
- Histoire des semiconducteurs
- Circuits intégrés
- Conception de circuits intégrés numériques

PREMIER ORDINATEUR

ORDINATEUR MÉCANIQUE

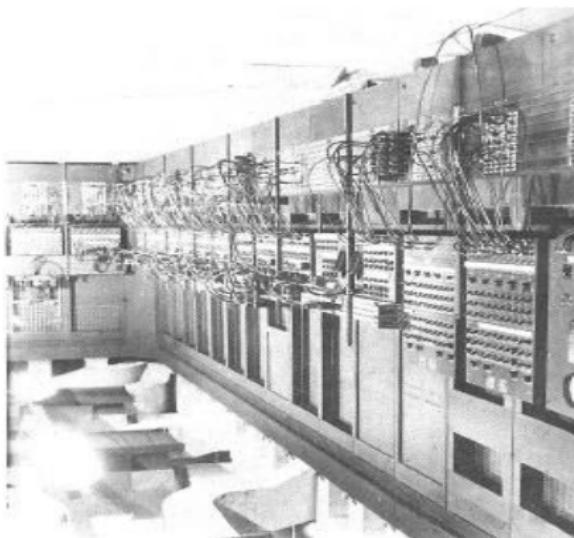


- 1832 : « *The Babbage Difference Engine* »
- 25,000 pièces
- coût 17,470 livres sterling

PREMIER ORDINATEUR

ORDINATEUR ÉLECTRONIQUE À TUBES À VIDE

- 1943 : ENIAC
 - ▷ 30 tonnes
 - ▷ 42 armoires de 3m de haut
 - ▷ $167 m^2$
 - ▷ 50 000 résistances
 - ▷ 10 000 condensateurs
 - ▷ 6 000 commutateurs
 - ▷ 17 468 tubes à vide
 - ▷ consommation : 174 KW
 - ▷ une famille/an \approx 7000 KWh
 - ▷ ENIAC en 40h de fonctionnement



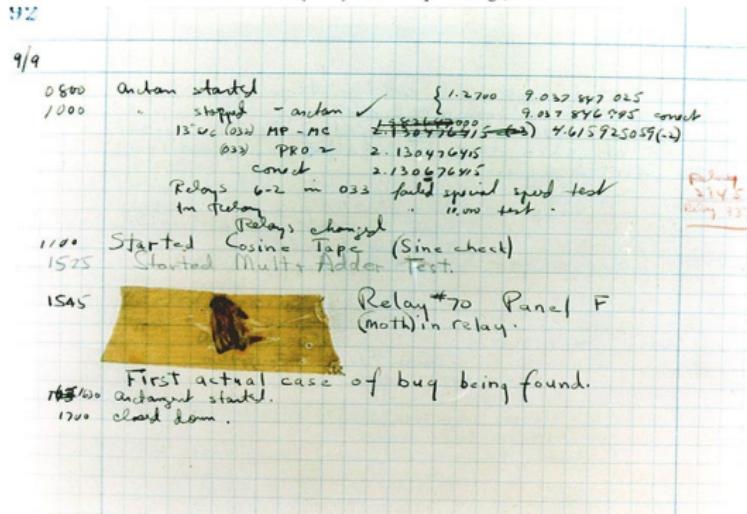


PREMIER ORDINATEUR

ORDINATEUR ÉLECTRONIQUE À L'ORIGINE DU *bug*

- 1945 : Harvard Mark II
 - ▷ Premier BUG

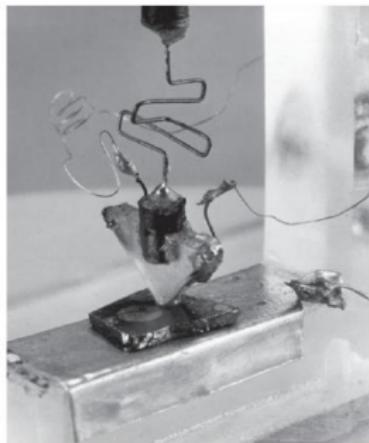
Photo # NH 96566-KN (Color) First Computer "Bug", 1947



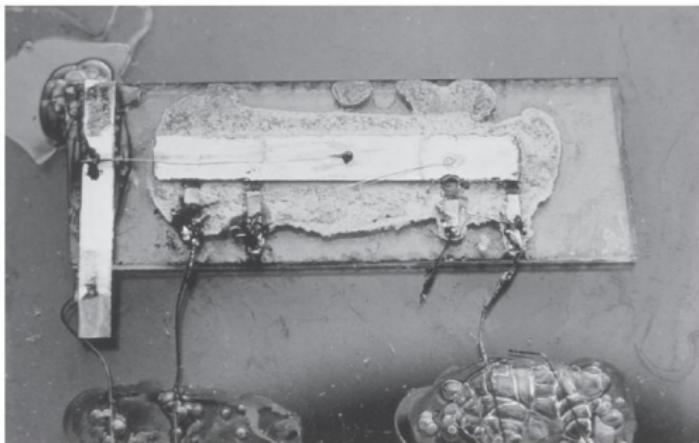
TRANSISTOR BIPOLAIRE

INTRODUCTION

- Invention du transistor en 1947 - *Bell labs*
(Bardeen, Brattain et Shockley)
 - ▷ fiable
 - ▷ moins susceptible au bruit
 - ▷ faible consommation par rapport aux tubes à vide
- Invention du premier circuit intégré (IC)



(a)

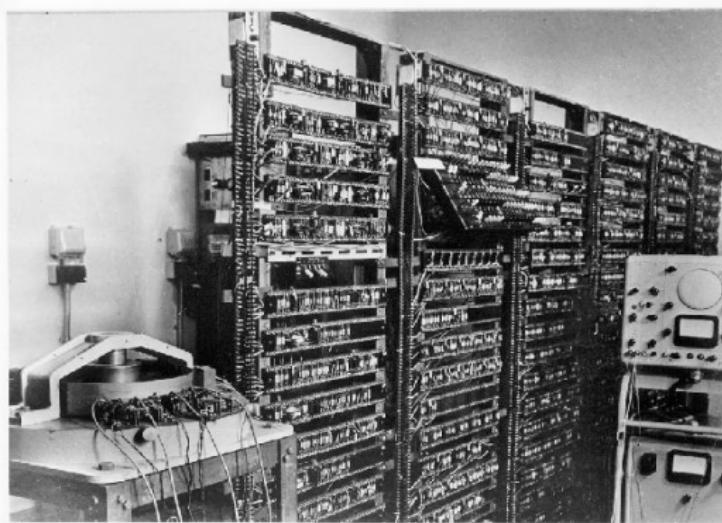


(b)

TRANSISTOR BIPOLAIRE

ORDINATEUR À TRANSISTORS BIPOLAIRES

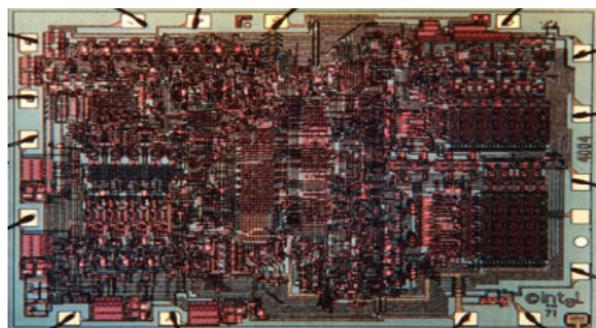
- 1953 : Ordinateur à transistors
 - ▷ 92 transistors
 - ▷ 550 diodes



TRANSISTOR À EFFET DE CHAMP

INTRODUCTION

- Réalisation du transistor à effet de champ (*MOS*) en 1963
 - ▷ moins rapide que le transistor bipolaire
 - ▷ plus efficient en consommation
- Deux types : NMOS et PMOS
- Au début PMOS était dominant, NMOS depuis 1970
- 1971 : INTEL 4004
 - ▷ Premier microprocesseur commercialisé
 - ▷ Fonctionne sur 4 bits
 - ▷ 2 250 NMOS transistors
 - ▷ technologie 10 μm
 - ▷ puissance d'un ENIAC
 - ▷ 740 KHz
 - ▷ alimentation 15V
 - ▷ 90 000 instructions / sec



TRANSISTOR CMOS

INTRODUCTION ET PROPRIÉTÉS

- CMOS (*Complementary Metal-Oxide Semiconductor*)
- MOS transistor inventé en 1935 par Oskar Heil
- Avancées technologiques permettent sa fabrication dans les années 80
- composé d'un NMOS + PMOS
- consommation statique presque 0
- consommation dynamique lors des transitions
 $0 \rightarrow 1$ et $1 \rightarrow 0$
- faible coût
- toujours moins rapide que la technologie TTL
- se prête bien à l'intégration à très grande échelle (VLSI)

TRANSISTOR CMOS

RÉVOLUTION MICROÉLECTRONIQUE

- Petit transistor
 - ▷ faible consommation
 - ▷ faible vitesse de propagation de signal → plus rapide
 - ▷ faible coût de fabrication
 - ▷ isolation naturelle
- coût de fabrication par cm^2
- plus le transistor est petit → plus de transistors au cm^2
→ plus le transistor est moins cher
- technologie de fabrication du processeur Intel 4004 : $10 \mu m$
- technologie actuelle 7 et $5 nm$ → annonces $3 nm$ pour 2022
- $\frac{10\mu m}{5nm} = 2000$
- conséquence : démocratisation totale des circuits VLSI et leur omniprésence dans tous les domaines d'applications

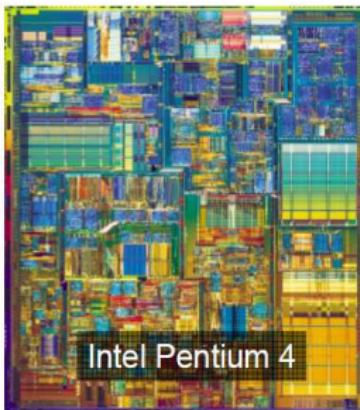
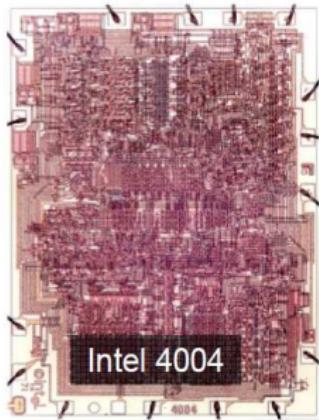
TRANSISTOR CMOS

RÉVOLUTION MICROÉLECTRONIQUE

- Intel a produit les circuits en technologie 14nm en début de 2014 → novembre 2014 processeur 5Y30 à base de FinFET de 2nde génération
- Chenming Hu, le co-inventeur du transistor FinFET :
« Nobody knows anymore what 16nm means or what 14nm means. »
- Certains considèrent que dernièrement ces chiffres ont été détournés à des fins commerciales
- Ces chiffres cachent les écarts au niveau des procédés technologiques des principaux fabricants de circuits
- Par exemple, pour la technologie 130nm, la longueur du canal des circuits Intel était de l'ordre de 70nm
 - ▷ *strain engineering*
 - ▷ nouveaux types d'isolants pour la réalisation de la grille
 - ▷ nouvelles structures de transistor (*FinFET, tri-gates,...*)
 - ▷ etc.

TRANSISTOR CMOS

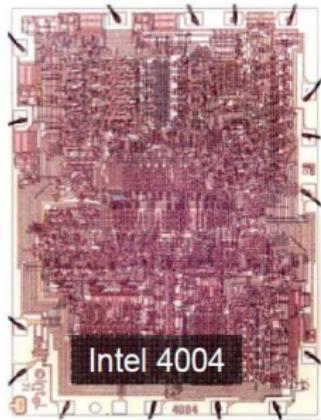
ÉVOLUTION



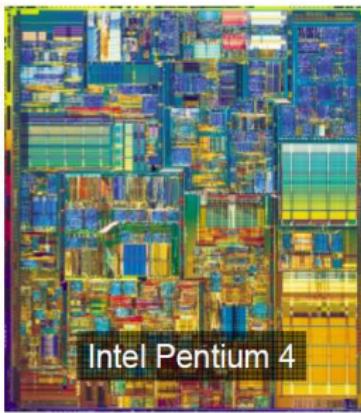
Year	1971	2001
Transistors	2,300	42,000,000
Speed (kHz)	108	2,000,000
CD (μm)	10.00	0.13

TRANSISTOR CMOS

ÉVOLUTION



Intel 4004

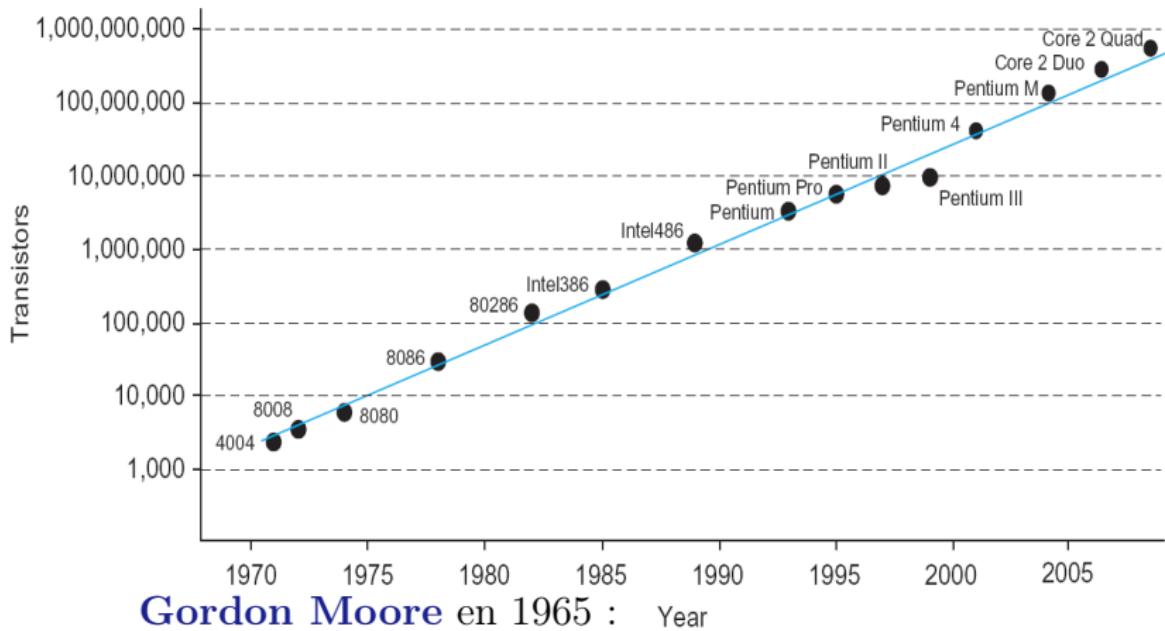


Intel Pentium 4

- Intel i7 Sandy Bridge-E :
 - ▷ 32 nm process technology
 - ▷ 8 coeurs physiques
 - ▷ 2270 million de transistors
 - ▷ paru en novembre 2011

- Intel i7 Ivy Bridge :
 - ▷ 22 nm
 - ▷ *Tri-gate* transistors
 - ▷ courants de fuite plus faibles
 - gain en consommation

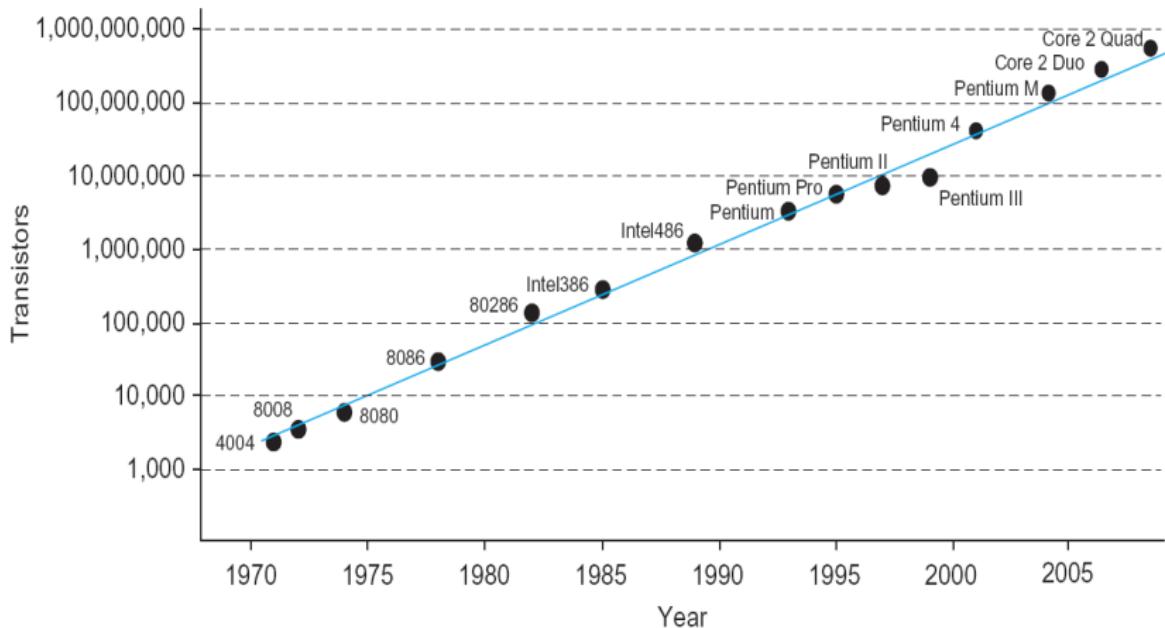
LOI DE MOORE



Gordon Moore en 1965 : Year

- Le nombre de transistors sur une puce double tous les 2 ans

LOI DE MOORE



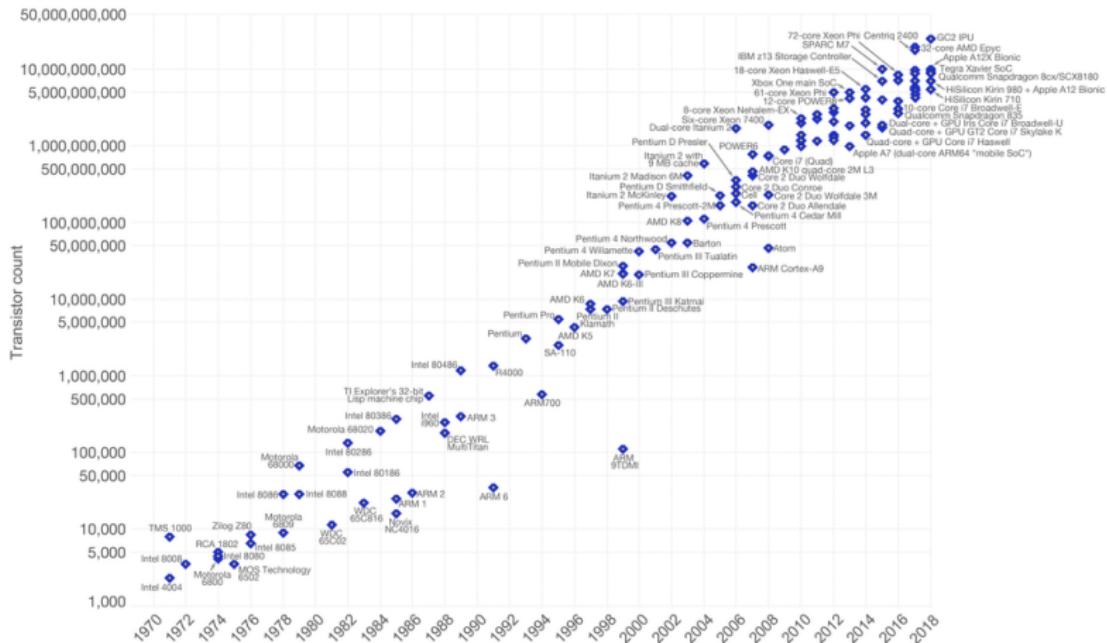
- Le nombre de transistors sur des processeurs Intel double tous les 26 mois

LOI DE MOORE

Moore's Law – The number of transistors on integrated circuit chips (1971-2018)

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important as other aspects of technological progress – such as processing speed or the price of electronic products – are linked to Moore's law.

Our World
in Data

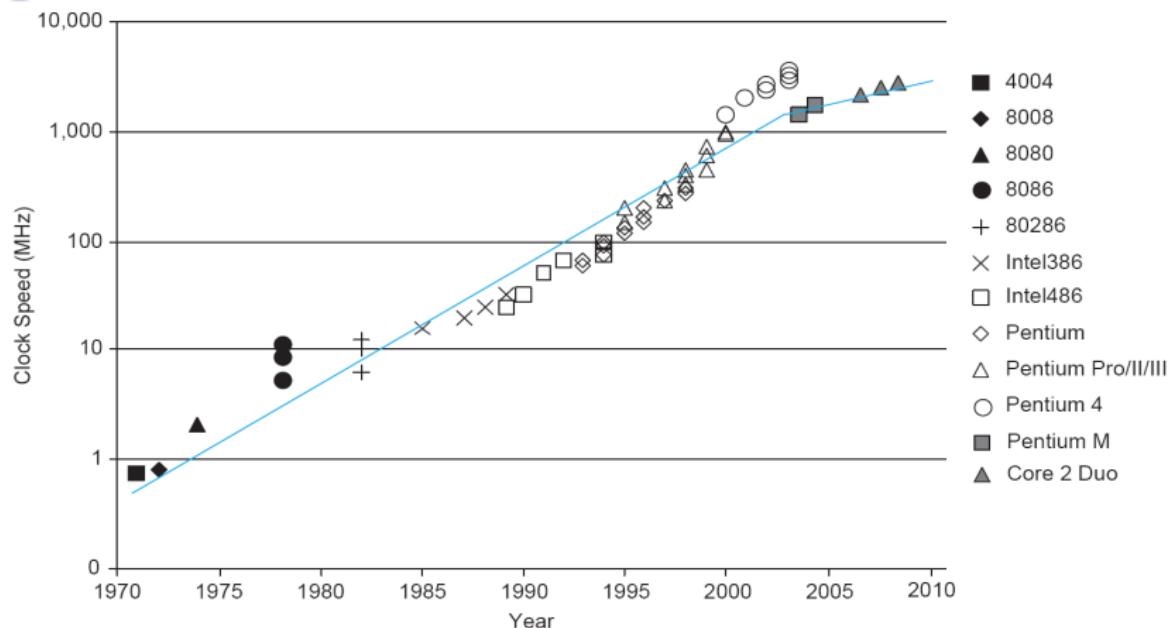


Data source: Wikipedia (https://en.wikipedia.org/wiki/Transistor_count)

This data visualization is available at OurWorldInData.org. There you find more visualizations and research on this topic.

Licensed under CC-BY-SA by the author Max Roser.

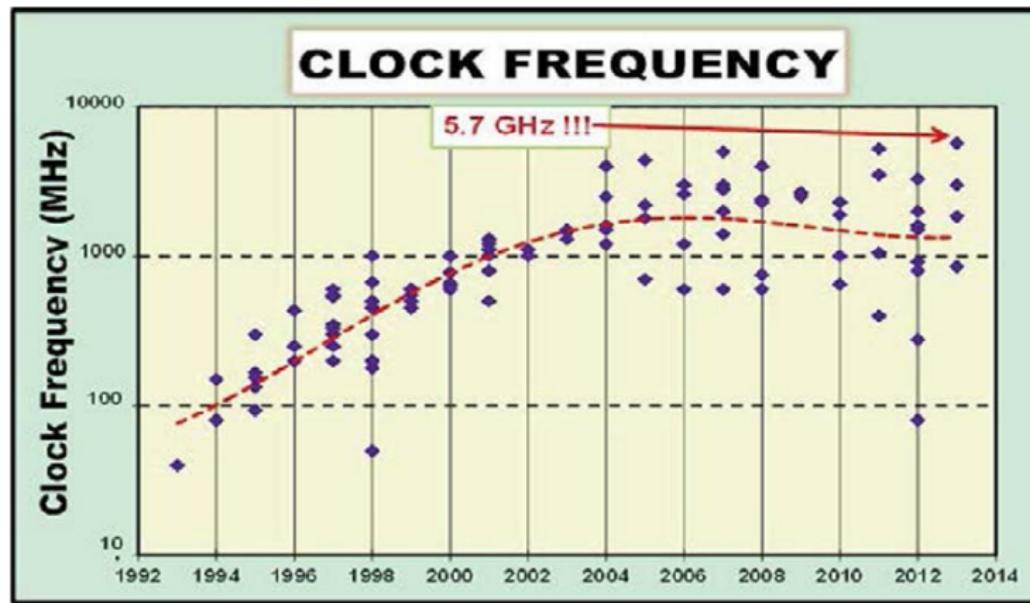
LOI DE MOORE II



- La fréquence de fonctionnement des processeurs Intel double tous les 36 mois

LOI DE MOORE II

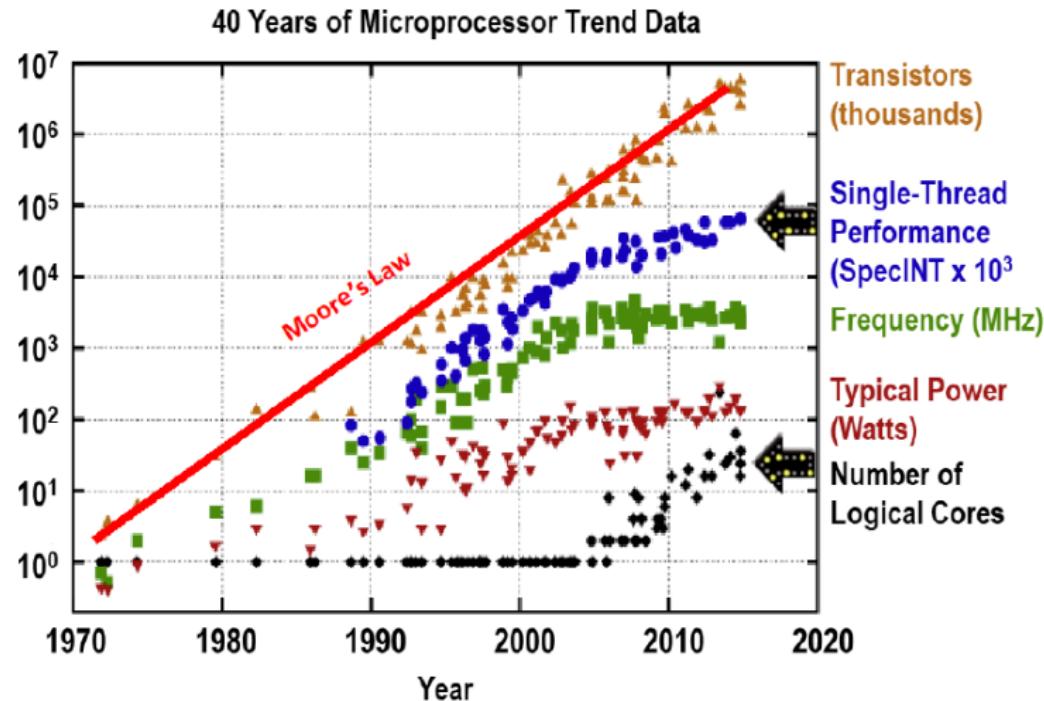
FRÉQUENCE



IEEE, ISSCC: Transistor's 60th year commemorative supplement

. Source : IRDS 2020

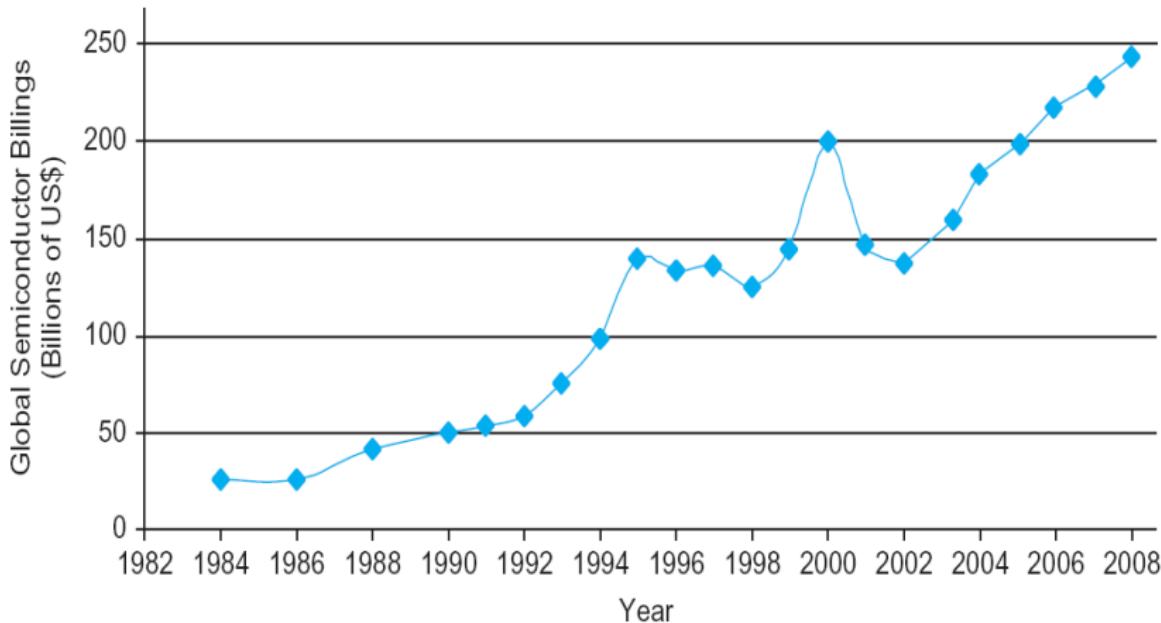
LOT DE MOORE II



. Source : IRDS 2020

ENJEUX ÉCONOMIQUES

MARCHÉ DES SEMICONDUCTEURS



- un marché très volumineux
- revenu total annuel de quelques centaines de milliards



SOMMAIRE

1 Introduction

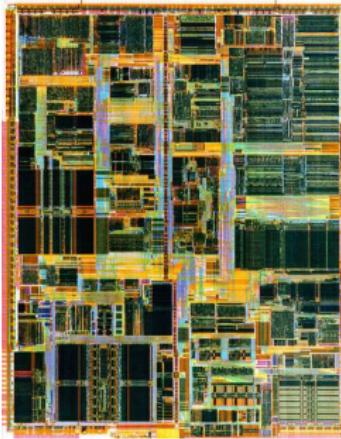
- Motivations
- Histoire des semiconducteurs
- Circuits intégrés
- Conception de circuits intégrés numériques

INTRODUCTION

DOMAINES D'APPLICATIONS

Digital
CPU,
Mémoire,
...

systèmes VLSI / SoC



DSP
Audio/video
Mpeg
...

Application
multimédia
Communication,
Calcul ...

MEMS
μcapteurs CCD ..
μtransformateurs ..
μrésonateurs ..

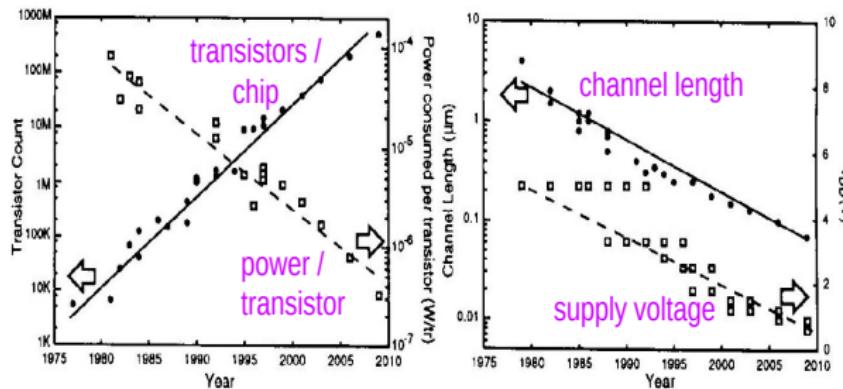
RF/ analogique
Filtres LNA,
mélangeurs,
VCO ...

Gestion
d'énergie
Convertisseurs,
régulateurs ..

TECHNOLOGIE CMOS

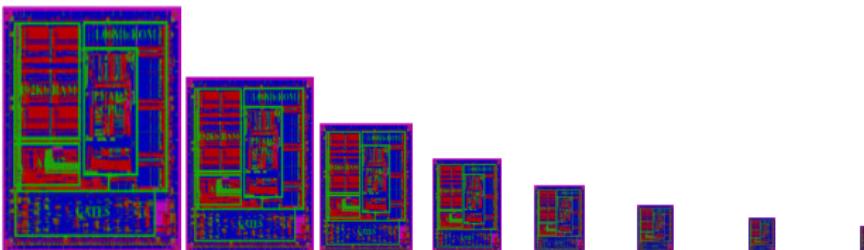
TENDANCES

- le nombre de transistors par chip en augmentation avec le temps
- puissance consommée/transistor en baisse avec le temps
- la longueur du canal diminue avec le temps
- la tension d'alimentation diminue avec le temps



TECHNOLOGIE CMOS

EXEMPLE D'ÉVOLUTION DANS LE DOMAINE DE LA TÉLÉPHONIE

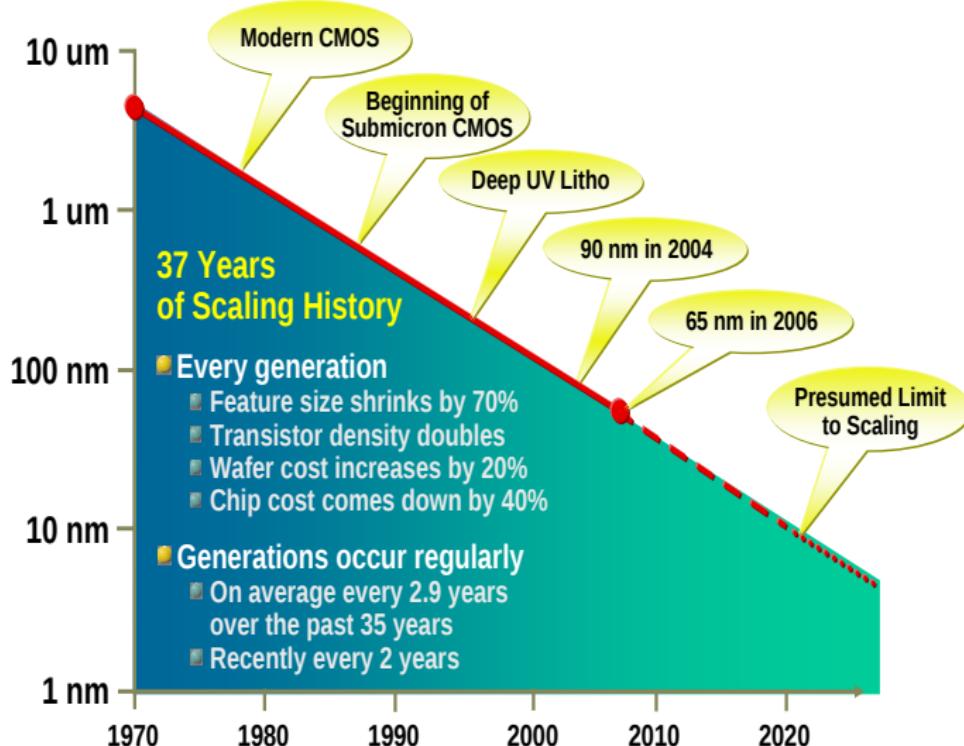


Year	1994	1997	1999	2000	2002	2004	2006	2008
Nano-meter	500nm	350nm	250nm	180nm	130nm	90nm	65nm	45nm
Wafer size	6"	8"	8"	8"	12"	12"	12"	12"
Die size (mm ²)	80.7	46.6	19.2	10.7	6.7	4.2	2.4	1.4
Dies per wafer	310	950	2550	4700	12,200	18,700	26,500	46,500

→ 150X increase in die per wafer →

TECHNOLOGIE CMOS

Technology Scaling



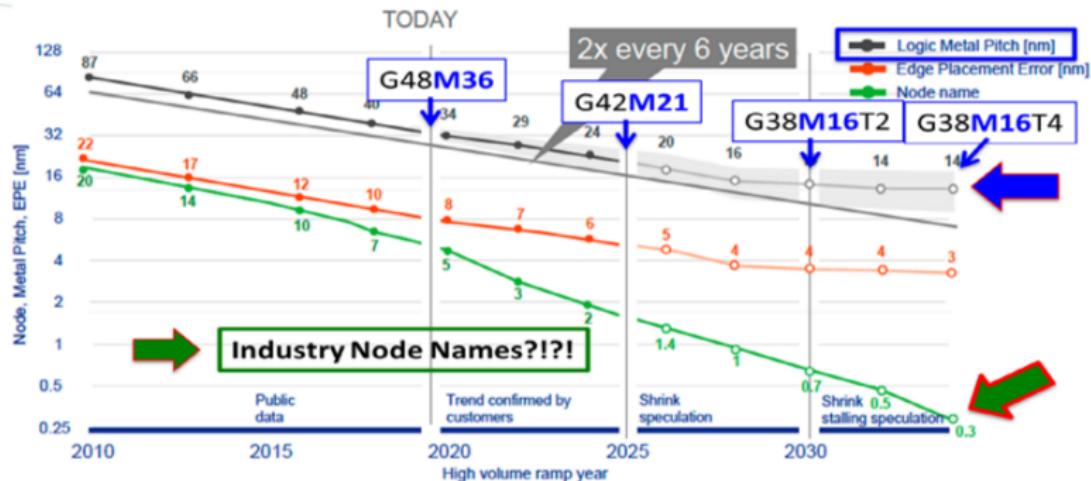
TECHNOLOGIE CMOS

Technology Scaling

Dimensional scaling continues another decade
Edge Placement Error reduction accordingly

ASML

Slide 14
IEDM Dec 2019



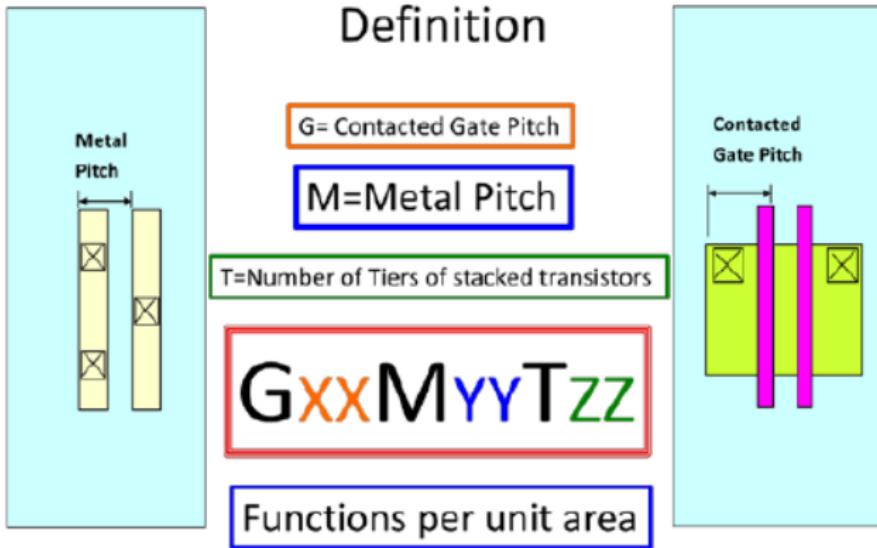
Source: Average customer roadmap 2019 extended by ASML extrapolation averaged with IDRS roadmap, IRDS, Mustafa Badaroglu, More Moore out brief, Nov. 2018 (International Roadmap for Devices and Systems)

Source : IRDS 2020

TECHNOLOGIE CMOS

Technology Scaling

NTRS/ITRS->IRDS Technology Node Definition



Source : IRDS 2020

TECHNOLOGIE CMOS

Technology Scaling

Logic/Foundry Process Roadmaps (for Volume Production)

	2015	2016	2017	2018	2019	2020	2021
Intel		14nm+	10nm (initial) 14nm++		10nm	10nm+	7nm EUV 10nm++
Samsung		28nm FDSOI	10nm	8nm	7nm EUV 6nm EUV	18nm FDSOI 5nm	4nm
TSMC	16nm+ finFET	10nm	7nm 12nm	7nm+ EUV	5nm 6nm	5nm+ 6nm	5nm+ 6nm
GlobalFoundries	14nm finFET		22nm FDSOI 12nm finFET		12nm FDSOI	12nm+ finFET	
SMIC	28nm			14nm finFET	12nm finFET	12nm finFET	
UMC		14nm finFET			22nm planar		

Note: What defines a process "generation" and the start of "volume" production varies from company to company, and may be influenced by marketing embellishments, so these points of transition should only be seen as very general guidelines.

Sources: Companies, conference reports, IC Insights

Source : IRDS 2020

TECHNOLOGIE CMOS

Technology Scaling

YEAR OF PRODUCTION	2020	2022	2025	2028	2031	2034
Logic industry "Node Range" labeling (nm)	G48M36	G46M24	G42M20	G40M16	G38M16T2	G38M16T4
IDM-Foundry node labeling	"5"	"3"	"2.1"	"1.5"	"1.0 eq"	"0.7 eq"
Logic device structure options	I7-f5	I5-f3	I3-f2.1	I2.1-f1.5	I1.5e-f1.0e	I1.0e-f0.7e
Mainstream device for logic	FinFET	FinFET LGAA	LGAA	LGAA	LGAA-3D	LGAA-3D
LOGIC TECHNOLOGY ANCHORS						
Patterning technology inflection for Mx interconnect	193i, EUV DP	193i, EUV DP	193i, EUV DP	193i, High-NA EUV	193i, High-NA EUV	193i, High-NA EUV
Beyond CMOS as complimentary to mainstream CMOS	-	-	-	2D Device, FeFET	2D Device, FeFET	2D Device, FeFET
Channel material technology inflection	SiGe25%	SiGe50%	SiGe50%	Ge, 2D Mat	Ge, 2D Mat	Ge, 2D Mat
Process, technology inflection	Conformal doping, Contact	Channel RMG	Lateral/Atomic Etch	Non-Cu Mx	3D VLSI	3D VLSI
Stacking generation inflection	2D	3D stacking: W2W, D2W Mem-on-Logic	3D stacking: W2W, D2W Mem-on-Logic	3D stacking, Fine-pitch stacking, P-over-N, Mem-on-Logic	3D stacking, 3D VLSI: Mem-on-Logic with Interconnect	3D stacking, 3D VLSI: Logic-on-Logic

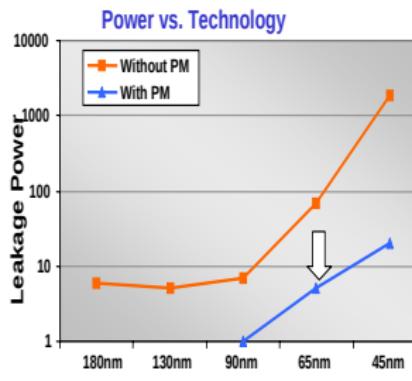
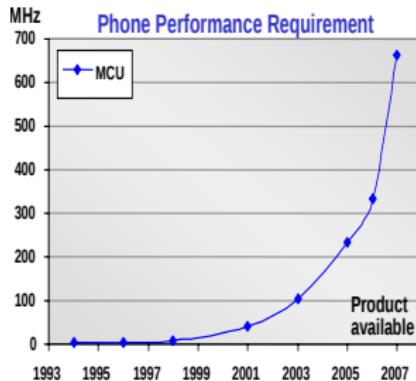
Note: Mx—Tight-pitch routing metal interconnect. IDM—Independent device manufacturer. FinFET—fin field-effect transistor. LGAA—lateral gate all around. EUV—extreme ultraviolet. NA—numerical aperture. Ge—germanium. SiGe—silicon germanium. RMG—replacement metal gate. VLSI—very large scale integration. W2W—wafer to wafer. D2W—die to wafer. Mem-on-Logic—memory on logic

Source : IRDS 2020

TECHNOLOGIE CMOS

CONSOMMATION

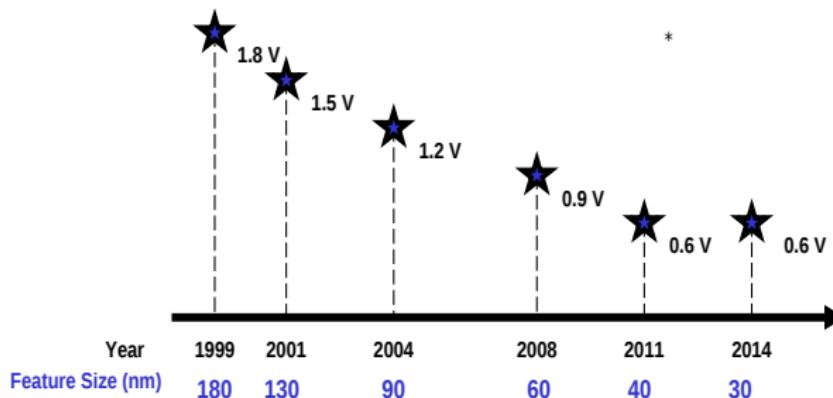
- $P = f(C, V^2, f, \text{Leakage})$
- C diminue avec les avancées technologiques
- V pratiquement constant, au niveau le plus bas possible (?)
- f augmente avec les avancées technologiques
- *Leakage* (courants de fuite) augmente avec les avancées technologiques et la température (qui augmente avec la puissance)



TECHNOLOGIE CMOS

TENSION D'ALIMENTATION

- Pronostics en 2000 par l'ITRS
- La technologie 65nm atteinte en 2006
- La technologie 45nm atteinte en 2008



TECHNOLOGIE CMOS

TENSION D'ALIMENTATION

Robert X. Cringely

If the automobile had followed the same development cycle as the computer, a Rolls-Royce would today cost \$100, get one million miles to the gallon, and explode once a year . . .

