

# 实验四 数字化交流电压表

## 实验报告

姓名：\_\_\_\_\_ 赵文亮 \_\_\_\_\_

学号：\_\_\_\_\_ 2016011452 \_\_\_\_\_

班级：\_\_\_\_\_ 自 64 \_\_\_\_\_

日期：\_\_\_\_\_ 2018 年 6 月 1 日 \_\_\_\_\_

# 目录

<b>1 实验目的</b>	<b>1</b>
<b>2 实验必做</b>	<b>1</b>
<b>3 实验选做</b>	<b>1</b>
<b>4 实验要求</b>	<b>2</b>
4.1 数字电路部分的设计和实现 . . . . .	2
4.2 模拟电路部分的设计和实现 . . . . .	2
4.3 正弦波峰-峰值的测量和显示 . . . . .	2
<b>5 预习要求</b>	<b>2</b>
5.1 基本原理 . . . . .	2
5.2 电路设计 . . . . .	3
5.2.1 模拟电路部分 . . . . .	3
5.2.2 数字电路部分 . . . . .	3
5.3 电路仿真 . . . . .	4
5.3.1 模拟电路部分 . . . . .	4
5.3.2 数字电路部分 . . . . .	7
5.4 电路布局 . . . . .	8
5.5 调试方案 . . . . .	8
<b>6 记录表格</b>	<b>9</b>
6.1 必做任务 . . . . .	9
6.2 选做任务 . . . . .	9
<b>7 硬件实验</b>	<b>10</b>
7.1 波形截图 . . . . .	10
7.2 实际电路 . . . . .	11
7.3 数据处理 . . . . .	12
<b>8 思考题</b>	<b>14</b>
<b>9 调试中的问题及解决</b>	<b>15</b>
9.1 数字电路部分 . . . . .	15
9.2 模拟电路部分 . . . . .	15
<b>A 图表索引</b>	<b>17</b>

# 1 实验目的

- 1. 熟悉小型电子系统的设计和实现；
- 2. 初步掌握小型电子系统的安装和调试方法；
- 3. 了解电压表性能指标意义，并尝试改进电路性能；
- 4. 熟练掌握基于 Multisim 的电路设计和仿真。

# 2 实验必做

设计并制作一个数字交流电压表，测量正弦波电压的峰-峰值。电路设计要求如下：

- 1. 被测正弦波峰-峰值的范围 1V~5V，频率范围 20 Hz~00Hz。
- 2. 用 FPGA 开发板上的三位数码管显示被测电压值。
- 3. 电压表的显示精度为 0.01V，如三位数码管显示“1.00”表示测得的峰-峰值为“1.00V”。
- 4. 测量误差： $\leq \pm 8\%$ 。
- 5. 输入阻抗： $\geq 10M\Omega$ 。

实验参考设计框图如图 1 所示。

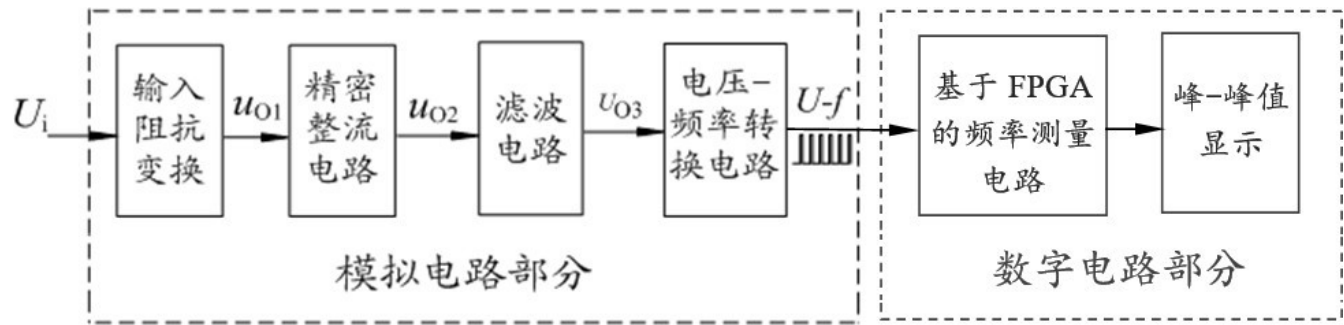


图 1: 实验电路参考设计框图

# 3 实验选做

输入峰-峰值为 0.1~1V 的正弦波，平均测量 10 组以上数据，据此分析电路的测量精度。并尝试着改进电路，提高电路的测量精度，要求平均测量 10 组以上数据。

## 4 实验要求

### 4.1 数字电路部分的设计和实现

数字电路部分实现基于 FPGA 的频率测量和显示。利用信号发生器输出频率为 100 Hz~500 Hz、占空比为 90% 的脉冲波。脉冲波的高电平应不高于 5V，低电平应不低于 -0.1V。利用 FPGA 开发板实现脉冲波的频率测量，并用三只数码管显示所测频率。

### 4.2 模拟电路部分的设计和实现

给出模拟电路部分的完整电路结构及参数设计，并完成必要的仿真。电路中的运算放大器可选用器件盒中的 LF347，利用第 14 周和 15 周的分组实验时间进行各单元电路的安装和调试，并完成模拟电路部分的联调。待测的正弦波信号由信号发生器给出。

### 4.3 正弦波峰-峰值的测量和显示

输入峰-峰值为 1~5V 的正弦波，平均测量 10 组以上输入信号峰-峰值和电压-频率转换电路输出的脉冲波频率数据，并分析模拟电路部分的测量精度。将上述数字电路部分和模拟电路部分进行连接，实现满足要求的正弦波峰-峰值测量和显示。测平均量 10 组以上输入信号峰-峰值和数码管显示值数据，并分析数模混合电路的测量精度。

## 5 预习要求

### 5.1 基本原理

查阅资料可知，常用的交流电压表属于放大——检波式电子电压表。主要由衰减器、交流电压放大器、检波器和整流电源四部分组成<sup>[1]</sup>。对于非数字式的电压表，直接将整流后的直流接入磁电式电压表即可；否则可以将电压转换为频率，如图 2 所示<sup>[2]</sup>。

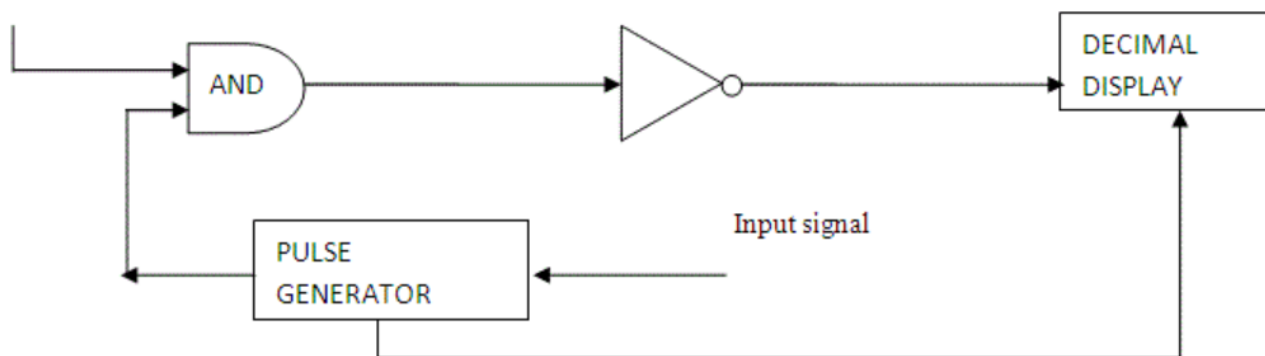


图 2: 数字电压表示意图

其主要技术指标有<sup>[3]</sup>:

- 灵敏度
- 准确度
- 复现性（反复性）
- 波动性
- 牢靠性

## 5.2 电路设计

根据实验内容，结合参考设计框图，可以画出数字化交流电压表的电路框图，如图 3 所示。



图 3: 整体电路流程图

### 5.2.1 模拟电路部分

模拟电路部分实现了将输入交流电压转换为一个周期脉冲信号，其频率与输入交流电压的峰值成正比。模拟部分首先通过一个电压跟随器实现输入阻抗变换，再将交流电压通过精密整流电路取绝对值，进而通过低通滤波滤出其中的直流分量。最后再通过电荷平衡式 V-F 转换电路得到周期脉冲信号。

### 5.2.2 数字电路部分

数字电路部分基于 FPGA 设计了一个频率测量电路。该电路可以测量输入信号的频率，并将其显示在数码管上作为电压的测量值。例如输入 100Hz 的周期脉冲时，数码管上显示“1.00”。数字电路部分的流程图如图 4 所示。

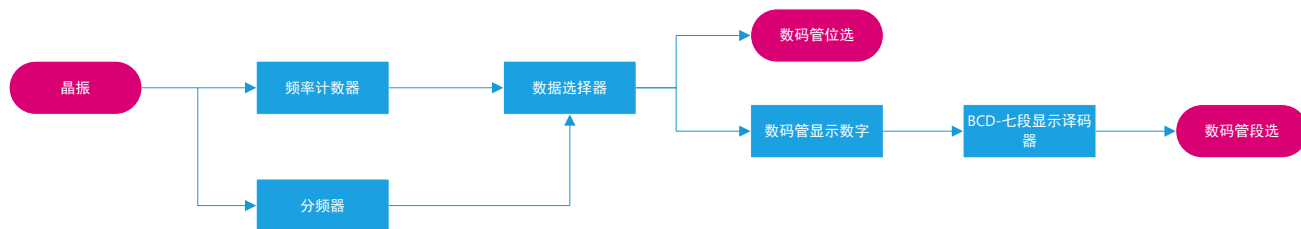


图 4: 数字电路流程图

数字电路关键的部分是频率测量模块。代码如下：

---

```

1 module counter(CLK, SIG, FOUT);//frequency out
2     input CLK, SIG;
3     output reg [9:0] FOUT;
4     reg [26:0] CNT;
5     reg [1:0] EDGE_DET;//posedge and negedge detector, EDGE_DET = {SIG, LAST_SIG}
6     parameter CLK_FRE = 50000000;
7     parameter MAX_UPDATE_PER_SEC = 2;
8     parameter MIN_UPDATE_CLK = CLK_FRE / MAX_UPDATE_PER_SEC;
9     reg [26:0] UPDATE_SEP;
10
11     always @ (posedge CLK)
12     begin
13         EDGE_DET <= {SIG, EDGE_DET[1]};
14         UPDATE_SEP <= UPDATE_SEP + 1;
15         if (EDGE_DET == 2'b10)
16         begin
17             if (UPDATE_SEP > MIN_UPDATE_CLK)
18             begin
19                 FOUT <= CLK_FRE / (CNT + 1);
20                 UPDATE_SEP <= 0;
21             end
22             CNT <= 10'b0;
23         end
24         else
25             CNT <= CNT + 10'b1;
26     end
27 endmodule

```

---

其中使用来检测输入信号的边沿，由于使用了 50MHz 的时钟，检测精度较高。11-26 是主程序块，每次 CLK 到来时就更新 EDGE\_DET 的内容，于是 EDGE\_DET 为 2'b10 代表此时到来了一个上升沿。在信号的两个上升沿之间使用 CNT 对 CLK 计数，通过简单的运算就可以推算出对应的频率值。

在程序中，我设置了最大更新频率（最小更新周期数）。我将最大更新频率设为 2，即至多每秒钟更新 2 次，这样在输出有波动时，人眼可以读到一个较为稳定的数值。

## 5.3 电路仿真

### 5.3.1 模拟电路部分

模拟部分电路整体的电路图如图 5 所示。可以清楚地看出各部分子电路的结构。

**输入阻抗变换** 使用电压跟随器完成输入阻抗的变换，提高输入电阻。电路如图 6 所示，比较简单。

**精密整流** 精密整流电路借用了教材第 383 页的电路，实现了对输入信号取绝对值，方便后续滤出直流分量。电路如图 7 所示。使用示波器观察输入输出波形，如图 8 所示。其中为了方便观察波形，将两个波形在纵轴上错开，否则上半周重合得过于完美存在遮挡。

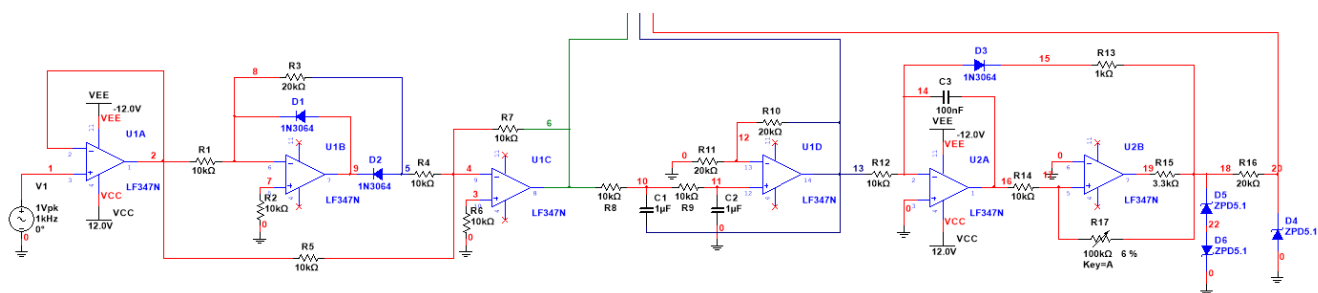


图 5: 模拟电路部分电路图

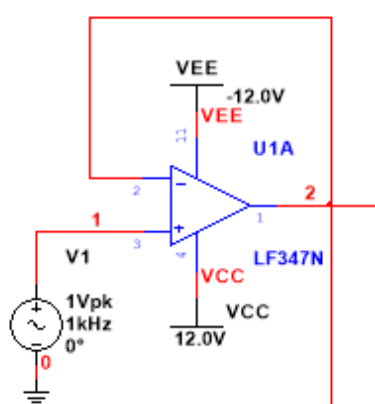


图 6: 电压跟随器

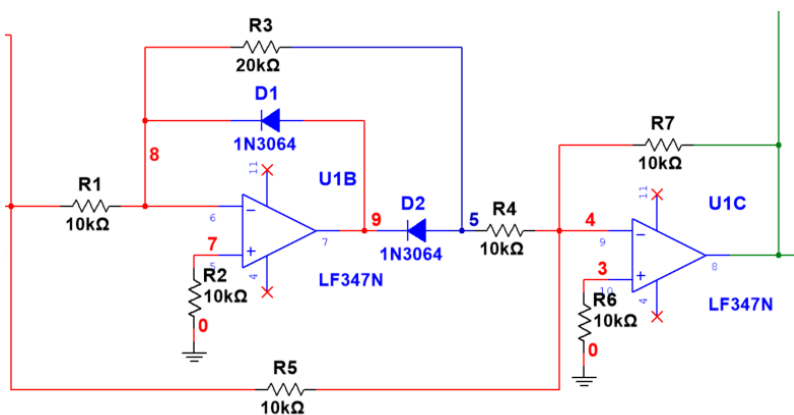


图 7: 精密整流电路

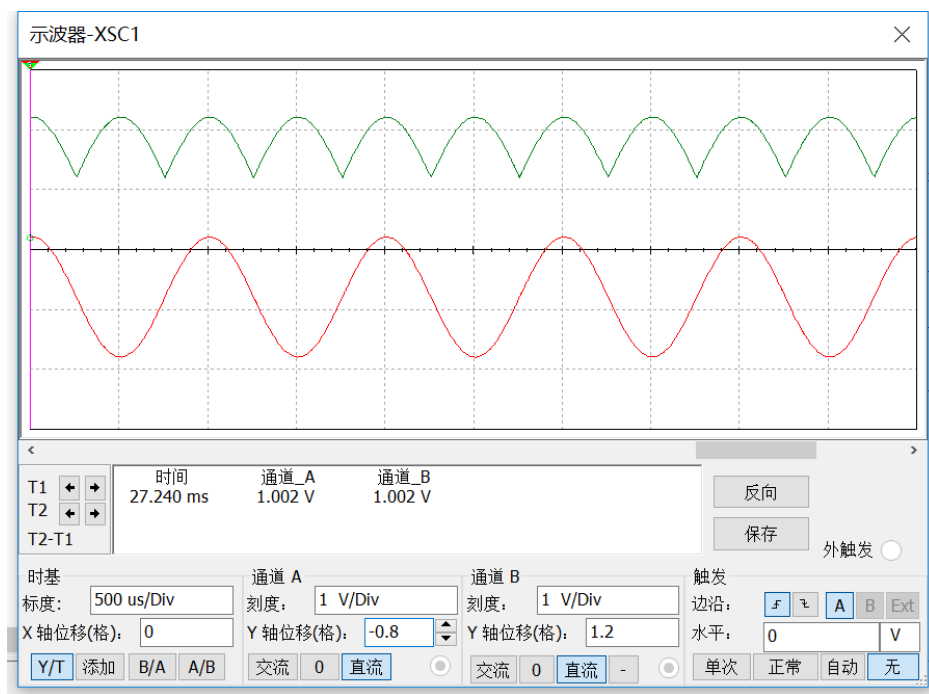
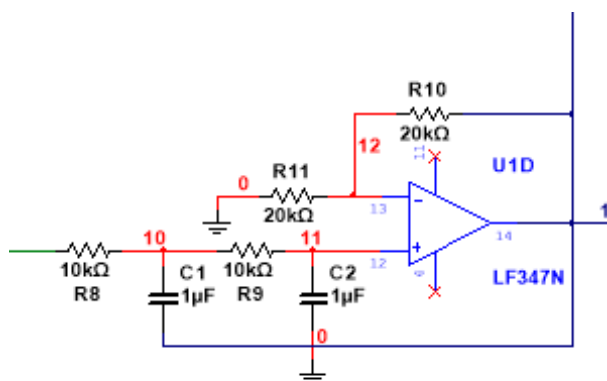
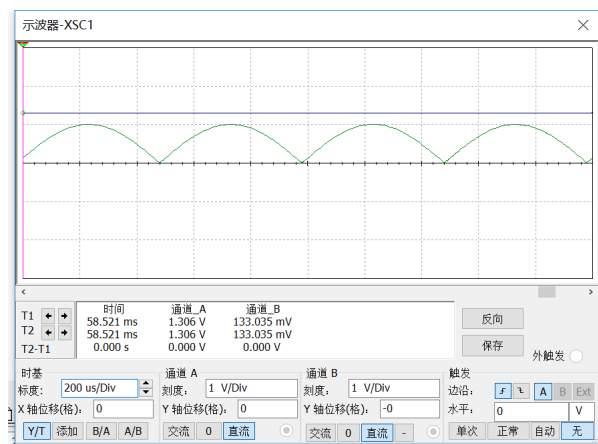


图 8: 精密整流仿真波形

**低通滤波** 使用 VCVS 二阶低通滤波器滤出直流分量。其电路如图 9a 所示。仿真波形如图 9b。可见电路能够输出一个平稳的直流分量（此处直流分量的增益为 2）。



(a) 仿真电路



(b) 仿真波形

图 9: VCVS 二阶低通滤波器

**V-F 转换电路** 采用教材 386 页的电荷平衡式 V-F 转换电路，如图 10 所示。当  $R_{12} \gg R_{13}$  时，有

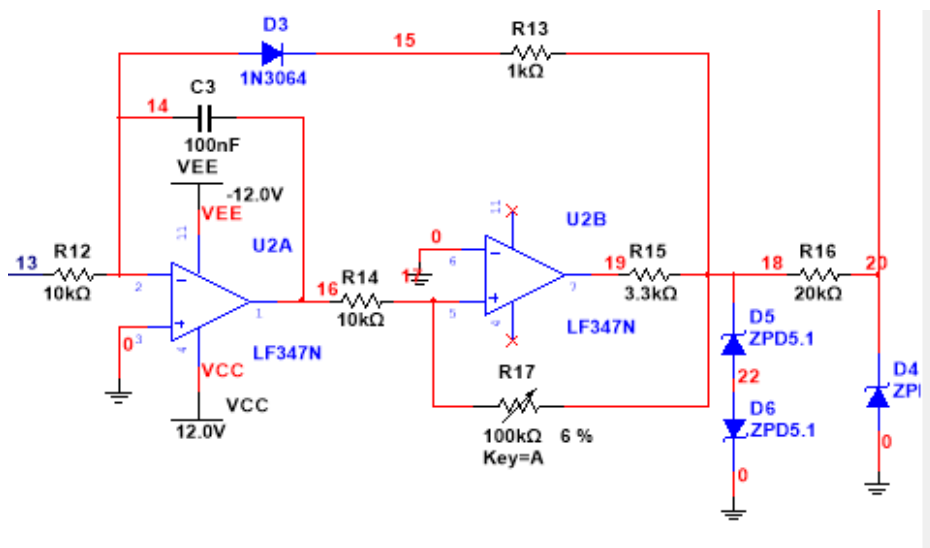


图 10: 电荷平衡式 V-F 转换电路

$$f \approx \frac{R_{17}}{2R_{14}R_{12}C_3U_Z} \cdot |u_I| \quad (1)$$

实验中可以通过调节电位器  $R_{17}$  来方便地调节输出的频率。图 11 为仿真的波形。此处已经粗略地调节电位器使得输出的频率近似为 100Hz。实际搭接电路时可以适当调节元件参数，并使用电位器手动校准电路的输出。



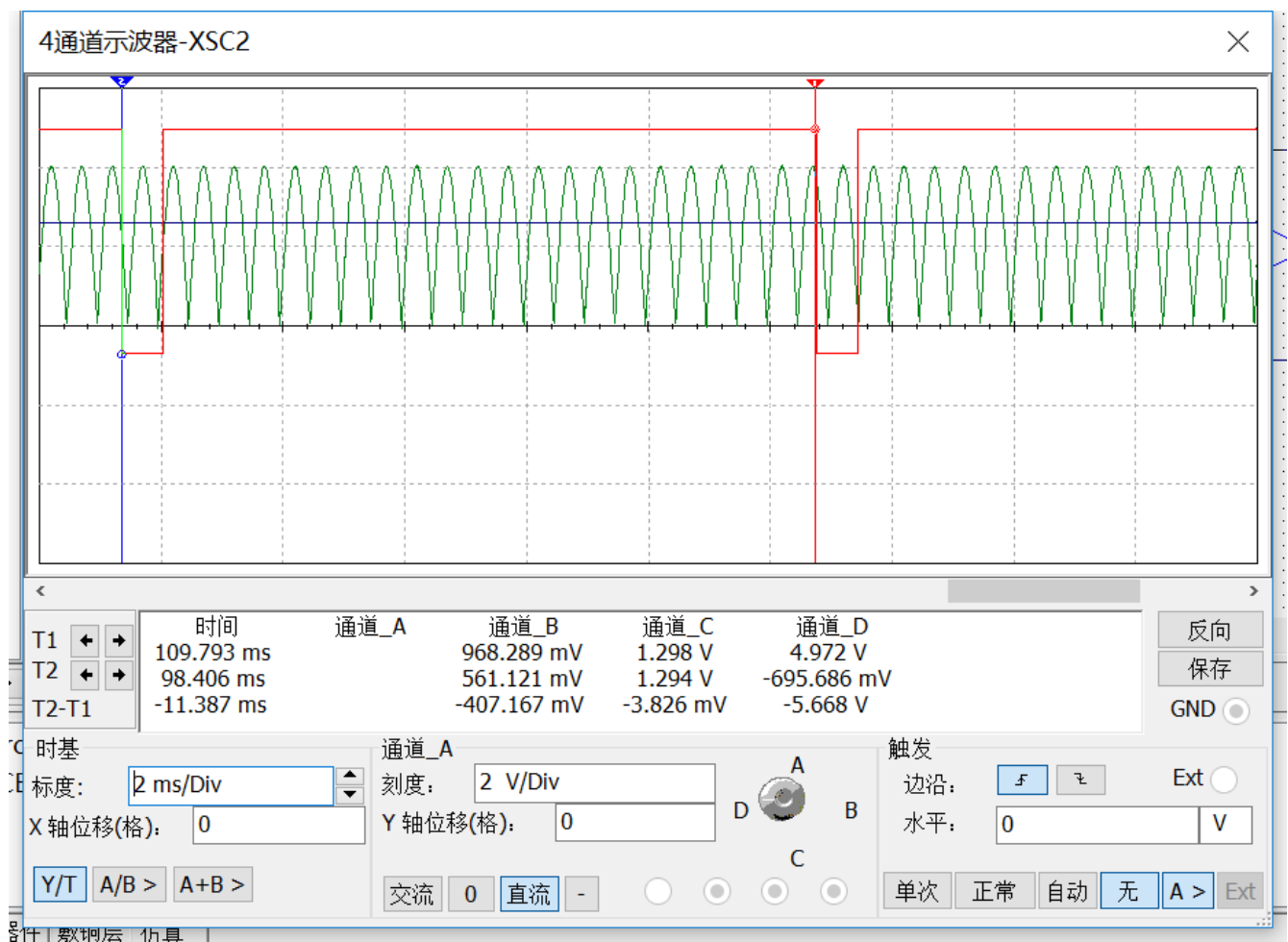


图 11: V-F 转换电路仿真

### 5.3.2 数字电路部分

数字部分的基本思路为在输入信号的两个上升沿之间计数。为了尽可能提高精度，我使用 50MHz 的晶振直接对其计数。这样，每当输入信号到来一个上升沿，输出的结果就更新一次。然而我发现，有时由于输入信号的频率不可以整除时钟周期，可能会出现示数不稳定的现象。为此，我设计了一个最大更新频率的参数，可以保证最少 0.5s 更新一次，这样人眼可以识别数码管的显示。

数字部分使用 Modelsim 仿真，波形如图 12 所示。我提供了一个 200Hz 的测试输入，可见输出确实为 200。该数据传送到数码管显示模块中。

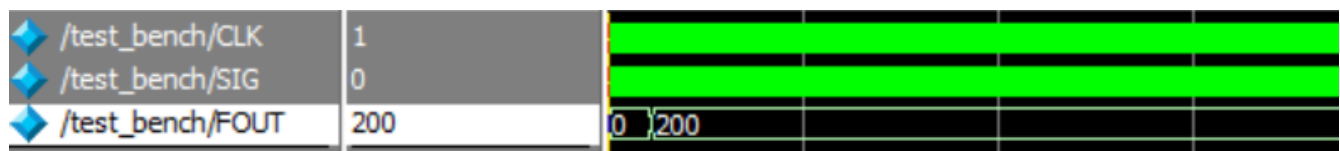


图 12: 数字电路部分仿真

## 5.4 电路布局

使用 Fritzing 进行面包板的主要布局, 如图 13 所示。其中红色、蓝色、黑色分别为 +VCC、-VCC、GND。全部电路只需两个运放, 各模块布局已经在面包板上使用红色字体标注。

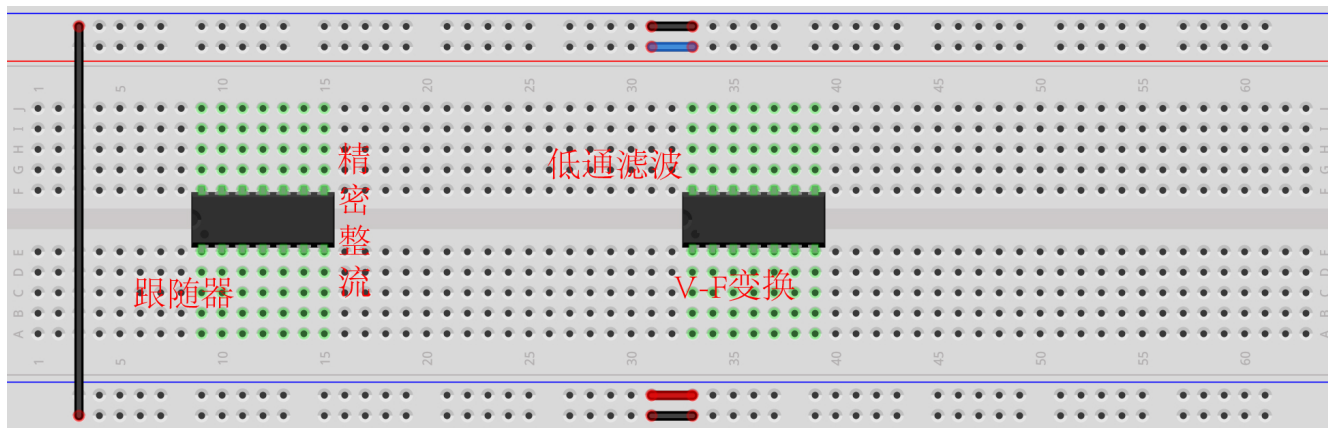


图 13: 面包板布局

## 5.5 调试方案

- 跟随器。使用示波器的两个通道分别查看输入输出波形, 如果波形完全重合则说明电路没有问题。
- 精密整流。使用示波器查看波形, 如果输出恰好为输入的绝对值, 则电路正确。
- 低通滤波。使用示波器查看波形, 如果输出为一个直流电压 (注意要使用直流耦合方式), 且变化输入电压幅度时输出电压的幅度随之等比例变化, 则满足要求。
- V-F 变换。使用示波器查看波形, 并使用自动测量功能实时检测频率。调节电位器使得输出频率符合要求。如果无法调节或难以调节, 应该考虑从原理出发 (参考式 (1)), 适当改变 V-F 转换电路中的参数。
- 接口电路。模拟电路的输出很可能无法直接作为 FPGA 数字电路的输入。可以考虑在中间使用一些数字器件过渡, 例如 CD40106。

6 记录表格

6.1 必做任务

表 1: 1~ 5V 测量记录表格

$u_{I,pp}/V$						
$f/Hz$						
示数						
$u_{I,pp}/V$						
$f/Hz$						
示数						

6.2 选做任务

表 2: 0.1~ 1V 测量记录表格

$u_{I,pp}/V$						
$f/Hz$						
示数						
$u_{I,pp}/V$						
$f/Hz$						
示数						

# 7 硬件实验

## 7.1 波形截图

实验中各个模块的输出波形如图 14~17 所示。

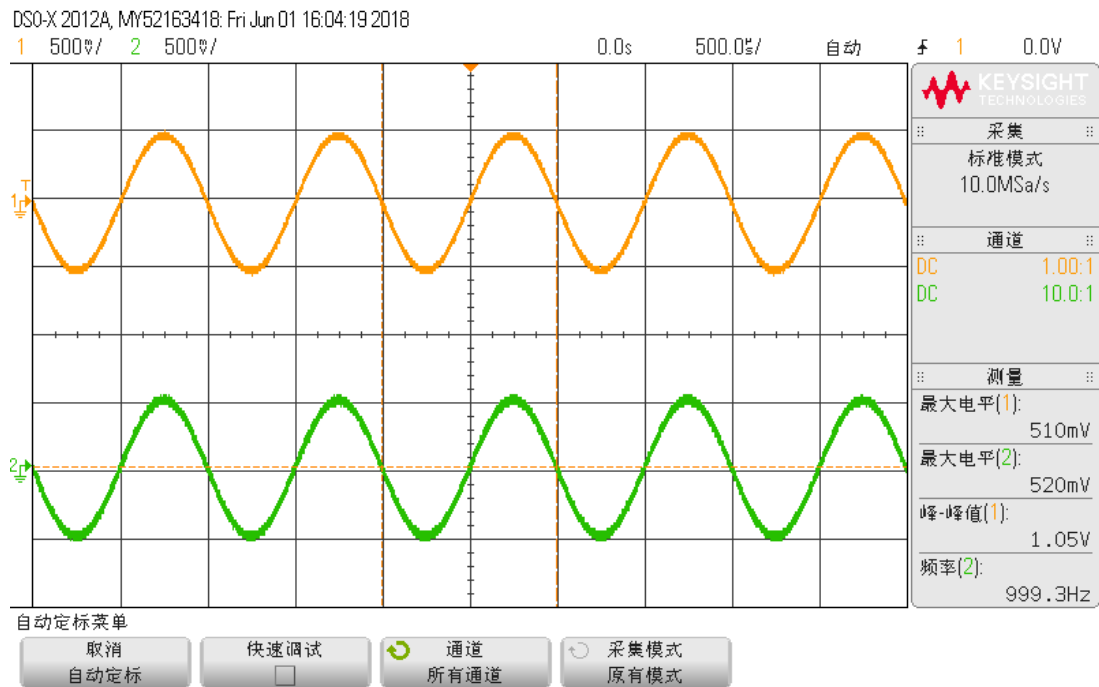


图 14: 跟随器输出波形

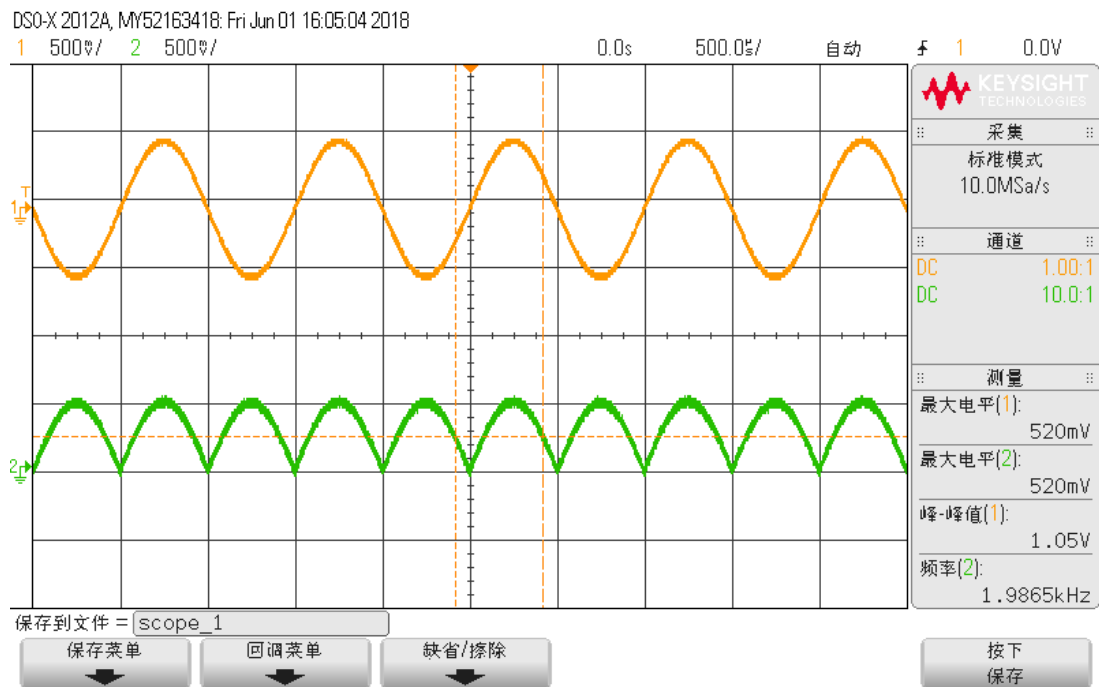


图 15: 精密整流输出波形

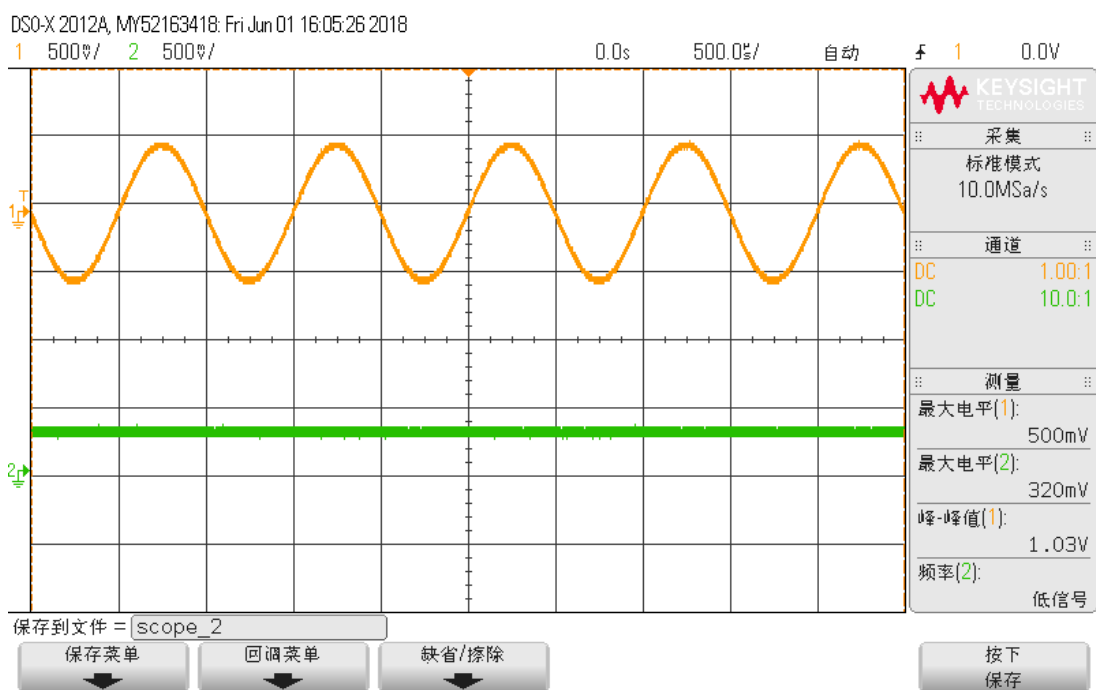


图 16: 低通滤波输出波形

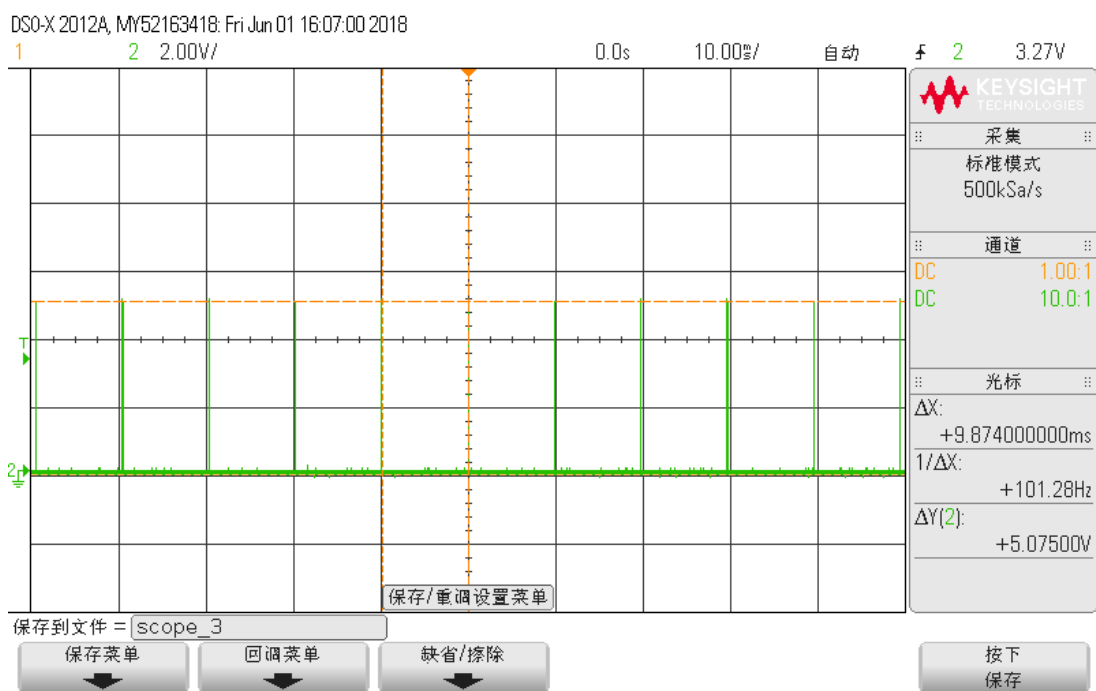


图 17: 压控振荡输出波形

## 7.2 实际电路

实际电路总体与预习中设计的电路一致，不同的地方在于，为了能够让模拟电路部分的输出能够正常驱动数字电路部分，我在模拟输出后接入了一片 CD40106。经测试，经过 CD40106 后的输出满足 FPGA 的电平要求。

### 7.3 数据处理

在输入电压为 1V~5V 的范围内测量若干点，数据如表 3 所示。从中可见，数字化交流电压表的示数

表 3: 1V~5V 测量数据处理

$u_{i,pp}/V$	$f/Hz$	示数	相对误差/%
1.01	100.90	1.01	0.00
1.30	131.79	1.31	0.77
1.60	162.39	1.62	1.25
1.97	201.86	2.01	2.03
2.33	231.96	2.31	0.86
2.63	262.19	2.62	0.38
3.04	302.6	3.02	0.66
3.34	332.8	3.32	0.60
3.64	363.0	3.62	0.55
4.04	402.7	4.02	0.50
4.32	431.8	4.31	0.23
4.60	462.9	4.62	0.43
5.01	501.8	5.01	0.00

与示波器测量得到的示数之间的误差非常小，均在允许范围内。根据表 3 所示的测量数据，将正弦波峰峰值和数码管示数出分别作为自变量和因变量进行直线拟合，如图 18 所示。从数据点的趋势以及相关系数

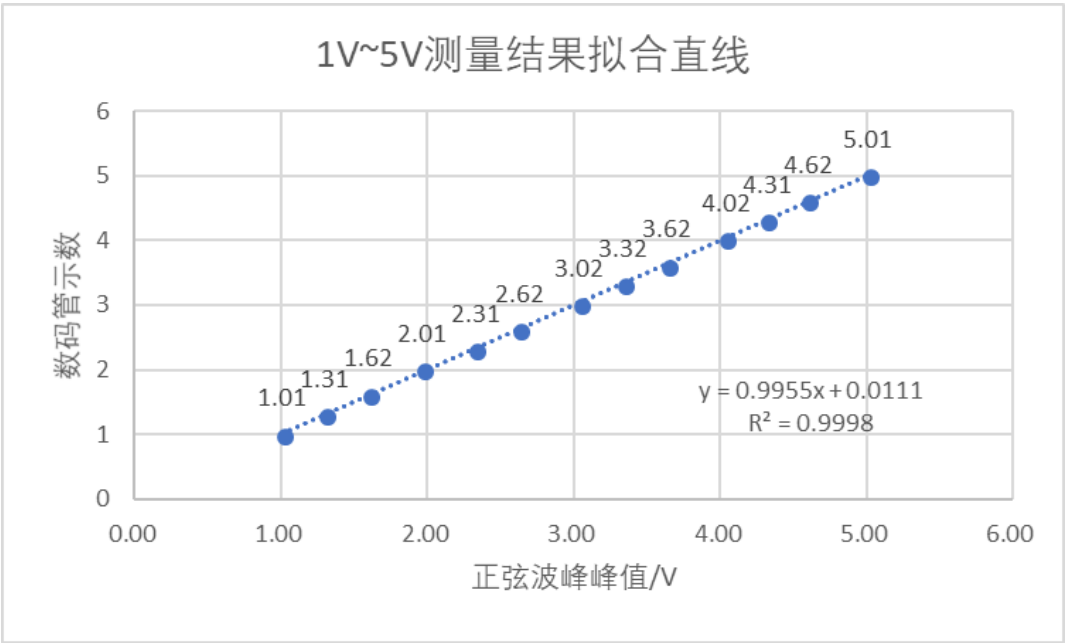


图 18: 1~5V 测量结果拟合直线

可以看出，数据的线性性很好。从拟合公式中可以看出，结果非常符合理论。

0V~1V 的测量结果如表 4 所示。总体来说数据较为准确，在峰峰值接近 0V 时的相对误差较大。

表 4: 0V~1V 测量数据处理

$u_{i,pp}/V$	$f/Hz$	示数	相对误差/%
0.000	0.000	0.00	0.00
0.108	9.191	0.10	7.41
0.204	19.370	0.19	6.86
0.312	29.762	0.29	7.05
0.410	40.141	0.39	4.88
0.503	50.360	0.50	0.60
0.607	59.923	0.59	2.80
0.704	70.136	0.70	0.57
0.800	80.324	0.80	0.00
0.910	90.74	0.90	1.10
1.010	100.93	1.00	0.99

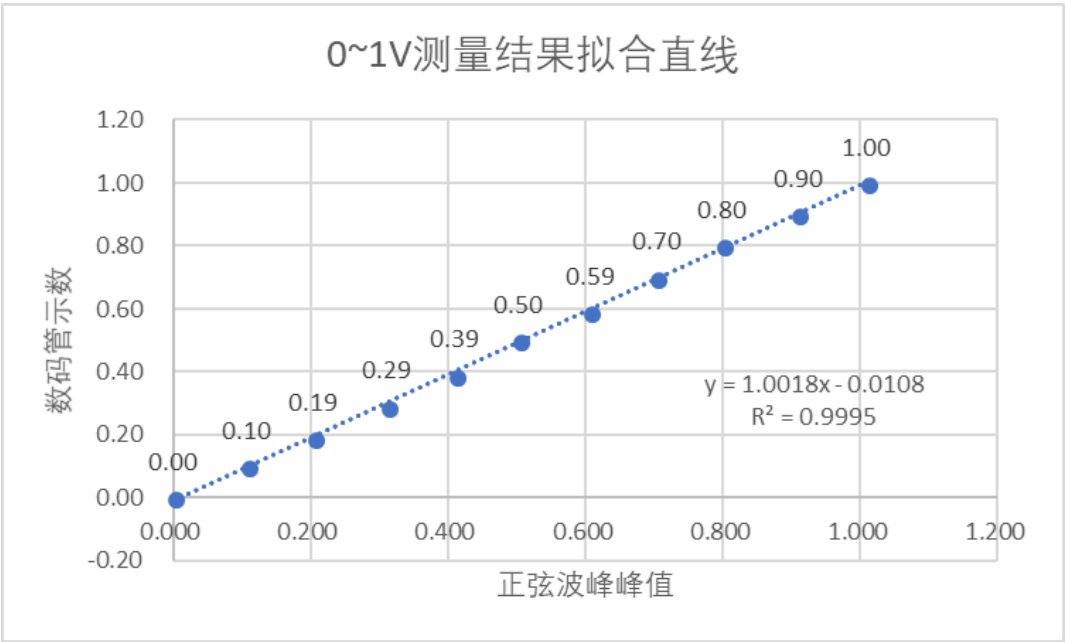


图 19: 0~1V 测量结果拟合直线

同样，作出数码管示数关于正弦波峰峰值的拟合直线，如图 19 所示。从图中可以看出数据点的线性关系较好。这时相关系数比 1V-5V 略差，但仍然高于 0.999。最后，我们将两个范围内的数据整合在一起，作出拟合直线。如图 20 所示。可见在整个 0V~5V 范围内的数据的拟合效果非常好，电路圆满地实现了预期的功能。

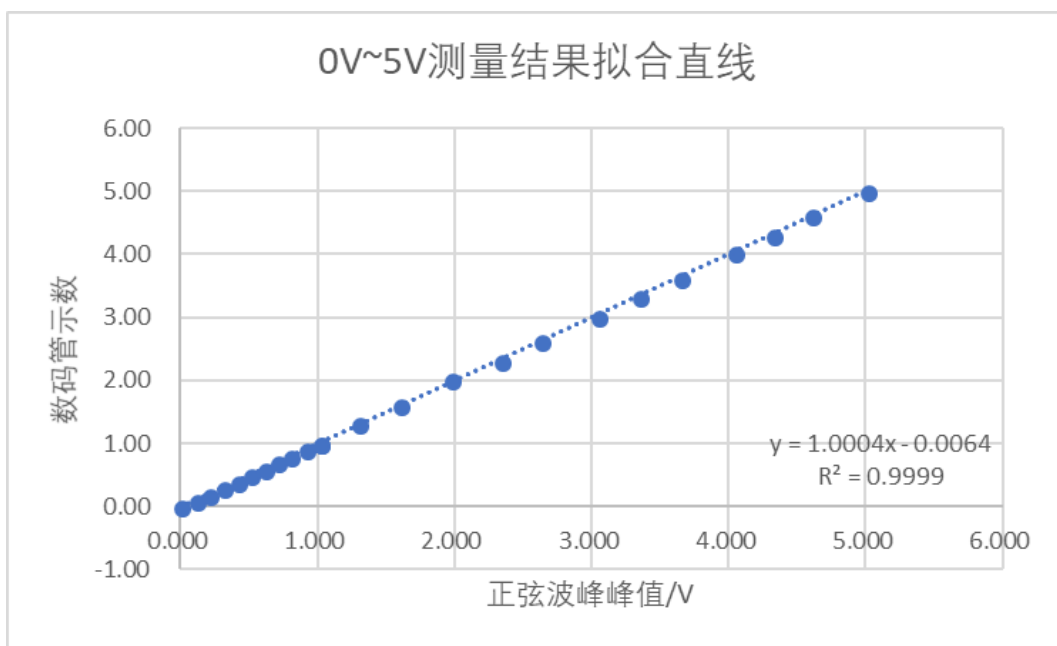


图 20: 0~5V 测量结果拟合直线

## 8 思考题

### 1. 如果调试中出现数码管显示不稳定的现象应如何消除？

数码管显示不稳定，应该从两个方面考虑：

- 模拟电路输出的频率不稳定。
- FPGA 频率测量模块的输出不稳定。

其中第一个方面可以通过示波器来测量频率，判断频率是否存在波动。由于示波器测量也存在一定的误差，少许的波动可以接受。但是事实上，由于 u-f 转换电路中使用了运放，其精度较高，故当电路连接无误时，其输出的频率应该不会有太大的变化。

另一方面应该考虑 FPGA 的频率测量模块的输出。由于 FPGA 的输入信号与内部的时钟信号不一定是同步的，在测量频率时可能会因为存在相差而出现不稳定的现象。这一点在第 9.1 节有详细介绍。可以在程序中添加一个“最小更新时间”的限制，保证数码管波动的频率小于人眼可分辨的最大频率，从而方便人眼的度数。

### 2. u-f 转换电路的转换误差取决于哪些因素，为什么？

从输出频率的表达式 (1) 中直接可以看到的影响转换误差的因素有  $R_{17}$ ,  $R_{14}$ ,  $R_{12}$ ,  $C_3$ ,  $U_Z$  的取值。由于  $R_{17}$  可调，其他的参数实际上相对固定，经过调节后，总可以得到较为准确的结果。

另一方面，我们需要看到潜在的误差，即从式 (1) 成立的条件入手。推导出式 (1) 的过程中已经忽略了电容通过二极管和  $R_{13}$  放电的时间，即假定了  $R_{12} \gg R_{13}$  的事实。实际实验中如果参数取值不当，导致这个条件无法满足，就会出现输出频率与输入电压之间的线性关系不好的现象，从而带来转换误差。而这应该是引起误差的主要因素。



综上，影响转换误差的主要因素是  $R_{12} \gg R_{13}$  的条件是否满足，此外式 (1) 中的参数的稳定性也会带来些许的影响。

## 9 调试中的问题及解决

本次实验的电路比较复杂，在硬件实现的过程中难免会出现一些问题，下面总结一下调试中遇到的问题以及解决的方法。

### 9.1 数字电路部分

数字电路部分是一个频率测量器。我一开始的思路是，先用 FPGA 的 50MHz 分频出一个  $x\text{Hz}$  (CLK1) 的频率作为基准，在 CLK1 的两个上升沿之间对输入信号的上升沿进行计数。其中  $x$  可以根据实际情况来调整。这个思路比较直观，但是存在一个问题：对于低频的信号，很可能出现在在 CLK1 的两个上升沿之间没有输入信号的上升沿到来的情况。

为了解决这个问题，我采用了相反的思路，即在输入信号的两个上升沿之间对 CLK 进行计数。为了尽可能地提高精度，我此处使用的 CLK 是未经分频的 50MHz 的时钟，这样可以较为精密地测量。调试时我发现，如果输入信号的周期不能整除 50MHz，很可能出现一个相位差，导致数码管示数不稳定。因此我在代码里设定了一个最小更新时间为 0.5s，这样就可以保证人眼可以看到较为稳定的示数。

以上的设计保证了我的数字电路部分十分精确。在数字电路的实验中，我的精度可以达到 1Hz。

### 9.2 模拟电路部分

我在模拟电路部分的调试中遇到了两个问题，而这两个问题都是由元件选取的错误造成的。

- 精密整流部分的输出波形噪声很大，即使我改用  $\times 1$  探头也能看到明显的毛刺。一开始我认为这个是电路精度的问题，于是没太在意。后来我在调试低通滤波电路时，发现滤出来的直流分量非常小。这时我再返回去测量精密整流部分的输出，发现输出的幅值是理论值的 1/10。原来，我之前调试精密整流电路时，只关注示波器上输入输出的上半周是否会重合，而没有注意到其实此时两个通道纵向分度是不一样的。这时我马上想到，很可能是精密整流电路中的比例运算电路的电阻阻值接错。检查后果然发现，我将一个  $10\text{k}\Omega$  的反馈电阻接成了  $1\text{k}\Omega$ ，而这就导致了输出被衰减了 10 倍，从而更容易受到噪声影响。更换了电阻后，问题顺利解决，波形也比较完美了。
- 压控振荡电路输出频率无法调节。这个问题困扰了我很长时间。当我改变输出正弦波的峰峰值时，我可以测出低通滤波后的直流分量按照预期变化，而压控振荡电路输出频率却不变。我测量了压控振荡电路的输出，发现波形的占空比不对，不是理想的接近于 0 或接近于 1。这时我想到，可能是因为  $R_{12}$  与  $R_{13}$  的选取不当。于是我更换了几组这两个电阻的取值，仍然没有解决问题。接着我发现，即使我将压控振荡电路的输入断开，输出仍然会有波形。最后，我终于找到了问题的根源，我将稳压管当做了二极管接入了压控振荡电路。由于二者外观十分接近，我在搭电路时将其混淆。这就导致了输入的直流量毫无作用，输入电压被稳压管控制。更换为二极管后，一切问题迎刃而解。

由于我力争将电路设计得精确，我在设计阶段就已经进行了充分的考虑。例如，我使用精密整流电路来提高整流的精度，使用 VCVS 二阶低通滤波器来提高低通滤波的精度。事实证明 VCVS 二阶低通滤波器

的精度非常高。在压控振荡电路上，我从电路原理出发，注意到这样的—个事实：要想保证输出频率与输入电压幅值的线性，必须保证  $R_{12} \gg R_{13}$ 。基于这些设计，我的电路的精度很高，与数字电路部分衔接后测量的结果也十分准确。

## 参考文献

- [1] 刘舒帆，赵红等编著. 电路与信号分析实验：机械工业出版社，2013.04
- [2] Digital Voltmeters Working Principle of Digital Voltmeter. <https://www.electrical4u.com/digital-voltmeters-working-principle-of-digital-voltmeter/>
- [3] 交流数显电压表重要指标.<http://b2b.liebiao.com/diangongdianqi/359102618.html>

A 图表索引

插图

1	实验电路参考设计框图 . . . . .	1
2	数字电压表示意图 . . . . .	2
3	整体电路流程图 . . . . .	3
4	数字电路流程图 . . . . .	3
5	模拟电路部分电路图 . . . . .	5
6	电压跟随器 . . . . .	5
7	精密整流电路 . . . . .	5
8	精密整流仿真波形 . . . . .	5
9	VCVS 二阶低通滤波器 . . . . .	6
10	电荷平衡式 V-F 转换电路 . . . . .	6
11	V-F 转换电路仿真 . . . . .	7
12	数字电路部分仿真 . . . . .	7
13	面包板布局 . . . . .	8
14	跟随器输出波形 . . . . .	10
15	精密整流输出波形 . . . . .	10
16	低通滤波输出波形 . . . . .	11
17	压控振荡输出波形 . . . . .	11
18	1~5V 测量结果拟合直线 . . . . .	12
19	0~1V 测量结果拟合直线 . . . . .	13
20	0~5V 测量结果拟合直线 . . . . .	14

表格

1	1~ 5V 测量记录表格 . . . . .	9
2	0.1~ 1V 测量记录表格 . . . . .	9
3	1V~5V 测量数据处理 . . . . .	12
4	0V~1V 测量数据处理 . . . . .	13