

实验三 组合逻辑电路的设计

实验报告

姓名：_____ 赵文亮 _____

学号：_____ 2016011452 _____

班级：_____ 自 64 _____

桌号：_____ 22 _____

日期：_____ 2017 年 11 月 16 日 _____

目录

1	实验目的	1
2	预习任务	1
3	实验步骤	6
3.1	电路仿真	6
3.2	必做任务	6
3.3	选做任务	7
4	最终电路	8
4.1	必做任务	8
4.2	选做任务	8
5	实验总结	9
5.1	组合逻辑电路的设计和调试步骤	9
5.1.1	设计步骤	9
5.1.2	调试步骤	11
5.2	实验中遇到的问题和解决方法	11
5.3	实验收获	11
6	思考题	12

1 实验目的

1. 学习组合逻辑电路的分析方法和设计方法。
2. 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法。

2 预习任务

1. 复习补码及如何利用补码实现减法运算。

(1) 对于有效数字（不包括符号位）为 n 位的二进制数 N ，它的补码 $(N)_{\text{COMP}}$ 表示为

$$(N)_{\text{COMP}} = \begin{cases} N & \text{当 } N \text{ 为正数} \\ 2^n - N & \text{当 } N \text{ 为负数} \end{cases}$$

(2) 补码等于反码加 1。

(3) 在舍弃进位的情况下，减去某个数可以用加上它的补码来代替。

2. 根据实验任务要求完成电路设计。

(1) 查阅元件盒中 74HC 系列芯片的门电路功能及其引脚图。HC 系列都是高速 CMOS (High-Speed CMOS)。其基本功能如表 1 所示，引脚图如图 1~10 所示。

表 1: HC 系列芯片功能

芯片	功能	芯片	功能
74HC00	4× 二输入与非门。	74HC02	4× 二输入或非门。
74HC08	4× 二输入与门。	74HC11	3× 三输入与门。
74HC14	6× 反相施密特触发器。	74HC20	2× 四输入与非门。
74HC27	3× 三输入或非门。	74HC74	带置位和复位的上升沿双 D 触发器。
74HC86	4× 两输入异或门。	74HC161	异步置零 4 位二进制计数器。

(2) 列出各模块电路的真值表和逻辑表达式。

i. 1 位全加器

真值表如表 2 所示。逻辑式为

$$\begin{cases} S = A \oplus B \oplus CI \\ CO = ((CI(A \oplus B))'(AB))' \end{cases} \quad (1)$$

ii. 2 位全加器

真值表如表 3 所示。逻辑式如下：

$$\begin{cases} S_0 = A_0 \oplus B_0 \oplus CI \\ CO_0 = ((CI(A_0 \oplus B_0)))'(A_0 B_0)' \\ S_1 = A_1 \oplus B_1 \oplus CO_0 \\ CO = ((CO_0(A_1 \oplus B_1))'(A_1 B_1))' \end{cases} \quad (2)$$

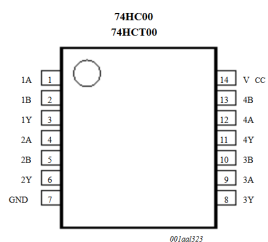


图 1: 74HC00 引脚图

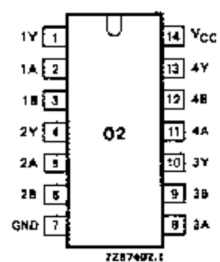


图 2: 74HC02 引脚图

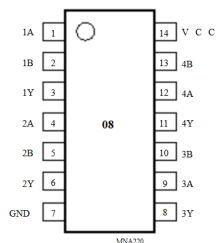


图 3: 74HC08 引脚图

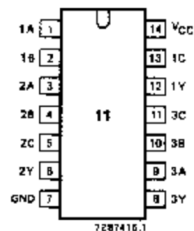


图 4: 74HC11 引脚图

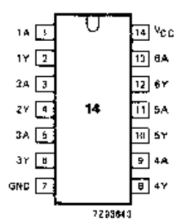


图 5: 74HC14 引脚图

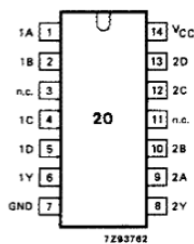


图 6: 74HC20 引脚图

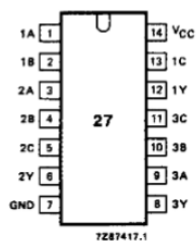


图 7: 74HC27 引脚图

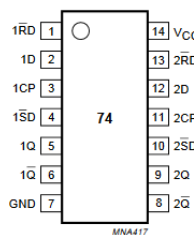


图 8: 74HC74 引脚图

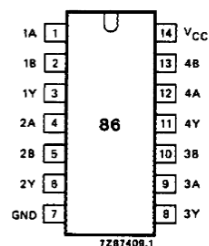


图 9: 74HC86 引脚图

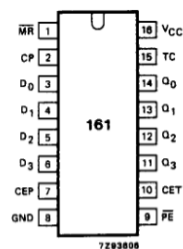


图 10: 74HC161 引脚图

表 2: 1 位全加器真值表

CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

2 位全加器可以直接通过两个 1 位全加器串接获得。

iii. 实现加减运算功能。

设控制加减操作的输入位为 M ， $M = 1$ 表示执行减操作。则若 $M = 1$ ，需要对 B 取补码。取补码的操作可以通过取反加一得到。由于只在 $M = 1$ 时需要取反，故取反的操作可以通过异或门实现。其中加一的操作可以直接从 1 位全加器的低位进位端 CI 实现。最后需要将结果转成原码形式表示。设结果符号位为 F ，有效数字为三位二进制数 $Y_2Y_1Y_0$ ，则真值表如表 4 所示。逻辑式如下：

$$\begin{cases} F = MCO' \\ Y_2 = M'CO \\ Y_1 = (MS_0CO') \oplus S_1 \\ Y_0 = S_0 \end{cases} \quad (3)$$

(3) 根据任务和盒中 HC 芯片画出实现电路功能的逻辑图。

顶层电路逻辑图如图 11 所示。其中 1 位全加器的逻辑图如图 12 所示。

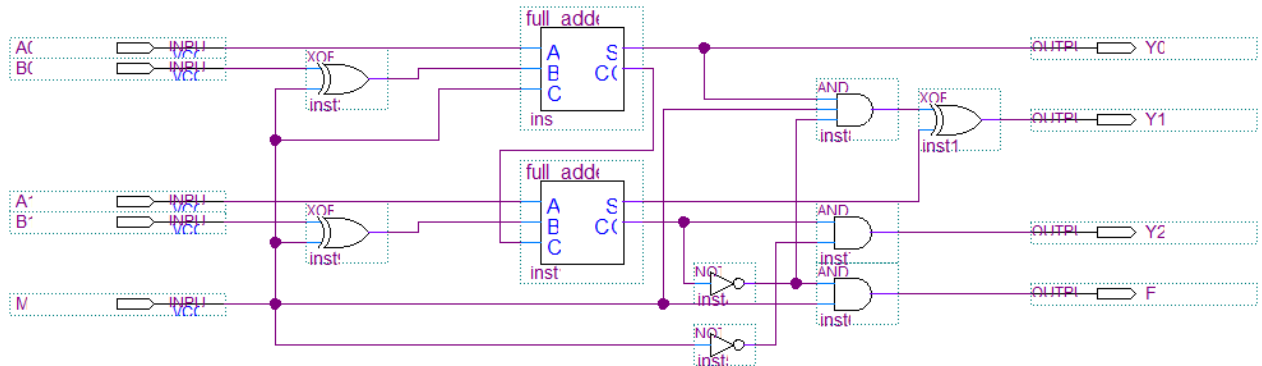


图 11: 顶层电路逻辑图

表 3: 2 位全加器真值表

CI	A_1	A_0	B_1	B_0	S_1	S_0	CO
0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	0
0	0	0	1	0	1	0	0
0	0	0	1	1	1	1	0
0	0	1	0	0	0	1	0
0	0	1	0	1	1	0	0
0	0	1	1	0	1	1	0
0	0	1	1	1	0	0	1
0	1	0	0	0	1	0	0
0	1	0	0	1	1	1	0
0	1	0	1	0	0	0	1
0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	0
0	1	1	0	1	0	0	1
0	1	1	1	0	0	1	1
0	1	1	1	1	1	0	1
1	0	0	0	0	0	1	0
1	0	0	0	1	1	0	0
1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	1
1	0	1	0	0	1	0	0
1	0	1	0	1	1	1	0
1	0	1	1	0	0	0	1
1	0	1	1	1	0	1	1
1	1	0	0	0	1	1	0
1	1	0	0	1	0	0	1
1	1	0	1	0	0	1	1
1	1	0	1	1	1	0	1
1	1	1	0	0	0	0	1
1	1	1	0	1	0	1	1
1	1	1	1	0	1	0	1
1	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1

表 4: 运算结果转换真值表

M	CO	S_1	S_0	F	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
1	0	1	1	1	0	0	1
1	0	1	0	1	0	1	0
1	0	0	1	1	0	1	1
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	1	1

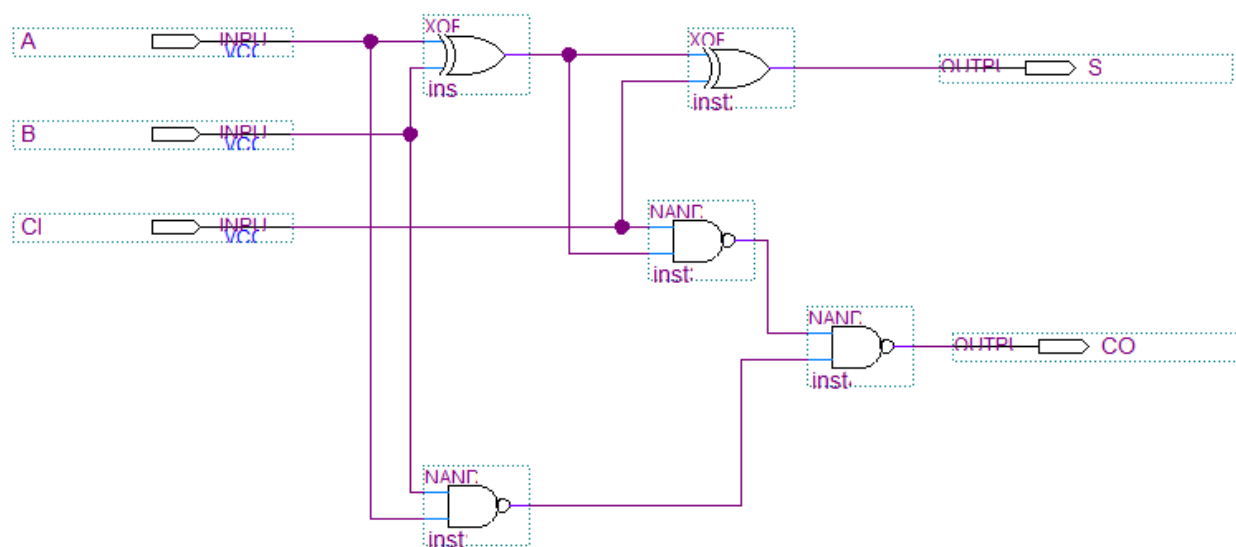


图 12: 1 位全加器逻辑图

(4) 该电路加减运算结果为三位二进制数。若接到译码器的输入 $A_3A_2A_1A_0$ ，则应该将 A_3 接地， A_2, A_1, A_0 分别接到 Y_2, Y_1, Y_0 上。

3. 选做任务测试电路是否会发生竞争冒险现象？若发生，画出电压波形表明毛刺有可能产生的位置。

答：会产生竞争冒险现象。在输入信号 v_I 从低电平变成高电平时，由于第一级与非门的传输延迟，第二级与非门在开始的一段时间内两输入端都是高电平，从而在输出端产生一个由高变低再变高的

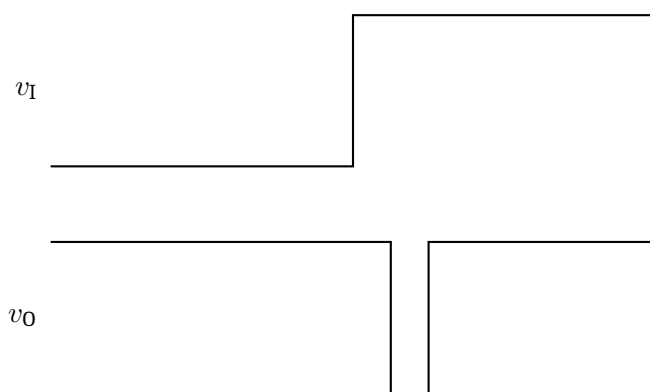


图 13: 竞争冒险示意图

脉冲。波形示意图如图 13 所示。

4. 写出调试方法和步骤，注意事项。

- 第一项任务比较复杂，调试时，应当严格按照逻辑图接线，并注意线与线之间不要太乱，方便后期检查和调试。接线结束后，检查，测试功能。如果出错，应当首先利用万用表按照层次从下到上测量各个模块是否正常工作。
- 第二项任务较为简单，实验时注意示波器的正确使用方法，并及时保存波形。

3 实验步骤

3.1 电路仿真

在搭接电路之前，先利用软件仿真。1 位全加器的仿真波形如图 14a 所示。可以看出波形满足要求，例如图中所示位置 $A = B = 1$ ， $CI = 0$ ，输出 $CO = 1$ ， $S = 0$ 。

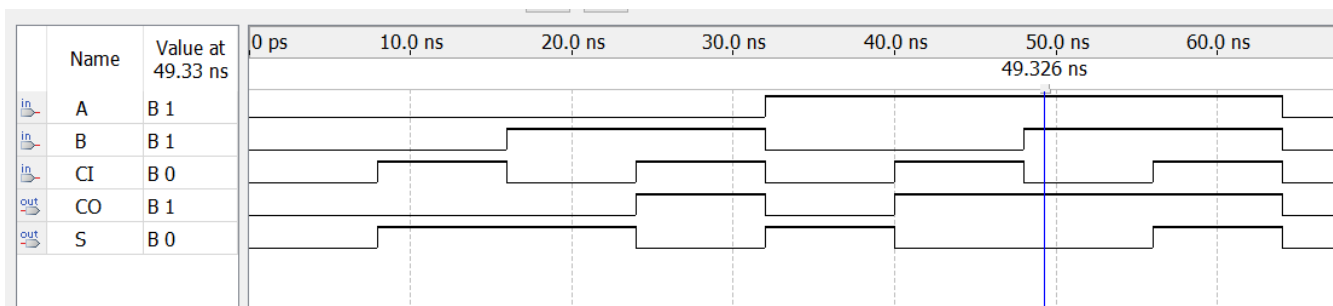
图 14b 是顶层电路的仿真波形。波形同样符合预期。例如图中所示位置 $A_1A_0 = 10$ ， $B_1B_0 = 01$ ，加减控制位 $M = 1$ 。输出符号 $F = 0$ ， $Y_2Y_1Y_0 = 001$ ，即实现了 $2-1=1$ 的运算。

3.2 必做任务

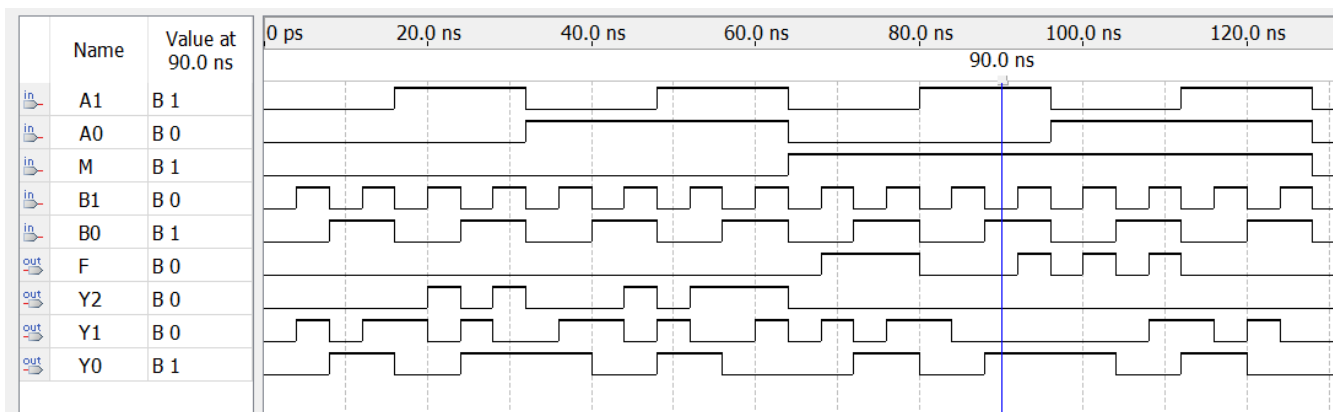
按照设计电路图在面包板上搭接电路。如图 15 所示。左下方两个芯片为 74HC86，其中 7 个异或门用于实现电路中的异或功能，1 个一端接入高电平作为反相器使用；右下方和右上方是两片 74HC00，使用其中的 6 个与非门完成电路中的与非功能，1 个与非门两输入端接在一起作为反相器使用，1 个闲置不用并将输入端接高电平；左上方是 74HC08，使用其中的 4 个与门实现了电路中的与功能。五个芯片共 20 个逻辑门中只有一个门闲置，可见利用率非常高。

将加减控制位 M 、输入数据 A_0, A_1, B_0, B_1 接在拨码开关上，将输出符号位 F 接在发光二极管 (L_7) 上，将结果 Y_2, Y_1, Y_0 接在数码管 (LED3) 上。具体的外设分配如表 5 所示。

由于本次实验准备非常充分，在实验前已经将电路搭好并逐点检查逻辑关系，实验课上只是将逻辑变量的输入输出与对应的外设相连，一次就成功实现了功能。



(a) 1 位全加器仿真波形



(b) 顶层电路仿真波形

图 14: 仿真波形

表 5: 电路引脚分配

引脚	K_7	K_6	K_5	K_4	K_3	LED3 _D	LED3 _C	LED3 _B	LED3 _A	L_7
变量	M	A_1	A_0	B_1	B_0	0	Y_2	Y_1	Y_0	F

3.3 选做任务

使用芯片 CD4011 按照图 16 在面包板上搭接电路，其中 v_I 是信号发生器产生的 0~5V,20Hz 的方波。利用示波器测量输入端 v_I 和输出端 v_O 的电压。

电路搭接完毕后，通过示波器得到波形如图 17 所示。可以看到明显的竞争冒险现象。在 v_I 从高电平到低电平时， v_O 出现了一个从高到低到高的脉冲。从电路原理图可以看出，这是因为第一个与非门存在一定的传输延迟时间，当 v_I 从低到高时，在很短的一段时间内，第二个与非门上面的输入端还未来得及从高电平变成低电平，而下面的输入端已经变成了高电平，故在这段时间内两个输入端都为高电平， v_O 端出现了竞争——冒险现象。

为了解决这一问题，可以在输出端并联一个电容。实验中我使用了 680pF 和 1500pF 的电容器进行了滤波，两次的滤波效果如图 18 所示。

从波形图中可以看出，680pF 的电容的滤波效果已经可以消除竞争——冒险现象了，1500pF 电容的滤波效果更为突出。

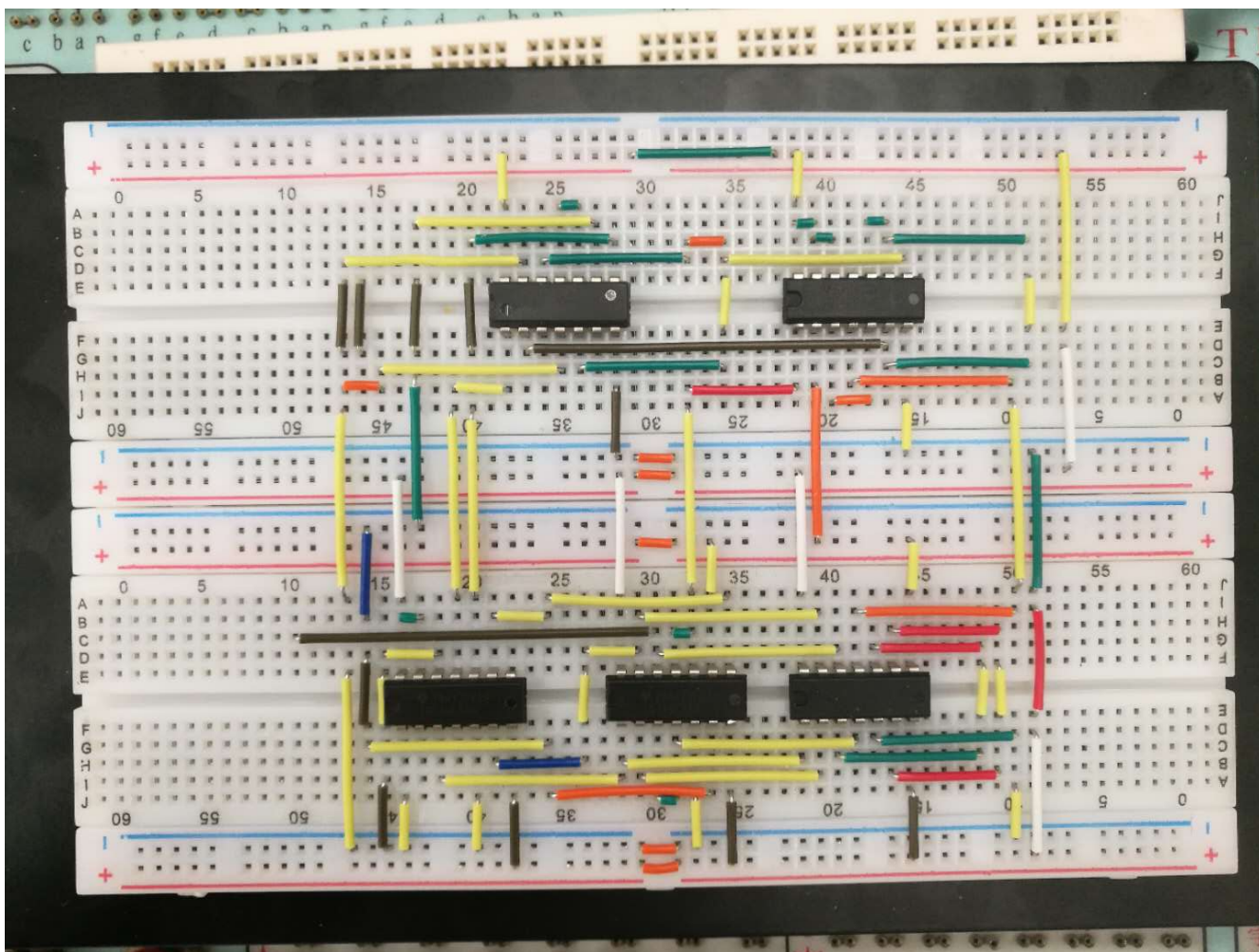


图 15: 面包板搭接效果

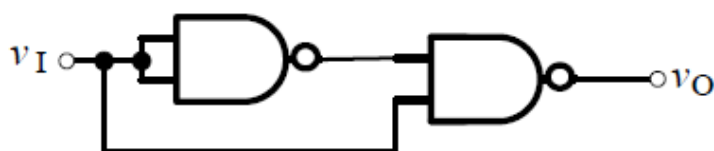


图 16: 选做任务电路

4 最终电路

4.1 必做任务

由于实验前准备比较充分，最终采用的电路即为预习时设计的电路图。整理如图 19。

4.2 选做任务

选做任务的电路图采用讲义中的电路。如图 16所示。

DSO-X 2012A, MY52163459, Thu Nov 16 15:12:15 2017

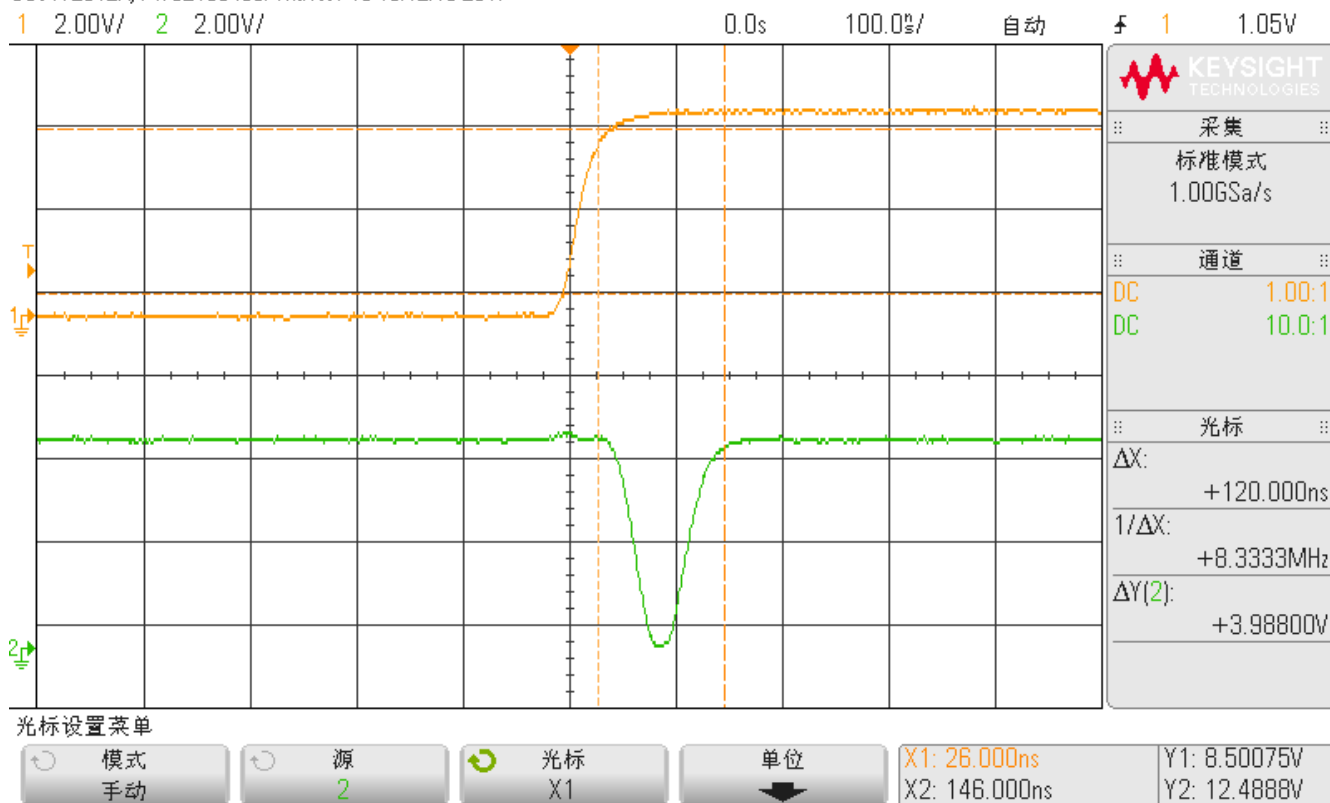
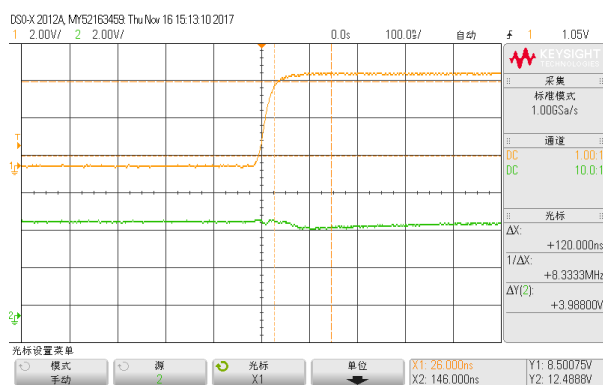
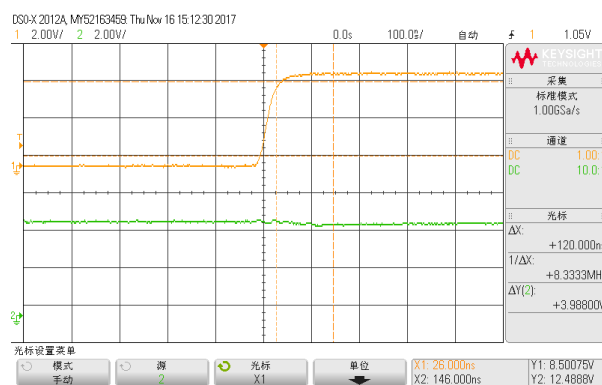


图 17: 竞争——冒险波形图



(a) $C = 680\text{pF}$



(b) $C = 1500\text{pF}$

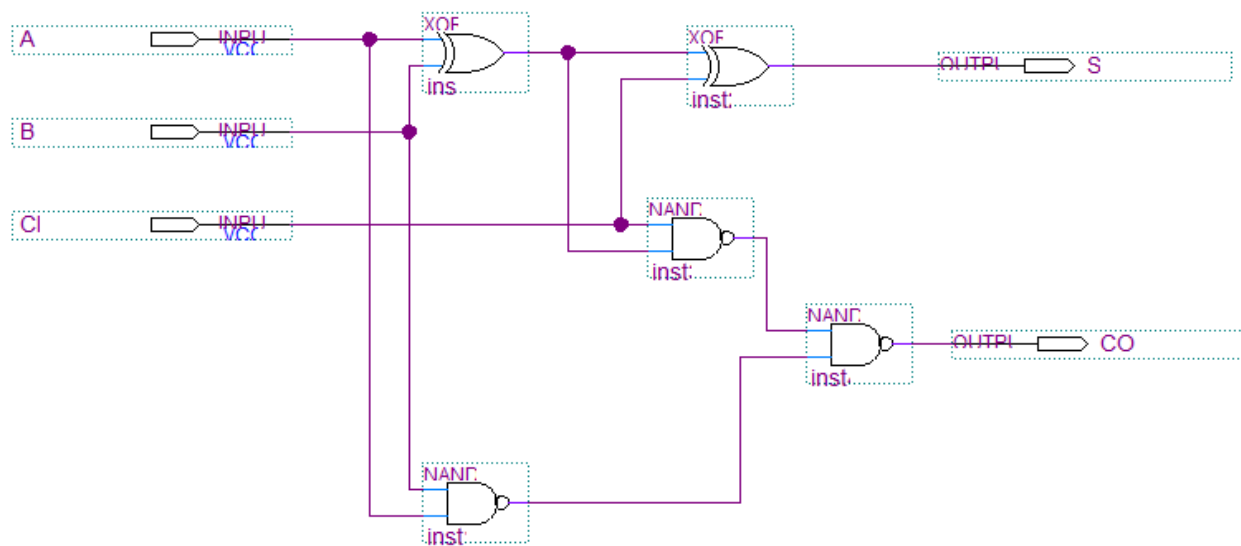
图 18: 电容滤波效果波形图

5 实验总结

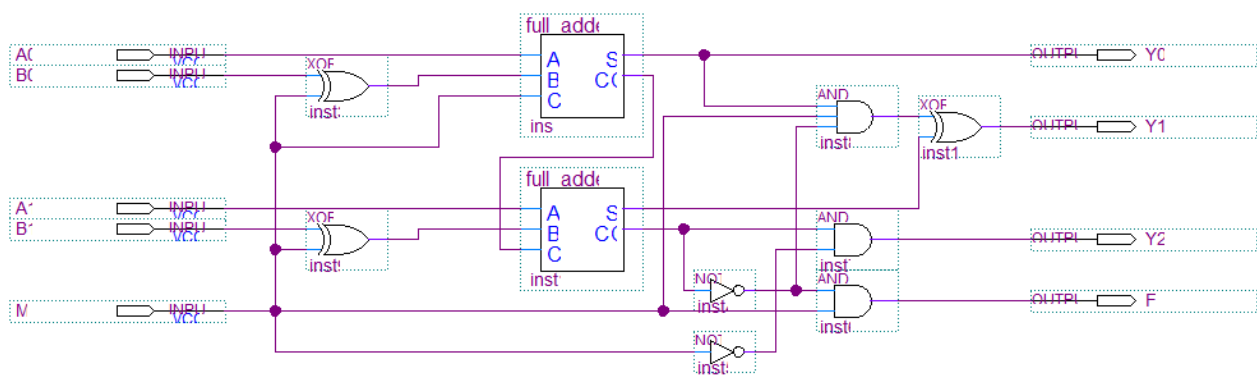
5.1 组合逻辑电路的设计和调试步骤

5.1.1 设计步骤

1. 根据电路所需功能，将其分成多个子功能模块。



(a) 全加器电路



(b) 顶层电路图

图 19: 最终电路图

2. 对于每个功能模块，确定输入变量和输出变量。
3. 根据功能实现要求，列出真值表。
4. 根据真值表，化简逻辑式。
5. 根据逻辑式，画出电路逻辑图。
6. 根据已有的元件资源，分配逻辑门，如果门不够用需要适当修改逻辑式。
7. 设计面包板布局。(详见5.3)。

5.1.2 调试步骤

在电路设计阶段，即可先通过软件（如 Quartus II）进行仿真，排查出逻辑上的问题。电路搭接结束后，测试输出是否符合预期。如果不符合，可以通过万用表或示波器来测量电压，按下面的步骤进行调试。

- 按照模块从小到大逐个检查输出电压是否正确。
- 如果某一模块输出电压错误，检查电路逻辑是否有误。
- 检查逻辑无误后，测量该模块输入电压是否正确。
- 如果输入电压错误，则问题出现在前一级（前一模块或电源电压），检测前一级电路。
- 如果输入电压无误，则检查该芯片是否损坏，并检查导线是否有松动、损坏等情况。

事实上，上述步骤的顺序可以依照实际情况有所变动。例如如果已经在上电前对电路逻辑检查多次，确保无误，则出现问题时可以优先考虑其它可能的原因。

5.2 实验中遇到的问题和解决方法

- 逻辑设计不当。在初次设计电路时，我在 1 位全加器中使用了多个或非门。但是当我查看元件盒中的芯片时，发现或非门的芯片资源不够。于是我修改了 1 位全加器的 *CO* 端逻辑表达式，并将电路逻辑图修改为图 19，从而解决了问题。
- 万用表损坏。实验开始时，我先测量了学习机的 5V 电源，发现万用表示数为 0。起初我以为是学习机电源有问题，后来我发现，万用表的表笔在热缩管处断裂。于是我找老师更换了一块万用表。
- 芯片引脚连接错误。由于必做任务中，我使用的所有的芯片的引脚排列都是一样的。但是在选做任务中，我使用 CD4011 芯片时误以为引脚排列和必做任务中一样。但是我打开示波器时发现波形不正确。后来经重新查阅 CD4011 的引脚图，我找到了问题所在，修正之后，得到了预期的波形。

5.3 实验收获

本次实验中的收获主要有以下几点：

1. 更加熟悉了组合逻辑电路的设计过程。
2. 掌握了许多面包板的搭线技巧。
3. 加深了对竞争——冒险现象及其消除的理解。

其中我对在面包板上搭线的过程印象最为深刻，收获也最多。面包板搭接效果如图 15 所示。可以看到，所有的接线都横平竖直，且尽可能保证在一个平面内，不出现飞线的情况。如此精致的连线与我充分的预习和精益求精的精神是分不开的。在不断地尝试中，我总结了在面包板上搭线的方法和步骤：

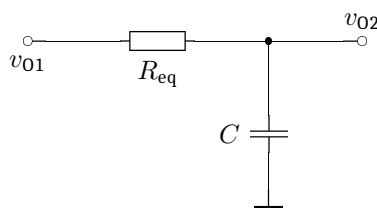
1. 根据电路设计，列出所有需要的各种门以及需要的个数。

2. 根据已有芯片的功能和个数，将所需的门分配到对应芯片。如果芯片数目不够，则需要修改逻辑表达式来调整。
3. 根据外设的位置大致确定芯片的布局。例如本次实验中输入的拨码开关在学习机下方，而数码管在上方，故应该将输入端的芯片布局在面包板的下方，而输出端的芯片布局在面包板上方。
4. 在纸大致上画出芯片的布局，进行各个引脚的分配。选择合适的引脚来实现逻辑功能，每确定一个引脚时，需要将该引脚对应的变量表达式标注在引脚上。最后，将顶层电路的输入和输出变量对应引脚用不同颜色的笔标记出来。
5. 开始在面包板上搭接电路。按照之前的布局放置芯片，指定电源和地所用窄条横向的孔。如果有一些变量在许多逻辑式中都出现，也则应该为其指定窄条部分横向的孔。例如在本次实验中，加减控制位 M 和第 0 位的进位 $CO_0 = CI_1$ 出现在多个逻辑表达式中。故在接线中考虑到这一点，为这两个变量分配了窄条部分的横向孔。接线时注意每接一条线之前先进行统筹安排，尽量节省空间。
6. 接线完毕后，需要对电路进行检查。利用在步骤 4 中的布局图，按照芯片引脚的顺序进行检查。每检查完一个引脚后，在布局图上将相应引脚做一个标记。后续检查的过程中需要参照已经检查正确的引脚。
7. 将搭好的面包板妥善保管。

6 思考题

1. 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。

答：添加滤波电容可以滤除输出信号的高频交流成分，故可以滤掉竞争冒险中的尖峰脉冲而不影响输出的直流电压。下面定性地分析电容滤波的原理：其中 v_{01} 是未经滤波时的输出， v'_{02} 是经过滤波



的输出， R_{eq} 是从输出端看入的戴维南等效电阻。设 v_{01} 频率为 ω ，则有

$$v_{02} = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} v_{01} = \frac{1}{j\omega RC + 1} v_{01}$$

则对于 v_{01} 中的直流成分， $\omega = 0$ ，故 $v_{02} = v_{01}$ ，即直流成分保持不变；而对于交流部分，其幅度会变成原来的 $\frac{1}{\sqrt{1+\omega^2 C^2 R_{eq}^2}}$ 。且电容越大，滤波效果越好。但事实上，如果电容值过大，则会使整个电

路的最大工作频率降低，故在满足滤波要求的条件下应该尽可能选小电容。下面定量地计算滤波电容值：考虑 v_{01} 下降阶段的 Δt 时间内，由三要素可得：

$$v_{02}(t + \Delta t) = v_{01}(t + \Delta t) + (v_{02}(t) - v_{01}(t + \Delta t))e^{-\Delta t/\tau} \quad (4)$$

即

$$v_{02}(t + \Delta t) - v_{02}(t) = (v_{01}(t + \Delta t) - v_{02}(t))(1 - e^{-\Delta t/\tau}) \quad (5)$$

注意到 Δt 是小量，则 $1 - e^{-\Delta t/\tau} \sim \Delta t/\tau$ ，则

$$v_{02}(t + \Delta t) - v_{02}(t) = (v_{01}(t + \Delta t) - v_{02}(t)) \cdot \frac{\Delta t}{\tau} \quad (6)$$

两边除以 Δt 后令 $\Delta t \rightarrow 0$ ，有

$$\tau v'_{02} + v_{02} = v_{01} \quad (7)$$

从波形中可以近似认为 v_{01} 下降过程是线性的，由于实验中高电平为 5V，设 $v_{01} = 5 - kt$ ，由方程 (7) 解得：

$$v_{01} = 5 - kt + k\tau(1 - e^{-t/\tau}) \quad (8)$$

观察尖峰脉冲的波形，在大约 60ns 的时间内 v_{01} 下降了 4V 左右。斜率约为 $\frac{4V}{60ns} = 6.67 \times 10^7 V/s$ 。下降时间 $t = 60ns$ 。在实验 2 中测得 CD4011 的导通电阻约为 236.94Ω 。若要求滤波之后输出电压下降不超过 1V，将数据代入式 (8) 中，解得 $C = 418pF$ 。需要指出的是，这一数值也不是完全准确的。事实上，将 $C = 680pF$ 代入式 (8) 求得 $v_{02} = 4.34V$ ，而从波形图中可以读出这时的 v_{02} 约为 4.8V。这一误差可能是由 R_{eq} 的估计不准，以及推导过程中的近似造成的。不过从数量级的估计上来说，这一结果已经满足了要求。实际选取滤波电容时，可以通过这一推导过程算出参考的数量级范围，再通过尝试结合具体的滤波要求选取电容。为了保证系统的工作频率，在满足要求的前提下电容不可取得过大。

2. 请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册，试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。

答：1 位全加器中用到了异或门和与非门，分别使用 74HC86 和 74HC00 芯片。查阅数据手册可知，74HC86 的 $t_{pd} = 11ns$ ¹，74HC00 的 $t_{pd} = 7ns$ ²。由图 12 可知，1 位全加器的传输延迟时间应该为 $11+7+7=25ns$ 。

影响电路的传输延迟时间的因素主要有：

- (1) 电路的设计，尤其是门电路串接的个数。
- (2) 芯片的工艺。例如 74HC 系列为高速 CMOS，传输延迟时间较短。
- (3) 负载电容的大小。
- (4) 温度等环境因素。
- (5) 芯片的供电电压。

¹<http://pdf1.alldatasheet.com/datasheet-pdf/view/15668/PHILIPS/74HC86.html>

²<http://pdf1.alldatasheet.com/datasheet-pdf/view/15520/PHILIPS/74HC00.html>