

# 光を用いた乗算器の構成の問題点

B4 今井 悠貴

2016 年 10 月 17 日

## 1 はじめに

近年、LSI は急速な発展を遂げ、高度な情報社会を担うキーデバイスとなっている。今日の LSI はチップサイズや素子サイズを極限まで小さくすることで性能の向上がなされており、トランジスタを微細化することで、処理速度の向上と消費エネルギーの低減の両方を同時に達成し、高性能な LSI を実現させてきた。しかし、トランジスタの微細化に伴い、配線も微細化されており、配線抵抗および配線容量の増加による配線遅延の影響が、さらなる処理速度の向上を妨げる要因となっている。また、リーク電流の増大等により低消費エネルギー化も困難となってきており、微細化による LSI の性能向上には限界が見えつつある。

そこで近年、LSI と共に情報通信社会を支える光技術に応用し、光スイッチや光配線を LSI のように集積化した光集積回路について注目が集まっている。こうした動きの背景には、フォトニック結晶に代表されるナノフォトニクス技術の発展がある。フォトニック結晶は屈折率の異なる 2 種の媒質からなる人工結晶であり、これを用いると、光波長程度の寸法で光を制御することが可能となる。これにより、トランジスタのように光の ON/OFF を切り替える光スイッチが実現できる。また、光配線および光スイッチは、配線内の寄生抵抗や寄生容量によらず光の速度で信号を伝搬することが可能であり、さらに、消費エネルギーについても光スイッチと CMOS 論理ゲートで同程度となりつつある。以上の理由から、光技術によって高速かつ低電力な光集積回路を実現するための研究が近年活発化している。

本稿では、まずフォトニック結晶を光スイッチとして利用する光パスゲートについて紹介し、光パスゲートを用いて乗算器を構成する上での問題点について述べる。次に、光に適した乗算器の構成として考えられる FFT 乗算器について紹介を行い、FFT 乗算器の利用可能性について議論する。最後に、本稿のまとめと今後の課題について述べる。

## 2 光パスゲートの基本原理

光パスゲートの概念図を図 1 に示す。光パスゲートは光の ON/OFF や流出経路を制御する論理ゲートである。図 1 の制御信号  $S$  の値が 1 の時は、 $X = A$ ,  $Y = B$  のように左からの入力光をそのまま右に出力し、制御信号  $S$  の値が 0 の時は、 $X = B$ ,  $Y = A$  のように左からの入力光を上下反転させて右に出力する。このとき、制御信号  $S$  に入力される信号は電気信号である必要がある。

この光パスゲートの論理は、パストランジスタロジックによく似ている。図 2 にパストランジスタロジックを用いて構成された 2 入力マルチプレクサの構造を示す。図 2 はトランスミッションゲートを使用した例である。図 2 において、制御信号  $S$  が 1 の時は  $X = A$  が出力され、制御信号  $S$  が 0 の時は  $X = B$  が出力される。すなわち、図 1 の光パスゲートと同じ論理を示している。このように、光パスゲートとパストランジスタは、入力信号が光信号か電気信号かという違いを除け

ば、非常によく似たロジックを有していると言うことができる。

### 3 光パスゲートを用いた乗算器の構成

#### 3.1 光パスゲートによる回路構成の問題点

光パスゲートはパストラジスタとよく似たロジックを有していることを述べた。そこで、光パスゲートを用いた乗算器の構成法の1つとして、MOSによる乗算器の構成を光パスゲートに適用することが考えられる。MOSによる乗算器の構成法としては配列型やウォリス木などが代表的であるが、こうした構成は光パスゲートを用いて実現する上では適しているとは言えない。これは、配列型やウォリス木の全加算器を多段に接続する構造に問題がある。図4は全加算器の構造の一例であるが、この回路のXORやMUXを光パスゲートを用いて実現する場合、図5のようになる。この場合、XORの一方の入力AおよびMUXの選択信号Sは、光電変換を通じて電気信号で与えなければならない。そのため、全加算器が多段に接続されるような構造の場合、光電変換を多用する必要がある、これに要する遅延時間のために高速な乗算器の実現が困難となる。したがって、光に適した乗算器の構成について考える必要がある。以下ではFFT乗算器について利用可能性を議論する。

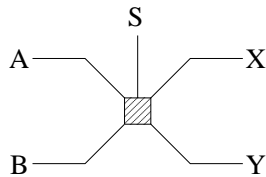


図 1: 光パスゲートの概念図

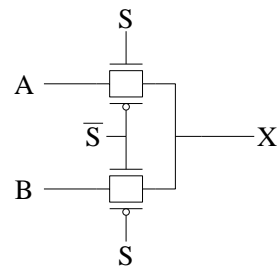


図 2: パストラジスタロジックを用いた MUX

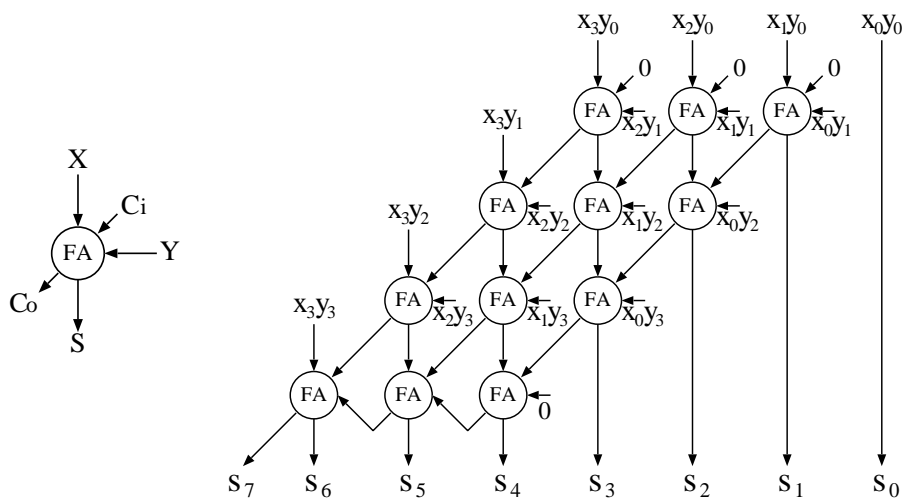


図 3: 配列型乗算器の構造

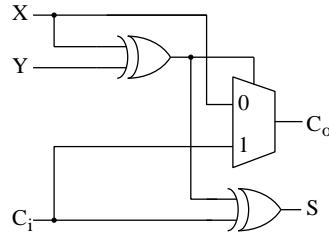


図 4: 全加算器の回路例

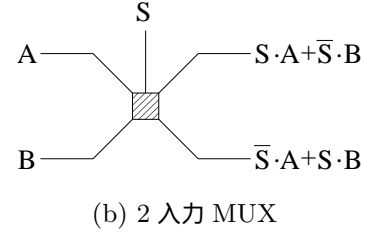
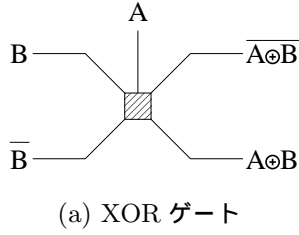


図 5: 光パスゲートを用いた論理ゲート

## 3.2 FFT 乗算器について

### 3.2.1 FFT 乗算のアルゴリズム

$N$  桁の整数  $x_{N-1} \dots x_0$  と  $y_{N-1} \dots y_0$  について、 $N = 2M$  および  $x_n = y_n = 0$  ( $n = M, M+1, \dots, 2M-1$ ) が成り立つとする。また、 $x_n, y_n$  の離散フーリエ変換を  $X_m, Y_m$  ( $m = 0, 1, \dots, N-1$ ) とする。すなわち、

$$X_m = \mathcal{F}[x_n] = \sum_{n=0}^{N-1} \omega_N^{-mn} x_n$$

$$Y_m = \mathcal{F}[y_n] = \sum_{n=0}^{N-1} \omega_N^{-mn} y_n$$

である。ここで、 $\omega_N = e^{2\pi i/N}$  である。このとき、 $N$  桁の整数  $x_{N-1} \dots x_0$  と  $y_{N-1} \dots y_0$  の積を  $z_{N-1} \dots z_0$  とすると、

$$z_n = \mathcal{F}^{-1}[X_m \times Y_m] = \frac{1}{N} \sum_{m=0}^{N-1} \omega_N^{mn} (X_m \times Y_m)$$

となる。ここで、 $z_n$  は  $r$  進数で高々  $Mr^2$  の数になるが、これは  $r$  進数で 1 桁には収まらない。そのため、最後に桁ごとに加算を行い、得られた結果が整数  $x_{N-1} \dots x_0$  と  $y_{N-1} \dots y_0$  の乗算結果となる。

### 3.2.2 FFT 乗算器の回路構成について

FFT 乗算器の構成は図 6 のように表される。各部の処理内容は以下になる。

- (a)  $x_n, y_n$  の離散フーリエ変換  $X_m, Y_m$  ( $m = 0, 1, \dots, N-1$ ) を求める。

(b)  $Z_m = X_m \times Y_m$  を求める。

(c)  $Z_m$  を逆フーリエ変換し、 $z_n$  を求める。

これを光を用いて実現する場合、FFT 部分 (a) は図 7 および図 8 のように構成することができる。図 7 はバタフライ演算回路を使用した FFT 回路で、8 ビットの信号系列の FFT を求める回路である。図中の枠内の数字は図 8 における  $k$  の値を示している。また、バタフライ演算回路の構造は図 8 のように表される。

この回路は入力から出力までの間に光電変換を要しないため、高速な演算が可能である。また、同様の回路構成で逆フーリエ変換部分 (c) の演算回路も構成できる。

### 3.2.3 FFT 乗算器の問題点について

光を用いて FFT 乗算器を構成する上で、様々な問題点が存在する。まず、図 6 の (b) の部分、すなわち、 $Z_m = X_m \times Y_m$  を求める回路の実現方法について考えなければならない。また、図 7 で得られる  $X_m, Y_m, Z_m$  は 0,1 の 2 値ではなく、多値 ( $N$  進数) となる。そのため、多値に対応した乗算回路 (b) および  $\text{FFT}^{-1}$  回路 (c) や、多値 ( $N$  進数) を 2 進系列に変換する機構などが必要となってくる。

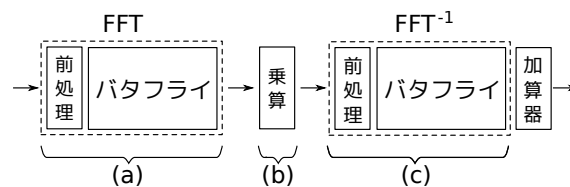


図 6: FFT 乗算器の構成

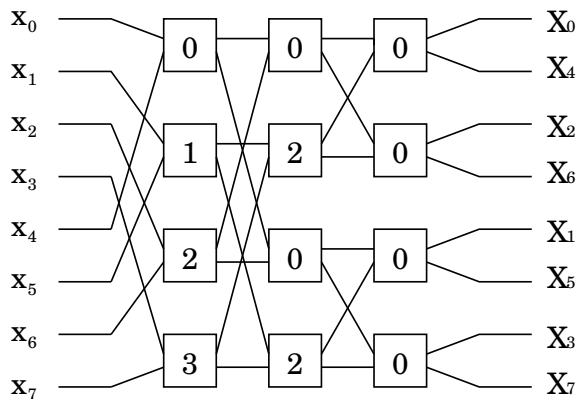


図 7: FFT 回路の構成 ( $N = 8$  の例)

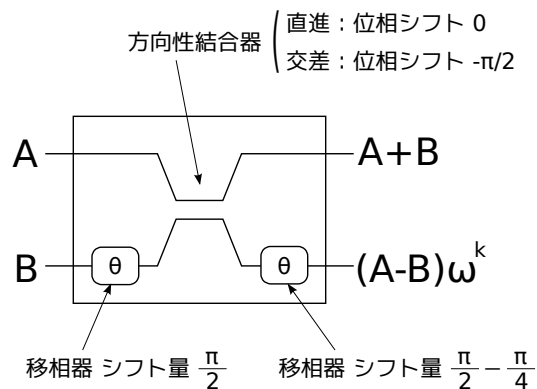


図 8: バタフライ演算回路

## 4 まとめ

本稿では、光パスゲートを用いて乗算器を構成する上での問題点について述べ、さらに、光に適した乗算器の構成として考えられる FFT 乗算器について、現状で様々な問題点が存在することを述べた。今後の研究では、FFT 乗算器の問題点について解決案を模索するとともに、より適した乗算器の構成についても検討を行っていく予定である。

## 参考文献

- [1] N.H.E.Weste F.M.Harris. “CMOS VLSI DESIGN A Cirkits and Systems Perspecive 4th Edition”. Addison Wesley, 2010.
- [2] 長瀬哲也, 高木一義, 高木直史, “配線遅延を考慮した回路モデル上での加算及び乗算の計算複雑さ”. Vol. 2009, No. 18(AL-123), pp. 54–64, 3 2009.
- [3] 笹山浩二. “光導波路を用いた全光型信号処理フィルタ”. Vol. 21, No. 6, pp. 400–406, 1 1992.
- [4] 石原亨, 新家昭彦, 井上弘, 土 野崎謙悟, 納富雅也. “光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証”. 信学技報, Vol. 116, No. 94, pp. 109–114, 6 2016.