

# 光コンピューティングに関する調査 とCRESTの方向性

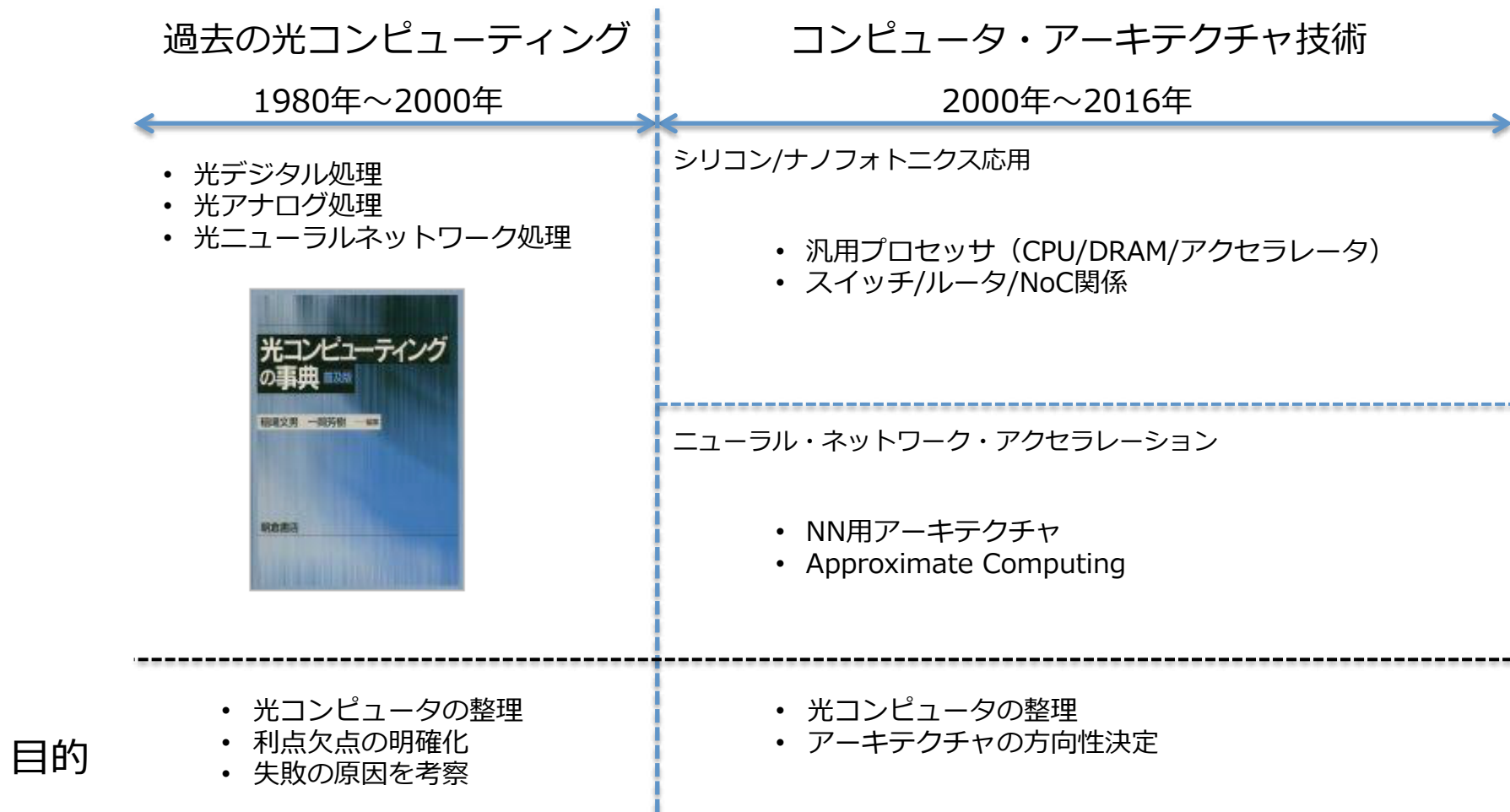
2016/08/03

九州大学

井上こうじ, 小野貴継, 川上哲志, 磯部聖, 浅井里奈

# 光コンピューティングに関する 調査

# 調査方法

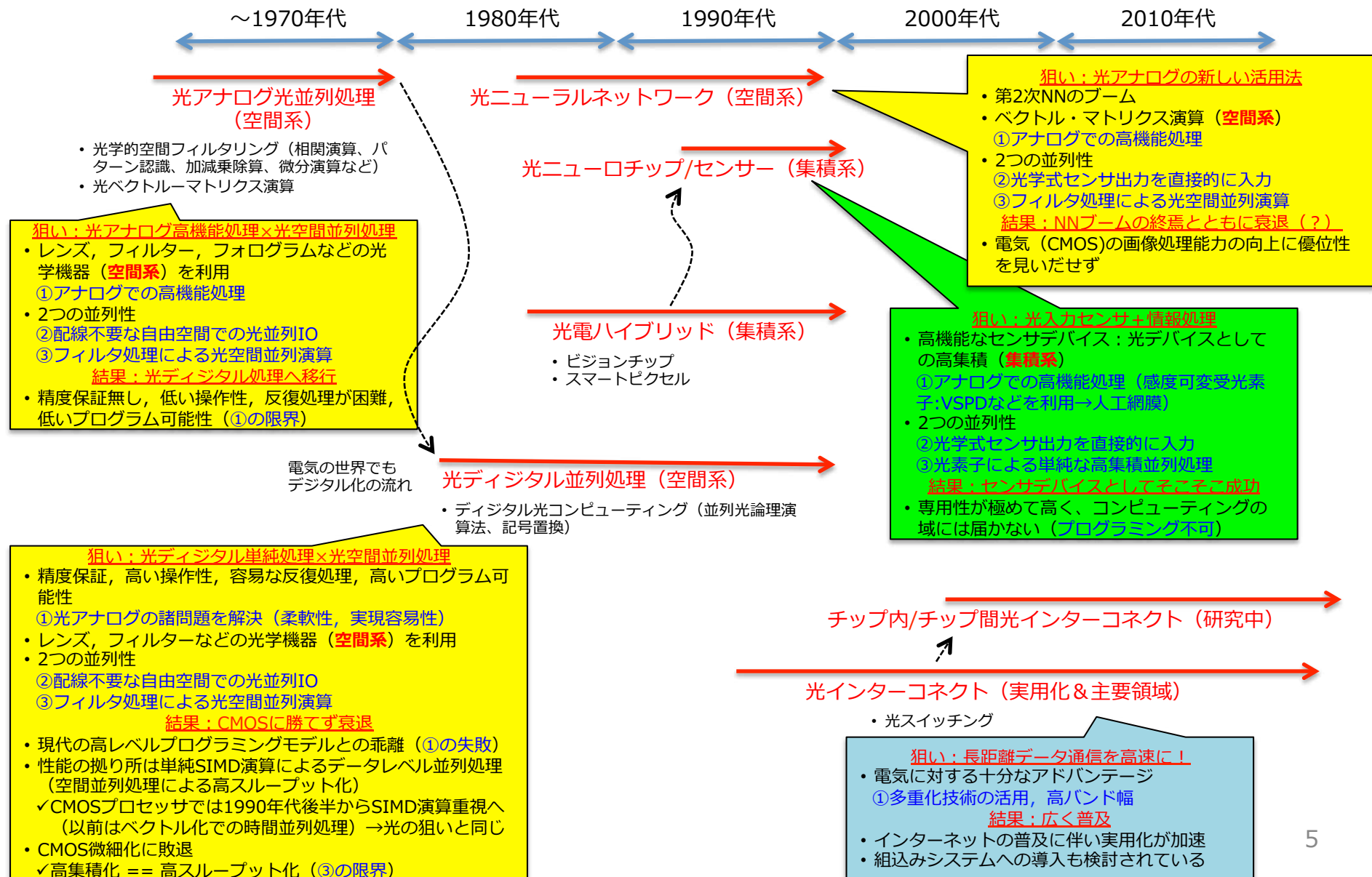


# 論文調査（現状は約80本） ～google スプレッドシートで共有～

N	ID	著者	タイトル	会議名	年
63	2.2	N. Farrington	A 10 us Hybrid Optical-Circuit/Electrical-Packet Network for Datacenters,	Optical Fiber Comm 2013	2013

担当	コメント
3 satoshi	Data Centerサーバ向けのノード間を光通信、ノード内を電気通信で実現。6ノード、4波長/ノードで24波長多重の光電融合ネットワークを構成。この論文では、スイッチングタイム11.5usの波長選択スイッチを実現・評価。すなわち、ノード間スイッチは10us程度で切り替え可能。実システムで評価しているポイントは大きい。

# 光コンピュータ関連研究の歴史



# 調査方法

## 過去の光コンピューティング

1980年～2000年

- 光デジタル処理
- 光アナログ処理
- 光ニューラルネットワーク処理



## コンピュータ・アーキテクチャ技術

2000年～2016年

シリコン/ナノフォトニクス応用

- 汎用プロセッサ (CPU/DRAM/アクセラレータ)
- スイッチ/ルータ/NoC関係

ニューラル・ネットワーク・アクセラレーション

- NN用アーキテクチャ
- Approximate Computing

## 目的

- 光コンピュータの整理
- 利点欠点の明確化
- 失敗の原因を考察

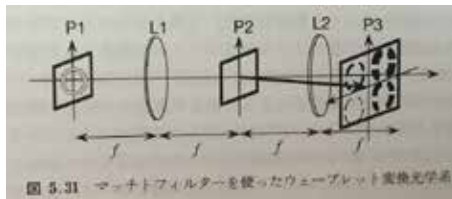
- 光コンピュータの整理
- アーキテクチャの方向性決定

# アナログ光コンピューティング

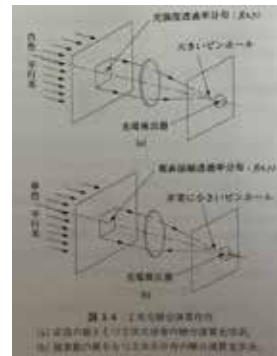
光波の伝搬・干渉・回折などの自然法則に基づき多次元フーリエ変換や多次元相関演算などの高レベル超並列演算  
→利点：高機能処理，欠点：低精度（情報の自己修復機構を持たない）と低プログラマビリティ

## ウェーブレット変換

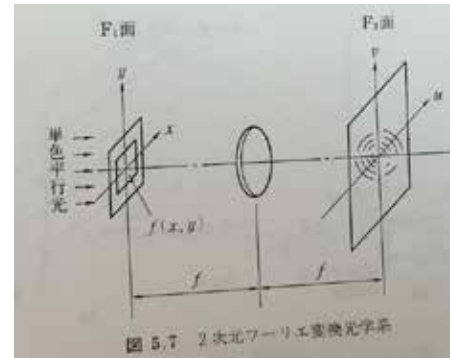
- マッチトフィルター光学系
- 画像処理



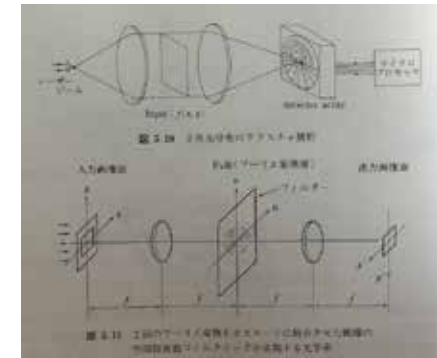
## 積分演算作用



## 2次元フーリエ変換



## 空間周波数フィルタリングによる画像処理



# ディジタル光コンピューティング～基本演算～

## レギュラー接続

- ネットワークにより任意の接続パターンを実現
- ノードに論理ゲートを配置
- プログラマブル・ロジックアレイなど

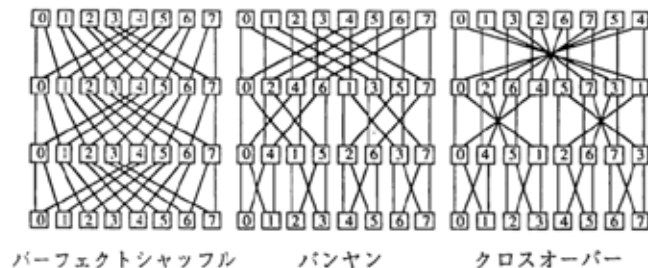


図 3 レギュラー接続ネットワーク<sup>44)</sup>

## 計算おりがみ

- 処理の正規化と演算の折り込み
- 5種類の処理を設定可能な機能モジュール

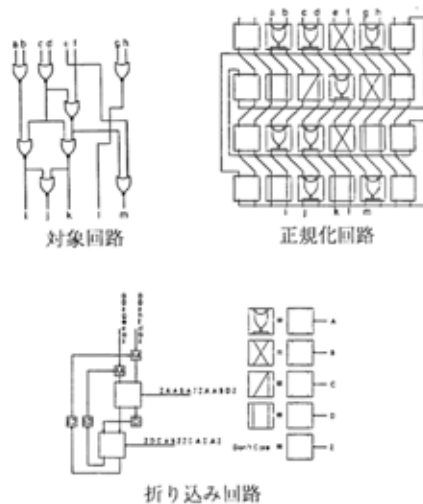


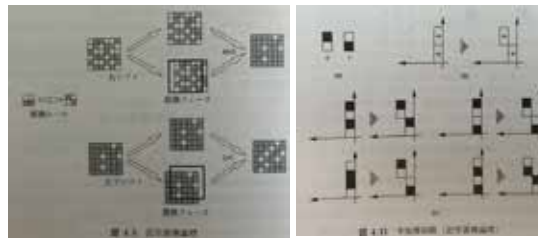
図 6 計算おりがみによる回路簡化の例<sup>67)</sup>

谷口純, “光コンピューター開発研究の現状,” 光学第20巻10号, 1991.

## 自由空間を用いた並列処理

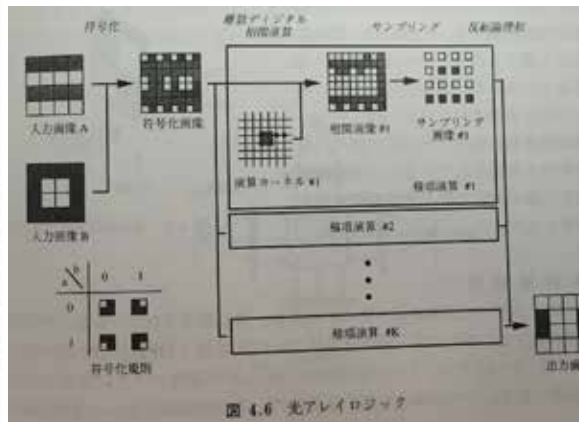
### 記号置換論理 (パターン変換操作)

- 特定パターンの検出と置換で処理を実現
- 2次元空間並列性の活用 (画像処理)
- 変形マイケルソン干渉計, 回折格子, 多重投影法など



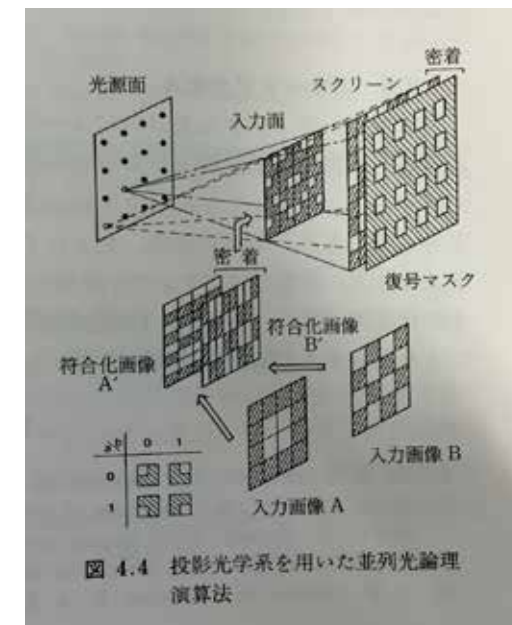
### 光アレイロジック (パターン変換操作)

- 論理代数をベースとし, ほぼほぼ
- 2次元空間並列性の活用 (画像処理)
- 多重投影法, 分割鏡, 微小レンズアレイなど



### 並列光論理演算 (投影光学系)

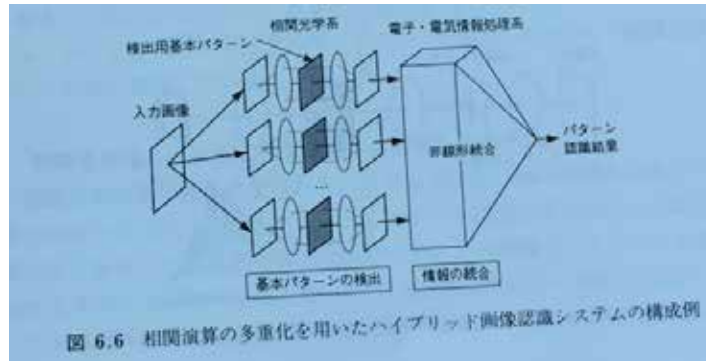
- 光学的な処理により論理演算を実現
- 2次元空間並列性の活用 (画像処理)
- 符号化規則に従い被処理画像を符号パターンに変換, 点光源群により照明, 投影像を一部を取り出し演算を実現





# ハイブリッド光コンピューティング

## 画像認識

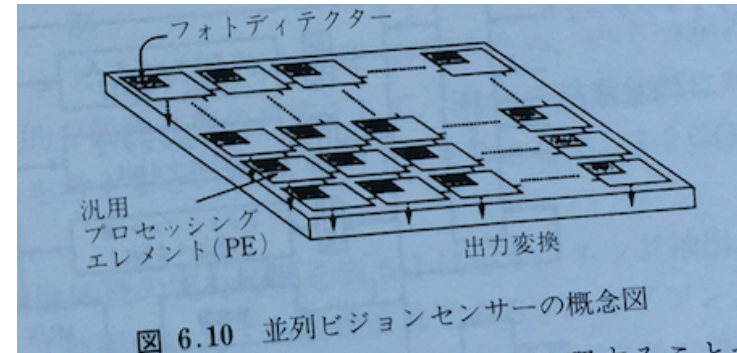


光による並列フィルタ処理（相関演算）

+

電子による識別処理（人工ニューラルネットワーク）

ビジョンチップ/スマートセル  
(SPE-4K@東大, 人工網膜@三菱など)



光入力（フォトディテクタ）

+

電子による情報処理（PEでのSIMD命令実行）

## 連想メモリ（ベクトル行列演算器応用として使えるかも！）

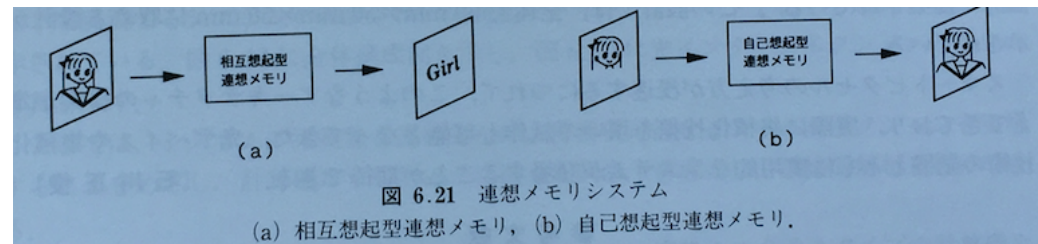
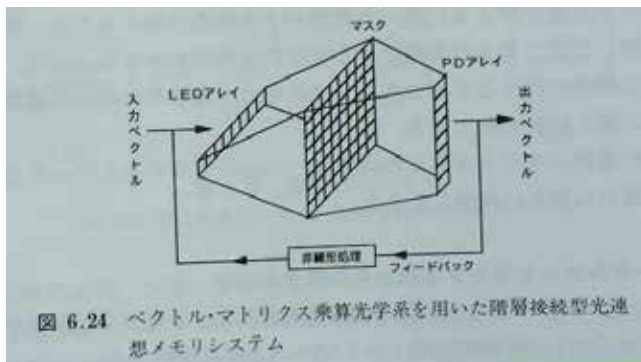


図 6.21 連想メモリシステム

(a) 相互想起型連想メモリ, (b) 自己想起型連想メモリ。

相互想起型連想メモリ :  $Key \neq Value$

自己想起型連想メモリ :  $Key == Value$  (ただしKeyの一部を入力)

ニューラルネットワークを「ベクトル・ベクトル変換器」と捉える！

# 光ニューロコンピューティング ～アナログ光コンピューティングを経て～

## • 光NNのためのデバイス

- 光ニューロン素子：入力光信号の総和+非線形（活性化）演算
  - 非線形演算を電気で実現する場合もある（ハイブリッド）
  - フォトトランジスタ+FET+LEDの集積や液晶の利用など
- シナプス素子：光ニューロン素子への入力の変調
  - 光学マスクやホログラム（固定変調），空間光変調素子（学習に必要な可変変調）など
  - 感度可変受光素子（VSPD: Variable Sensitivity PhotoDetector）：受光感度を外部制御静電圧によりアナログ的に変化，正負の感度，感度の記憶（光メモリ）

## • NNコンピューティング

- 光強度でニューロンの状態を表現（インコヒーレント光学系）
  - 光学的ベクトル行列積：入力ベクトルビームをシナプス荷重に対応する透過率のマスクに照射，行ごとに集光
  - 振幅，位相，周波数でニューロンの状態を表現する方法も考えられるが，これを実現するためのコヒーレント光学系の技術は成熟していない（とのこと）
- 集積系としての実現
  - 光ニューロチップ
  - LEDの発行パターンをニューロンの状態ベクトル，VSPDの光検出感度をシナプス荷重値と対応付け
  - VSPDの光アナログメモリ機能を用いてオンチップでの学習が可能に（バックプロパゲーション）
  - 2x2ナノフォトスイッチ・ベースの実装との定性的比較が必要？

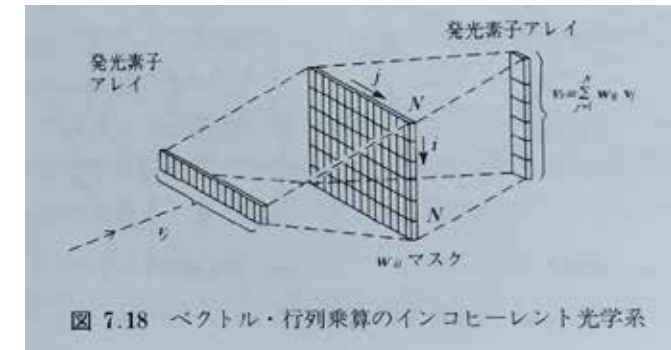


図 7.18 ベクトル・行列乗算のインコヒーレント光学系

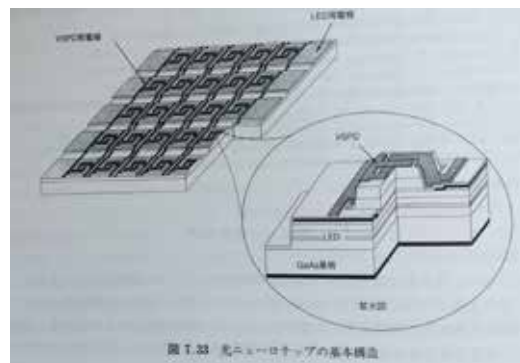
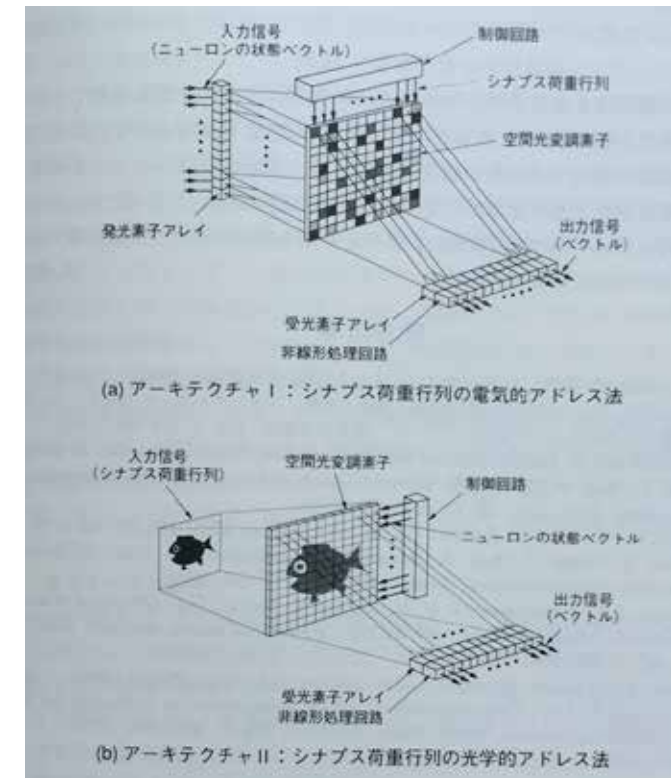


図 7.33 光ニューロチップの基本構造

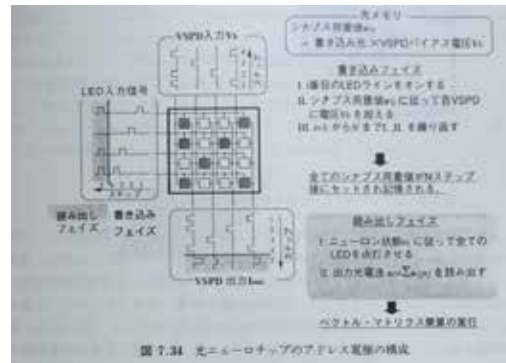


図 7.34 光ニューロチップのアドレス方式の構成

# 調査方法

過去の光コンピューティング

1980年～2000年

- 光デジタル処理
- 光アナログ処理
- 光ニューラルネットワーク処理



コンピュータ・アーキテクチャ技術

2000年～2016年

シリコン/ナノフォトニクス応用

- 汎用プロセッサ (CPU/DRAM/アクセラレータ)
- スイッチ/ルータ/NoC関係

ニューラル・ネットワーク・アクセラレーション

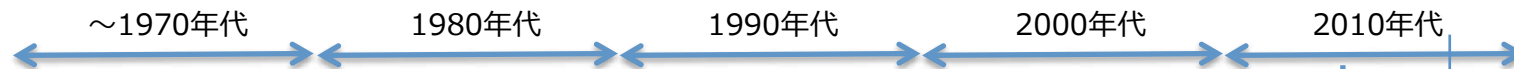
- NN用アーキテクチャ
- Approximate Computing

目的

- 光コンピュータの整理
- 利点欠点の明確化
- 失敗の原因を考察

- 光コンピュータの整理
- アーキテクチャの方向性決定

# 近年のシリコンフォトニクス アーキテクチャ関連研究の動向



2008~

## ルーター/スイッチ/NoC

古くからよく研究されているが、調査対象は(2000年~)

下記の光デバイスの性質から基本的な狙いは、長距離光通信⇔短距離電気通信

- ・ 導波路のエネルギーロスが少ない。(動的な電力消費が小さい)
- ・ 光を現行の回路に組込むためには、OE変換/EO変換のオーバーヘッドが必要
- ・ 静的な電力消費が大きい。(thermal tuning, 光源) → 使用率が高い通信路が良し

## 汎用プロセッサ (CPU/DRAM/アクセラレーター)

すなわち、通信路光化がターゲット

2008年ごろから盛んに研究され(論文が出)始めた。

問題意識としては、一貫してメモリーウォール問題(性能, 電力, 面積)を挙げている。

- ・ 要求バンド幅の増加(10GFLOPS~10TFLOPS)に対しPin数の増加率は2x以下に落ち込む by ITRS roadmap 2006 → DWDM(波長多重)
- ・ CMOSではテラオーダのバンド幅実現には消費電力許容不可 → 光素子の地力頼み  
5pJ/b (22nmCMOS) vs. 250fJ/b ~ 50fJ/b (光デバイス)  
※前提条件等は、論文依存なのであくまで参考値。

主な研究グループは下記2つ

1. HP Lab. , Wisconsin Univ. , and Utah Univ. (Corona)
2. Boston Univ. , MIT , UC Berkeley

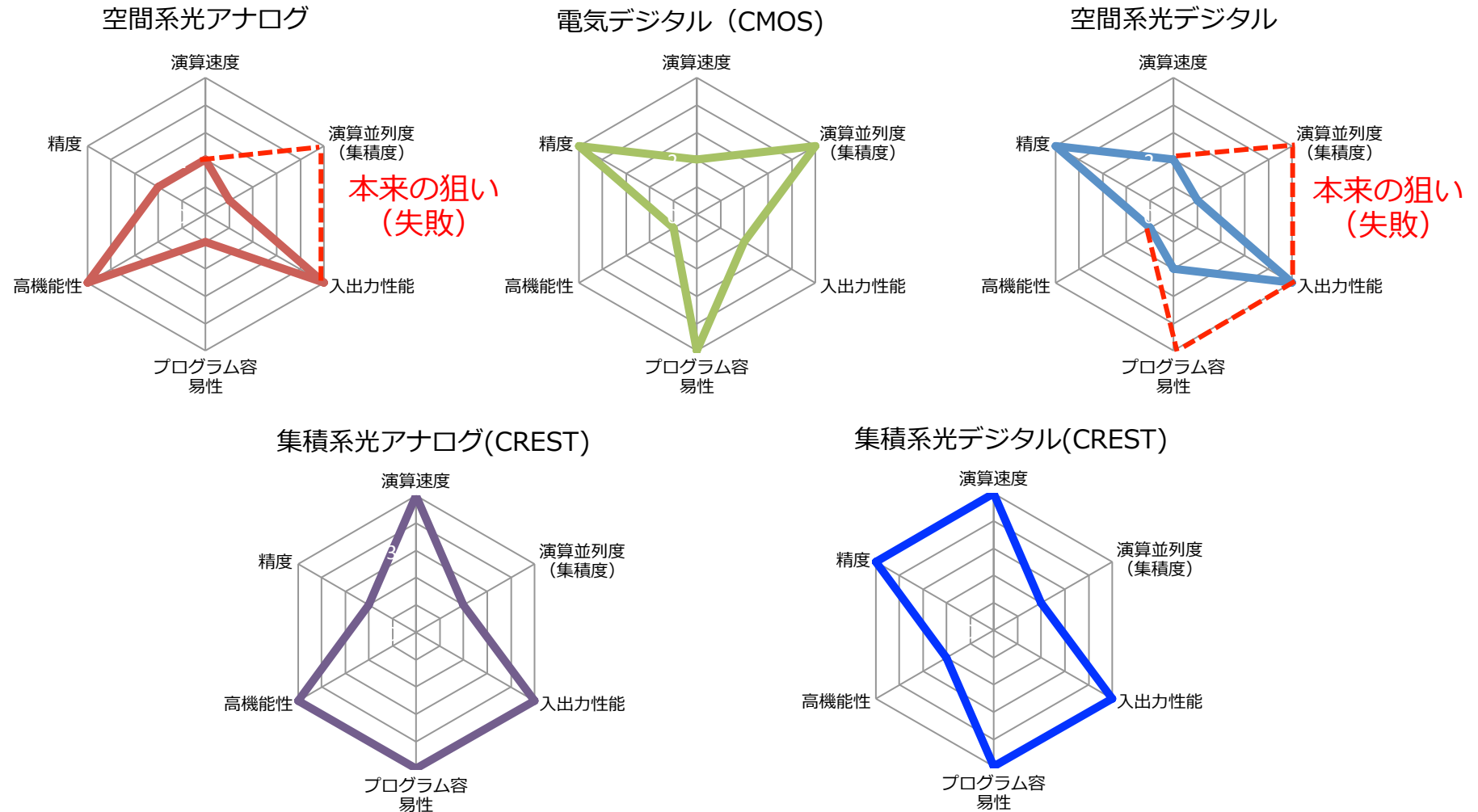
# **CREST研究の方向性**

## **～アーキテクチャの視点から～**

# なぜ光コンピューティングは失敗に終わったのか？

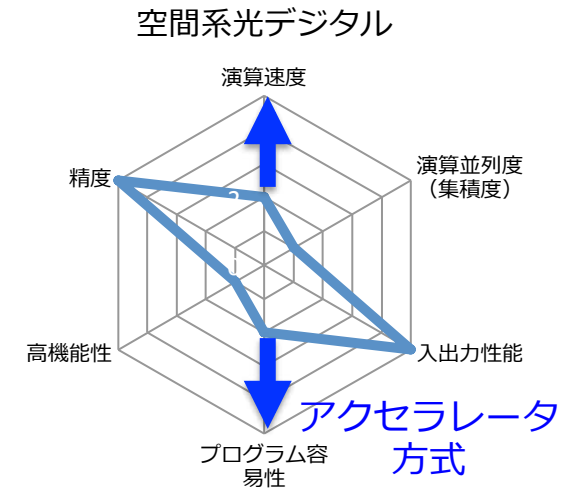
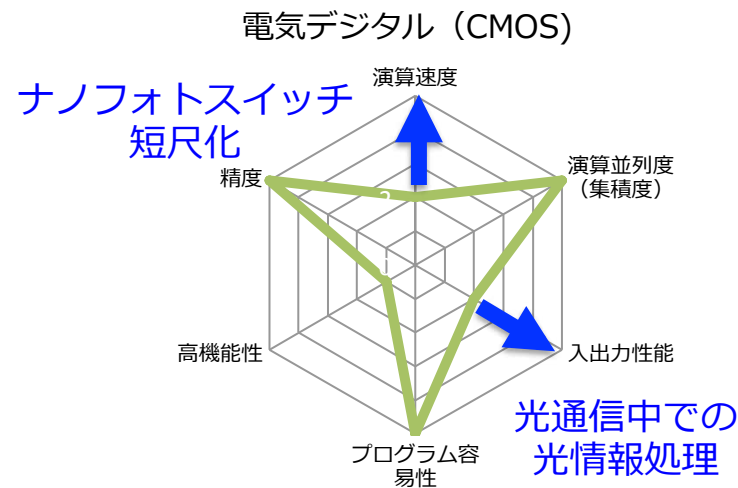
- 狙いがスループット改善型並列処理（SIMD処理）であった
  - 性能 $\propto \text{Min}(\text{Pio: 入出力並列度}, \text{Pcal: 演算並列度})$ 
    - 空間系でのPcal：理想的には無限，現実的には装置サイズ依存  
→世の中は大型化ではなく小型化の方向性
    - 電気CMOSでのPcal：ムーアの法則に基づく微細化
    - 結果として，光空間系Pcal  $\ll$  電気CMOSPcal
  - 結果として，提供できる並列度が低い
- プログラミング容易性を維持できる計算モデルになっていない
  - 現代の高レベル言語へ対応できない

# 光 vs. 電気, 空間 vs. 集積 (私見)



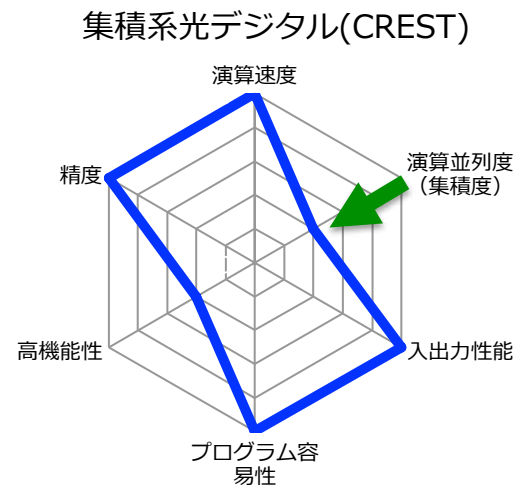
# 集積系光デジタル(CREST)

性能  $\div$  高機能性  $\times$  Min(演算速度  $\times$  演算並列度, 入力性能) ←勝負所



## 基本戦略

- 光通信中でのダイレクトな光情報処理
  - ✓ IonC: In-optical-network Computing
  - ✓ EO/OEオーバヘッドが露呈する領域に光情報処理を持ち込むのは得策ではない
- 小型ナノフォトデバイスによる低レイテンシ
- プログラム容易性はアクセラレーション方式でカバー
- (+ 位相などの光の特性を用いた高機能化)

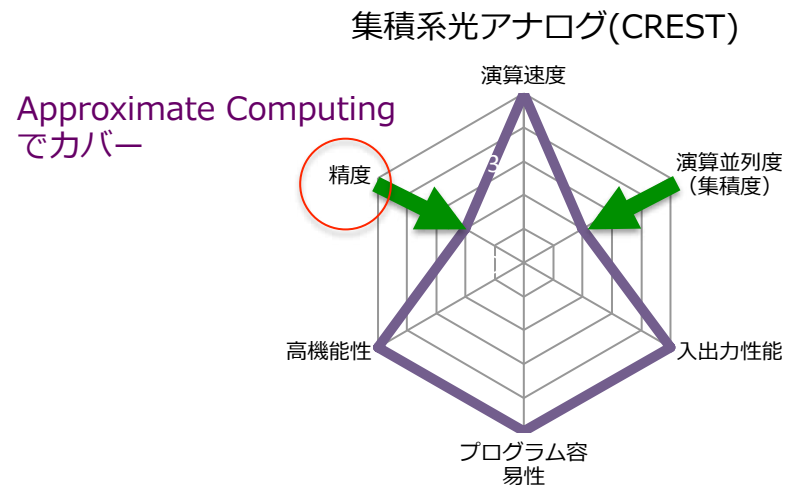
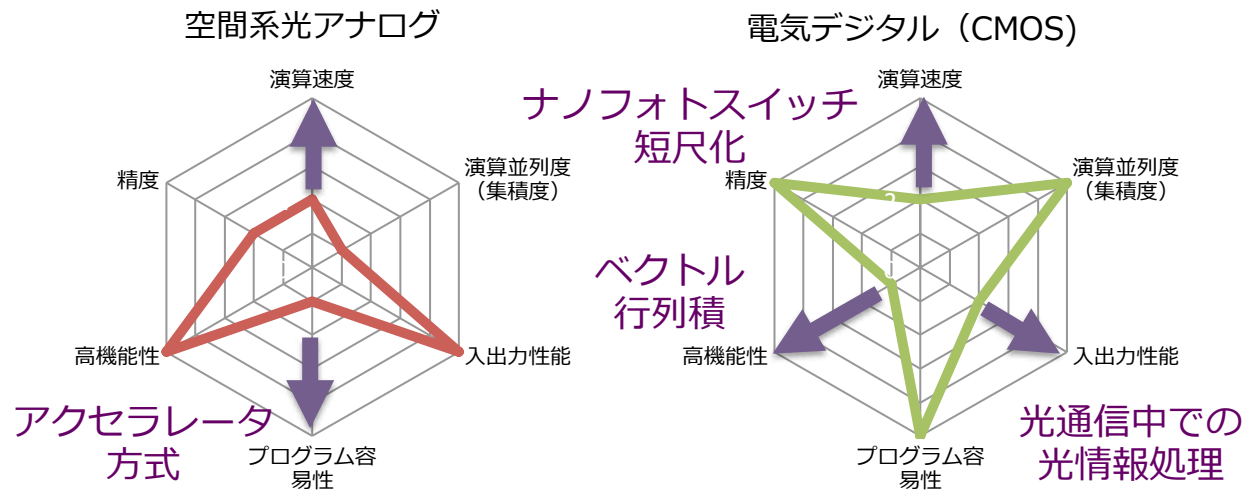




# 集積系光アナログ(CREST)

$$\text{性能} \div \text{高機能性} \times \text{Min}(\text{演算速度} \times \text{演算並列度}, \text{入力性能})$$

←勝負所

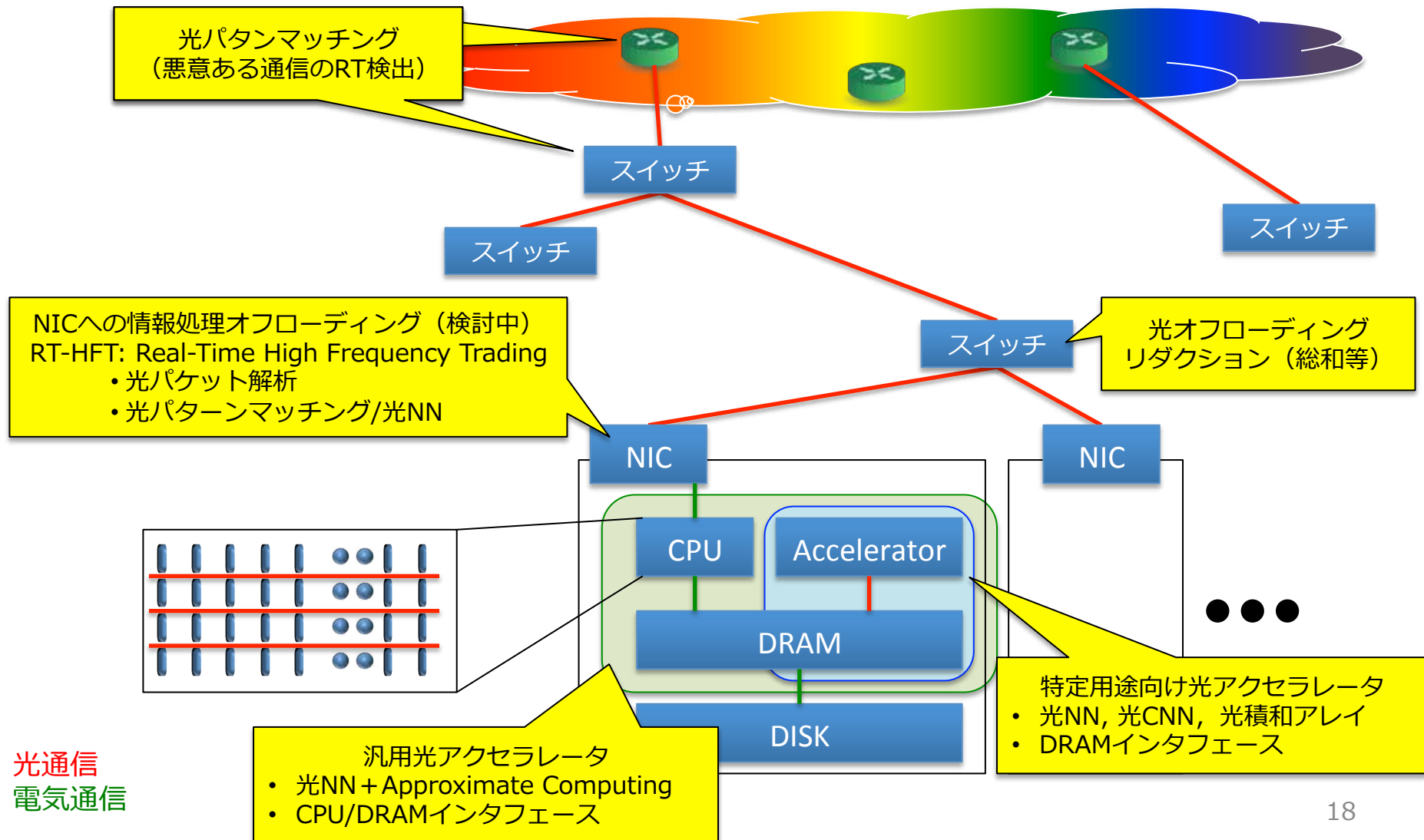


## 基本戦略

- 光通信中のダイレクトな光情報処理 (IonC)
- 小型ナノフォトデバイスによる低レイテンシ
- 光アナログによる高機能処理
  - ✓ ベクトル行列積, 総和, 活性化関数など
  - ✓ 光NNや光行列演算など
- 精度低下を許容した処理モデル (AC)
- プログラム容易性はアクセラレーション方式でカバー

# 光コンピューティングの方向性

## ～ In-Optical-Network Computing (IonC) ～



# まとめ

- 光コンピューティングに関する調査
  - ～2000年：空間系光コンピューティング
    - SIMDによる光並列処理を拠り所としたことが一番の敗因（vs CMOS）
    - 光通信ならびに光入出力に関しては以前として大きなアドバンテージ（ただし主流は導波路系）
  - 2000年～：光アーキテクチャ研究
    - 通信路の光化にフォーカス
    - 光情報処理の取り組みは無い
- CREST研究の位置付けと狙いに関する整理
  - 狙いは「高速性＋高入出力性＋高機能性」
  - 集積系光デジタル
    - 加算，乗算，積和，パターンマッチングなど
  - 集積系光アナログ
    - ベクトル行列積，活性化関数，これらを用いたNNなど
- 今後の予定
  - パターンマッチングに関する調査
  - 複素NNに関する調査

# Backup Slides

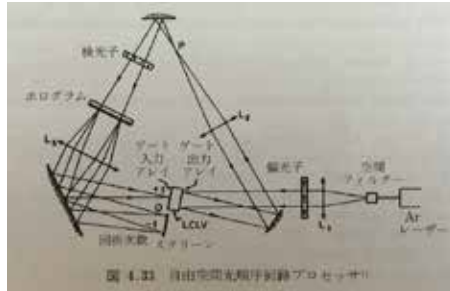
# なぜ光コンピューティングは失敗に終わったのか？

メモ：以下は教科書から抜粋（166～167p）

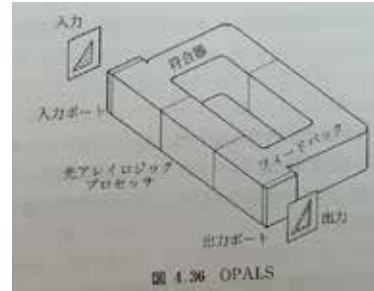
- 1960～1970年代はアナログ光コンピューティング全盛（高機能処理）
  - ✓ 低精度と低プログラム容易性により電子の世界でもアナログ→デジタル
  - ✓ 光情報処理の行き詰まりはアナログ情報処理にある!→光デジタルに移行
- 1980年代の「光コンピューティング」は光論理演算を基礎とする光ディジタル
  - ✓ ディジタル論理演算という共通性のためポテンシャルは電子式と直接比較される立場になる
  - ✓ 論理素子の大きさ、論理演算の速度・エネルギー消費、汎用性などにおいて光論理演算システムは果たしてシリコンVLSIシステムを凌駕する可能性をもちうるものなのか？
  - ✓ 現在のディジタルコンピュータと同じ方向を指向し、光技術をシリコンVLSI技術と対立・競合するものと位置付ける限りディジタル光コンピューティングは常にこのような問いへの解答を迫られる宿命を背負うことになるであろう
- 1980年代にアナログコンピューティングが再び脚光→第二次ニューラルネットワーク・ブーム
  - ✓ 重要なのは、超並列情報処理の基本原則を、ディジタル論理演算の積み上げではなく互いに非線形な相互作用する多数素子のダイナミクスに求めた点（非線形な物理系の力学的状態変化を利用して問題を解く、というアナログ情報処理の原理）
  - ✓ アナログコンピューティングの再評価は電気の世界も同様（VLSIニューロチップやアナログ網膜VLSI）
  - ✓ 光ディジタルと同様、光アナログもシリコンVLSIアナログ（電気）と比較される立場となる

# ディジタル光コンピューティング～システム～

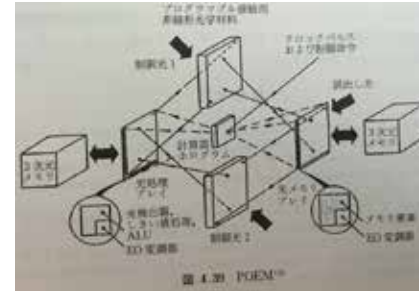
自由空間光順序回路プロセッサ  
1984年（南カリフォルニア大学）



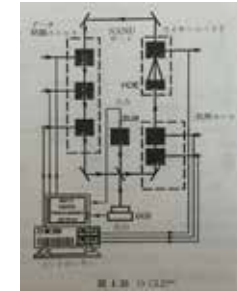
OPALS  
1986年（大阪大学）



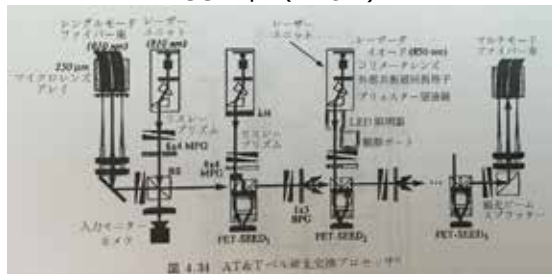
OPEM 1989年（UCSD）



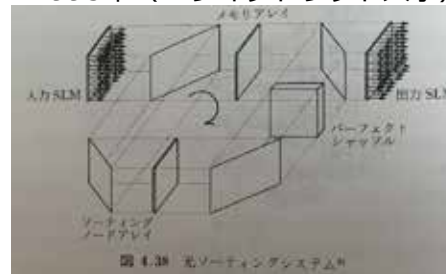
O-CLIP 1991年  
（ヘリオットワット大学）



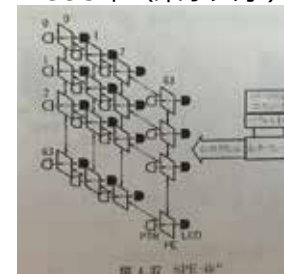
FFT-SEED素子での光交換プロセッサ  
1994年（AT&T）



光ソーティングシステム  
1995年（ヘリオットワット大学）



SPE-4k  
1995年（東京大学）



OAL-NC 1995年（大阪大学）



# ハイブリッド光コンピューティング

光：高機能並列演算性（2次元情報のフーリエ変換や画像間相関演算など）

+

電子：非線形処理や適応型処理（プログラムによる柔軟性）

現実には「並列演算性」が逆転（高機能性は優位）

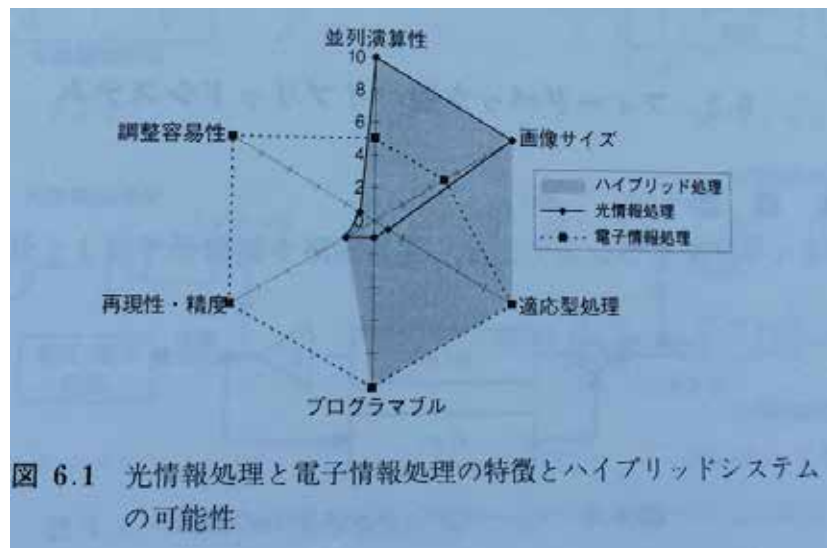


図 6.1 光情報処理と電子情報処理の特徴とハイブリッドシステムの可能性

$N \times N$ 画像から  $n \times n$ 画素のパターンを相関演算で検出する場合  
(曲線はDSP@20MHz, 1回の相関演算  $= n^2(N-n+1)^2$ 回の乗算)

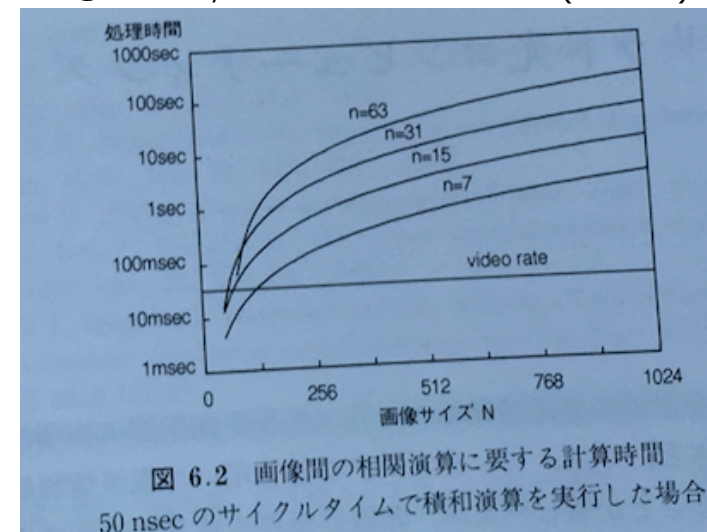
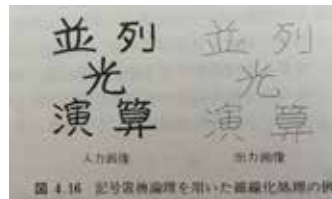
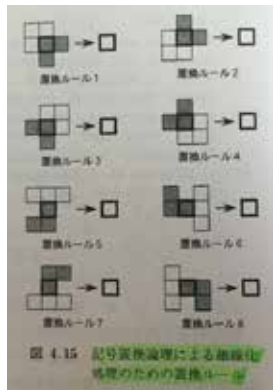


図 6.2 画像間の相関演算に要する計算時間  
50 nsec のサイクルタイムで積和演算を実行した場合.

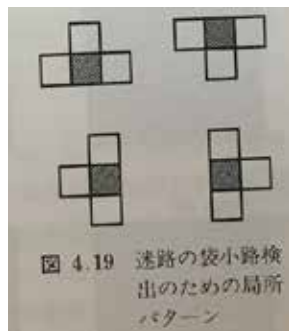
# ディジタル光コンピューティング～応用～

## 記号置換論理による画像処理（細線化）

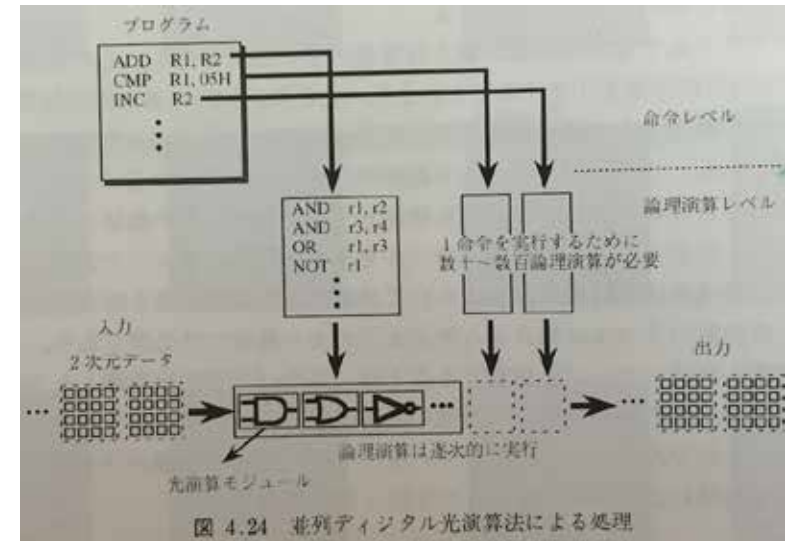
- ネットワークにより任意の接続パターンを実現
- ノードに論理ゲートを配置
- プログラブル・ロジックアレイなど



## 記号置換論理による経路選択問題



## 光SIMD演算に基づくプログラム実行





CPU/DRAM

# 汎用プロセッサ (CPU/DRAM/アクセラレーター)

1, HP Lab. , Wisconsin Univ. , and Utah Univ. (Corona)

**inter-Core(4コア毎)**と**off-stack 3D memory** 通信を光化.

(プロセッサとL2 cache間通信も含む.)

256コア, 1024スレッド, 20TB/s on-stack, 10TB/s off-stackバンド幅となる  
16nm@2017年のチップを想定している.

光vs電気にフォーカスして詳細なアーキ探索をしてはおらず, 3D積層の時の1つのオプションとして光を導入している. したがって, 評価実験では光クロスバー (Corona) vs 電気Mesh vs 光Meshで優位性を示している.

性能(max:13倍) 電力(max: 1/4) for 電気Mesh

一方で, 実現可能性を重視しており各光dev.(OE変換, 光源, スプリッター, 変調)の候補としては, CMOSの実装技術と親和性が高く実装できるところに重きを置いている.

調停は全光であることもCorona特徴.

外側時計回り, 内側反時計回りで

上流にあるもの優先.

Comp	Bid	Win
1	Green	✓
2	Red	✓
3	Green	✗
4	Blue	✓

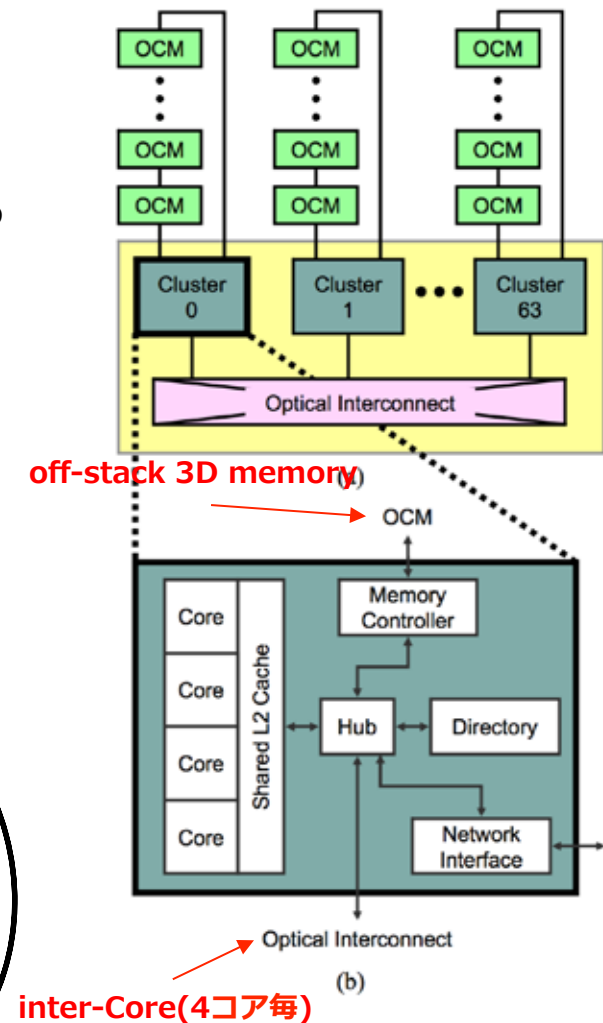
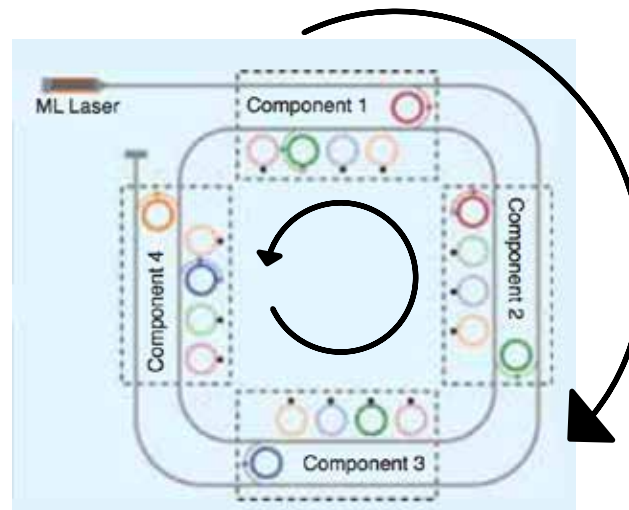


Figure 2: Architecture Overview

# 汎用プロセッサ (CPU/DRAM/アクセラレーター)

2, Boston Univ. , MIT , UC Berkeley

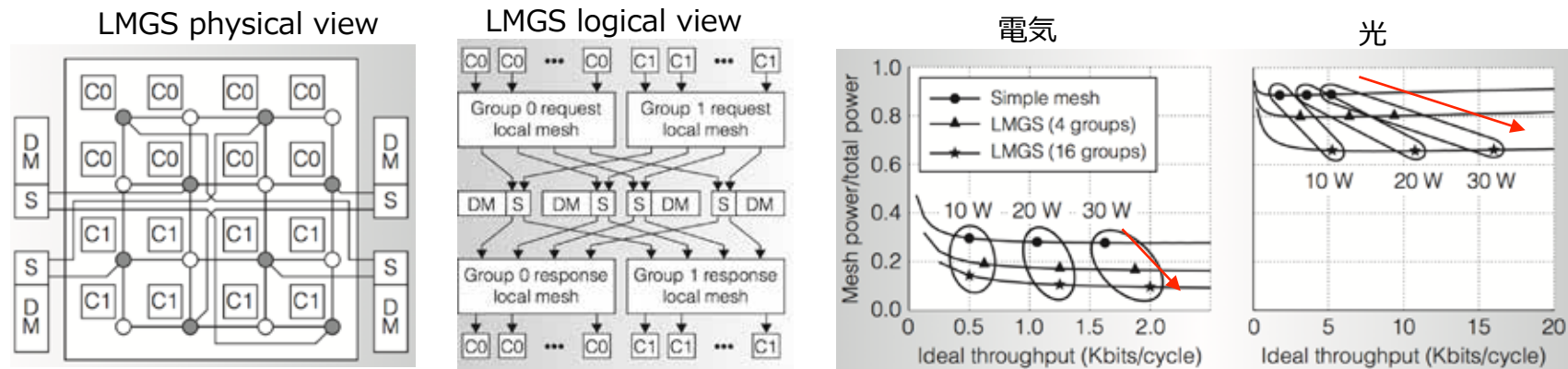
## ・ Local Mesh Global Switch (LMGS)

256コア16DRAMを前提としたモノリシック光集積回路でのコア/メモリー間通信路のアーキ提案.

電気メッシュの小グループを光で接続 (on-chip). 各小グループはDRAMへの光通信を持つ(off-chip).

着眼点としては, photonic linkは静的な電力消費が大きい (e.g. 温度回路・光源)ので利用率の高いリンクを光化, もしくは利用率を高くするように, 導波路を経由する通信方式を採用.

LMGSを適応することによる同電力制約下での**スループット向上率は, 光デバイスのほうが高い.**

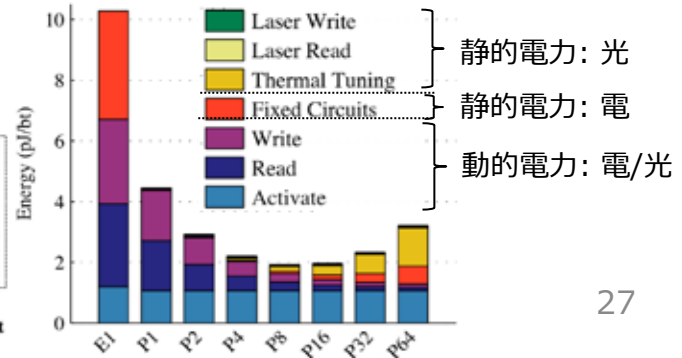
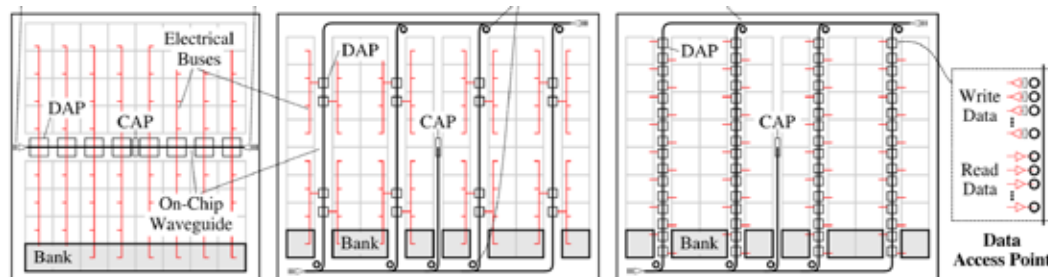


## ・ Photonically Interconnected DRAM (PIDRAM)

DIMM ChipのFloorplanを数種類 (どれだけ導波路を引き回すかの違い) 提案しており, 各々電力について評価.

電力的にトレードオフとなるポイントを示しており, 定性的な予測と評価結果がマッチしており非常に理想的.

電気: 多 ← → 光: 多



# NoC調査

# 光ルータ/スイッチ/NoC 関連研究の動向



着眼点	
オンチップ	
電気ネットワーク	
電力と性能	[Cianchetti, ISCA'09] ▲
光ネットワーク	
電力と性能	[Pan, ISCA'09] ▲ [Pan, HPCA'10] ▲ [Kirman, ASPLOS'10] ▲ [Xue, ISCA'10] ▲ [Binkert, ISCA'11] ▲ [Pan, MICRO'11] ▲
マイクロリング共振器	[Nitta, HPCA'11] ▲ [Nitta, MICRO'11] ▲ [Xu, ISCA'12] ▲
量子ドットLED	[Pang, ASPLOS'15] ▲
オフチップ	
サーバラック間	[Farrington, SIGCOMM'10] ▲
チップ間	[Koka, ISCA'12] ▲ [Demir, HPCA'16] ▲
メモリ	[Li, HPCA'13] ▲

# 電気ネットワーク（電力と性能）

論文	問題	手法
[Cianchetti, ISCA'09]	電気クロスバのレイテンシと電力	3次元積層による電気（制御部）と光（クロスバ）の実装

# 光ネットワーク（電力と性能）

論文	問題	手法
[Pan, ISCA'09]	光ネットワークの電力	短距離電気, 長距離光のハイブリッドネットワーク
[Pan, HPCA'10]	光クロスバの電力	ルータ間でクロスバを共有
[Kirman, ASPLOS'10]	光クロスバのトークンベースアービトレーションのスループット	波長情報を用いたルーティング
[Xue, ISCA'10]	パケットスイッチングアーキテクチャのレイテンシ	3次元積層によるチップ内空間通信の実現
[Binkert, ISCA'11]	光クロスバの中間バッファによるスループットの低下	中間バッファレスのクロスバアーキテクチャと, 短距離電気, 長距離は光を共有
[Pan, MICRO'11]	電気ネットワークを対象としたアービトレーションは光ネットワークの特性を活かし切れない	光ネットワークのグローバルコミュニケーションと低レイテンシを利用してQoSをサポート

# 光ネットワーク (マイクロリング共振器)

論文	問題	手法
[Nitta, HPCA'11]	マイクロリング共振器の温度と電力	温度と電力モデルの構築し、これに基づいて光ネットワークを検証
[Nitta, MICRO'11]	マイクロリング共振器の故障	故障モデルの構築とエラー検出
[Xu, ISCA'12]	マイクロリング共振器の温度変化によるドリフトが原因のバンド幅減少	電流注入による共振周波数の修正に必要な電力を線形計画法により最小化、マイクロリング共振器のオーバープロビジョニング



# 光ネットワーク (量子ドットLED)

論文	問題	手法
[Pang, ASPLOS'15]	量子ドットLEDを用いたクロスバの電力	パケットのブロードキャスト時の電力に着目し, 低電力モードを設けて受けて受信側の数を限定することで電力を削減

# オフチップ

論文	対象	問題	手法
[Farrington, SIGCOMM'10]	サーバラック間	電気スイッチの電力と性能	短距離は電気, 長距離は光のハイブリッド
[Koka, ISCA'12]	チップ間	光ネットワークの総バンド幅の制限	光ネットワークの制約(光入力パワーの制限, 波長チャネル数の制限, デバイスによる電力ロス)を考慮した性能とエネルギーモデル構築
[Demir, HPCA'16]	チップ間	Flattened butterfly トポロジを対象とした際のレーザのパワーゲーティングによる性能低下	利用率が低い場合はほとんどのネットワークをOFFにするが接続性は維持することでレーザをONにした際のレイテンシを削減
[Li, HPCA'13]	メモリ	Phase Change Memory (PCM) の Write レイテンシ	PCMセルを並列に並べてバンド幅を向上させる際にバンド幅が不足するので, 光インターコネクトを使用

# 論文リスト

- [Demir, HPCA'16] Demir Y, Hardavellas N. SLAC: Stage laser control for a flattened butterfly network, HPCA'16.
- [Pang, ASPLOS'15] Pang J, Dwyer C, Lebeck AR. More is Less, Less is More: Molecular-Scale Photonic NoC Power Topologies, ASPLOS'15.
- [Li, HPCA'13] Li Z, Zhou R, Li T. Exploring high-performance and energy proportional interface for phase change memory systems, HPCA'13.
- [Xu, ISCA'12] Xu Y, Yang J, Melhem R. Tolerating process variations in nanophotonic on-chip networks, ISCA'12.
- [Koka, ISCA'12] Koka P, McCracken MO, Schwetman H, et al. A micro-architectural analysis of switched photonic multi-chip interconnects, ISCA'12.
- [Nitta, MICRO'11] Nitta CJ, Farrens MK, Akella V. Resilient microring resonator based photonic networks, MICRO'11.
- [Pan, MICRO'11] Pan Y, Kim J, Memik G. FeatherWeight: low-cost optical arbitration with QoS support, MICRO'11.
- [Binkert, ISCA'11] Binkert N, Davis AI, Jouppi NP, et al. The role of optics in future high radix switch design, ISCA'11.
- [Nitta, HPCA'11] Nitta C, Farrens M, Akella V. Addressing system-level trimming issues in on-chip nanophotonic networks, HPCA'11.
- [Farrington, SIGCOMM'10] Farrington N, Porter G, Radhakrishnan S, et al. Helios: a hybrid electrical/optical switch architecture for modular data centers, SIGCOMM'10.
- [Xue, ISCA'10] Xue J, Garg A, Ciftcioglu B, et al. An intra-chip free-space optical interconnect, ISCA'10.
- [Kirman, ASPLOS'10] Kirman N, Martínez JF. A power-efficient all-optical on-chip interconnect using wavelength-based oblivious routing, ASPLOS'10.
- [Pan, HPCA'10] Pan Y, Kim J, Memik G. FlexiShare: Channel sharing for an energy-efficient nanophotonic crossbar, HPCA'10.
- [Pan, ISCA'09] Pan Y, Kumar P, Kim J, Memik G, Zhang Y, Choudhary A. Firefly: illuminating future network-on-chip with nanophotonics, ISCA'09.
- [Cianchetti, ISCA'09] Cianchetti MJ, Kerekes JC, Albonesi DH. Phastlane: a rapid transit optical routing network, ISCA'09.