

光パスゲート論理に基づく並列加算回路の提案と 光電混載回路シミュレータによる動作検証

石原 亨[†] 新家 昭彦^{††,†††} 井上 弘士^{††††} 野崎 謙悟^{††,†††} 納富 雅也^{††,†††}

[†] 京都大学大学院情報学研究科

^{††} NTT ナノフォトニクスセンタ

^{†††} NTT 物性科学基礎研究所

^{††††} 九州大学大学院システム情報科学研究院

E-mail: †ishihara@i.kyoto-u.ac.jp

あらまし 近年、ナノフォトニクス技術に基づいて光の論理ゲートを実現する研究が注目を集めている。ナノフォトニクス技術は光の屈折率を制御することにより、共鳴や干渉を起こし、トランジスタのように光の ON/OFF を高速かつ低電力で切り替えることを可能にする。本稿では光の屈折率制御により論理関数を実現する光パスゲート論理の原理を紹介し、光パスゲート論理に基づく並列加算器の回路アーキテクチャを提案する。次に、光パスゲートと MOS 論理ゲートの混載シミュレーションが可能な光電混載回路シミュレータを用いて、上述の並列加算器の動作検証を行い、その結果を報告する。

キーワード ナノフォトニクス, セレクタ論理, 並列加算器, SPICE シミュレーション

A Parallel Adder Circuit based on Optical Pass-gate Logic and Its Evaluation with Optoelectronic Circuit Simulator

Tohru ISHIHARA[†], Akihiko SHINYA^{††,†††}, Koji INOUE^{††††}, Kengo NOZAKI^{††,†††}, and

Masaya NOTOMI^{††,†††}

[†] Kyoto University

^{††} NTT Nanophotonics Center

^{†††} NTT Basic Research Laboratories

^{††††} Kyushu University

E-mail: †ishihara@i.kyoto-u.ac.jp

Abstract Integrated optical circuits with nanophotonic devices have attracted significant attention due to its low power dissipation and light-speed operation. With light interference and resonance phenomena, the nanophotonic device works as a voltage-controlled optical pass-gate like a transistor device. This paper first introduces a concept of the optical pass-gate logic. This paper next proposes a parallel adder circuit based on the optical pass-gate logic. Experimental results obtained with optoelectronic circuit simulator show advantages of our optical parallel adder circuit over a traditional CMOS-based parallel adder circuit.

Key words Nanophotonics, Selector logic, Parallel adder, SPICE simulation

1. はじめに

高性能かつ省エネルギーな集積回路（以下 LSI）は高度な情報社会を担うキーデバイスである。今日の LSI は、処理性能を向上させるために、チップサイズや素子サイズを極限まで小さくする工夫がなされている。集積回路の信号伝播遅延は、回路

内の寄生抵抗と寄生容量の積に律速されるため、演算速度を向上させるためにはチップサイズや素子サイズの縮小により配線長や寄生容量を低減することが非常に有効な手段である。また、回路の消費エネルギーは寄生容量におよそ比例するため、素子の微細化と高集積化により消費エネルギーの低減と性能向上の両立が達成可能である。以上の理由から、論理ブロックや CPU

コアを極限まで微細化することによって低消費エネルギーかつ高性能な集積回路が実現されている。しかし、論理ブロックや CPU コアをつなぐための配線が信号伝播遅延のさらなる削減を制限する要因となり [1]、従来型の集積回路の高速化に限界が見えつつある。物理レイアウト設計に基づく集積回路の遅延予測では、22 nm テクノロジ以降のプロセスにおいて配線遅延の悪化が論理ゲートの性能改善を上回ることが予測されている [2]。つまり、配線遅延が支配的となる時点で LSI の遅延は微細化のみでは改善できなくなる。

一方、LSI 技術とともに情報通信技術を支えている光技術は近年目覚ましい発展を遂げている。既に実現されているインターネット通信やデータセンタなどのノード間通信だけでなく、プロセッサチップ間や CPU コア間の通信も光技術によって実現されようとしている。しかし、今日実用化されている光配線や光スイッチのサイズは LSI 中の CMOS 論理ゲートと比べて 6 桁から 8 桁程度大きい。また、光スイッチを組み合わせて回路を組み上げることが難しいため、光スイッチを LSI のように高集積化することは困難であった。光スイッチの微細化を制限する最大の要因は、LSI の電子制御のように光を微小領域で高度に制御可能にする素材が近年まで見つかっていなかったことである。しかし、近年になりフォトニック結晶に代表されるナノフォトニクス技術が急速に発展し、光スイッチ等の光デバイスを超小型化することが可能になりつつある。ナノフォトニクス技術は光の屈折率を制御することにより、共鳴や干渉を起こし、トランジスタのように光の ON/OFF を高速かつ低電力で切り替えることを可能にする。また、フォトニック結晶は、ある特定の周波数帯域の光に対して絶縁体として機能するため、光スイッチを光の波長の数倍程度まで小型化でき、未来の光集積回路の基盤技術として期待されている。

フォトニック結晶は、微小空間に光を効率的に閉じ込めることを可能にするため、超低消費電力で高速動作可能な光スイッチや、超小型光回路を実現できる。また、光配線や光スイッチは、配線経路内の寄生容量や寄生抵抗に依存することなく光の速度で信号を伝搬させることができる。最も重要な点は、フォトニック結晶等のナノフォトニクス技術によって素子長が短くできるため、素子遅延を 100 fs 程度まで短くできる目途が立ちつつある、という点である。これは CMOS LSI による論理ゲートの伝播遅延時間の 1/100~1/50 の遅延時間である。また、ナノフォトニクス技術の進展により、光スイッチの消費エネルギーは飛躍的に改善され、エネルギーコスト (J/bit) は、CMOS 論理ゲートと光スイッチで同程度になりつつある。以上の理由により、長距離通信だけでなく、光インターコネクタやフォトニックネットワークオンチップなど、チップ内の論理ブロック間通信を光技術によって実現するための研究が近年急速に活発化している。しかし、光技術を“通信”ではなく、“演算処理”に応用する研究は十分に行われていないのが現状である。

本稿では、フォトニック結晶を用いた光スイッチを演算処理に応用する技術を提案する。具体的には、フォトニック結晶を光スイッチとして利用する光パスゲート論理を紹介し、光パスゲートに基づいて並列加算器を実現するための回路アーキテク

チャを提案する。本稿の構成は次のとおりである。2 章で、フォトニック結晶を光スイッチとして利用する光パスゲートの動作原理を説明する。3 章では、光パスゲートに基づく並列加算器の回路アーキテクチャを詳述する。4 章では、先行研究と本研究の違いを説明し、本研究の貢献を明らかにする。5 章では、LSI 回路と光パスゲート論理回路の混載シミュレーションを用いて、並列加算器の遅延時間を評価した結果を示す。最後に、6 章で本稿をまとめる。

2. 光パスゲートの基本原理

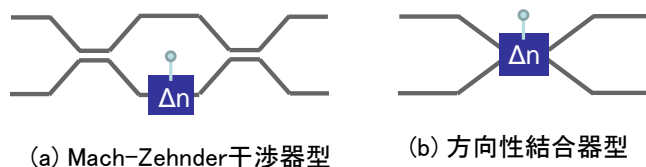
2.1 光パスゲートの定義

本稿では、フォトニック結晶を用いて光の ON/OFF を制御したり光の進路を変更するゲートを光パスゲートと定義する。光パスゲートには、大きく分類して二種類がある。1 つは入力 1 ポートと出力 1 ポートを持ち、光信号を必要に応じてスイッチ動作させるものである。光通信分野では一般に時間スイッチ（あるいはゲートスイッチ）と呼ばれる。特にデータの“0”，“1”に合わせて高速に ON/OFF するものは変調器とも呼ばれる。本稿では、上記の時間スイッチを 1×1 光パスゲートと呼ぶ（図 2(a) 参照）。もう 1 つは、入力と出力が複数あり、光信号の行き先を切り替えるのものである。光通信の分野では一般に空間スイッチと呼ばれる。通常入力ポート数を N ，出力数を M とし $N \times M$ スイッチと呼ばれる。本稿では、2 入力 2 出力の空間スイッチを対象とし、 2×2 光パスゲートと呼ぶ。

本稿で対象とする 2×2 光パスゲートには、代表的な例として図 1 に示すとおり Mach-Zehnder 干渉器型（以下 MZI 型）と方向性結合器型（DC 型）の二種類がある。光パスゲートには、光信号によりゲートの ON/OFF を制御するものも提案されているが本稿では、電圧によって光の屈折率を制御する電圧制御方式の光パスゲートのみを対象とする。

2.2 マッハツェンダ干渉器型（MZI 型）の動作原理

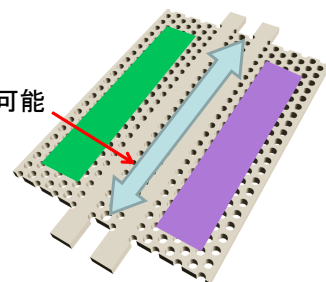
マッハツェンダ干渉計は、図 1(a) に示すとおり、左上端子から入力した光を入力側の結合器で 1 対 1 に分岐させ、出力側の結合器で再度合流させることにより二つの光を干渉させる。



(a) Mach-Zehnder干渉器型

(b) 方向性結合器型

光結合度を調整し短尺化可能



(c) フォトニック結晶を用いた方向性結合器の例

図 1 フォトニック結晶を用いた光パスゲートの例。

途中に設置された電圧制御端子に電圧を印加すると片方の導波路 (Δn と書かれた部分) を進行する光の位相速度が変化し出力側の結合器での合流の際、二つの光の位相がずれ、右上の出力ポートから光が出力される。電圧制御端子に電圧を印加しないときには、100%の光が右下の出力ポートから出力される。上記の原理により MZI 型光パスゲートの経路切り替え動作が実現される。MZI 型は、3dB カップラ等を別途用意する必要があるため、素子長が若干長くなる。

2.3 方向性結合器型 (DC 型) の動作原理

図 1(c) に示すように、平行に並べた二本の光導波路を十分に近づけると、一方の導波路に入射された光波が他方に結合し、両導波路間で伝送光電力が移行する現象が起こる。二本の導波路を進む光波の速度が整合している場合には、結合係数 κ で定まる特定の並走長 L_c に対して、片方の導波路を進行する光はもう一方の導波路へ完全に移行する。この二本の導波路の並走長 L_c を完全結合長と呼ぶ。結合係数 κ が変化すると両導波路間を移行する光電力のピッチが変化する。例えば、結合が強くなると短い距離で電力が他方へ移行する。DC 型の光パスゲートは、平行に並べた二本の光導波路に電極 (図 1(b) の Δn と書かれた部分) を付け、電極に印加する電圧に応じて両導波路を通過する光の結合係数 κ を変化させる。例えば、電極に電圧を加えないときには、片方の導波路に入力した光波が他方に完全に移行し (cross)、電圧を印加して完全結合長 L_c を半分に変化させることにより、他方の導波路に移行した光波が元の導波路に戻る (through)。上記の原理により、電圧制御による光信号のスイッチ動作を実現することができる。

DC 型光パスゲートは MZI 型と比べて素子長を短くできる利点がある。文献 [3] では、素子長を数 $10 \mu\text{m}$ 以下にまで短尺化した構成が報告されている。しかし、二つの導波路の光を完全に結合させるためには二本の導波路の特性を等しくする必要があるので MZI 型と比べてパスゲートの作成が難しい。

2.4 ナノ光検出器

フォトディテクタ (光検出器) は光を電気に変換するデバイスで、代表的なのは半導体の pn 接合を利用する光起電力型のフォトダイオード (以下 PD) である。PD は光通信における光信号検出など多くの分野で使われている光検出器で、いくつかのタイプがあるが、本稿では小型化が比較的容易な PIN 型 PD を対象とする。強い光閉じ込めが可能なフォトニック結晶導波路では、PD 全長が短くても高い量子効率が得られるため、PIN 接合長もまた短くでき、微小容量化に向いている。図 2(b)

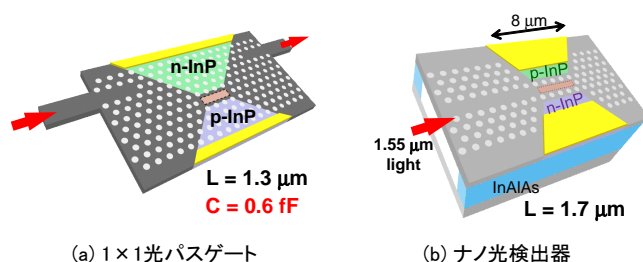


図 2 1 × 1 光パスゲートと PIN 型光検出器。

に PIN 型 PD の例を示す [4]。InP フォトニック結晶スラブを基板として長さ約 $1.7 \mu\text{m}$ の InGaAs 吸収層を埋め込んでおり、横方向 pin 接合が形成されている。本構成での光-電流変換効率は約 1A/W である [4]。

3. 光パスゲートに基づく並列加算器

3.1 並列加算器

算術演算器の代表である加算器は、二進数で表現される二個のデータを入力とし、それらの和を二進数データとして出力する演算回路である。並列加算器は、複数桁の加算を 1 クロックサイクルで実現する加算回路である。並列加算器においては、上位桁の演算結果がその桁以下の全ての桁の入力信号に依存するため、演算遅延時間は桁数に依存して大きくなる。より具体的には、並列加算器の演算遅延時間は、下位の全ての桁の入力信号から桁上げ信号を計算するための桁上げ生成回路の遅延に律速される。最も簡単で小面積な加算方式である順次桁上げ方式 (Ripple Carry Adder, 以下 RCA) の論理段数は演算の桁数に正比例する。図 3 に n 桁の RCA の構成例を示す。図 3 に示すとおり、全加算器を n 段直列に接続することにより n ビット並列加算器が実現できる。より高速な加算方式である桁上げ先見加算方式 (Carry Lookahead Adder, 以下 CLA) の論理段数は、桁数のおよそ対数に比例する。

従来、算術演算回路の遅延時間は論理段数を評価基準として評価されてきた [5]。しかし、1 章で述べた通り、LSI 回路の遅延時間における配線遅延の割合は相対的に大きくなりつつある。実際の CMOS 論理回路では、遅延時間は論理ゲートの出力の負荷容量に強く依存し、従って、ファンアウト数及び配線の長さに依存する。上述した RCA は逐次的な回路構造を持つためファンアウト数が小さく平均配線長も短い。一方で CLA は桁上げ生成回路を木状に並列化して実現するためファンアウト数が大きく平均配線長も長い。文献 [5] では、各種並列加算アルゴリズムを、配線遅延を考慮した回路モデルで評価しており、論理段数が小さい加算器ほど、配線長が長くなる傾向が示されている。結果的に、配線遅延を考慮すると、どの加算器においても計算時間のオーダは桁数 n に対して $O(n)$ となることが示されている [5]。つまり、配線遅延が相対的に大きくなる超微細プロセスでは、64 ビットの CLA は 4 ビット CLA の 4 倍 ($\log_2 16 = 4$) ではなく、4 倍と 16 倍の間になる。

本稿では回路構造が簡単で、将来プロセスにおける遅延時間の見通しが立ちやすい RCA を対象に光パスゲートと CMOS 論理ゲートの比較を行う。

3.2 光パスゲートに基づく並列加算器のアーキテクチャ

本章では上述の“桁上げ生成回路”を光パスゲートのみに

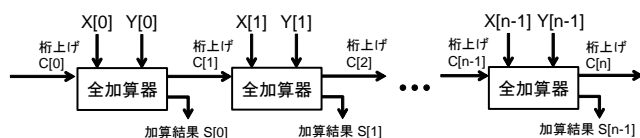


図 3 順次桁上げ加算器 (Ripple Carry Adder)。

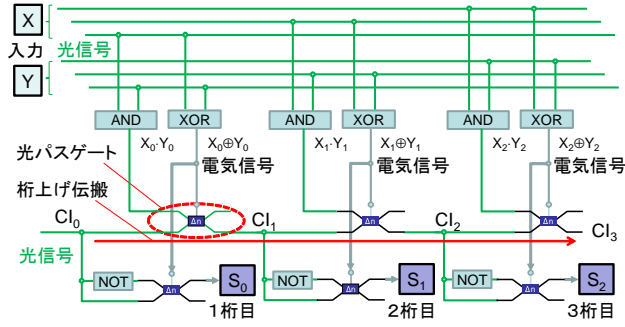


図4 光パスゲートに基づく並列加算器

よって実現する並列加算器の回路アーキテクチャを提案する。提案する回路アーキテクチャの概要を図4に示す。提案する加算回路の特長は、光信号を桁上げ生成回路の入力から出力まで通過させるだけで桁上げ伝搬を達成する回路構造になっている点である。図4の中央を左右に走る光パスゲートの連結回路が桁上げ生成回路である。例えば、材料屈折率が3で素子長が $100\ \mu\text{m}$ の光パスゲートを光が伝搬する時間はおおよそ 1ps である。光パスゲートの素子長を $10\ \mu\text{m}$ まで短尺化できれば伝搬遅延を 100fs まで高速化できる。したがって、提案する並列加算器はナノフォトニクス技術を用いて光パスゲートの素子長を短尺化することにより、桁上げ伝搬遅延を飛躍的に改善することができる。例えば文献[3]では、素子長 $10\ \mu\text{m}$ 未満のDC型光パスゲートが理論的に提案されており、仮にこのような短尺化したゲートが利用可能になれば各桁の桁上げ信号を 100fs 未満で伝搬する並列加算器を作成可能である。

DC型はMZI型と比べて素子長を短くできる利点があるが、2章で述べたとおりいくつかの欠点を有するため、応用に合わせて両者を適切に使い分ける必要があると考えられる。本稿ではMZI型に着目して評価実験を行なう。なお、提案回路は原理的にDC型での実装も可能であるが、DC型光パスゲートの詳細設計ならびにMZI型との比較は今後の課題とする。

4. 関連研究と本研究の貢献

光パスゲートを用いて大規模な論理関数を実現する研究が近年活発化している[6],[7]。Hardyらは、 2×2 光パスゲートを用いれば、ゲートのカスケード接続を用いることなく任意の論理関数を実現できることを示している[6]。ここで、カスケード接続とは、光パスゲートの光出力が次段の光パスゲートの電圧制御端子に繋がる接続を意味する。カスケード接続は、光から電気への変換が必要となり、遅延と電力オーバーヘッドを伴うため好ましくない。Hardyらが提唱するDirect Logicを用いれば任意の論理関数を光の伝搬遅延で計算可能となる。しかし、論理関数の中にはDirect Logicで実現すると入力数に対して指数関数の素子数を必要とするものが多く存在し、全ての論理関数をDirect Logicで実現するのは現実的ではない。Xuらは、多入力ANDゲートと多入力NORゲートを多段にカスケード接続することにより任意の論理関数を実現する方法を提案している[7]。しかし、この方法は各段においてカスケード接続を伴うため、前述のとおり光の伝搬速度での演算が難しい。

二分決定グラフ(BDD: Binary Decision Diagram)に基づく光加算器が多数提案されている[8]~[10]。BDDによる論理表現はHardyらが提唱するDirect Logicと本質的に等価である。したがって、BDDによってもカスケード接続を使わずに任意の論理関数を表現可能である。しかし、BDD表現による加算器は、一桁の演算に直列二段の光パスゲートを通す構造となる。本稿で提案する光加算器は一桁の中で直列に通過する光パスゲートは一段のみとなる構成を採っている。光信号を直列に通過する光パスゲートの段数を削減することは加算器の遅延を低減するだけでなく、最終桁の電力強度の減衰や消光比のばらつきを低減することにも貢献する。マッハツェンダ干渉計を使った光加算器も同様に多数提案されている[12],[13]。しかし、BDDに基づく光加算器同様に、各桁一段のみの光パスゲートで実現した回路は提案されていない。鈴木らは光分配器と光遮断器を組み合わせた光加算器を提案している[11]。しかし、上述の既存手法と同様、各桁の計算に光信号が二段の光スイッチ(光分配器と光遮断器)を通過する構造になっている。また、本稿で対象としている光パスゲートとは違い、ナノフォトニクス技術が成熟する以前の光スイッチ(光分配器と光遮断器)を前提としているため素子が大きくパス遅延の低減が期待できない。

5. 光電融合回路シミュレータによる評価

5.1 評価環境

Optiwave社が開発した光電融合回路シミュレータOptiSPICEを用いて8ビット並列加算器のクリティカルパス遅延を評価した。OptiSPICEは、光スイッチデバイスとMOSデバイスの間の相互作用を含む集積回路の解析を行なうための回路シミュレータである。光パスゲートとCMOS論理ゲートを混載した回路のトランジスタレベルシミュレーションが可能である。CMOSトランジスタはもとより、MZI型光パスゲートや 1×1 光パスゲートをトランジスタレベルでシミュレーション可能である。提案する光並列加算回路の評価のために、OptiSPICEがシミュレーション可能な光パスゲートを用いた加算器とCMOS論理ゲートを用いた加算器をそれぞれ設計した。光パスゲートの素子長と入力寄生容量は($100\ \mu\text{m}$, 2fF)と($20\ \mu\text{m}$, 1fF)の2種類を仮定して実験を行った。CMOS加算器のデバイスモデルには、PTM(Predictive Technology Model)[14]の16nm PTM high performance model V2.1を使用した。16nmプロセスの中でもしきい値電圧が低く高速なMOSデバイスを想定したプロセステクノロジーモデルである。

5.2 光パスゲートに基づく並列加算回路と評価

評価用光加算器の設計に用いた基本素子を図5に示す。 2×2 光パスゲートには2.2節で説明したMZI型のモデルを使用した。OE変換素子には、2.4節で説明したPIN型PDを想定したモデルを使用した。

本稿のシミュレーション実験に用いた全加算器の回路構成例を図6に示す。本実験では全ての入力信号は光信号として与えられることを想定する。したがって、電圧制御の光パスゲートを用いた論理回路を構成する場合には必ず一回以上の光電変換

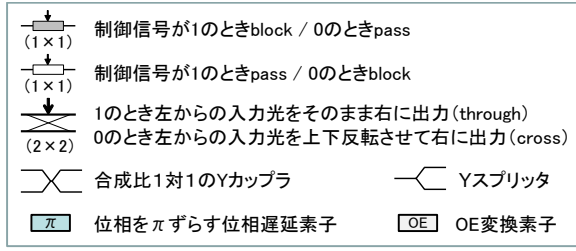


図5 光パスゲートに基づく加算器の設計に用いた基本素子.

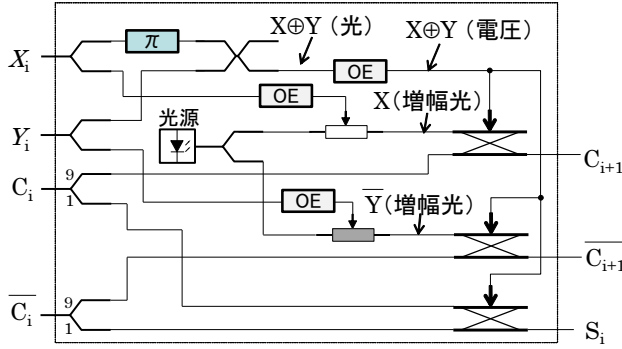


図6 光パスゲートに基づく全加算器の回路構成例.

が必要となる．図6に示した全加算器の構成では，光信号として与えられる入力 X ， Y に対して，クロスカップラによる干渉を用いた XOR 演算を行なう．干渉による XOR 演算の後，OE 変換素子を用いて電圧信号を生成する．光電変換は XOR 演算後の一回のみである．桁上げ信号は， 2×2 光パスゲートの構造に合うように式 (1) を用いて演算する．なお， \oplus は XOR (排他的論理和) を意味する．式 (1) は，XOR=1 のとき下位桁からの桁上げ信号 C_i を上位桁への桁上げし，XOR=0 のときは X_i を上位桁へ桁上げする動作を行なう．

$$C_{i+1} = C_i \cdot (X_i \oplus Y_i) + X_i \cdot \overline{(X_i \oplus Y_i)} \quad (1)$$

加算結果 S_i を求めるために，桁上げ信号の否定を生成する必要がある．本実験では，桁上げ信号の否定も最下位桁から順次生成する方法を採用．桁上げ信号の否定の計算は式 (1) と同様である． i 桁の加算結果 S_i は式 (2) によって行なう．

$$S_i = \overline{C_i} \cdot (X_i \oplus Y_i) + C_i \cdot \overline{(X_i \oplus Y_i)} \quad (2)$$

図3に示す順次桁上げ加算器のアーキテクチャに従って，図6に示した全加算器を8桁順次接続することにより8ビット並列

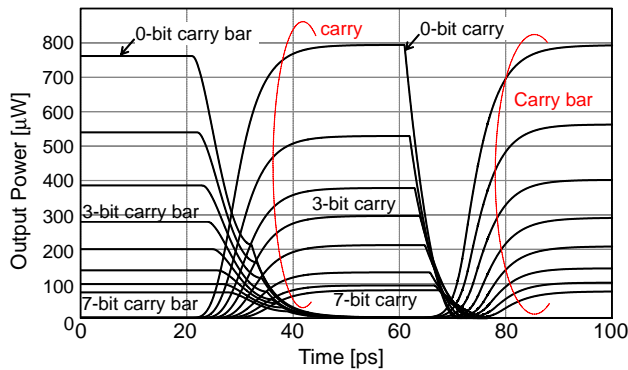


図7 光加算器の桁上げ信号およびその論理否定信号の波形.

加算器を構成した．図7に，8ビット並列加算器の桁上げ信号 (carry) とその論理否定 (carry bar) の結果を示す．入力パターンには，最下位桁から最上位桁まで桁上げ信号が伝搬するパターンを与えた．本実験では光パスゲート一段あたりの電力損失を1dBと仮定し，分割比9:1のYスプリッタを用いて各桁10%の電力を加算出力 (S) に分配しているため，各桁の電力強度の損失はおおよそ30%となる．したがって，上記の仮定では2桁の桁上げごとに電力強度が半減することになる．図7の結果から，想定した通りの桁上げ動作が行われていることが確認できた．

図8に8ビット光加算器の加算出力波形を示す．光パスゲートの素子長は $100 \mu\text{m}$ ，電圧制御端子の入力容量は2fF，材料屈折率は2.8を仮定した．出力強度の論理値を決める論理しきい値を $4 \mu\text{W}$ とすると，0ビット目の加算出力信号から7ビット目までの7桁分の遅延は12psであった．また，光加算器への入力信号が時刻40psで変化するパターンを与えているため，時刻40psからの遅延を計測すると，7ビット目までの遅延はおおよそ21psであった．したがって，入力信号が位相シフトとクロスカップラを通過して光電変換され 2×2 光パスゲートをスイッチさせるまでの時間がおおよそ9psとなる．実際には，本シミュレーションではモデル化していない 2×2 光パスゲートのスイッチング遅延が含まれる．本研究で対象とする 2×2 光パスゲートはおおよそ5psのスイッチング遅延で動作する目処が立っているため，入力信号の変化から 2×2 光パスゲートのスイッチング完了までおおよそ14psを要することになる．同様に素子長が $20 \mu\text{m}$ ，電圧制御端子の入力容量が1fFの光パスゲートを使用した加算回路に対しても評価を行い，図9に示す結果を得た．図8の結果と同様に出力強度の論理値を決める

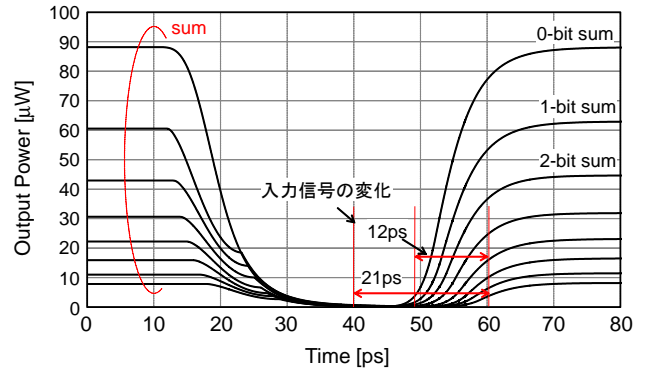


図8 光パスゲート長 $100 \mu\text{m}$ を仮定したときの加算出力 (S) の遅延.

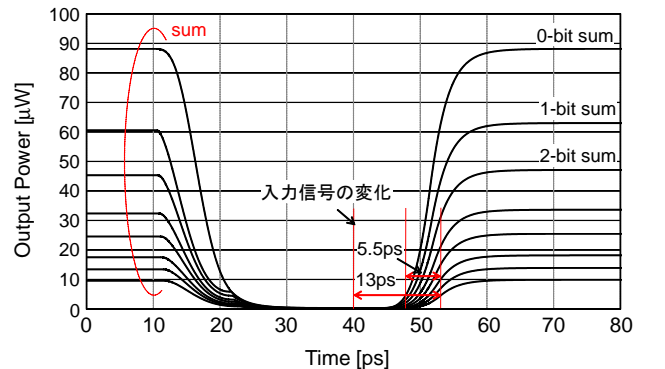


図9 光パスゲート長 $20 \mu\text{m}$ を仮定したときの加算出力 (S) の遅延.

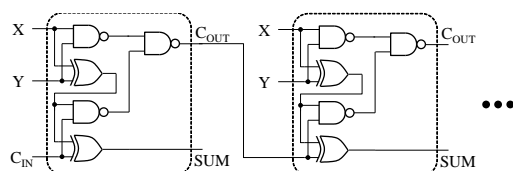


図 10 CMOS 論理ゲートによる並列加算器の構成例.

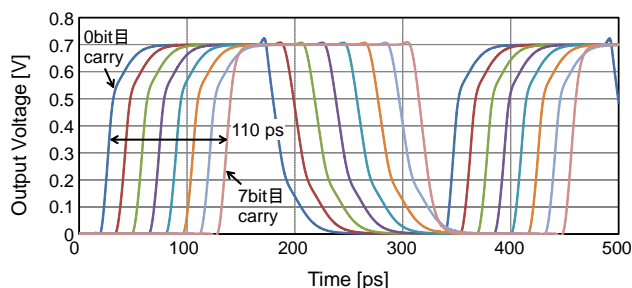


図 11 CMOS 並列加算器の桁上げ伝播遅延.

論理しきい値を $4 \mu\text{W}$ とすると、0 ビット目の加算出力信号から 7 ビット目までの 7 桁分の遅延は 5.5 ps であった。また、光加算器への入力信号の変化から 7 ビット目の加算出力変化までの遅延はおよそ 13 ps であった。光パスゲートのスイッチング遅延を考慮すると光信号入力から 7 ビット目の出力までおよそ 18 ps を要することになる。

5.3 CMOS 並列加算器の評価

比較のためにスタティック CMOS 回路を用いて並列加算器を設計し OptiSPICE 上で評価を行った。設計した CMOS 並列加算器の回路図を図 10 に示す。典型的な順次桁上げ加算方式 (RCA) の並列加算器を対象とした。図 11 に桁上げ信号のシミュレーション結果を示す。0 ビット目から 7 ビット目までの桁上げ伝搬遅延時間がおおよそ 110 ps であることを確認した。この値は 7 桁分の桁上げ伝播であるため、一桁あたりおよそ 16 ps の遅延となる。ただし、本実験では配線の寄生抵抗や寄生容量を考慮していないため、実際の回路の遅延はシミュレーション結果より大きいと考えられる。光パスゲートの一桁あたりの桁上げ伝搬遅延は素子長が $100 \mu\text{m}$ のとき、1.71 ps、素子長が $20 \mu\text{m}$ のとき、0.79 ps であるため、光加算器の桁上げ伝搬遅延は CMOS 加算器の 1/9 から 1/20 である。光の信号入力からの光電変換にともなう遅延を考慮すると光加算器はスタティック CMOS 回路を用いた順次桁上げ加算器と比べておよそ 10 倍高速に動作することを確認した。

光電変換にともなう遅延を改善するためには、光パスゲートの入力容量の低減とゲート数の削減が重要である。また、導波路の分岐による電力損失と光パスゲートによる電力損失を低減することも重要な課題である。電力損失削減のためには、光パスゲートの直列段数の削減と分岐数を減らす回路上の工夫が重要と考えられる。

6. おわりに

本稿では光パスゲートに基づく並列加算器を提案した。提案した光加算器は光パスゲートを直列に接続する構成により桁上げ生成回路を実現しているため、光の伝搬速度で桁上げ信号を

生成可能である。また、従来の光加算器と違い、一桁あたり光パスゲートを一段のみ直列に接続して桁上げ生成回路を実現しているため、桁上げごとの信号強度の減衰を最小限に抑えることができる。今後は、本稿で示した実験で明らかになった各種問題を改善する回路構造を考案すると同時に加算器以外のより複雑な光演算回路への展開を検討する予定である。

謝 辞

本研究の一部は、科学技術振興機構の戦略的創造研究推進事業「新たな光機能や光物性の発現・利活用を基軸とする次世代フォトニクスの基盤技術」の助成により行われた。

文 献

- [1] A. Ceyhan, and A. Naeemi, "Cu Interconnect Limitations and Opportunities for SWNT Interconnects at the End of the Roadmap," *IEEE Transactions on Electron Devices*, Vol. 60, No. 1, pp. 374–382, 1 2013.
- [2] A. Ceyhan, M. Jung, S. Panth, S. K. Lim, and A. Naeemi, "Impact of Size Effects in Local Interconnects for Future Technology Nodes: A Study Based on Full-Chip Layouts," in *Proceedings of IEEE Interconnect Technology Conference / Advanced Metallization Conference*, pp. 345–348, 5 2014.
- [3] N. Yamamoto, T. Ogawa, and K. Komori, "Photonic Crystal Directional Coupler Switch with Small Switching Length and Wide Bandwidth," in *Optics Express*, vol. 14, no. 3, pp. 1378–1384, 2 2006.
- [4] K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoor, E. Kuramochi, and M. Notomi, "Photonic-Crystal Nano-Photodetector with Ultrasmall Capacitance for On-Chip Light-to-Voltage Conversion without an Amplifier," in *Optica*, vol. 3, pp. 483–492, April 2016.
- [5] 長瀬哲也, 高木一義, 高木直史, "配線遅延を考慮した回路モデル上でのハードウェアアルゴリズムの評価," 情報処理学会研究報告, 2008-SLDM-137 (18), pp. 103–108, 11 2008.
- [6] J. Hardy, and J. Shamir, "Optics Inspired Logic Architecture," in *Optics Express*, vol. 15, no. 1, pp. 150–165, 1 2007.
- [7] Q. Xu, and R. Sorei, "Reconfigurable Optical Directed-Logic Circuits Using Microresonator-Based Optical Switches," in *Optics Express*, vol. 19, no. 6, pp. 5244–5259, 3 2011.
- [8] R. Wille, O. Keszocze, C. Hopfmueller, and R. Drechsler, "Reverse BDD-based Synthesis for Splitter-free Optical Circuits," in *Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 172–177, 1 2015.
- [9] T. Asai, Y. Amemiya, and M. Kosiba, "A Photonic-Crystal Logic Circuit Based on the Binary Decision Diagram," in *Proceeding of International Workshop on Photonic and Electromagnetic Crystal Structures*, T4-14, 3 2000.
- [10] S. Lin, Y. Ishikawa, and K. Wada, "Demonstration of optical computing logics based on binary decision diagram," in *Optics Express*, vol. 20, no. 2, pp. 1378–1384, 1 2012.
- [11] 日本電気株式会社, 鈴木一正, "加算方式及びその回路," 特許第 3752522 号, 2000-09-08.
- [12] A. Al-Zayed and A. Cherri, "Improved All-Optical Modified Signed Digit Adders Using Semiconductor Optical Amplifier and Mach-Zehnder Interferometer," in *Optics and Laser Technology*, vol. 42, no. 5pp. 810–818, 2010.
- [13] S. Kotiyal, H. Thapliyal, and N. Ranganathan, "Mach-Zehnder Interferometer based Design of All Optical Reversible Binary Adder," in *Proceedings of Design, Automation and Test in Europe (DATE)*, pp. 721–726, 3 2012.
- [14] W. Zhao, and Y. Cao, "New Generation of Predictive Technology Model for sub-45nm Early Design Exploration," *IEEE Transactions on Electron Devices*, vol. 53, no. 11, pp. 2816–2823, 11 2006.