

10/12 進捗報告

Agenda

- Optisystemのチュートリアル
- CMOSを使ったベクトル行列積の論文サーベイ

Optisystemのチュートリアル

- Optiwave社より用意されていたチュートリアルの実施
- りなさんが作ったMZIを使ったパタンマッチ回路をまず作成予定

CMOSを使ったベクトル行列積回路の 論文サーベイ

- アルゴリズム

$$b = \begin{pmatrix} b_1 \\ b_2 \\ \vdots \\ b_m \end{pmatrix} \quad A = \begin{pmatrix} a_{11} & a_{12} & \dots & a_{1m} \\ a_{21} & a_{22} & \dots & a_{2m} \\ \vdots & \vdots & \vdots & \vdots \\ a_{n1} & a_{n2} & \dots & a_{nm} \end{pmatrix}$$

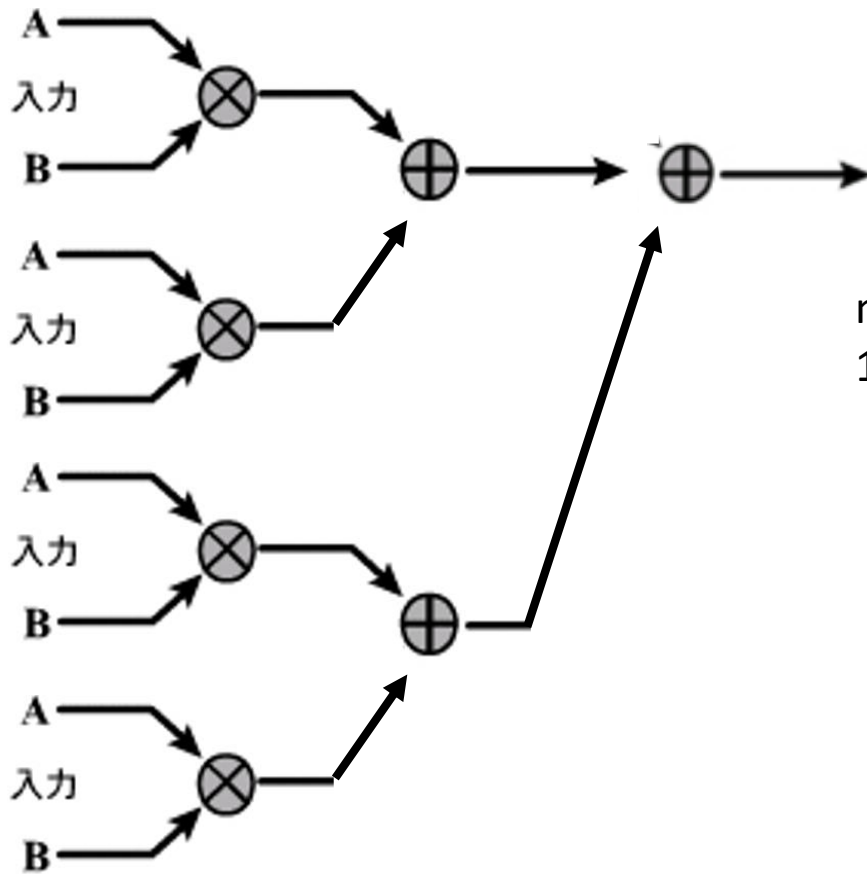
$$c_i = \sum_{j=1}^m a_{ij} b_j = a_{i1} b_1 + a_{i2} b_2 + \dots + a_{im} b_m$$

このアルゴリズム以外存在しないものとして、サーベイしていたが
存在する場合を考えていなかったのもまだサーベイ続行

CMOSを使ったベクトル行列積の 論文サーベイ

- サーベイしたもののGPUやCPUでのベクトル行列積の高速化などしかない
 - これらの論文はレジスタの利用効率を上げたり、並列化を利用したりして高速化しているのであまり関係なし
- 積和計算の高速化
 - 上と同様の理由で有用な資料が見つからず
 - ただまだサーベイが足りない可能性があるのでサーベイ続行

積和計算の高速化(私見)



n個の要素に対しての $\log_2 n$ 回の加算と
1回の乗算分の時間しかかからない

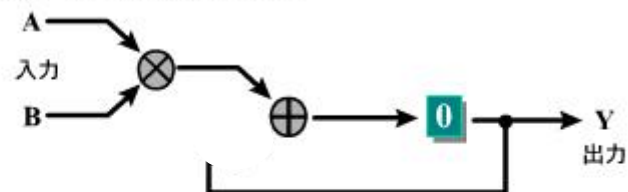
単純にこの方法が
一番早いのではないか、、、
デメリットは面積が大きくなること

積和計算の高速化(DSP)

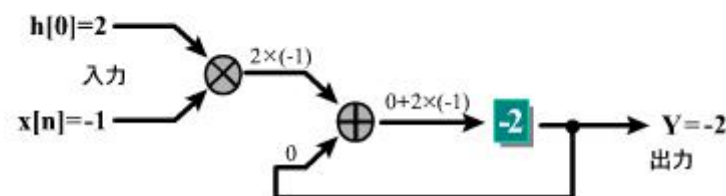
デジタルシグナルプロセッサの 積和計算

要素数だけクロック数がかかるので
時間はかかるが面積は小さい

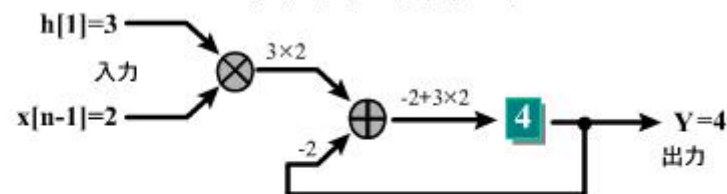
a. 初期状態 レジスタの内容は 0



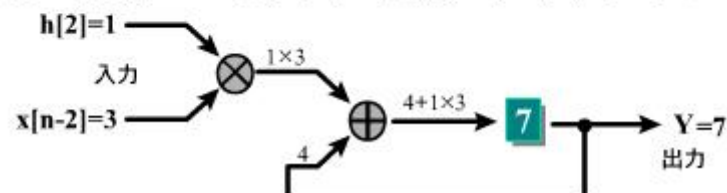
b. 1 クロック目 $Y = h[0]x[n] = -2$



c. 2 クロック目 $Y = h[0]x[n] + h[1]x[n-1] = 4$



d. 3 クロック目 $Y = h[0]x[n] + h[1]x[n-1] + h[2]x[n-2] = 7$



参考:

<http://ednJapan.com/edn/articles/1206/29/news110.html>