

シリコンナノワイヤ FET 技術

Si Nanowire FET Technology

岩井 洋 角嶋邦之

1. はじめに

マイクロプロセッサやメモリなどに使用される CMOS 集積回路は情報、通信、交通、産業、金融、教育、医療、娯楽など我々の知的活動や社会のシステムを補助・制御する中枢部品として人類社会に必要不可欠なものとなっている。銀行やマーケットの決済、天気予報、自動車・列車・航空機制御、ロボット、医療機器、原子炉制御など、どれを取っても CMOS 集積回路なしでは成り立たないものばかりである。スマートフォン、タブレット PC などの地球規模への普及や進化、自動車の電子制御の更なる進展に伴い、CMOS 集積回路市場は今後も長期にわたって、毎年数%の勢いで成長を続けると予測されている⁽¹⁾。また地球温暖化防止対策や最近の原発事故に伴い、省エネがますます重要になってきているが、これにはあらゆるシステム（例えば都市交通網、スマートグリッドなど）や機器（例えば自動車、家電など）の動作を CMOS 集積回路を用いて今まで以上に徹底的に高効率化し、また全ての機器を状況に応じてこまめに省エネモードや一時停止などへ切り換える自動制御が重要となる。このように CMOS 集積回路は省エネにとっても大変重要であることに留意する必要がある⁽²⁾。

今後ますます用途や市場が拡大する CMOS 集積回路であるが、用途によっては人間の行う知的作業を代行するには性能や消費エネルギー上でいまだはるかに及ばない点も多く、システムやソフトの更なる発展とともに、

CMOS 集積回路自身の更なる性能向上や低消費電力化が強く望まれている。CMOS を含む MOS 集積回路の性能向上と低消費電力化は過去 40 年以上にわたって MOSFET の微細化によって達成されてきた。これは微細化によって MOSFET の電気容量が減少して、MOSFET のスイッチ時間が減少するからであり、また電気容量減少に加え電源電圧の減少も伴うので、電気容量の充放電で消費される電力が減少するからである。このように MOSFET の微細化は CMOS 集積回路の性能向上や低消費電力化にとっての鍵であるが、大昔から微細化の限界が議論されてきた。既に 1970 年代は限界が $1\mu\text{m}$ にあるといわれてきたが、これが正しくないことは現在 32 nm 世代の CMOS 集積回路が市場に出ていることから明らかである。近年も 20 nm 世代以降の限界論が盛んになされてきたが、MOSFET の構造を従来の平面形（プレーナ）からワイヤ形にすることによって、これを解決できることが明らかになってきた。本稿ではこのワイヤ形へのナノ CMOS の新たな進化に関して説明を行う。

2. MOSFET 微細化の最大の問題

MOSFET 微細化を達成する上で一番大きな問題点は、いかにして MOSFET スイッチオフ時のソース・ドレイン間の漏れ電流を抑制するかにある。図 1 は nMOSFET 断面の模式図であるが、オフ電流の抑制のためにはゲート電位でチャネルの電位をしっかりと 0 V に固定する必要がある。もしもソースと接している部分のチャネル電位が正になると電子が零電位のソースから正電位のチャネルに流れ込み、それが拡散やドリフトによってより高い電位のドレインに到達するからである。しかしながら、チャネルの深い所の電位はゲート電位による制御性が弱まり、ドレインの電位の影響を受ける。図 1 に示す斜線の領域は、チャネル内でドレイン電位の

岩井 洋 正員：フェロー 東京工業大学フロンティア研究機構

E-mail iwai.h.aa@m.titech.ac.jp

角嶋邦之 東京工業大学大学院総合理工学研究科物理電子システム創造専攻

E-mail kakushima@ep.titech.ac.jp

Hiroshi IWAI, Fellow (Frontier Research Center, Tokyo Institute of Technology, Yokohama-shi, 226-8502 Japan) and Kuniyuki KAKUSHIMA, Nonmember (Interdisciplinary Graduate School of Science and Engineering, Tokyo Institute of Technology, Yokohama-shi, 226-8502 Japan).

電子情報通信学会誌 Vol.95 No.4 pp.278-283 2012 年 4 月

©電子情報通信学会 2012

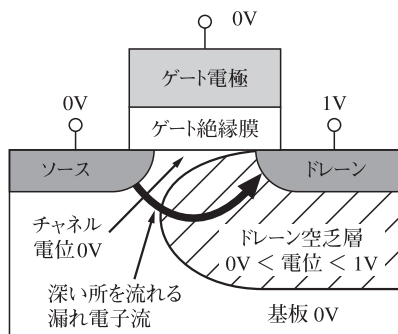


図1 従来の平面形nチャネルMOSFETのオフ状態の断面

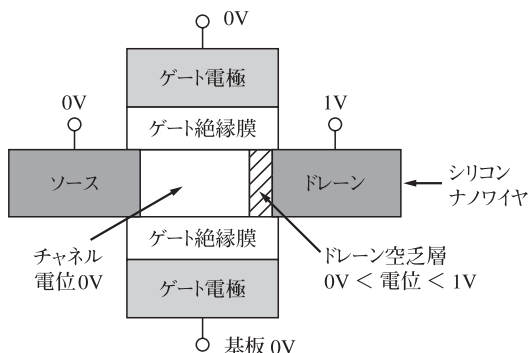


図2 シリコンナノワイヤnチャネルMOSFETのオフ状態の断面

影響で正電位となっている領域であるが、これは空乏層または空間電荷領域と呼ばれている領域に相当する。これを改善するためにはチャンネルを薄くして下にもゲート電極を設け、上下二つのゲート電極でチャンネルを制御して、チャンネルが広い範囲で零電位となりドレーンからの空乏層の進展を抑制するようにすればよい。更に制御性を良くするには、図2に示すようにチャンネルを円筒状にしてナノワイヤとし、周りをぐるりとゲート電極で囲めばよい。このようにしてドレーンからの空乏層の伸びを

用語解説

High-k（高誘電率）ゲートスタック High-k ゲート絶縁膜とゲート電極の積層構造のことをいう。High-k ゲート絶縁膜は45nm世代から、インテルなどで従来の低誘電率の二酸化シリコン膜やシリコン酸化膜をハフニウム酸化膜で置き換え、より大きな物理膜厚で同等のFET特性を得ながら、なおかつ極薄の二酸化シリコン膜やシリコン酸化膜の場合のゲート絶縁膜のトンネル漏れ電流を抑制するために導入されてきた。しかしながら、ハフニウム酸化膜とシリコンチャンネルの界面での電気特性が不十分なため界面に二酸化シリコン薄膜を意図的に挿入せざるを得ず、今後ゲート絶縁膜を電氣的に更に薄くしていくためには、界面に二酸化シリコン膜のないHigh-kゲート絶縁膜とシリコンチャンネルの直接接合が必要であり、このためにはハフニウム酸化膜に代えて、ランタンシリケートなどの新材料が第2世代ゲート絶縁膜の候補として検討されている。

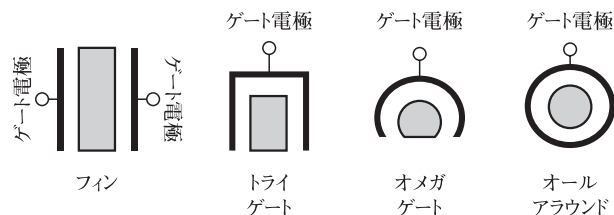


図3 広義のシリコンナノワイヤ構造

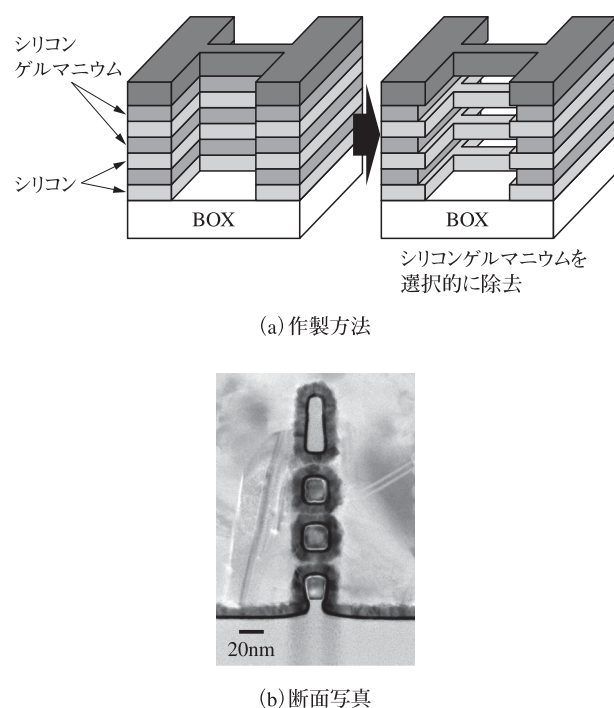
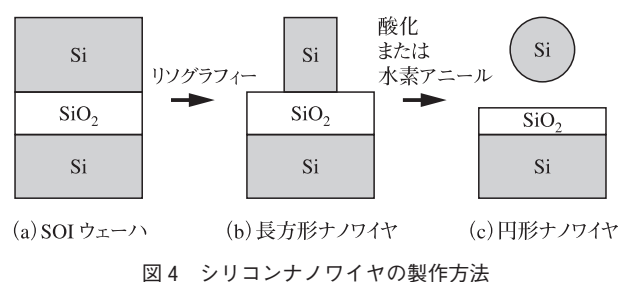
大幅に縮小できる⁽³⁾。これがシリコンナノワイヤFETであるが、現在実験的に良好な性能を示しているナノワイヤの直径は10nm前後である。円筒状のシリコンナノワイヤチャンネルを作るのは難しいことはないが、必ずしもゲートがワイヤを全てぐるりと囲む必要はなく、図3に示す広義の意味での様々なナノワイヤが存在する。なお図3に示すものはワイヤを横に寝かせて配置する横形ワイヤであるが、ワイヤを基板に垂直に立て配置する縦形ワイヤもあり、これはメモリ集積回路などで検討が行われている。ロジック集積回路ではソース・ドレーンの配線配置やワイヤ作製プロセスの容易性から今のところは横形ワイヤが専ら検討されているので、本稿では横形ワイヤに絞って説明を行う。

3. シリコンナノワイヤFETのプロセス、集積化技術

シリコンナノワイヤの製法にはウェーハ上にナノワイヤを成長させて作る「ボトムアップ」と呼ばれる手法と、シリコン薄膜をリソグラフィーを用いて細線状にエッチングしてワイヤを形成する「トップダウン」と呼ばれる手法の二つがあるが、ボトムアップ法では所定の位置に所定のパターンでナノワイヤを形成することが困難であるため、集積回路への応用ではトップダウン手法が用いられている。

シリコンナノワイヤFETを製作するトップダウンプロセスは、基板からの電氣的絶縁が容易なSOI基板を用いる例が多い。まず、SOIウェーハの薄膜シリコン層を酸化などで所望の厚さにした後にリソグラフィーを用いてシリコンの細線を形成する（図4(b)）。この細線がナノワイヤとなるが、中空にしてナノワイヤ下部にもゲート電極を設けるためには例えばシリコンの細線を酸化して、細線下部の酸化膜をエッチング除去すればよい。なお、中空にするのはチャンネル部のみであり、ソース・ドレーンはウェーハにしっかり固定されチャンネルを支える構造にする。ナノワイヤの表面を平坦にするためには高温の水素アニールが有効である⁽⁴⁾。その後、絶縁膜と電極膜をそれぞれ化学気相成長法（CVD:Chemical Vapor Deposition）とスパッタ法などを用いて形成し、ゲート電極の加工、ソース・ドレーンへのドーパン

トの注入／活性化熱処理，シリサイド処理でシリコンナノワイヤ FET が完成する．ナノワイヤ FET のソース・ドレイン領域の寄生抵抗が高くなることも課題であるため，チャンネルの直近で選択エピタキシーを用いてシリコンを結晶成長させ，シリサイド化処理と組み合わせで低抵抗化を実現する方法も提案されている⁽⁵⁾．シリコンナノワイヤ FET は基本的には現在の CMOS 集積回路の製造ラインとプロセスを用いて製造でき，これは非常に大きなメリットである．また，若干工程は増えるが，SOI でない通常のシリコンウェーハを用いてもシリコンナノワイヤ FET は製造できる⁽⁶⁾．シリコンナノワイヤの断面形状は円形でなく，長方形や丸四角でもよく，丸四角の方が特性が良くなることを示唆する結果も報告されている⁽⁷⁾．またシリコンナノワイヤの全周をゲート電極で囲まなくてもある程度の効果は期待できるので，図 3 のトライ (Tri) ゲート，オメガ (Ω) ゲートなどの構造はワイヤの下面のゲート電極加工の必要がなく，量産に適した構造である．また，図 5 に示すよう



に 1 本のシリコンナノワイヤのみならず，シリコンナノワイヤを何段にも積層して立体的に形成して，単位ウェーハ面積で高い電流を得る試みもされている⁽⁷⁾．基板にシリコンゲルマニウム及びシリコン層の積層構造を結晶成長し，パターンを形成後，シリコンゲルマニウム層を選択エッチングで取り除くと，多層のシリコンナノワイヤが形成される．

4. シリコンナノワイヤ FET の特性

ここで，筆者らが作製した単層のオメガゲートシリコンナノワイヤ FET の特性について紹介する．オン状態の駆動電流とオフ状態の漏れ電流を異なるゲート長に対して測定したところ，図 6 に示す特性を得ることができた⁽⁸⁾．最先端の平面形 FET と比較すると低いオフ電流を得ながら高いオン電流が実現できている．なお，この図ではチャンネル幅としてチャンネルとなるシリコンナノワイヤの周囲長で規格化した値を用いている．

シリコンナノワイヤ FET で高いオン電流が得られる物理的要因として幾何学的形状に基づく曲面での高い電子密度とナノワイヤ特有の高い移動度が挙げられる．高い移動度の理由としてチャンネルドーピングが低濃度（またはなし）で済むのでクーロン散乱が抑制されることや，幾何学的形状に基づき垂直電界が低いことに加え，ひずみも原因の可能性もある．ワイヤチャンネルは全体がゲート電極で覆われているため，ゲート電極による応力の影響が大きくなる．また，ワイヤチャンネルとウェーハ基板が接している部分がないか，少ないため，ソース・ドレインからの圧力によるひずみの影響が大きくなる．

ところで，実際の集積回路では平面上の同じ敷地面積，すなわち単位ゲート幅 (W) で得られる電流量が重

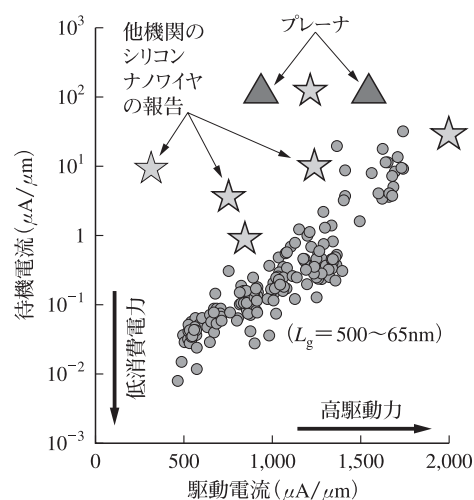


図 6 各研究機関から発表されたシリコン FET のオンオフ特性の比較 ウェーハ上面から見たチャンネル幅で規格化をしている．

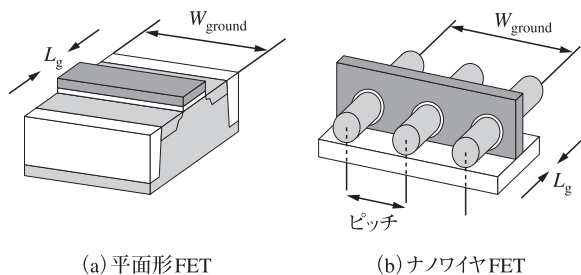


図7 平面形とナノワイヤ FET のトランジスタ密度の比較 単位敷地長さ (W_{ground}) 当りのシリコンナノワイヤの本数はリソグラフィの性能で決定される。

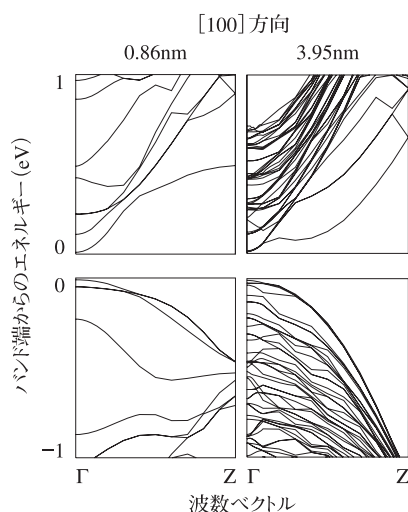


図8 [100] 方向のシリコンナノワイヤの直径による電子状態の変化

要となる。シリコンナノワイヤ FET を用いる場合には図7に示すように単位敷地長さ W_{ground} の間に並べられる本数はナノワイヤの間隔を決めるリソグラフィの性能で決定され、露光技術の技術向上でプレーナ FET に対する優位性は更に大きくなる。

5. シリコンナノワイヤ FET の理論的研究の動向

シリコンナノワイヤのバンド構造はバルクシリコンと異なるのでその電子状態も大きく異なることが理論的に明らかになっており、断面サイズによっても変化する⁽⁹⁾。図8は断面の直径が極端に小さいものの例であるが、1 nm から 3 nm の変化で電子のエネルギー分布が大きく変化していることが分かる。FET 動作の制御はシリコンナノワイヤ中のフェルミエネルギー値をゲート電位で変化させることによって試されるので、電子のとり得るエネルギーが直径によって異なると電子の密度、速度、散乱確率などが大きく異なり、電子伝導がバルクシリコンの場合と比べても大きく異なることが予想され

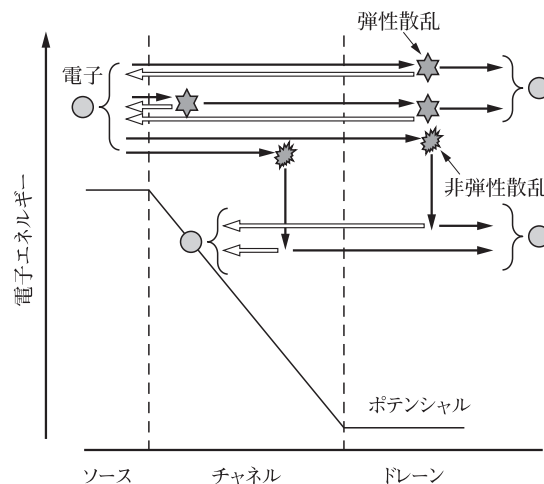


図9 ソースから注入された電子の散乱

る。これに関してはこれまで、Kubo-Greenwood 公式やモンテカルロ計算、非平衡グリーン関数など様々な方法を用いてシリコンナノワイヤを走行するキャリア移動度の断面サイズ依存性を計算した例が多く報告されている⁽¹⁰⁾。極端に細いナノワイヤでは、状態密度が大幅に小さくなって電子数が減るとともにフォノン散乱による移動度の劣化が大きくなり、更にワイヤ表面のラフネスの影響が大きく、移動度を劣化させてオン電流を大幅に減らす懸念を提示している。そのため、ラフネス制御技術がどこまで進むかにも依存するが、短チャネル効果によるオフ電流の制御とのトレードオフで最適なシリコンナノワイヤ断面サイズが存在する。

シリコンナノワイヤではチャネルの不純物濃度が低いことからクーロン散乱が元々少なく、ゲート長を短くしていくと、キャリア（電子あるいは正孔）が短い距離のチャネル中でほとんど散乱されずに走行する準バリスティック伝導となり、高いオン電流が得られると期待されている。ここでバリスティック (ballistic) 伝導とは日本語に訳すと弾道的伝導となるが、これは空気抵抗を無視すれば砲弾の弾道が散乱の影響なく初期速度と重力で決まるように、真空中に放出された電子の軌道が散乱を受けずに砲弾のように初期速度と電界で決まる伝導である。準バリスティック伝導では大部分の電子は散乱を受けず、エネルギーを失わずにドレーンに到達する。(また散乱を受けても、その散乱が光学フォノン散乱のような非弾性散乱でなくクーロン散乱や音響フォノン散乱のような弾性散乱であれば、エネルギー損がない状態でソースかドレーンのどちらかに到達する。) エネルギーを失わないキャリアがそのままドレーンに注入されると、図9に示すように、その一部がドレーンで弾性散乱を受けて跳ね返され、ソースまで戻るエネルギーを有しているので、幾らゲート長を短くしても完全なバリスティック伝導は起きないことが明らかになりつつあ

る⁽¹¹⁾。またソースから注入された電子がソース・ドレイン間の電界によって十分な加速エネルギーを受け取っていないソースの近傍のチャンネル領域では、光学フォノンを生成するエネルギーを有する電子が少ないので、チャンネル領域でのほとんどの散乱が弾性散乱となっており、散乱を受けた電子はソースに戻るだけのエネルギーを有することになる。要するに、完全なバリスティック伝導ではドレイン電流はチャンネル長によらず、ソース端からのキャリアの注入量によることになるが、逆に、準バリスティック伝導ではゲート長を小さくするにつれてドレイン電流は増加することになるので、シリコンナノワイヤ FET のオン電流はゲート長を短くすることで更に増加する余地を残している。なお、シリコンナノワイヤ FET の集積化回路への導入には設計者が使うための電圧-電流特性のコンパクトモデルが重要であり、このためにシリコンナノワイヤの電子状態に立脚し、キャリアの散乱現象に基づいたコンパクトモデル構築の研究も始まっている。

6. お わ り に

以前はシリコンナノワイヤ FET はオフ電流の制御には有効であるものの、オン電流で同じ敷地面積に対して従来の平面形 MOSFET に勝るかどうかに関して、懐疑的な意見が多かった。更に、このようなワイヤ形が量産に向いているかの懸念もあった。オン電流に関してはその後多くの良好な結果が発表され、その理由も次第に明らかになってきた。量産性に関しては大きな問題がなく、ワイヤを用いることによって平面形で用いられているオフ電流抑制のための複雑な構造・工程を省略でき、工程数も少なくなることも分かってきた。また現状のシリコン CMOS ラインの装置とプロセスをほとんどそのまま用いることができるのも大きな利点で、既にインテルは 22 nm 世代からトライゲート形のナノワイヤ形のシリコン FET の導入を、また TSMC などのファウンドリー系の会社は 18 nm 世代辺りから何らかの形のシリコンナノワイヤ FET の導入を決めている。今後少なくとも 8 nm 世代辺りまではシリコンナノワイヤ FET を用いて乗り切ることができると考えられており、更にその先まで集積回路に用いる FET の微細化が進むとすれば、究極の限界までシリコンナノワイヤ構造が MOSFET の主流技術となる可能性も高い。研究や技術開発の線上で考えるとシリコンナノワイヤ FET の各世代で行わなければならない項目は多い。ワイヤ界面の電気特性の改善（ラフネスや界面準位密度の低減）、メタルソース・ドレインや第 2 世代の超薄膜の High-k（高誘電率）ゲートスタック⁽¹²⁾の導入、キャリア伝導メカニズムの解明、メカニカルストレスのキャリア伝導に対する影響、集積回路設計用に MOSFET の電気特性を解析

式を用いて記述するコンパクトモデルなどの設計ツールの完備などが必要となる。これは微細化が続く各世代で継続していく必要があり、今後多くの研究者・技術者が必要となってくるであろう。また学術的に見てもワイヤ中の電子伝導は重要な研究項目である。ワイヤ径が小さくなると電子は上下左右の電子を囲む界面での散乱を受けることになり、またワイヤ形状に起因した複雑な局所的なメカニカルストレスの影響を受けるなど、その伝導は従来の平面形とは大きく異なってくることが予想され、新たな研究領域として発展すると思われる。

最後に、日本でもスーパーコンピュータの性能が最近世界トップになり、先端研究への応用の進展や、医療診断などスーパーコンピュータソリューションビジネスへの発展が期待されているが、シリコンナノワイヤ CMOS 集積回路は次世代のスーパーコンピュータの性能向上や低消費電力化を担うものであり、IBM など世界のコンピュータメーカーもその開発に注力していることを記しておきたい。またシリコンナノワイヤ CMOS 集積回路がスマートフォンやタブレット PC などの低消費電力集積回路に有効であることはいままでのことであり、今後シリコンナノワイヤ CMOS 集積回路の発展に伴い大きな市場が開けてくることが期待される。

なお本稿をまとめるにあたっては、NEDO や Selete の支援を得て東工大、筑波大、東大などの共同研究者と実施した研究によって得た知見が役立っている。個別の名前は記さないが、関係各位に深く御礼申し上げたい。

文 献

- (1) 世界半導体市場統計：2011 年春季半導体市場予測，2011。
- (2) NEDO 調査事業「2050 年における省エネルギー社会の実現に向けた電気エネルギー有効利用に係わるエレクトロニクス技術の調査」報告書，2008。
- (3) D. Hisamoto, T. Kaga, and E. Takeda, "Impact of the vertical SOI 'Delta' structure on planar device technology," IEEE Trans. Electron Devices, vol. 38, no. 6, pp. 1419-1424, 1991。
- (4) S. Bangsaruntip, G.M. Cohen, A. Majumdar, Y. Zhang, S.U. Engelmann, N.C.M. Fuller, L.M. Gignac, S. Mittal, J.S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M.M. Frank, and J.W. Sleight, "High performance and highly uniform gate-all-around silicon nanowire MOSFET with wire size dependent scaling," Tech. Dig. of IEDM, no. 12.3, pp. 297-300, 2009。
- (5) M. Saitoh, Y. Nakabayashi, H. Itokawa, M. Murano, I. Mizushima, K. Uchida, and T. Numata, "Short-channel performance and mobility analysis of <110> and <100>-oriented tri-gate nanowire MOSFETs with raised source/drain extensions," VLSI Symp. Tech., no. 16.1, pp. 169-170, 2010。
- (6) S.D. Suk, S.-Y. Lee, S.-M. Kim, E.-J. Yoon, M.-S. Kim, M. Li, C.W. Oh, K.H. Yeo, S.H. Kim, D.-S. Shin, K.-H. Lee, H.S. Park, J.N. Han, C.J. Park, J.-B. Park, D.-W. Kim, D. Park, and B.-I. Ryu, "High performance 5 nm radius twin silicon nanowire MOSFET: fabrication on bulk Si wafer, characteristics, and reliability," Tech. Dig. of IEDM, no. 30.3, pp. 717-720, 2005。
- (7) K. Tachi, M. Casse, D. Jang, C. Dupre, A. Hubert, N. Vulliet, V. Maffini-Alvaro, C. Vizios, C. Carabasse, V. Delaye, J.M. Hartmann, G. Ghibaudo, H. Iwai, S. Cristoloveanu, O. Faynot, and T. Ernst, "Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires," Tech. Dig. of IEDM, no. 34.4, pp.

- 313-316, 2009.
- (8) S. Sato, Y. Lee, K. Kakushima, P. Ahmet, K. Ohmori, K. Natori, K. Yamada, and H. Iwai, "Gate semi-around Si nanowire FET fabricated by conventional CMOS process with very high drivability," Proc. of ESSDERC, no. C3L-B, pp. 361-364, 2010.
 - (9) T. Ohno, K. Shiraishi, and T. Ogawa, "Intrinsic origin of visible light emission from silicon quantum wires: electronics structure and geometrically restricted exciton," Phys. Rev. Lett., vol. 69, no. 16, pp. 2400-2403, 1992.
 - (10) R. Kotlyar, B. Obradovic, P. Matagne, M. Stettler, and M.D. Giles, "Assesment of room-temperature phonon-limited mobility in gated silicon nanowires," Appl. Phys. Lett., vol. 84, no. 25, pp. 5270-5272, 2004.
 - (11) K. Natori, "Transport physics of quasi-ballistic nanowire MOSFETs," Ext. abstracts of SSDM, no. J-6-2, pp. 1259-1260, 2010.

(平成 23 年 11 月 9 日受付 平成 23 年 12 月 13 日最終受付)



いわい ひろし
岩井 洋 (正員:フェロー)

1972-04 東大・工・電子卒. 1973-04 東芝入社. 半導体事業本部開発主幹を経て, 1999-04 から東工大. 現在, フロンティア研究機構及び大学院総合理工学研究科教授. 集積回路及びその技術開発に従事. 博士(工学). IEEE, 応用物理学会, 電気学会各フェロー, IEEE Electron Devices Society President を経て, 現在 IEEE Div. I Director, IEEE Board member.



かくしま くにゆき
角嶋 邦之

2004-03 東大大学院工学系研究科電気工学専攻博士課程了. 2005-02 から東工大大学院総合理工学研究科助教を経て現在准教授. 半導体の研究に従事. 博士(工学). IEEE, 応用物理学会各会員.

