**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：Verilog硬件描述语言

学生学号：PB20111642

完成日期：2021.11.16

【实验题目】

Verilog硬件描述语言

【实验目的】

掌握 Verilog HDL 常用语法

能够熟练阅读并理解 Verilog 代码

能够设计较复杂的数字功能电路

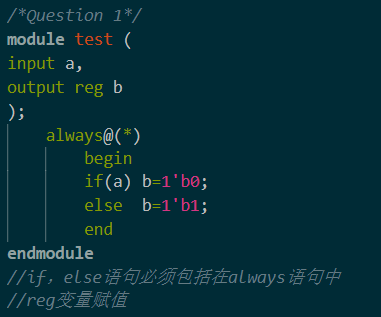
能够将 Verilog 代码与实际硬件相对应

【实验环境】

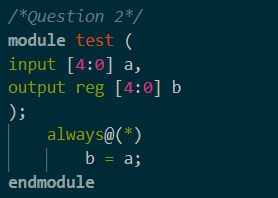
vlab.ustc.edu.cn

verilog.ustc.edu.cn

题目一：



题目二：



题目三：

c = 8'b0011\_0000 d = 8'b1111\_0011

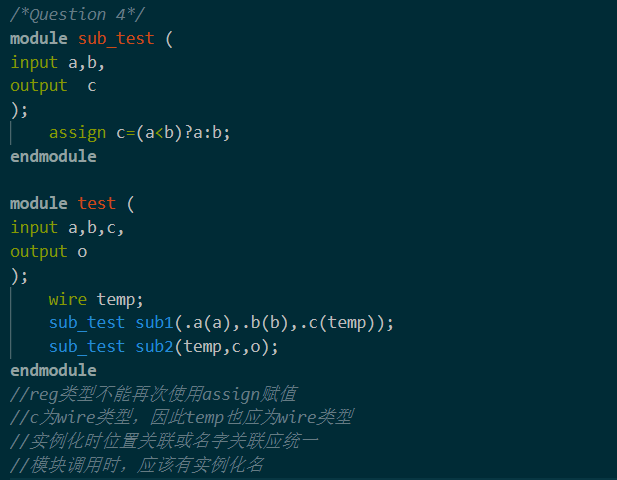
e = 8'b1100\_0011 f = 8'b1100\_1100

g = 8'b0011\_0000 h = 8'b0000\_0110

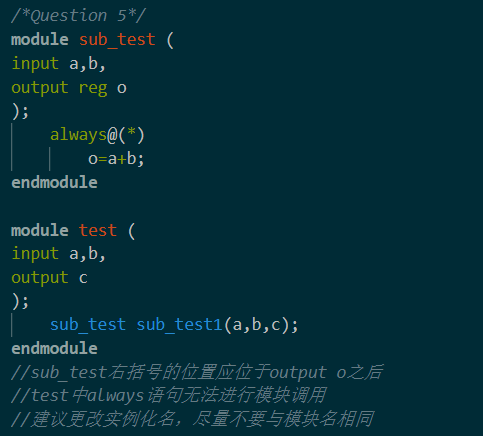
i = 1'b0 j = b = 8'b1111\_0000

k = 8'b0100\_0011

题目四：



题目五：



【总结与思考】

收获：加深了对于Verilog语法的理解，能更加熟练地运用

难易程度：易

任务量：少

建议：无