**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：使用 Vivado 进行仿真

学生学号：PB20111642

完成日期：2021.11.21

【实验题目】

使用 Vivado 进行仿真

【实验目的】

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

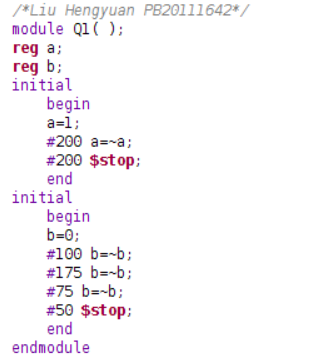
PC 一台

vlab.ustc.edu.cn

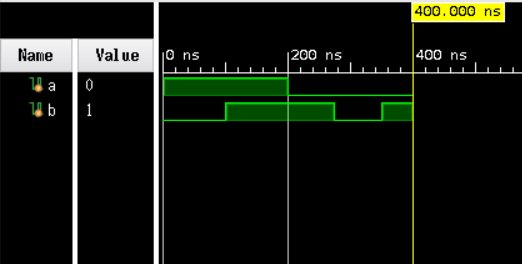
Vivado 工具

【实验练习】

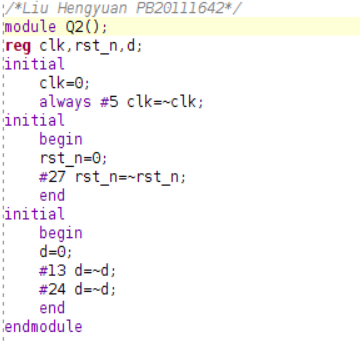
题目一：



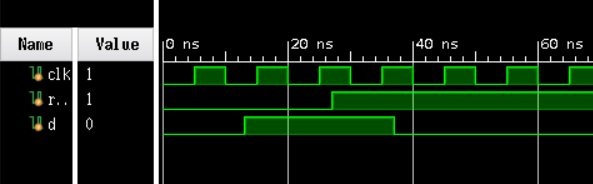
直接编写仿真文件，对a，b进行仿真，得到波形图如下：



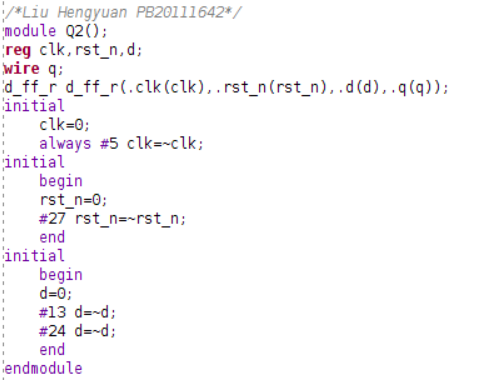
题目二：



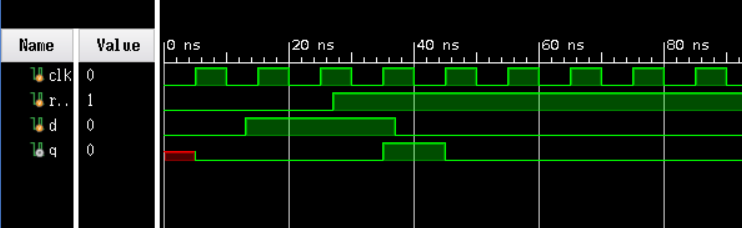
直接编写仿真文件，对clk,rst\_n,d进行仿真，得到波形图如下：



题目三：



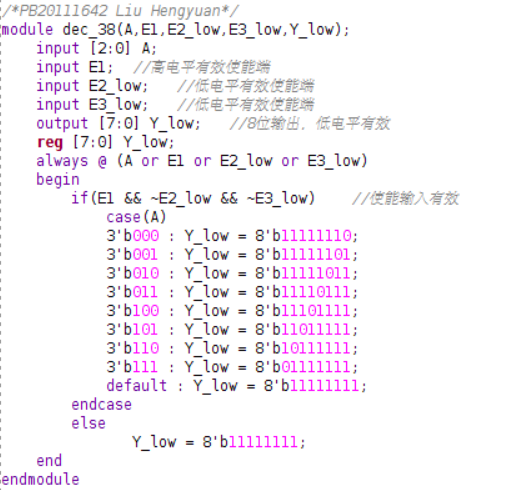
将题目三中的代码作为设计文件，根据题目二中的代码，将设计文件的代码实例化，进行仿真，波形图如下：



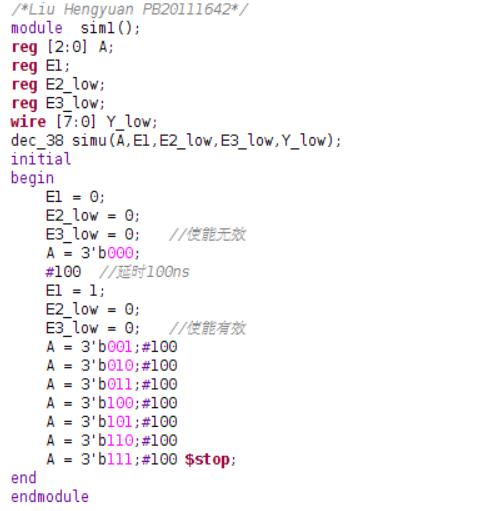
由于一开始未给q赋值，因此刚开始为不确定值X

题目四：

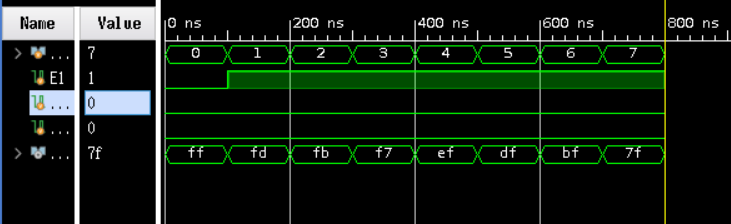
首先编写设计文件：

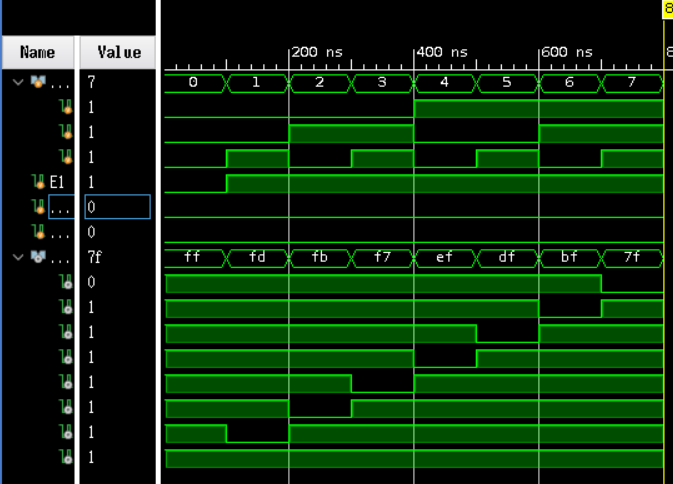


其次编写仿真文件：



得到波形图如下所示：





【总结与思考】

收获：能更加熟练地运用Vivado进行编写、仿真

难易程度：易

任务量：小

建议：无