**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA 原理及 Vivado 综合

学生学号：PB20111642

完成日期：2021.11.25

【实验题目】

FPGA 原理及 Vivado 综合

【实验目的】

了解 FPGA 工作原理

了解 Verilog 文件和约束文件在 FPGA 开发中的作用

学会使用 Vivado 进行 FPGA 开发的完整流程

【实验环境】

VLAB 平台： vlab.ustc.edu.cn

FPGAOL 实验平台：fpgaol.ustc.edu.cn

Logisim

Vivado 工具

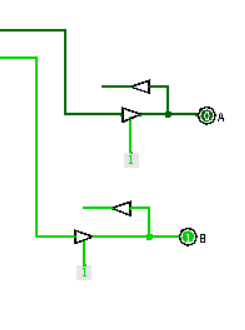
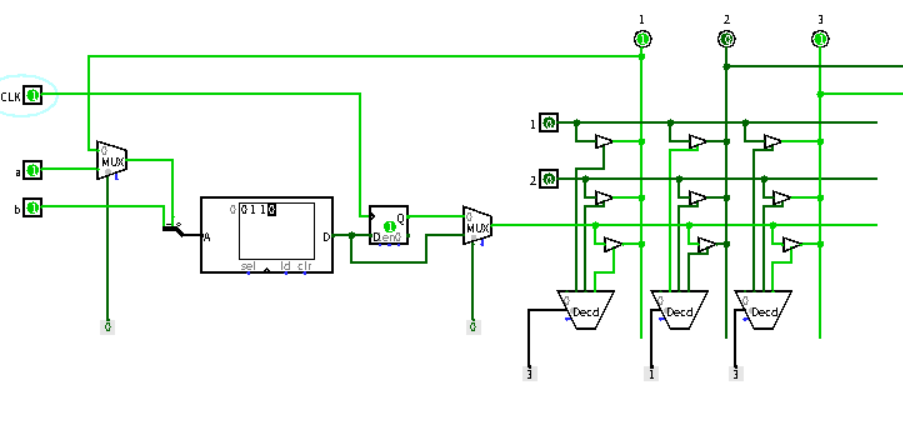
【实验练习】

题目一：

配置数据（从左至右）：第一个MUX为0；RAM为0110；第二个MUX为0；为了1与3统一（输出到B引脚），因此将1与3的Decd统一（都另其为3）

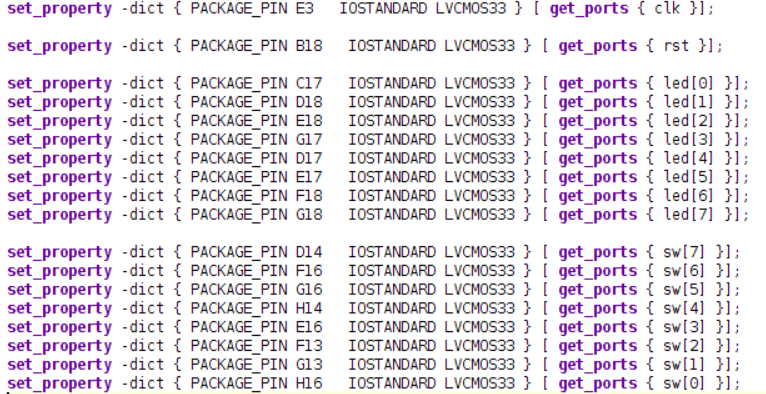
此时a,b均为1，拨动CLK，按题目方式变化。

电路图如下：



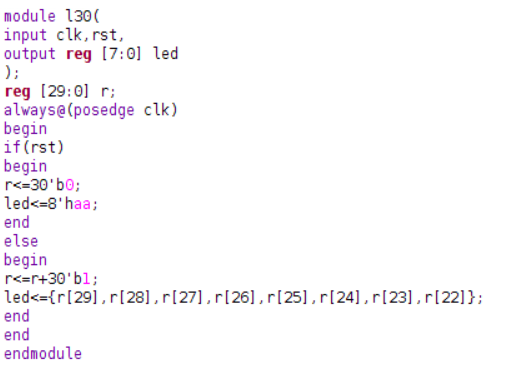
题目二：

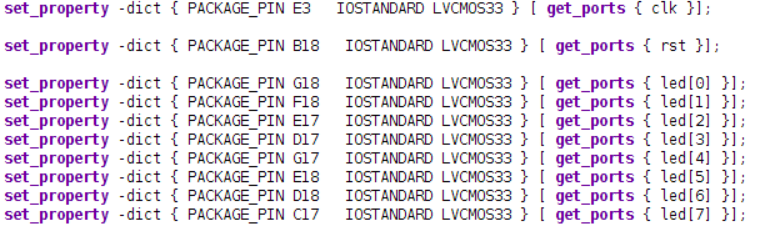
仅需调整一下sw[a]中a的顺序即可



题目三：

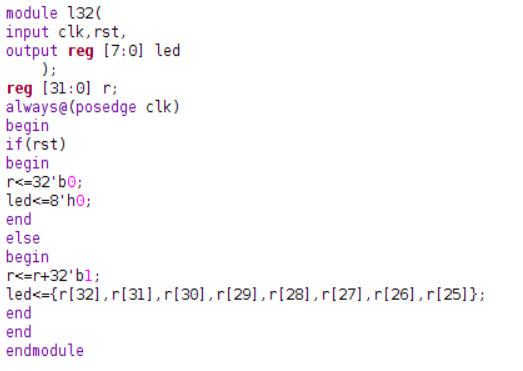
30位计数器的设计文件和约束文件如图所示：

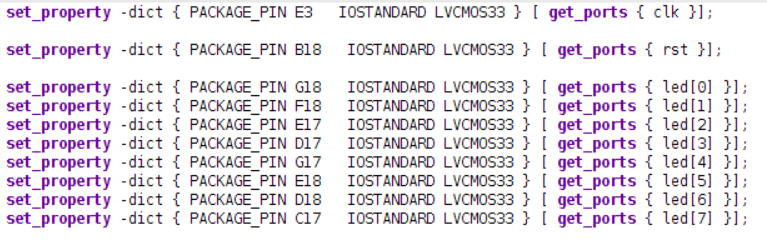
（设计文件）

（约束文件）

经检验，满足题目要求

32位计数器的设计文件和约束文件如图所示：

（设计文件）

（约束文件）

经检验，满足题目要求

对比发现，32位计数器中LED闪烁频率要低于30位计数器；时钟信号扮演计时器的角色，保证相关的电子组件得以同步运作，通过上升沿或下降沿来改变周期输出。

【总结与思考】

收获：了解了FPGA的工作原理，加强了对vivado的掌握

难易程度：中等（vivado软件本身的问题较大）

任务量：适中

改进建议：无