**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA 实验平台及 IP 核使用

学生学号：PB20111642

完成日期：2021.12.10

【实验题目】

FPGA 实验平台及 IP 核使用

【实验目的】

熟悉 FPGAOL 在线实验平台结构及使用

掌握 FPGA 开发各关键环节

学会使用 IP 核（知识产权核）

【实验环境】

VLAB 平台：vlab.ustc.edu.cn

FPGAOL 平台：fpgaol.ustc.edu.cn

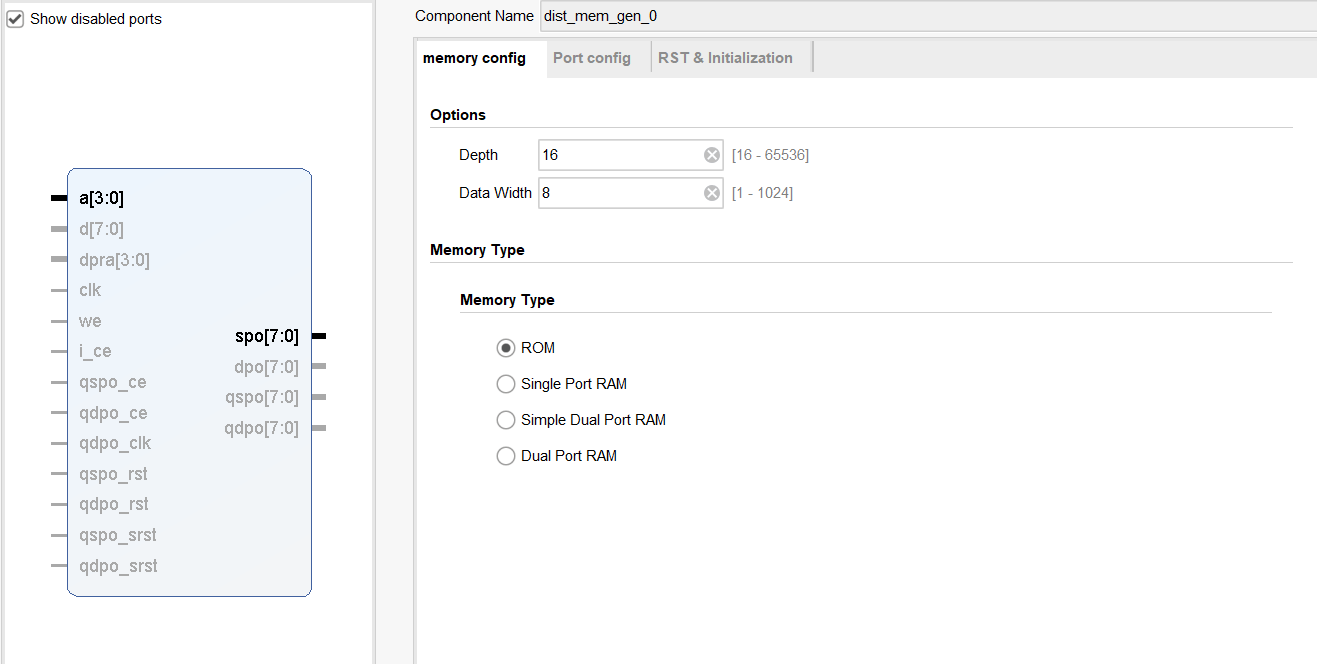
Vivado

Logisim

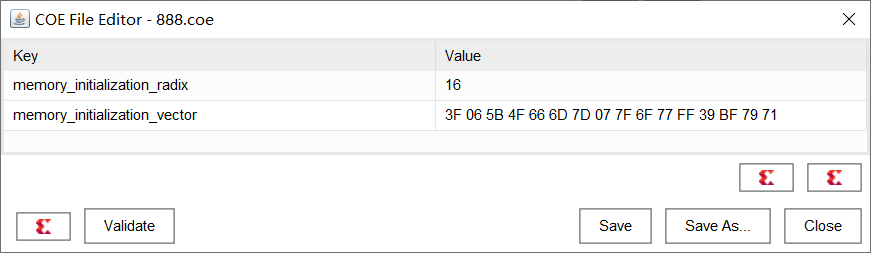
【实验练习】

题目一：

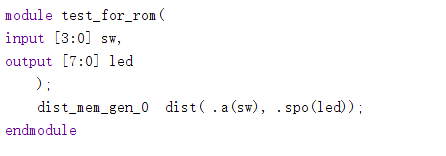
例化一个ROM，如图所示：



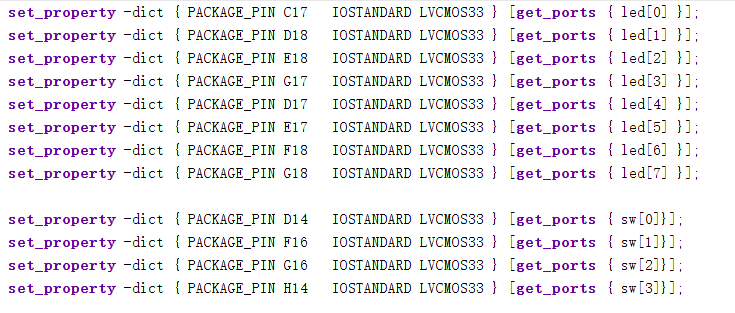
coe文件如图：



设计文件：



约束文件：



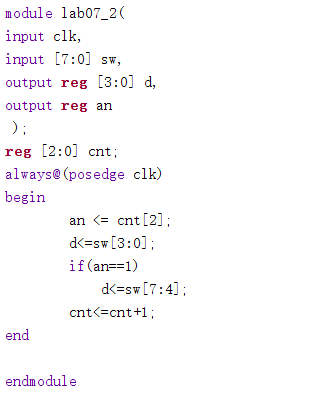
实验结果



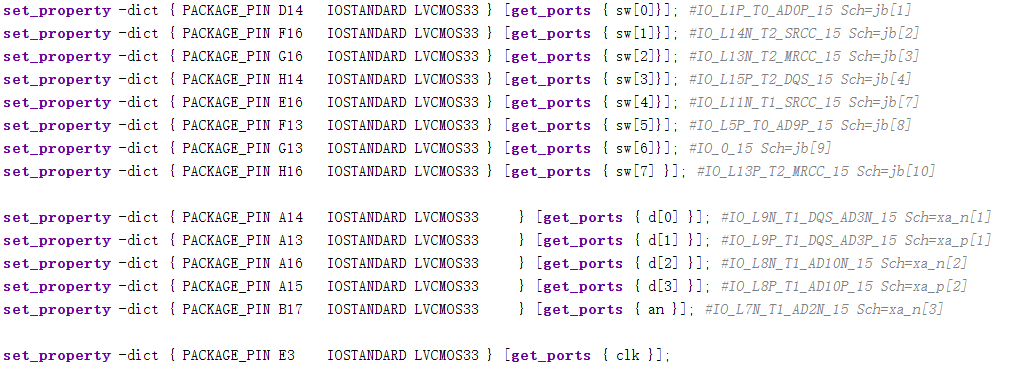
验证正确；

题目二：

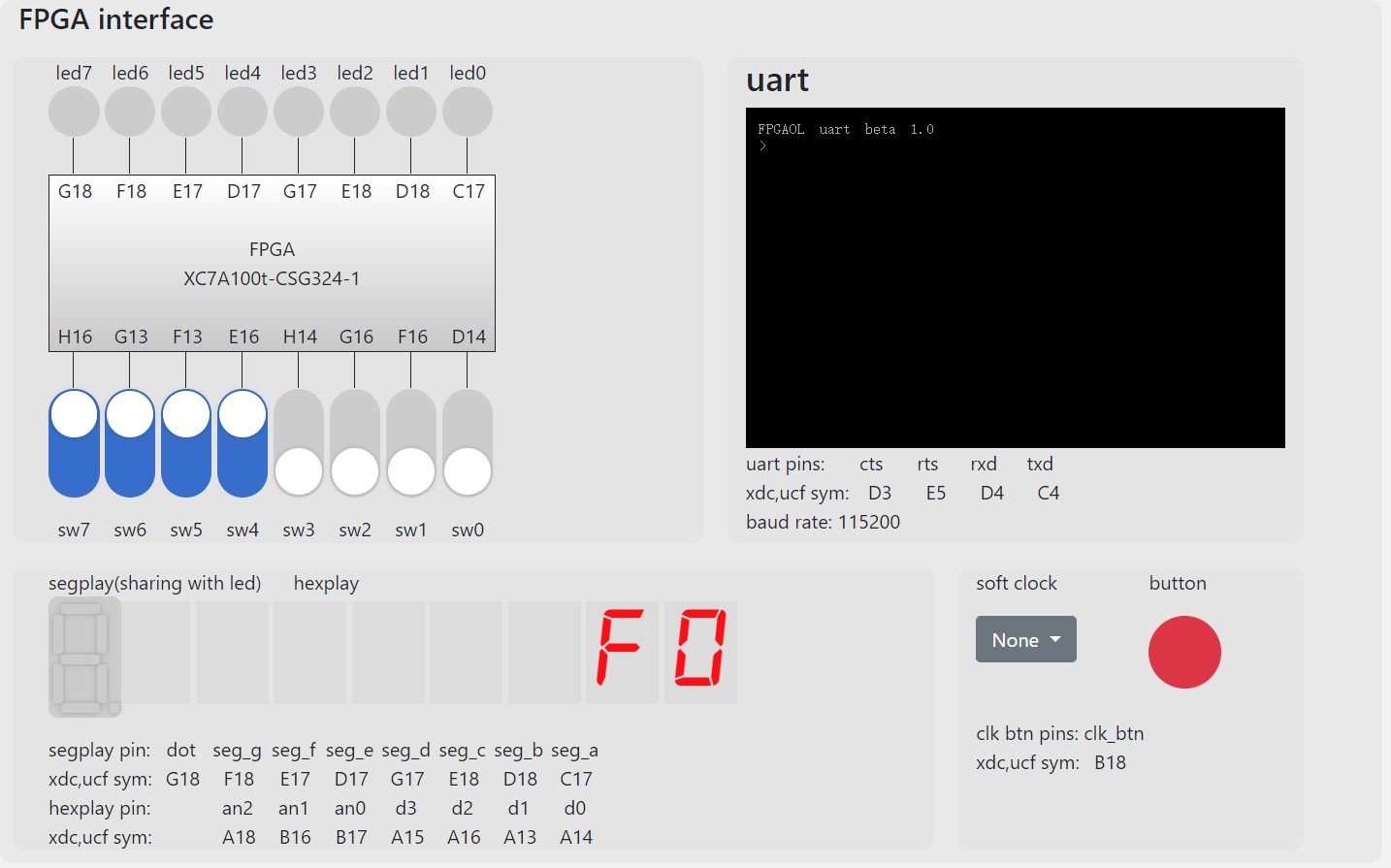
设计文件：



约束文件：

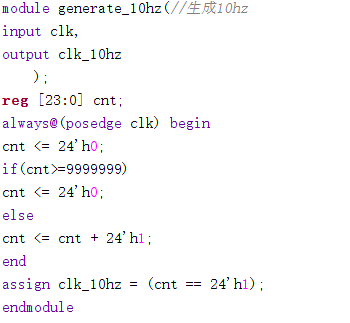


实验结果：

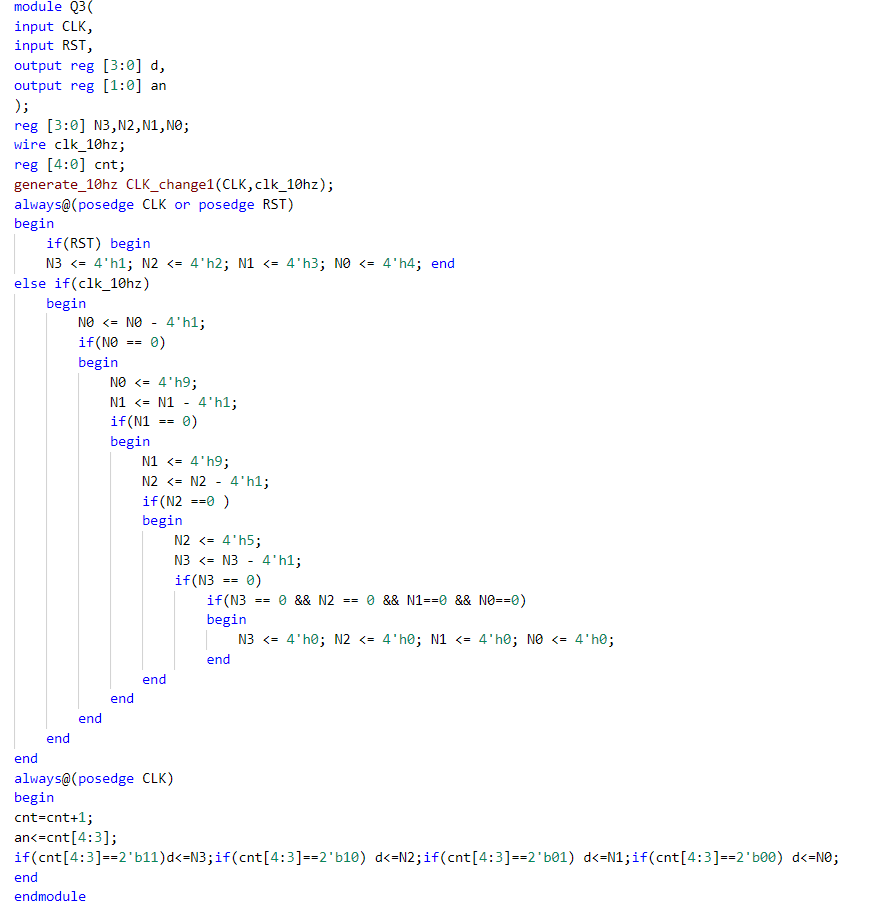
 验证正确；

题目三：

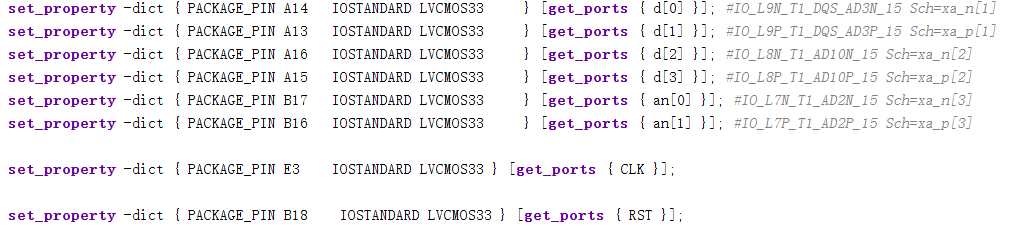
首先生成10Hz的频率：



设计文件：

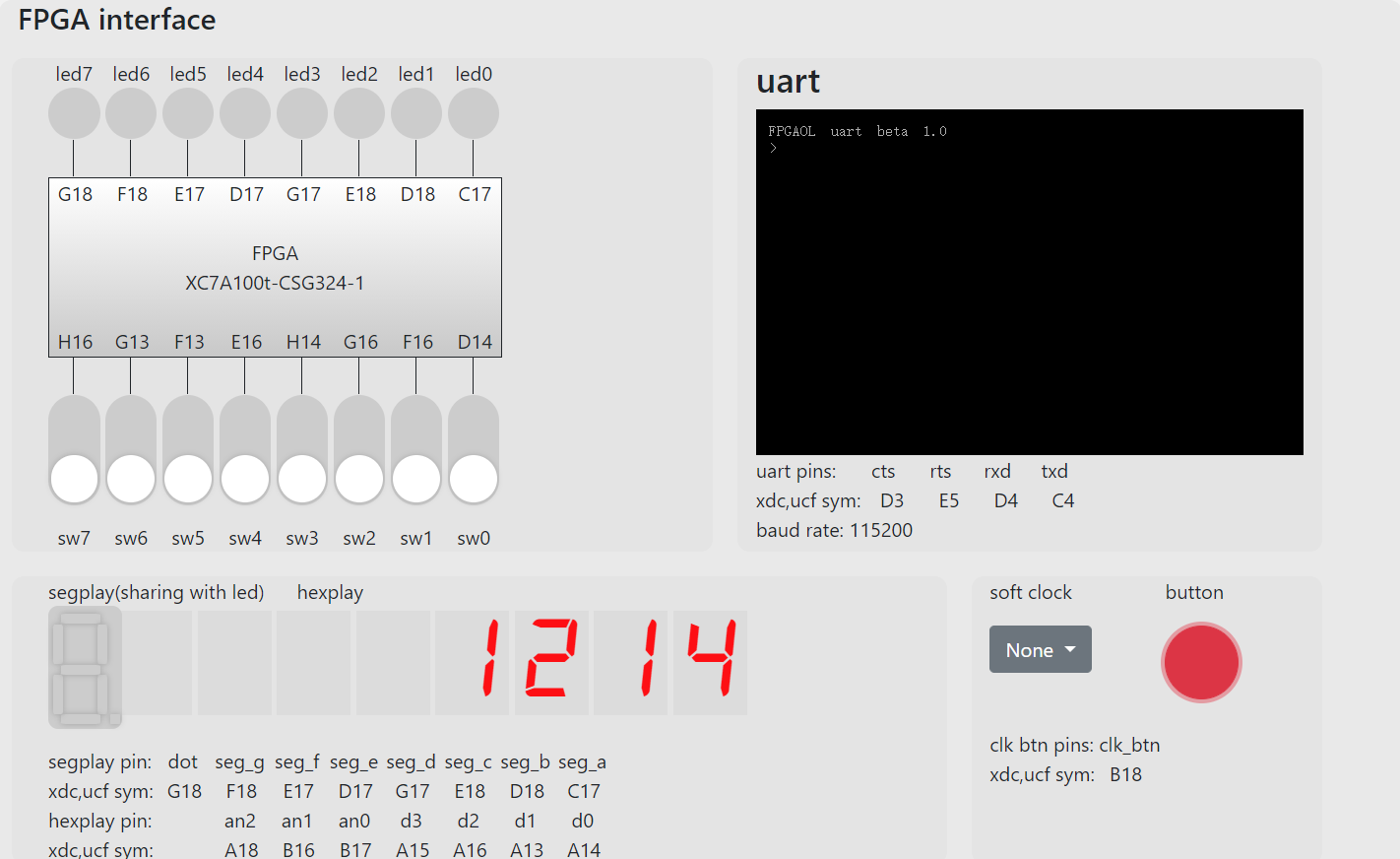


约束文件：



（P.S. 此计数器为倒计时计数器）

实验结果：

 验证正确；

【总结与思考】

收获：对FPGA实验平台的运用以及对IP核的使用有了更深的了解

难易程度：较难

任务量：较大

改进建议：建议例子稍微具体并且多一点