

Режимы работы памяти

Блоки памяти M9K в семействе Cyclone III позволяют вам реализовывать полностью синхронную SRAM память в нескольких режимах работы. Блоки памяти M9K в семействе Cyclone III не поддерживают асинхронные (нерегистрированные) входы.

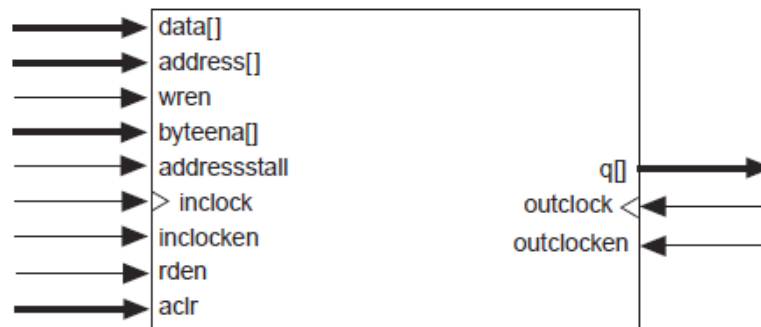
Блоки памяти M9K поддерживают следующие режимы работы:

- Однопортовый,
- Простой двухпортовый,
- Полный двухпортовый,
- Сдвиговый регистр,
- ROM,
- FIFO.

Нарушение времени установки или удержания для входных регистров блока памяти M9K может повредить содержимое памяти. Это относится и к операциям чтения, и к операциям записи.

Однопортовый режим

Однопортовый режим поддерживает разнесённые во времени операции чтения и записи по одному адресу. На рис. 3-7 показана конфигурация однопортовой памяти для блоков памяти M9K в чипах Cyclone III.

Figure 3–7. Single-Port Memory (1), (2)

Примечание к рис. 3-7:

- (1) Вы можете реализовать два блока однопортовой памяти в одном блоке M9K.
- (2) За дополнительной информацией обратитесь к главе "Поддержка режима упаковки" на стр. 3-5.

Можно сконфигурировать поведение входов RAM, которое будет во время операции записи. Если вы активировали rden во время операции записи, то выходы RAM отображают либо новые данные, которые записываются в данный момент, либо старые данные по этому адресу. Если вы выполняете операцию записи с деактивированным rden, выходы RAM сохраняют значения, которые они получили при последнем активном сигнале rden.

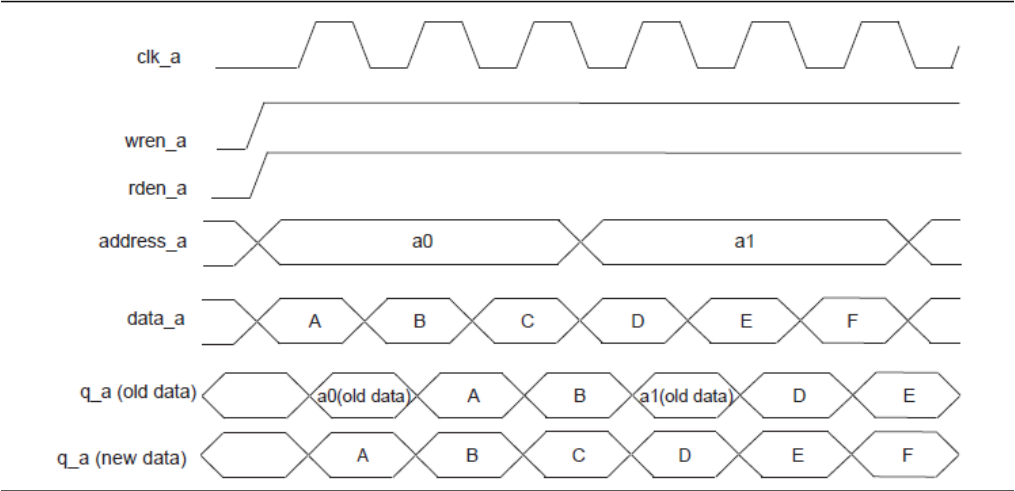
Для управления описанным выше поведением RAM, задайте опции **Read-During-Write** (чтение во время записи) либо **New Data** (новые данные), либо **Old Data** (старые данные) в RAM MegaWizard Plug-In Manager программы Quartus II. За дополнительной информацией обратитесь к главе "Операции чтения во время записи" на стр. 3-15.

В однопортовом режиме для блоков памяти M9K доступны следующие конфигурации ширины порта:

- 8192 × 1
- 4096 × 2
- 2048 × 4
- 1024 × 8
- 1024 × 9
- 512 × 16
- 512 × 18
- 256 × 32
- 256 × 36

На рис. 3-8 показаны временные диаграммы для операций чтения и записи в однопортовом режиме с нерегистрированными выходами. Регистрирование выходов RAM просто вносит задержку на выход q на один тактовый цикл.

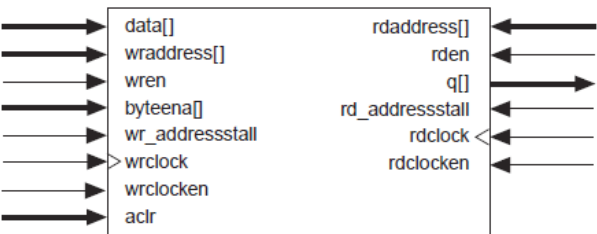
Figure 3-8. Cyclone III Device Family Single-Port Mode Timing Waveforms



Простой двухпортовый режим

Простой двухпортовый режим поддерживает одновременное выполнение операций чтения и записи для разных областей памяти. На рис. 3-9 показана конфигурация простой двухпортовой памяти.

Figure 3-9. Cyclone III Device Family Simple Dual-Port Memory (1)



Примечание к рис. 3-9:

(1) Простая двухпортовая RAM поддерживает режим входного и выходного такого сигнала в дополнение к режиму тактирования операций чтения или записи.

Блоки памяти M9K семейства Cyclone III поддерживают конфигурации смешанной ширины, позволяя иметь различную ширину портов чтения и записи.

В табл. 3-3 представлены конфигурации смешанной ширины.

Table 3-3. Cyclone III Device Family M9K Block Mixed-Width Configurations (Simple Dual-Port Mode) (Part 1 of 2)

Read Port	Write Port								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
8192 × 1	✓	✓	✓	✓	✓	✓	—	—	—
4096 × 2	✓	✓	✓	✓	✓	✓	—	—	—
2048 × 4	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 8	✓	✓	✓	✓	✓	✓	—	—	—

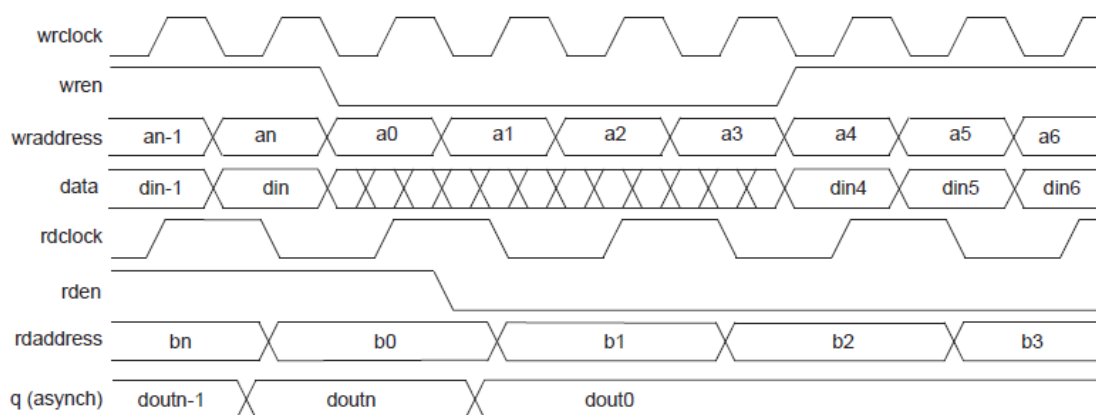
Table 3–3. Cyclone III Device Family M9K Block Mixed-Width Configurations (Simple Dual-Port Mode) (Part 2 of 2)

Read Port	Write Port								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓

В простом двухпортовом режиме блоки памяти M9K поддерживают отдельные сигналы `wren` и `rden`. Вы можете сэкономить энергию, сохраняя сигнал `rden` в низком (неактивном) уровне, когда не производите операции чтения. Операции чтения во время записи по одному адресу будут иметь на выходе неопределённые данные ("Don't Care") или старые данные ("Old Data"). Для выбора описанного выше поведения памяти, задайте опции **Read-During-Write** либо **Don't Care**, либо **Old Data** в RAM MegaWizard Plug-In Manager программы Quartus II. За дополнительной информацией обратитесь к главе "Операции чтения во время записи" на стр. 3-15.

На рис. 3-10 показаны временные диаграммы для операций чтения и записи в простом двухпортовом режиме с нерегистрированными выходами. Регистрирование выходов RAM просто добавляет задержку на один тактовый цикл для выхода `q`.

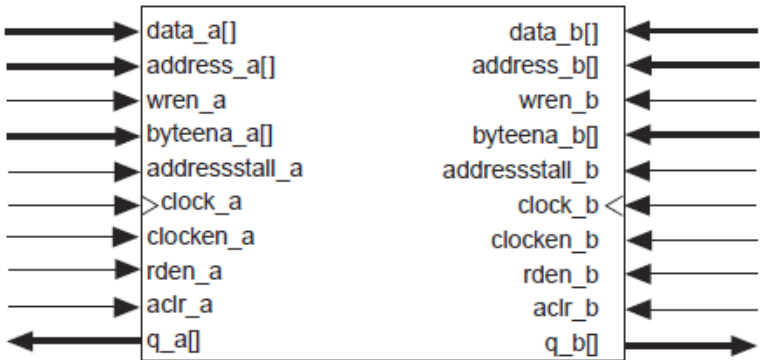
Figure 3–10. Cyclone III Device Family Simple Dual-Port Timing Waveforms



Полный двухпортовый режим

Полный двухпортовый режим поддерживает любую комбинацию операций по двум портам: два - на чтение, два - на запись, или один - на чтение и один на запись, а также две различные частоты тактирования. На рис. 3-11 показана конфигурация полной двухпортовой памяти семейства Cyclone III.

Figure 3–11. Cyclone III Device Family True Dual-Port Memory (1)



Примечание к рис. 3-11:

- (1) Полная двухпортовая память поддерживает режим входного или выходного такта в дополнение к показанному режиму независимого такта.

Наибольшая ширина бит конфигурации в блоке M9K в двухпортовом режиме - это 512 x 16 бит (18 бит с паритетом).

В табл. 3-4 показаны возможные конфигурации блока M9K со смешанной шириной портов.

Table 3–4. Cyclone III Device Family M9K Block Mixed-Width Configurations (True Dual-Port Mode)

Read Port	Write Port						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	✓	✓	✓	✓	✓	—	—
4096 × 2	✓	✓	✓	✓	✓	—	—
2048 × 4	✓	✓	✓	✓	✓	—	—
1024 × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1024 × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

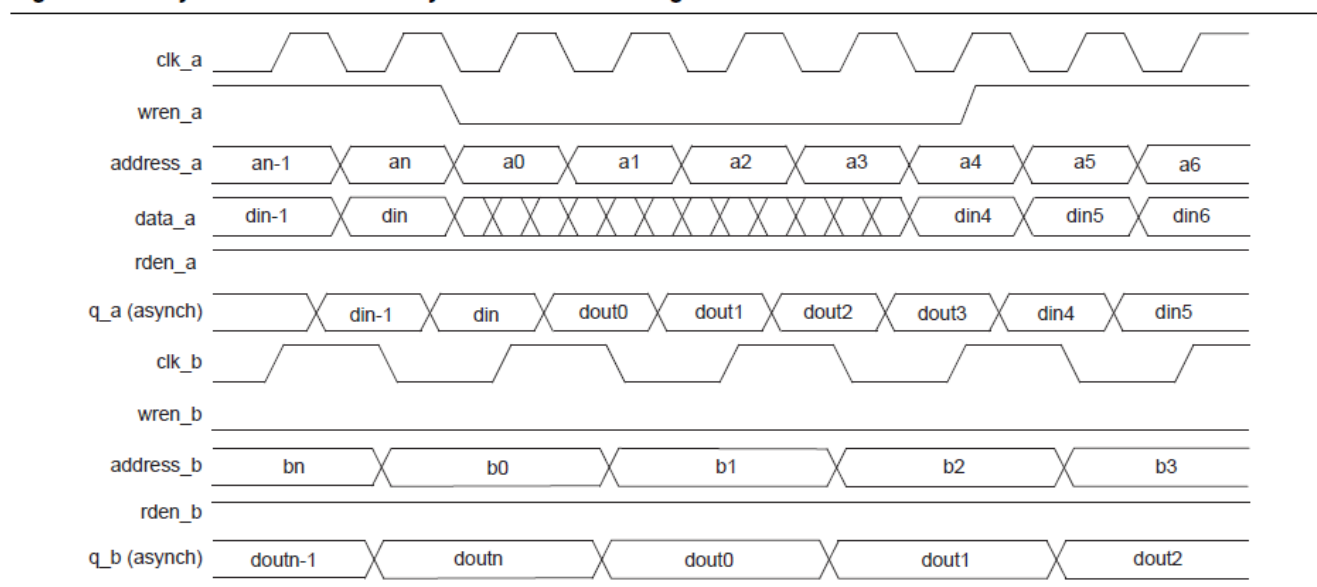
В режиме полной двухпортовой памяти, блоки M9K поддерживают отдельные сигналы wren и rden. Вы можете сэкономить питание, установив сигнал rden в нуль (деактивировав), когда нет операции чтения. Операции чтения во время записи по одному адресу могут иметь на выходе "новые данные" по этому адресу или "старые данные". Для выбора описанного выше поведения памяти, задайте опции **Read-During-**

Write либо **New Data**, либо **Old Data** в RAM MegaWizard Plug-In Manager программы Quartus II. За дополнительной информацией обратитесь к главе "Операции чтения во время записи" на стр. 3-15.

В полном двухпортовом режиме, вы можете получить доступ к любому адресу памяти в любое время по порту А или В. Однако, когда вы обращаетесь к одному адресу сразу по обеим портам, вы должны избежать возможных конфликтов записи. Когда вы пытаетесь записать по одному адресу одновременно с обеих портов, возникают конфликты записи. В результате, по этому адресу будут записаны неопределённые данные. В блоках памяти M9K отсутствует схема разрешения конфликтов. Вы обязаны обрабатывать конфликты адресов снаружи RAM блока.

На рис. 3-12 показаны временные диаграммы полной двухпортовой памяти при операции записи в порт А и чтения из порта В. Регистрирование выходов RAM просто добавляет задержку на один такт к выходам q.

Figure 3–12. Cyclone III Device Family True Dual-Port Timing Waveforms

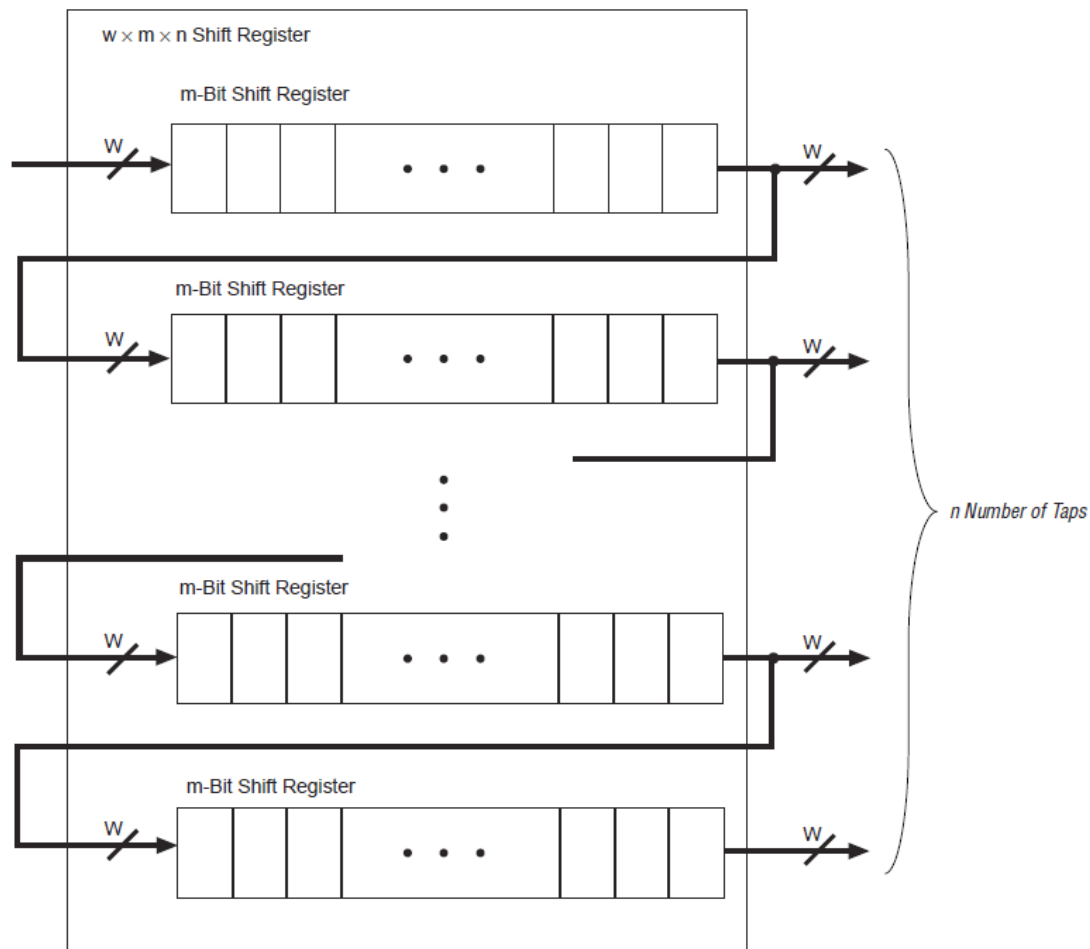


Режим сдвигового регистра

Блоки памяти M9K семейства Cyclone III могут реализовывать сдвиговые регистры для приложений цифровых сигнальных процессоров (DSP), таких как, фильтр с конечной импульсной характеристикой (FIR), генераторы псевдослучайных чисел, многоканальная фильтрация и функции автокорреляции и взаимной корреляции. Для этих и других приложений DSP необходима локальная память под данные, которая обычно реализуется с помощью стандартных триггеров, быстро поглощающих значительное количество логических ячеек ради больших сдвиговых регистров. Более эффективной альтернативой является использование встроенной памяти в качестве блока сдвигового регистра, что экономит логические ячейки и ресурсы разводки.

Размер сдвигового регистра ($w \times m \times n$) определяется шириной входных данных (w), длиной цепочки (m) и количеством цепочек (n), размер должен быть меньшим или равным максимальному количеству бит в одном блоке, что составляет 9 216 бит. А также, размер ($w \times n$) должен быть меньшим или равным максимальной ширине блока, которая составляет 36 бит. Если вам нужен больший сдвиговый регистр, вы можете каскадировать блоки памяти M9K.

На рис. 3-13 показан блок памяти M9K семейства Cyclone III в режиме сдвигового регистра.

Figure 3–13. Cyclone III Device Family Shift Register Mode Configuration

Режим ROM

Блоки памяти M9K семейства Cyclone III поддерживают режим ROM. Файл **.mif** инициализирует содержимое ROM этих блоков. Шины адресов ROM регистрируются. Выходы могут регистрироваться или не регистрироваться. Операция чтения ROM идентична операции чтения в режиме однопортовой RAM.

Режим буфера FIFO

Блоки памяти M9K семейства Cyclone III поддерживают режим одно тактового или двух тактового буферов FIFO. Двух тактовый буфер FIFO прекрасно подходит для передачи данных от одного тактового домена другому. Блоки памяти M9K семейства Cyclone III не поддерживают синхронные операции чтения и записи из пустого FIFO буфера.

За подробной информацией о буферах FIFO обратитесь к руководству пользователя по мегафункциям [SCFIFO](#) и [DCFIFO](#).