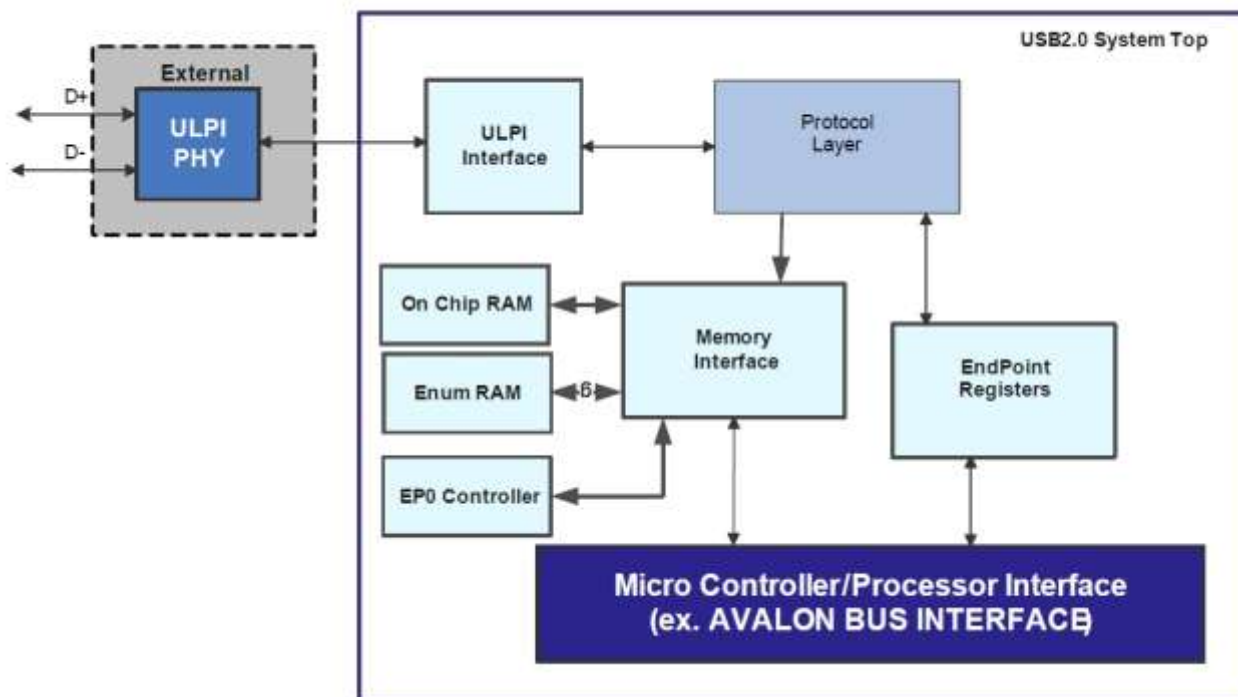


2. Архитектура ядра

Устройство USB 2.0 сопрягается с передатчиком посредством двух дифференциальных линий (D+ и D-). Передатчик или физический интерфейс, в свою очередь, подключается к ядру посредством интерфейсных сигналов. Так как ядро поддерживает все типы трансфертов - контрольный, данные, изохронный и прерываний, то каждый тип трансфертов поддерживает отдельные каналы для операций IN и OUT. На рис. 2-1 показана общая архитектура IP ядра USB20HR.

Figure 2-1. USB20HR Device IP Core Architecture



Ниже приводится описание каждого блока:

Интерфейс микро контроллера/процессора (Micro Controller/Processor Interface) представляет собой мост между хост интерфейсом (например, процессором Nios II) и внутренней памятью данных и регистрами контроля.

ULPI PHY

Чип ULPI PHY является внешним чипом, представляющий собой звено передачи между IP USB 2.0 и физическими линиями данных D+ и D-. Максимальная тактовая частота от PHY составляет 60 МГц в 8-битном режиме. Все блоки синхронизируются по частоте тактового сигнала от ULPI PHY.

ULPI Interface

ULPI блок подключается к внешнему PHY. Он контролирует скорость согласования, а также обрабатывает все функции, относящиеся к линии сигналов. Он также обрабатывает конфигурацию чипа ULPI PHY.

Protocol Layer

Блок слоя протокола деассемблирует/ассемблирует пакет, обрабатывает всё квитирование установления связи протокола стандарта USB 2.0 и контролирует соответствие.

Memory Interface

Блок интерфейса с памятью используется для операций чтения и записи данных сверх буфера памяти IN и OUT чипа.

EndPoint Registers

Блок регистров конечной точки содержит регистры control и status для каждой конечной точки. Можно сконфигурировать любую специальную конечную точку посредством этих регистров через интерфейс Avalon.

On chip RAM

Блок внутри чиповой памяти. Внутри чипа создаются два элемента внутри чиповой памяти, размер которых зависит от размера секций в SOPC Builder, зависящей от параметра глубины буферов IN и OUT. Параметр IN BUFFER Depth задаёт внутри чиповую память для всех конечных точек IN внутри чипа, а OUT BUFFER Depth задаёт внутри чиповую память для всех конечных точек OUT внутри чипа. Все конечные точки IN используют внутри чиповую память, заданную параметром IN BUFFER Depth в их регистрах буфера, точно также как и всеконечные точки OUT используют внутри чиповую память, заданную параметром OUT BUFFER Depth в их регистрах буфера. Микроконтроллер может читать память буфера OUT и записывать в память буфера IN. Когда как устройство может писать в память буфера OUT и читать из памяти буфера IN. Память буфера IN и OUT начинается с того же адреса офсета, что и внутри чиповая память для конечных точек IN и OUT, - с 0x20000 и далее (определяется её размером, по параметру, заданному в SOPC Builder).

EP0 Controller

Блок контроллера конечной точки 0. Все трансферты конечной точки 0 оберегаются этим модулем. Он имеет конечный автомат для декодирования различных типов SETUP пакетов и выдаёт отклик. Ответы стандарта USB поддерживают специальные ответы класса устройства с большой памятью.

Enum_RAM

Этот модуль содержит всю информацию, относящуюся к дескриптору устройства, дескриптору конфигурации, дескриптору интерфейса, дескриптору конечной точки и дескриптору строки.

Дескрипторы строки, ID поставщика и ID продукта устройства, класс, подкласс и протокол устройства и интерфейса могут быть отредактированы с помощью утилиты usb20hr_enum_data_editor.exe.

Файлы usb20hr_enum_data_editor.exe и readme.txt можно найти по адресу: <Директория установки USB20HR>/usb20hr/software/utilites/enumdataeditor.

Нельзя редактировать вручную файл Enum_ram.hex.

Micro Controller/Processor Interface

Блок интерфейса микро контроллера/процессора предлагает последовательный интерфейс между внутренними функциями ядра и специальными функциями хоста или микроконтроллера.