



8. High-Speed Differential Interfaces in Cyclone III Devices

СIII51008-1.3

8. Высокоскоростные дифференциальные интерфейсы в чипах Cyclone III

Введение

Высокоскоростные дифференциальные I/O стандарты получили популярность в высокоскоростных интерфейсах, поскольку обладают значительными преимуществами над несимметричными I/O стандартами. В соответствии с современными потребностями рынка, чипы Altera® Cyclone® III поддерживают различные дифференциальные I/O стандарты, включая низковольтную дифференциальную передачу сигналов (LVDS), шину LVDS (BLVDS), уменьшенных дифференциальных сигналов (RSDS), mini-LVDS и двухточечных дифференциальных сигналов (PPDS).

LVDS — это технология, применяемая от высокоскоростных приложений для объединительной платы до мощных распределительных коробок. LVDS — это стандарт низковольтной дифференциальной передачи сигналов, обладающий лучшей помехозащищённостью по сравнению с несимметричными I/O технологиями. Используемый в нём низковольтный перепад напряжения даёт высокоскоростную передачу данных, низкое энергопотребление и уменьшает электромагнитные помехи (EMI). I/O передача LVDS — это интерфейс передачи данных, определённый в спецификации TIA/EIA-644 и IEEE Std. 1596.3.

Чипы Cyclone III могут принимать LVDS сигналы на скорости 875 Мбит/с во всех I/O банках. Чипы Cyclone III имеют специальные дифференциальные выходные буферы для передачи LVDS сигналов на скорости 840 Мбит/с в левом и правом I/O банках, не требуя внешних резисторов. Верхний и нижний I/O банки могут передавать данные на скорости 640 Мбит/с, используя простую схему с резисторами.

Стандарты BLVDS, RSDS и mini-LVDS — это производные стандарта LVDS. BLVDS распространяет эффективность LVDS на многоточечные приложения, такие как двунаправленные объединительные платы. Чипы Cyclone III поддерживают BLVDS на всех пользовательских I/O выводах. Скорость BLVDS, поддерживаемая Cyclone III, полностью зависит от системного уровня проекта с многоточечными приложениями, такими как, топология шины, эффект загрузки и оконечная схема. Поскольку RSDS и mini-LVDS I/O стандарты имеют меньший размах напряжения, чем LVDS, они позволяют уменьшить энергопотребление и электромагнитные помехи (EMI). Корпорации National Semiconductor и Texas Instruments разработали соответственно стандарты RSDS и mini-LVDS. Сейчас многие разработчики используют эти стандарты для плоских панельных дисплеев, связывая ими контроллер и драйвер столбцов дисплея. Чипы Cyclone III поддерживают RSDS и mini-LVDS I/O стандарты на скоростях до 360 Мбит/с и 400 Мбит/с соответственно, а специальные передатчики, расположенные на левом и правом I/O банках, не требуют внешних резисторов.

Стандарт PPDS — это следующее поколение стандарта RSDS, разработанного корпорацией National Semiconductor. Технология PPDS разработана специально для интерфейса телевизоров LCD, чтобы улучшить характеристики дисплея. Приложения PPDS поддерживают мультифункциональный LCD монитор и профессиональный LCD монитор с высокими характеристиками. Чипы Cyclone III поддерживают PPDS I/O стандарты на скоростях до 440 Мбит/с, не требуя внешних резисторов, на специальных передатчиках, расположенных в левом и правом I/O банках.

Сериализаторы и десериализаторы данных дифференциального интерфейса (SERDES) конструируются автоматически на логических элементах (LEs) Cyclone III с помощью мегафункции ALTLVDS в программе Quartus® II.

В этой главе описано, как использовать I/O выводы Cyclone III для дифференциальной передачи, она состоит из следующих секций:

"Высокоскоростные I/O банки Cyclone III"

"Высокоскоростные I/O интерфейсы Cyclone III"

"Поддержка высокоскоростных I/O стандартов"

"Временные характеристики высокоскоростных I/O в чипах Cyclone III"

"Рекомендации по проектированию"

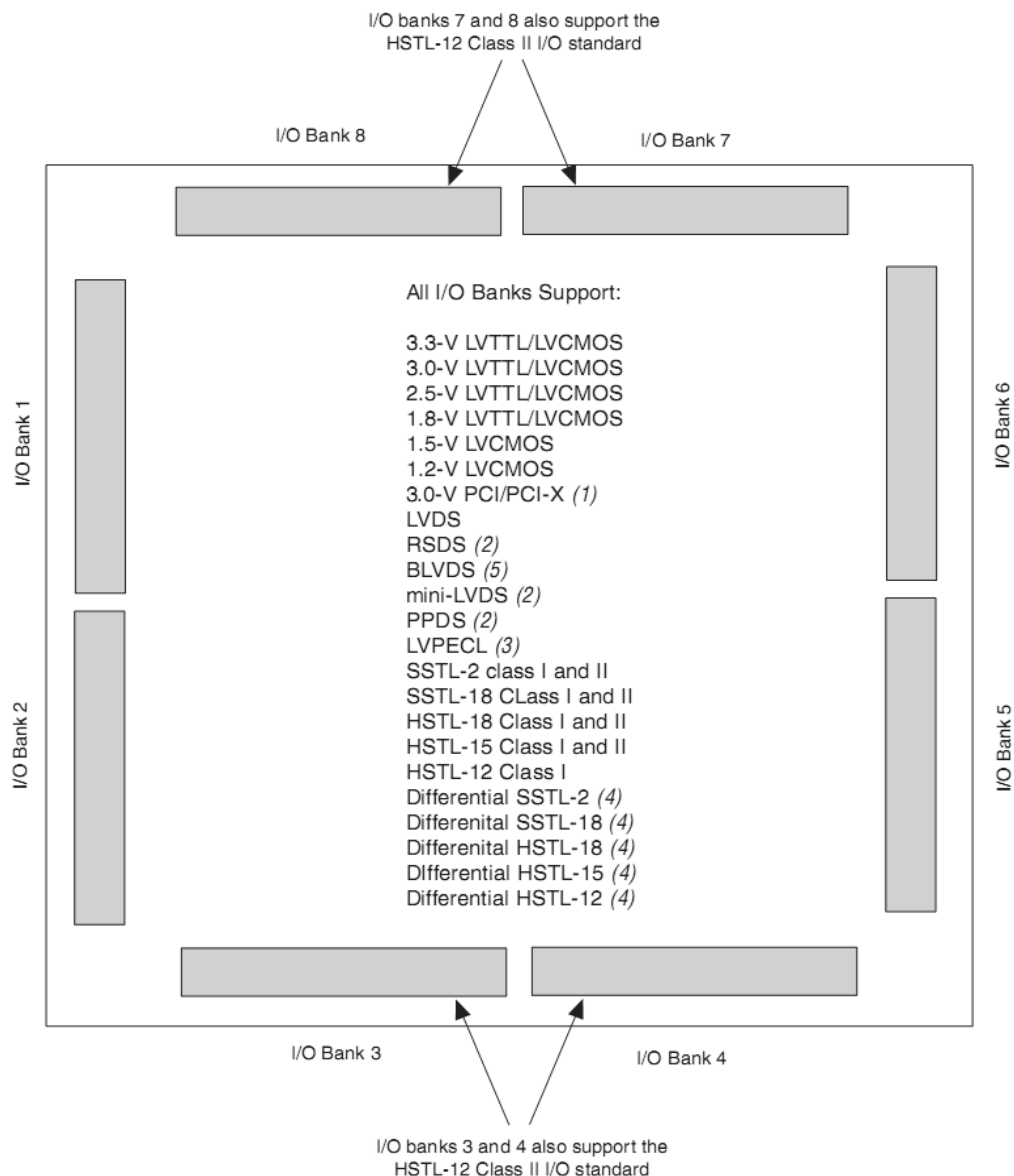
"Общий вид программы"

Высокоскоростные I/O банки Cyclone III

I/O банки чипов Cyclone III разделены на восемь I/O банков, как показано на рисунке 8-1. Каждый банк имеет независимую шину питания. Специальные выходные драйверы для LVDS, RSDS, mini-LVDS и PPDS расположены в левом и в правом I/O банках. Эти I/O поддерживаются и в верхнем и в нижнем I/O банках с использованием внешних резисторов. В левом и правом I/O банках некоторые дифференциальные пары (выводы p и n) специальных выходных драйверов не располагаются на соседних выводах. В таких случаях, между выводами p и n расположен вывод питания.

За подробной информацией о расположении специальных дифференциальных выводов, обратитесь к таблицам выводов на сайте Altera (www.altera.com).

Figure 8-1. Cyclone III I/O Banks



Примечания к рисунку 8-1:

- (1) I/O стандарт PCI-X не имеет требуемых IV линий в линейной области.
- (2) I/O стандарты RSDS, mini-LVDS и PPDS поддерживаются только для выходных выводов. Эти I/O стандарты не поддерживаются для входных выводов.
- (3) I/O стандарт LVPECL поддерживается только на специальных тактовых входных выводах. I/O стандарт не поддерживается для выходных выводов.
- (4) Дифференциальные SSTL-2, SSTL-18, HSTL-18, HSTL-15 и HSTL-12 I/O стандарты поддерживаются только на специальных тактовых входных выводах и выходных выводах тактов PLL. Выходные выводы тактов PLL не поддерживают Класс II типов дифференциальных SSTL-18, HSTL-18, HSTL-15 и HSTL-12 I/O стандартов.
- (5) Выход BLVDS использует два несимметричных выхода, где второй выход запрограммирован как инвертор. Вход BLVDS использует входной буфер LVDS.

Таблица 8-1. Рабочие характеристики различных I/O стандартов

Дифференциальные I/O стандарты	Расположение I/O банков	Блок таблицы выводов (1)	Схема с внешними резисторами на выходы	Fmax (Мбит/с)	
				Передатчик (Tx)	Приёмник (Rx)
LVDS	1,2,5,6	рядом	не требуется	840	875
	1,2,5,6	отдельно	не требуется	840	875
	все	резистор	три резистора	640	875
RSDS	1,2,5,6	рядом	не требуется	360	Не поддерживается
	1,2,5,6	отдельно	не требуется	360	
	3,4,7,8	резистор	три резистора	360	
	все	резистор	один резистор	170	
BLVDS	все	Без адреса	один резистор	(4)	(4)
mini-LVDS	1,2,5,6	рядом	не требуется	400	Не поддерживается
	1,2,5,6	отдельно	не требуется	400	
	все	резистор	три резистора	400	
PPDS	1,2,5,6	рядом	не требуется	440	Не поддерживается
	1,2,5,6	отдельно	не требуется	440	
	все	резистор	три резистора	440	
LVPECL (2)	все	Без адреса	Без адреса	Не поддерживается	875
Дифференциальный SSTL-2 (3)	все	Без адреса	Без адреса	500	500
Дифференциальный SSTL-18 (3)	1,2,5,6	Без адреса	Без адреса	600	600
	3,4,7,8	Без адреса	Без адреса	600	600
Дифференциальный HSTL-18 (3)	все	Без адреса	Без адреса	600	600
Дифференциальный HSTL-15 (3)	все	Без адреса	Без адреса	600	600
Дифференциальный HSTL-12 (3)	все	Без адреса	Без адреса	500	400

Примечания к таблице 8-1:

- (1) "Рядом" означает, что специальные дифференциальные выходные драйверы с выводами p и n расположены рядом друг с другом. "Отдельно" означает, что специальные дифференциальные выходные драйверы с выводами p и n не расположены рядом друг с другом. "Резистор" означает, что специальным дифференциальным выходным драйверам требуется схема с резисторами. За дополнительной информацией об этих выводах, обратитесь на сайт Altera (www.altera.com)
- (2) I/O стандарт LVPECL поддерживается только на специальных тактовых входных выводах.
- (3) Дифференциальные SSTL-2, SSTL-18, HSTL-18, HSTL-15 и HSTL-12 I/O стандарты поддерживаются только на специальных тактовых входных выводах и выходных выводах тактов PLL. Выходные выводы тактов PLL не поддерживают Класс II типов дифференциальных SSTL-18, HSTL-18, HSTL-15 и HSTL-12 I/O стандартов.
- (4) Fmax передатчика и приёмника зависит от характеристик топологии системы.

Высокоскоростные I/O интерфейсы Cyclone III

Чипы Cyclone III предоставляют мультипротокольный интерфейс, позволяющий организовать коммуникацию между различными I/O стандартами, включая LVDS, BLVDS, RSDS, mini-LVDS, PPDS, LVPECL, дифференциальный HSTL и дифференциальный SSTL. Эта особенность делает чипы семейства Cyclone III идеальными в приложениях, которым требуются различные I/O стандарты, например для переходов между протоколами.

Вы можете использовать I/O выводы и внутреннюю логику для реализации высокоскоростных передатчиков и приёмников в чипах Cyclone III. Чипы Cyclone III не имеют схем сериализации и десериализации. Поэтому, сдвиговые регистры, внутренние петли защёлкивания фазы (PLLs) и I/O ячейки используются для конверсии последовательного в параллельный для входных данных и параллельный в последовательный для выходных данных.

В таблице 8-2 показано количество дифференциальных каналов в чипах Cyclone III.

Table 8–2. Cyclone III Device Differential Channels (Part 1 of 2)

Device	Package	Pin Count	Number of Differential Channels			
			User I/O	Clock Input	Clock Output	Total
EP3C5	EQFP	144	16	4	2	22
	FBGA	256	62	4	2	68
	MBGA	164	22	4	2	28
	UBGA	256	62	4	2	68
EP3C10	EQFP	144	16	4	2	22
	FBGA	256	62	4	2	68
	MBGA	164	22	4	2	28
	UBGA	256	62	4	2	68
EP3C16	EQFP	144	7	8	4	19
	EQFP	240	35	8	4	47
	FBGA	256	43	8	4	55
	FBGA	484	128	8	4	140
	MBGA	164	11	8	4	23
	UBGA	256	43	8	4	55
	UBGA	484	128	8	4	140
	UBGA	484	128	8	4	140
EP3C25	EQFP	144	6	8	4	18
	EQFP	240	31	8	4	43
	FBGA	256	42	8	4	54
	FBGA	324	71	8	4	83
	UBGA	256	42	8	4	54
EP3C40	EQFP	240	14	8	4	26
	FBGA	324	49	8	4	61
	FBGA	484	115	8	4	127
	FBGA	780	215	8	4	227
	UBGA	484	115	8	4	127
EP3C55	FBGA	484	123	8	4	135
	FBGA	780	151	8	4	163
	UBGA	484	123	8	4	135
EP3C80	FBGA	484	101	8	4	113
	FBGA	780	169	8	4	181
	UBGA	484	101	8	4	113

Table 8-2. Cyclone III Device Differential Channels (Part 2 of 2)

Device	Package	Pin Count	Number of Differential Channels			
			User I/O	Clock Input	Clock Output	Total
EP3C120	FBGA	484	94	8	4	106
	FBGA	780	221	8	4	233

В таблице 8-3 показано количество мигрируемых дифференциальных каналов.

Table 8-3. Cyclone III Device Migratable Differential Channels (Part 1 of 2)

Package Type	Migration between Devices	Migratable Channels		
		User I/O	CLK	Total
E144	EP3C5 and EP3C10	16	4	20
	EP3C5 and EP3C16	5	4	9
	EP3C5 and EP3C25	6	4	10
	EP3C10 and EP3C16	5	4	9
	EP3C10 and EP3C25	6	4	10
	EP3C16 and EP3C25	5	8	13
M164	EP3C5 and EP3C10	22	4	26
	EP3C5 and EP3C16	11	4	15
	EP3C10 and EP3C16	19	4	14
Q240	EP3C16 and EP3C25	23	8	31
	EP3C16 and EP3C40	11	8	19
	EP3C25 and EP3C40	12	8	20
F256	EP3C5 and EP3C10	62	4	66
	EP3C5 and EP3C16	39	4	43
	EP3C5 and EP3C25	40	4	44
	EP3C10 and EP3C16	39	4	43
	EP3C10 and EP3C25	40	4	44
	EP3C16 and EP3C25	33	8	41
U256	EP3C5 and EP3C10	62	4	66
	EP3C5 and EP3C16	39	4	43
	EP3C5 and EP3C25	40	4	44
	EP3C10 and EP3C16	39	4	43
	EP3C10 and EP3C25	40	4	44
	EP3C16 and EP3C25	33	8	41
F324	EP3C25 and EP3C40	47	8	55

Table 8–3. Cyclone III Device Migratable Differential Channels (Part 2 of 2)

Package Type	Migration between Devices	Migratable Channels		
		User I/O	CLK	Total
F484	EP3C16 and EP3C40	102	8	110
	EP3C16 and EP3C55	98	8	106
	EP3C16 and EP3C80	79	8	87
	EP3C16 and EP3C120	72	8	80
	EP3C40 and EP3C55	102	8	110
	EP3C40 and EP3C80	84	8	92
	EP3C40 and EP3C120	74	8	82
	EP3C55 and EP3C80	98	8	106
	EP3C55 and EP3C120	85	8	93
	EP3C80 and EP3C120	88	8	96
U484	EP3C16 and EP3C40	102	8	110
	EP3C16 and EP3C55	98	8	106
	EP3C16 and EP3C80	79	8	87
	EP3C40 and EP3C55	102	8	110
	EP3C40 and EP3C80	84	8	92
	EP3C55 and EP3C80	98	8	106
F780	EP3C40 and EP3C55	46	8	54
	EP3C40 and EP3C80	51	8	59
	EP3C40 and EP3C120	54	8	62
	EP3C55 and EP3C80	144	8	152
	EP3C55 and EP3C120	142	8	150
	EP3C80 and EP3C120	160	8	168