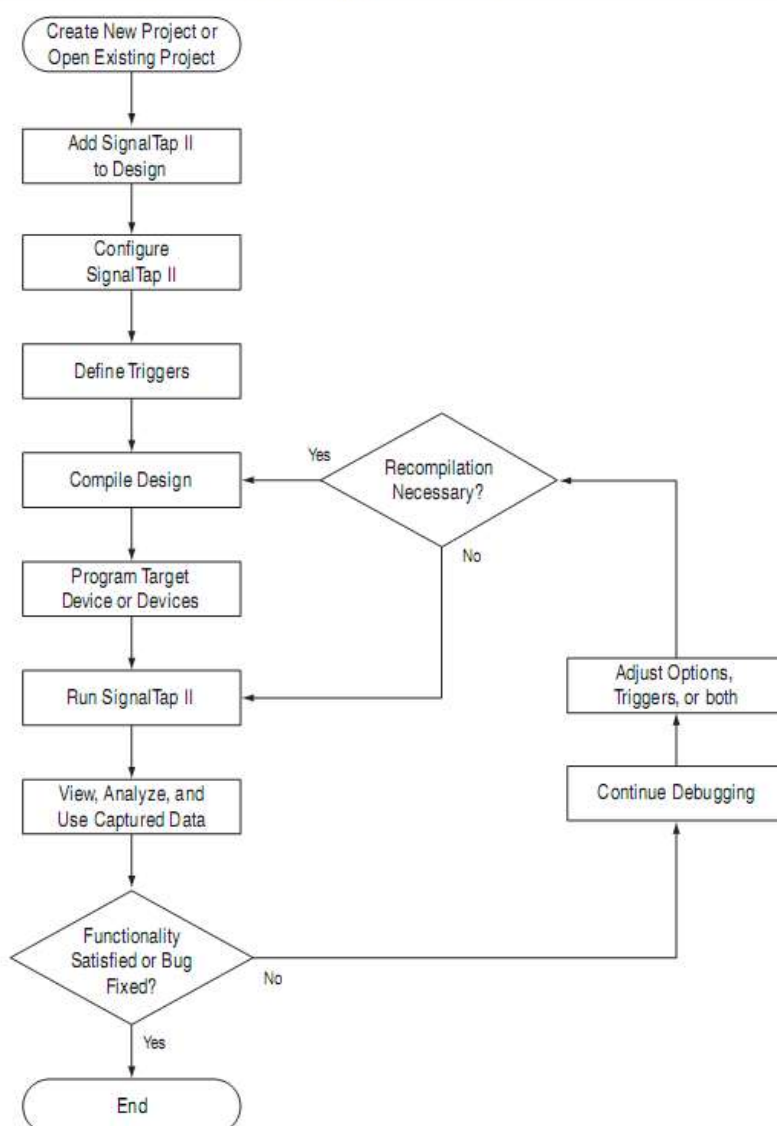


Задачи процесса встроенного логического анализатора SignalTap® II

Для использования встроенного логического анализатора SignalTap II в отладке вашего проекта, вы выполняете некоторое количество задач по добавлению, конфигурации и запуску логического анализатора. На рисунке 14-3 показан обычный процесс задач, которые вы выполняете для отладки вашего проекта. Обратитесь к соответствующему разделу в этой главе за дополнительной информацией о каждой из этих задач.

Figure 14–3. SignalTap II Embedded Logic Analyzer Task Flow



Добавление встроенного логического анализатора SignalTap® II в ваш проект

Создайте **.stp** файл или параметризованный HDL модуль, описывающий логический анализатор, используя менеджер плагинов MegaWizard. Если вы хотите наблюдать одновременно несколько тактовых доменов, добавьте дополнительные модули логических анализаторов в ваш проект, их количество ограничивается только наличием доступных ресурсов в вашем чипе.

Конфигурирование встроенного логического анализатора SignalTap® II

После того, как встроенный логический анализатор SignalTap II добавлен в ваш проект, сконфигурируйте его, чтобы наблюдать необходимые сигналы. Вы можете добавить сигналы вручную или использовать плагин, например плагин встроенного процессора Nios II, для быстрого добавления нужных выборок ассоциированных сигналов для индивидуальных авторских модулей (IP). Вы можете также определить настройки для буфера сбора данных, например его размер, способ сбора и хранения данных, а также тип памяти чипа, задействованной для буфера в чипах, где возможен выбор типа памяти.

Определение состояний триггеров

Встроенный логический анализатор SignalTap II захватывает данные постоянно, пока он запущен. Для захвата и сохранения определённых данных сигнала, настройте триггеры так, чтобы сообщать логическому анализатору состояние остановки сбора данных. Встроенный логический анализатор SignalTap II допускает вам определять состояния триггера от очень простых, например передний фронт одного сигнала, до очень сложных, включая группы сигналов, специальную логику и множество состояний. Включение триггеров даёт вам возможность захватывать данные от триггеров, когда возникает событие прямо после того, как чип входит в пользовательский режим после конфигурации.

Компиляция проекта

Имея сконфигурированный файл **.stp** и определённые состояния триггеров, скомпилируйте ваш проект как обычно для включения логического анализатора в проект. Поскольку вам потребуется часто во время отладки изменять узлы отображения сигналов или корректировать настройки триггеров, Altera рекомендует вам использовать средство инкрементной компиляции во встроенном логическом анализаторе SignalTap II, совместно с инкрементной компиляцией Quartus II, чтобы сократить время компиляции.

Программирование выбранного чипа или чипов

Когда вы отлаживаете проект со встроенным логическим анализатором SignalTap II, вы можете программировать выбранный чип отдельно из **.stp** файла без использования Quartus II программатора. Вы можете также программировать несколько чипов с различными проектами и отлаживать их одновременно.

Запуск встроенного логического анализатора SignalTap II

В обычном состоянии чипа вы контролируете логический анализатор по интерфейсу JTAG, определяете время начала наблюдения за состояниями триггеров и захвата данных. Во время запуска или включения триггеров, читайте и передавайте данные из буфера в чипе в файл **.stp** для анализа.

Наблюдение, анализ и использование захваченных данных

Когда вы получили данные и прочитали их в файл **.stp**, они доступны для анализа и использования в процессе отладки. Вручную или с помощью плагина, установите мнемонические таблицы для простоты чтения и интерпретации полученных данных сигнала. Для ускорения отладки, используйте средство **Локализовать** в списке узлов SignalTap II для поиска и локализации проблемных узлов в других инструментах программы Quartus II. Сохраните полученные данные для дальнейшего анализа или конвертируйте их в другие форматы для разделения и дальнейшего изучения.