

## Режимы обратной связи по такту

Cyclone III PLLs поддерживают до четырёх режимов обратной связи по такту. Каждый режим позволяет умножать и делить такты, сдвигать фазу и программировать рабочий цикл.

Входная и выходная задержки полностью компенсируются в PLL только, когда используется специальный вывод тактового входа, ассоциированный с PLL в качестве исходного такта. Например, когда используется PLL1 в *нормальном режиме*, задержки тактов от входного вывода до PLL и от выхода PLL до регистра назначений полностью скомпенсированы, если вывод специального тактового входа один из четырёх: CLK0, CLK1, CLK2 или CLK3. Когда на вход PLL поступают сигналы из GCLK сети, входная и выходная задержки не могут быть полностью скомпенсированы в программе Quartus II.

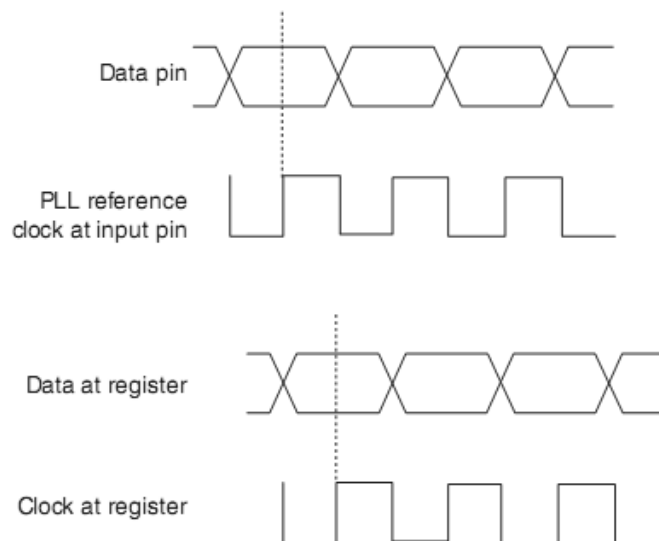
### Режим синхронизации с источником

Если данные и такты поступают в одно и тоже время на входные выводы, фазовая зависимость между ними запоминается на таких же портах тактов и данных любого элемента I/O входного регистра.

На рисунке 6-11 показан пример временных диаграмм тактов и данных в этом режиме. Используйте этот режим для синхронизации с источником перемещения данных. Сигналы данных и тактов на элементе I/O испытывают простую задержку буферов соответствующую длительности, определённой в стандарте I/O.

**Figure 6–11.** Phase Relationship Between Clock and Data in Source-Synchronous Mode

---



Режим синхронизации с источником компенсирует задержку тактовой сети, используя плюсы некоторых отличий по задержке между этими двумя путями:

- От вывода данных до входа регистра элемента I/O
- От вывода входного такта до входа PLL PFD

Установите в нуль задержку цепи от входного вывода до регистра внутри элемента I/O в программе Quartus II для всех выводов данных, тактируемых в режиме синхронизации с источником PLL.

Так все выводы данных должны использовать логическую опцию PLL COMPENSATED в программе Quartus II.

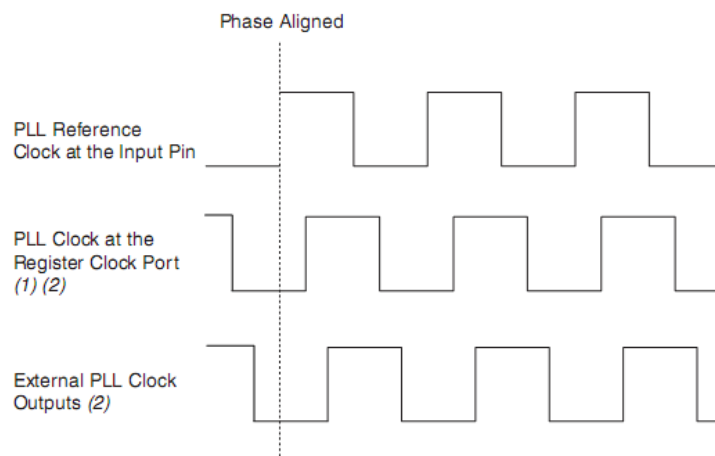
### Режим без компенсации

В режиме без компенсации PLL не компенсирует ни какую тактовую сеть. Это позволяет улучшить характеристики джиттера, поскольку обратная связь по такту внутри PFD более не проходит через эту схему. Оба внутренний и внешний тактовые выходы PLL сдвинуты по фазе по отношению входному такту PLL.

На рисунке 6-12 показаны временные диаграммы примера фазовой зависимости тактов PLL в этом режиме.

**Figure 6-12.** Phase Relationship between PLL Clocks in No Compensation Mode

---



Примечания к рисунку 6-12:

- (1) Внутренние такты, идущие к PLL выровнены по фазе по отношению к друг другу
- (2) Выходные такты PLL опережают или отстают от входных тактов PLL.

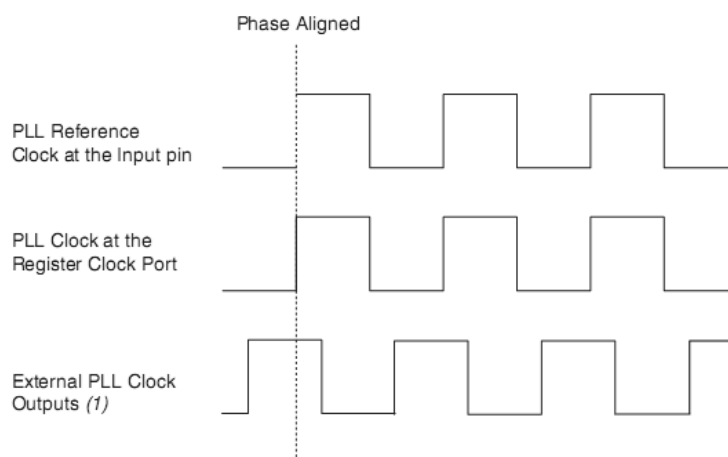
## Нормальный режим

Внутренние такты в нормальном режиме выровнены по фазе по отношению к входному такту. Вывод выхода внешнего такта имеет задержку по фазе по отношению к входному тактовому выводу, если он подключен в этом режиме. Отчёт временного анализатора в программе Quartus II показывает некоторую разность фаз между ними. В нормальном режиме, PLL полностью компенсирует задержку вносимую сетью GCLK.

На рисунке 6-13 показан пример временной диаграммы фазовой зависимости тактов PLL в этом режиме.

**Figure 6-13.** Phase Relationship between PLL Clocks in Normal Mode

---



Примечание к рисунку 6-13:

- (1) Выход внешнего такта может опережать или отставать от внутренних тактовых сигналов PLL.

## Режим нулевой задержки буфера

В режиме нулевой задержки буфера (ZDB) внешний вывод выхода такта выровнен по фазе с тактом на входном выводе, чтобы реализовать нулевую задержку по чипу. Когда используется этот режим, следите за порядком в стандартах I/O для входного и выходного тактового выхода, чтобы гарантировать выравнивание тактов на входном и выходном выводах.

На рисунке 6-14 показан пример временной диаграммы фазовой зависимости тактов PLL в ZDB режиме.

**Figure 6–14.** Phase Relationship between PLL Clocks in Zero Delay Buffer Mode

---

