



6. Clock Networks and PLLs in Cyclone III Devices

CIII51006-2.1

Введение

Чипы семейства Cyclone® III предоставляют большое количество глобальных ресурсов в комбинации с точностью синтеза тактов, предоставляемой петлёй защёлки фазы (PLLs). Чипы семейства Cyclone® III предоставляют до 20 выделенных глобальных тактовых сетей (GCLKs). Тактовые сети, которые не могут быть использованы в проекте, автоматически выключаются в программе Quartus® II, чтобы уменьшить общее потребление энергии. Чипы семейства Cyclone® III могут иметь до четырёх PLL в одном чипе, и до пяти выходов в одной PLL. Дополнительные GCLKs и дополнительные выходы PLL по сравнению с чипами Cyclone II позволяют более эффективно использовать ресурсы PLL. Вы можете запрограммировать каждый вывод независимо, создать уникальную настраиваемую тактовую частоту независимо от другой входных или выходных тактов. Внутренняя фильтрация джиттера и мелкаяочечный контроль за умножителями, делителями и реконфигурацией фазового сдвига дают высококачественные показатели, востребованные в современных высокоскоростных приложениях.

PLLs в чипах Cyclone III имеют дополнительные возможности, такие как переключатель тактов, динамический сдвиг фазы и реконфигурация PLL. Динамическая реконфигурация фазы позволяет разместить высокоточные, простые в размещении и самокалибрующиеся интерфейсы с внешней памятью. Динамическая реконфигурация фазы также поддерживает расширенные демонстрационные приложения, в которых частота на входе PLL может изменяться налету. PLLs в чипах Cyclone III поддерживают слежение в широком диапазоне за тактовыми ресурсами, с низкой электромагнитной помехой (EMI). Программа Quartus II разрешает средство PLL без необходимости во внешних устройствах. В следующих главах описываются тактовые сети в чипах Cyclone III и подробно PLL.

Эта глава состоит из следующих разделов:

- "Тактовые сети"
- "PLLs в чипах Cyclone III"
- "Cyclone III PLL"
- "Режимы обратной связи по такту"
- "Аппаратные средства"
- "Программируемая полоса пропускания"
- "Реализация фазового сдвига"
- "Каскадирование PLL"
- "Реконфигурация PLL"
- "Тактирование в широком диапазоне"
- "Спецификация PLL"
- "Разводка на плате"