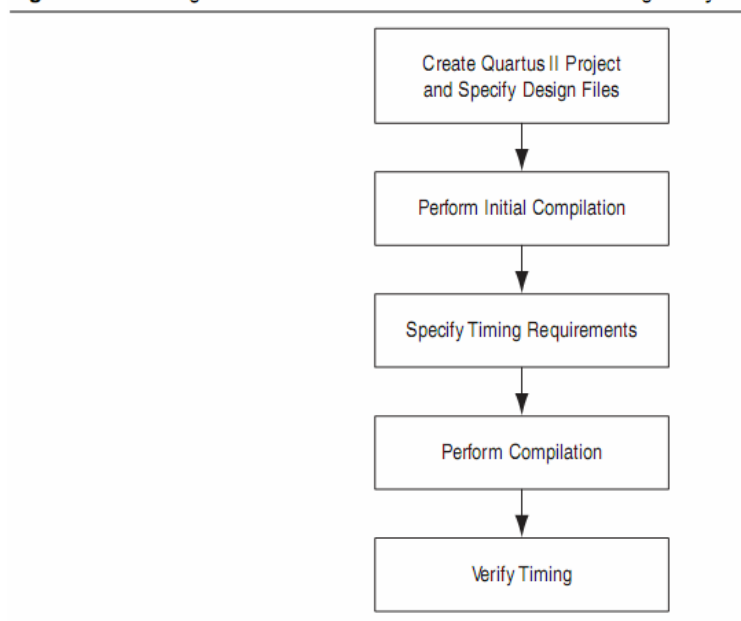


Процесс компиляции с указаниями временного анализатора Quartus II TimeQuest

Когда вы установили временной анализатор Quartus II TimeQuest в качестве инструмента временного анализа по умолчанию, вся проверка ограничений временной верификации будет выполнена временным анализатором Quartus II TimeQuest. На рисунке 7-1 показаны рекомендованные шаги процесса проектирования для максимизирования преимуществ использования временного анализатора Quartus II TimeQuest. Подробно о каждом шаге описано после рисунка.

Figure 7-1. Design Flow with the Quartus II TimeQuest Timing Analyzer



- **Создание проекта Quartus II и определение файлов проекта** – создание проекта, прежде чем компилируются файлы проекта. На этом этапе вы определяете нужный чип FPGA, какие инструменты EDA будут использованы в цикле разработки, и все файлы проекта. Вы можете также модифицировать исходные файлы проекта для оптимизации проекта и добавить дополнительные файлы проекта. Например, вы можете добавить в проект файлы HDL или схематики.
- **Выполнение начальной компиляции** – создание начальной базы данных проекта, прежде чем вы определите временные ограничения для вашего проекта. Выполняется анализ и синтез для создания базы данных пост-схемы, или выполняется полная компиляция для создания базы данных пост-компоновки. Создание базы данных пост-схемы во время начальной компиляции быстрее, чем создание базы данных пост-компоновки. База данных пост-схемы вполне достаточна в качестве начальной базы данных. Создание базы данных пост-компоновки рекомендуется только, если вы заранее создали и определили **.sdc** файл для своего проекта. База данных пост-схемы вполне достаточна для начальной компиляции.
- **Определение временных ограничений** – временные ограничения управляют Компоновщиком, поскольку он размещает и разводит ваш проект. Вам необходимо ввести все временные ограничения и исключения в файле **.sdc**. Этот файл должен являться частью вашего проекта. Для добавления этого файла в ваш проект, в меню **Проект**, кликните **Добавить/Удалить файлы в проект** и добавьте **.sdc** файл в диалоговом окне **Файлы**.
- **Выполнение компиляции** – синтезирование, размещение и разводка вашего проекта в выбранном FPGA чипе. Когда компиляция выполнена, временной анализатор TimeQuest генерирует общие установки и удержания тактов, восстановление, и удаленные отчеты для всех заданных тактов в проекте.
- **Временная верификация** – временная верификация вашего проекта с помощью временного анализатора TimeQuest. Обратитесь к “Руководству по процессу временного анализа в Quartus II” на странице 7-19.