

Средства специального выходного буфера

Специальные дифференциальные передатчики Cyclone III имеют программируемые предуслаживания для дальнейшего улучшения сигнала, интегрированного в высокоскоростные приложения.

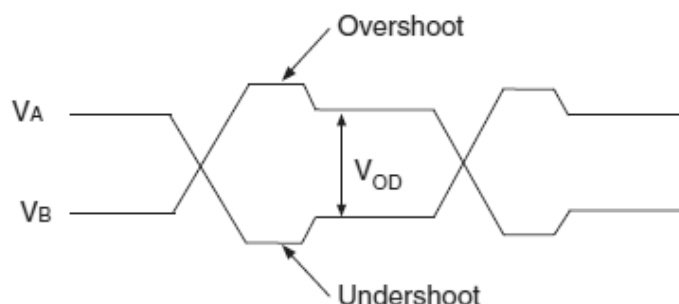
Программируемые предуслаживания

Программируемые предуслаживания помогают поддерживать высокую частоту для выходного сигнала, которая может уменьшаться в передающей среде. Они используются для компенсации частотно-зависимых потерь в передающей линии для увеличения определения данных в приёмнике на дальнем конце. Без предуслаживаний, выходной ток ограничивается спецификацией VOD и выходным импедансом передатчика. На высокой частоте, скорость нарастания выходного напряжения может быть не достаточно быстрой, чтобы достигать VOD прежде следующего фронта; это может приводить к возникновению джиттера, зависящего от печатной платы. Когда используются предуслаживания, выходной ток моментально усиливается во время переключений, для увеличения скорости нарастания выходного напряжения. Перегрузка, получаемая с помощью специального тока переключения, отличается от перегрузки, получаемой от искажения сигнала. Эта перегрузка происходит только во время переключения и не создаёт звона.

Настройки предуслаживаний в чипах Cyclone III программируемые — вы можете либо включить их, либо выключить. Вам необходимо использовать их при сильном ослаблении сигнала в передающей линии.

На рисунке 8-24 показан дифференциальный сигнал с предискажениями.

Figure 8–24. The Output Signal with Pre-Emphasis



Временные характеристики высокоскоростных I/O в чипах Cyclone III

В этой главе обсуждается временное планирование, временные диаграммы и спецификация для исходных синхросигналов в чипах Cyclone III. LVDS, RSDS, mini-LVDS, PPDS и LVEPCL I/O стандарты разрешают высокоскоростную передачу данных. Временные характеристики для этих высокоскоростных сигналов основываются на расфазировке между сигналами данных и тактов.

Высокоскоростной передаче данных необходимы временные параметры, обеспечиваемые производителями интегральных схем (IC), а также необходимо осмысление расфазировки из-за печатной платы, из-за кабеля и из-за джиттера тактовых сигналов. В этой главе приводятся детали временных параметров высокоскоростных I/O стандартов в чипах Cyclone III.

В таблице 8-4 определены параметры временных диаграмм, показанных на рисунке 8-25.

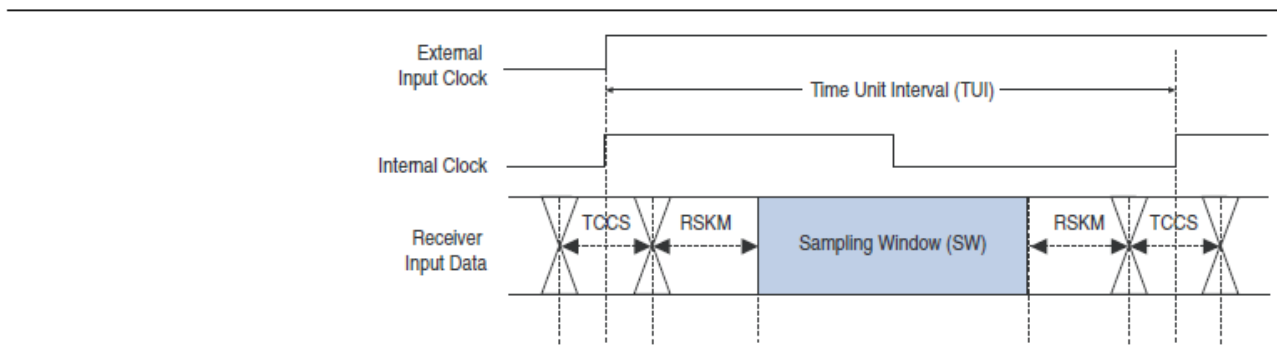
Таблица 8-4. Описание временных характеристик высокоскоростных I/O

Параметр	Символ	Описание
Расфазировка передатчика от канала к каналу (1)	TCCS	Разница во времени между быстрым и медленным фронтами на выходе, включает вариацию tco и расфазировку такта. Такт включен в измерение TCCS.
Окно захвата	SW	Период времени, в который данные должны быть в правильном порядке, в котором вы корректно их захватываете. Время установки и удержания определяет идеальную позицию строба в окне захвата. $TSW = TSU + Thd + PLL \text{ jitter}$.
Запас расфазировки на входе приёмника	RSKM	RSKM определяет общий запас слева после расчёта для окна захвата и TCCS. RSKM вычисляется по формуле: $RSKM = \frac{(TUI - SW - TCCS)}{2}$
Толерантность к входному джиттеру (от пика к пику)	-	Позволяемый входной джиттер для входного такта PLL, пока поддерживается защёлка PLL.
Выходной джиттер (от пика к пику)	-	Джиттер от пика к пику на выходе PLL.

Примечание к таблице 8-4:

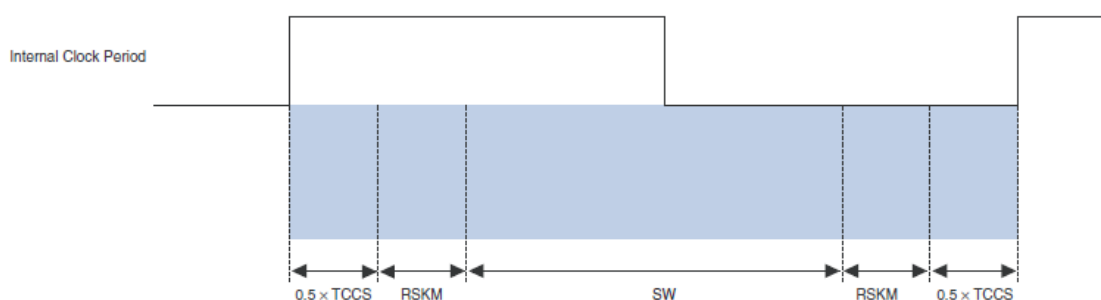
- (1) Спецификация TCCS применяется к этому банку дифференциальных I/O, пока логика SERDES размещается внутри LAB рядом с выходными выводами.

Figure 8–25. High-Speed I/O Timing Diagram



На рисунке 8-26 показано временное планирование высокоскоростных I/O Cyclone III.

Figure 8–26. Cyclone III High-Speed I/O Timing Budget (Note 1)



Примечание к рисунку 8-26:

- (1) Вычисление временного планирования высокоскоростных I/O это:
 Период = $0.5 \times TCCS + RSKM + SW + RSKM + 0.5 \times TCCS$.

За дополнительной информацией обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

Рекомендации по проектированию

В этой главе содержатся рекомендации по проектированию в чипах Cyclone III.

Рекомендации по размещению дифференциальных площадок

Чтобы добиться приемлемого уровня шума по шине VCCIО, вы должны соблюдать некоторые ограничения по размещению несимметричных I/O выводов по отношению к дифференциальным площадкам.

За рекомендациями по размещению несимметричных I/O выводов по отношению к дифференциальным площадкам в чипах Cyclone III, обратитесь к главе "Средства ввода/вывода в чипах Cyclone III" в томе 1 Настольной книги Cyclone III.

Ограничения в проектировании печатной платы

В этой главе описано, как достичь оптимальных характеристик от Cyclone III I/O интерфейса и с первой попытки добиться успеха в размещении функционала проекта с оптимальным качеством сигналов. Вы должны отслеживать проблемные места, контролируя импеданс шин и разъемов, дифференциальных трасс и оконечных схем, чтобы получить оптимальный результат от чипа. Чипы Cyclone III генерируют сигналы, способные передаваться на частоте до 840 Мбит/с по каналу передачи.

Следуйте этим основным рекомендациям для улучшения качества сигнала:

- Начинайте разработку печатной платы с контроля дифференциального импеданса. Подсчитайте и сравните все параметры, такие как ширина трассы, плотность трасс и дистанция между двумя различными трассами.

- Поддерживайте равное расстояние между трассами в паре дифференциального I/O стандарта на сколько это возможно. Разводите пары трасс ближе друг к другу, чтобы увеличить коэффициент подавления синфазной помехи.

- Длинные трассы имеют большую индуктивность и ёмкость. Эти трассы должны быть укорочены на сколько возможно, для ограничения проблем с плотностью сигналов.

- Размещайте резисторы оконечной схемы ближе к входным выводам приёмника, на сколько возможно.

- Используйте компоненты для поверхностного монтажа.

- Избегайте углов 90°.

- Используйте высокочастотные разъёмы.

- Разрабатывайте объединённую панель и карту трасс так, чтобы импеданс трасс совпадал с импедансом разъёмов или/и оконечных схем.

- Оставляйте одинаковое количество переходных отверстий для обоих трасс сигналов.

- Создавайте одинаковую длину трасс, чтобы избежать расфазировки между сигналами. Неравная длина трасс приводит к неверной точке пересечения и уменьшает запас системы, поскольку увеличивается расфазировка от канала к каналу (TCCS).

- Ограничьте переходные отверстия, поскольку они вносят неоднородности.

Подробнее о номинале шунтирующих конденсаторов, развязывающих панель питания и земли высокоскоростной PLL, содержится в главе "Рекомендации по подключению выводов в чипах Cyclone III".

- Уберите сигналы переключений транзистроно-транзисторной логики (TTL) из дифференциальных сигналов, чтобы избежать положительной шумовой связи.

- Не разводите тактовые сигналы TTL под или над дифференциальными сигналами.

- Анализируйте сигналы на системном уровне.

За рекомендациями для слоёв PCB, обратитесь к AN 224: "Рекомендации для высокоскоростных слоёв печатной платы" и к AN 315: "Рекомендации по разработке высокоскоростных FPGA PCBs".

Общий вид программы

Высокоскоростные системные I/O интерфейсы чипа Cyclone III создаются в логике ядра с помощью мегафункций программы Quartus II, поскольку в чипе нет специальных схем для SERDES. Чипы Cyclone III используют I/O регистры и логические элементы (LE) для улучшения временных характеристик и поддержки SERDES. Программа Altera Quartus II позволяет вам разрабатывать собственные высокоскоростные интерфейсы с помощью мегафункции ALTLVDS. Эта мегафункция реализует один высокоскоростной десериализующий приёмник или высокоскоростной сериализующий передатчик. Она содержит список параметров мегафункции ALTLVDS, которыми вы можете настроить ваш SERDES, в соответствии с требованиями вашего проекта. Мегафункция оптимизирована для использования ресурсов чипа Cyclone III при создании высокоскоростных I/O интерфейсов в самом эффективном виде.

Когда вы используете чипы серии Cyclone с мегафункцией ALTLVDS, по интерфейсу всегда передаётся первым MSB из ваших параллельных данных.

За дополнительной информацией о проектировании ваших высокоскоростных I/O систем с использованием программы Quartus II, обратитесь к руководству пользователя мегафункции ALTLVDS и к Настольной книге Quartus II.

Заключение

Специальные дифференциальные буферы Cyclone III позволяют вам передавать данные на больших скоростях. Это уменьшает себестоимость и сложность, высвобождает место на печатной плате, требуемое для размещения необходимых внешних резисторов в большинстве объединительных плат и приложений видеоотображения.