

Размещение площадок и DC рекомендации

В этой главе содержатся рекомендации о размещении площадок для программируемых I/O стандартов, поддерживаемых чипами Cyclone III, и содержится необходимая информация о проектировании систем с использованием выборочных I/O способностей чипов. В этой главе также обсуждаются рекомендации и ограничения DC.

Программа Quartus II содержит опцию контролируемых пользователем ослаблений некоторых ограничений в размещении. Когда вы ослабляете ограничения по умолчанию, Компоновщик Quartus II генерирует предупреждения.

За дополнительной информацией о том, как программа Quartus II проверяет I/O ограничения, обратитесь к главе "I/O менеджмент" в томе 2 Настольной книги Quartus II.

Рекомендации по размещению дифференциальных площадок

Чтобы поддерживать допустимый уровень шума на шине VCCIO, существуют ограничения на размещение несимметричных I/O площадок по отношению к дифференциальным площадкам, когда оба и несимметричные и дифференциальные I/O находятся в одном банке. Следуйте рекомендациям по размещению несимметричных площадок по отношению к дифференциальным площадкам, а также по размещению дифференциальных выходных площадок в чипах Cyclone III.

Для LVDS I/O стандарта:

- Не менее четырёх площадок (включая питание и землю) разделяют площадку несимметричного входа (исключая входную площадку SSTL 2.5-V) и строчную I/O площадку LVDS.
- Не менее пяти площадок (включая питание и землю) разделяют площадку несимметричного выхода (исключая выходную площадку SSTL 2.5-V) и строчную I/O площадку LVDS.
- Используйте максимум четыре выходных канала 160-ти МГц LVDS на 12 площадок в ряд в столбцовых I/O банках
- Используйте максимум три выходных канала 320 МГц LVDS на 12 площадок в ряд в столбцовых I/O банках

Программа Quartus II проверяет только первые два пункта.

Для RSDS и mini-LVDS I/O стандартов:

- Не менее четырёх площадок (включая питание и землю) разделяют площадку несимметричного входа (исключая входную площадку SSTL 2.5-V) и строчную I/O площадку выходов RSDS и mini-LVDS.

- Не менее пяти площадок (включая питание и землю) разделяют площадку несимметричного выхода (исключая выходную площадку SSTL 2.5-V) и строчную I/O площадку выходов RSDS и mini-LVDS.
- Используйте максимум три выходных канала 85-ти МГц RSDS и mini-LVDS на 12 площадок в ряд в столбцовых I/O банках
- Используйте максимум три выходных канала 180 МГц RSDS на 14 площадок в ряд в строчных I/O банках
- Используйте максимум три выходных канала 220 МГц mini-LVDS на 14 площадок в ряд в строчных I/O банках

Программа Quartus II проверяет только первые два пункта.

Для PPDS I/O стандарта:

- Не менее четырёх площадок разделяют площадку несимметричного входа и площадку выходов PPDS.
- Не менее пяти площадок разделяют площадку несимметричного выхода и площадку выходов PPDS.
- Используйте максимум три выходных канала 85-ти МГц PPDS на 12 площадок в ряд в столбцовых I/O банках.

Программа Quartus II проверяет только первые два пункта.

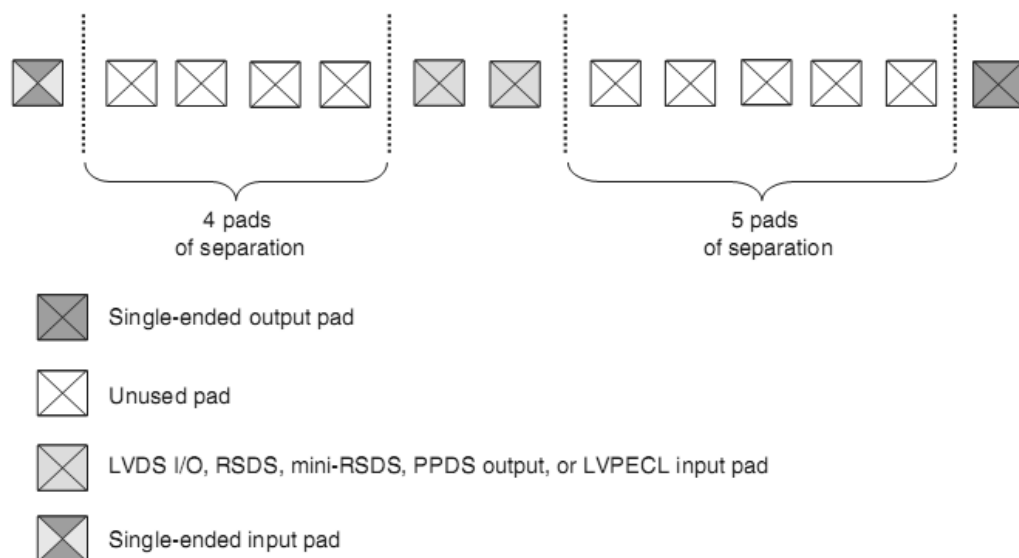
Для LVPECL I/O стандарта:

- Не менее четырёх площадок разделяют площадку несимметричного входа и площадку входов LVPECL.
- Не менее пяти площадок разделяют площадку несимметричного выхода и площадку входов LVPECL.

То есть необходимо иметь не менее пяти разделительных площадок между выходными площадками LVDS_E_3R, RSDS_E_1R, RSDS_E_3R или mini-LVDS_E_3R и входными площадками LVDS или LVPECL. Эти ограничения необходимы для минимизации уровня шума по входам LVDS или LVPECL.

Программа Quartus II не проверяет эти ограничения.

Разделение несимметричной I/O площадки и дифференциальной площадк показано на рисунке 7-16.

Figure 7–16. Single-Ended I/O Pads Separation Rules with Respect to Differential Pads

Если есть большое количество несимметричных выходов в банке, в котором есть специальные выходы LVDS, RSDS или mini-LVDS, следуйте следующим рекомендациям:

- Ограничьте количество несимметричных выходов 2.5-V LVTTL 16 mA до 50% от доступных в I/O банке;
- Ограничьте количество 2.5-V LVTTL 12 mA до 60% от доступных в I/O банке;
- Ограничьте количество 2.5-V LVTTL 8 mA до 90% от доступных в I/O банке;

Программа Quartus II только даёт подсказки-предупреждения для этих ограничений.

Если смешанные I/O стандарты, описанные в предыдущих рекомендациях, присутствуют в банке, где находятся специальные выходы LVDS, RSDS или mini-LVDS, используйте формулу 7-1 для подсчёта процента (%) от общего количества доступных I/O в банке.

Equation 7–1.

$$\sum_{n=1}^N \left(a \times \frac{1}{b} \right)_n \leq \frac{c}{100\%}$$

Где:

- n = количеству дифференциальных I/O стандартов, например: n = 2, если агрессоры смешанные I/O стандарты 2.5-V LVTTL 16mA и 2.5-V LVTTL 12mA;
- a = количеству агрессоров с отдельными I/O стандартами;
- b = проценту агрессоров, которые могут переключаться на специальные I/O стандарты
- c = (общее количество выводов в банке — количество выводов LVDS)

Рекомендации по размещению площадок VREF

Когда контрольный вход напряжения или двунаправленная площадка присутствует в банке, существуют ограничения по размещению, препятствующие выходным помехам переключений сдвигать шину VREF, и обеспечивающие приемлемый уровень шума на шине VCCIO. Используйте рекомендации из этого раздела для размещения I/O площадок чипа Cyclone III, только если контрольный вход напряжения или двунаправленная площадка присутствует в банке.

Программа Quartus II выполняет подсчет описанного в той секции автоматически.

Входные площадки

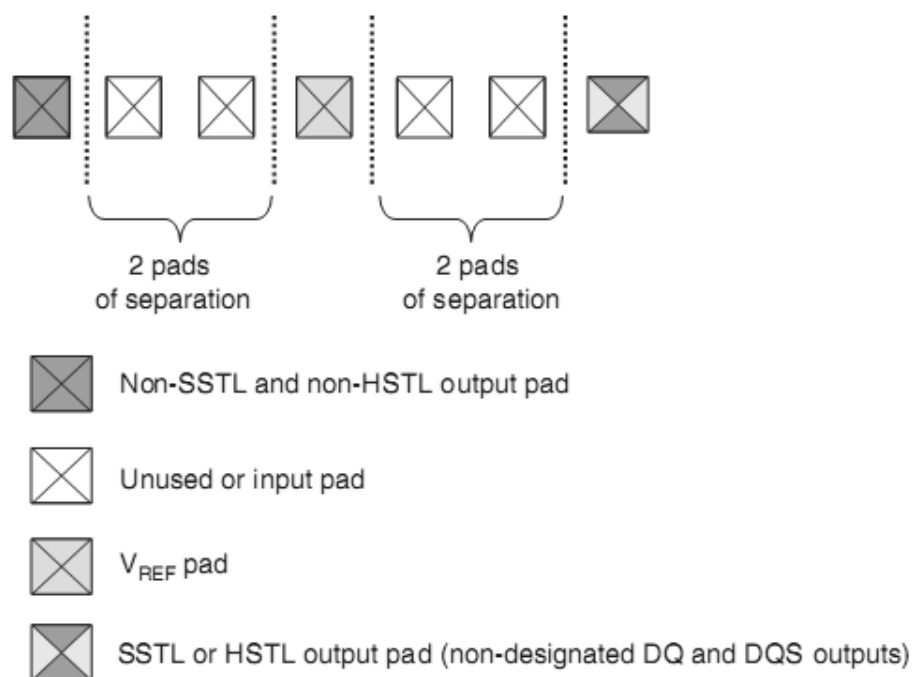
Каждая VREF площадка поддерживает до 32 входных площадок для чипов FineLine BGA и до 21 входных площадок для чипов quad flat pack (QFP).

Выходные площадки

Не существует ограничений по количеству выходных площадок, которые могут реализовываться в банке, если нет контрольного входа напряжения или двунаправленной площадки в этом банке. Когда присутствует контрольный вход напряжения или двунаправленная площадка, девять выходов поддерживаются для чипов FineLine BGA и пять выходов поддерживаются для QFP для 12 площадок в столбцовом банке или 14 последовательных площадок в строчном банке.

Для обеспечения приемлемого уровня шума, необходимо иметь не менее двух площадок, разделяющих любые не-SSTL или не-HSTL выходы, за исключением таблицы выводов, определяющей выходы DQ и DQS (когда они используются для приложений DDR/DDR2/QDRII), рекомендовано иметь не менее двух разделительных площадок от площадки VREF. Разделительные площадки, применяемые для VREF, показаны на рисунке 7-17 (за подробной информацией о рекомендациях по размещению площадок DQ и DQS, обратитесь к секции "Площадки DDR/DDR2 и QDRII" на странице 7-33).

Figure 7–17. Output Pad Separation Rules for a V_{REF} Pad



Двунаправленные выводы

Двунаправленные выводы должны удовлетворять рекомендациям для входа и выхода (за дополнительной информацией о рекомендациях для размещения DQ и DQS площадок, обратитесь к главе "Площадки DDR/DDR2 и QDRII" на странице 7-33).

Если двунаправленные площадки контролируются одним разрешением выхода (OE) и нет других выходов или входов с опорным напряжением в банке, то нет случаев, когда вход с опорным напряжением активен в одно и то же время, что и выход. Поэтому, ограничения по выходу не применяется. Однако, поскольку двунаправленные выходы связаны с одним OE, все двунаправленные площадки одновременно работают как входы. Поэтому применяется входное ограничение - 32 входных площадки (на одну VREF площадку) для корпусов FineLine BGA и 21 входная площадка (на одну VREF площадку) для корпусов QFP.

Если двунаправленные площадки контролируются различными OEs, а других выходов или входов с опорным напряжением в банке нет, то возможно, когда одна группа двунаправленных площадок работает как входы, пока другая группа работает как выходы. В этом случае применяется формула, показанная в таблице 7-8.

Таблица 7-8. Формулы ограничения двунаправленных площадок только для выхода

Тип корпуса	Формула
FineLine BGA	(Общее количество двунаправленных выводов) — (Общее количество площадок наименьших групп площадок, контролируемых OE) ≤ 9 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)
QFP	(Общее количество двунаправленных выводов) — (Общее количество площадок наименьших групп площадок, контролируемых OE) ≤ 5 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)

Когда есть не менее одного дополнительного входа опорного напряжения и нет других выходов в одном VREF банке, ограничение двунаправленных выводов применяется к ограничениям для входов и выходов. Обратитесь к формуле 7-2 и 7-3:

Формула 7-2.

Общее количество двунаправленных выводов + Общее количество входных выводов ≤ 32 для корпусов Fineline BGA

Формула 7-3.

Общее количество двунаправленных выводов + Общее количество входных выводов ≤ 21 для корпусов QFP

После того, как применяются вычисления по формулам 7-2 или 7-3, применяется одно из вычислений из таблицы 7-9, в зависимости от типа корпуса.

Таблица 7-9. Формулы ограничения двунаправленных площадок (когда есть вход VREF)

Тип корпуса	Формула
FineLine BGA	(Общее количество двунаправленных выводов) ≤ 9 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)
QFP	(Общее количество двунаправленных выводов) ≤ 5 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)

Когда есть не менее одного дополнительного входа, но нет входов с опорным напряжением, применяется соответствующая формула из таблицы 7-10.

Таблица 7-10. Формулы ограничения двунаправленных площадок (когда есть выход VREF)

Тип корпуса	Формула
FineLine BGA	(Общее количество двунаправленных выводов) + (Общее количество дополнительных выходных площадок) — (Общее количество площадок наименьших групп площадок, контролируемых OE) ≤ 9 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)
QFP	(Общее количество двунаправленных выводов) + (Общее количество дополнительных выходных площадок) — (Общее количество площадок наименьших групп площадок, контролируемых OE) ≤ 5 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)

Когда есть дополнительные входы с опорным напряжением и другие выходы в одном VREF банке, ограничения двунаправленных площадок снова применяются к входным и выходным ограничениям. По существу применяется следующее:

Формула 7-4.

Общее количество двунаправленных выводов + Общее количество входных выводов ≤ 32 для корпусов Fineline BGA

Формула 7-5.

Общее количество двунаправленных выводов + Общее количество входных выводов ≤ 21 для корпусов QFP

После того, как применяются вычисления по формулам 7-4 или 7-5, применяется одно из вычислений из таблицы 7-11, в зависимости от типа корпуса.

Таблица 7-11. Формулы ограничения двунаправленных площадок (множество VREF входов и выходов)

Тип корпуса	Формула
FineLine BGA	(Общее количество двунаправленных выводов) + (Общее количество дополнительных выходных площадок) ≤ 9 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)
QFP	(Общее количество двунаправленных выводов) + (Общее количество дополнительных выходных площадок) ≤ 5 (на 12 площадок подряд в столбцовом I/O банке или 14 площадок подряд в строчном I/O банке)

Каждый I/O банк может установить одновременно только один уровень напряжения VCCIO и VREF. Выводы различных I/O стандартов могут разделять банк, если имеют совместимые уровни VCCIO и VREF (за дополнительной информацией обратитесь к таблице 7-7 на странице 7-25).

Площадки DDR/DDR2 и QDRII

Специальные площадки DQ и DQS предназначены для DDR интерфейса, DQ площадки должны находиться на одной стороне I/O банков, что и DQS площадки. Для интерфейсов DDR и DDR2 максимум пять DQ площадок поддерживаются на 12 площадок подряд в столбцовых банках или 14 подряд в строчных банках. Никакие I/O не могут размещаться на площадках расположенных рядом с DQ выводами, за исключением DDR/DDR2.

Для QDRII интерфейса, D – это выход QDRII, а Q — это вход QDRII. Площадки D и Q должны находится на той же стороне I/O банка, что и CQ. Для интерфейса памяти QDR и QDRII максимум пять D и Q площадок поддерживаются на 12 площадок подряд в столбцовых банках или 14 подряд в строчных банках. Никакие I/O не могут размещаться на площадках расположенных рядом с D или Q выводами. Более того, D, cmd и адресные площадки не могут размещаться в том же VREF банке, в котором размещаются площадки Q.

По умолчанию, программа Quartus II назначает D и Q выводы на обычные I/O выводы, но не обеспечивает назначения локализации для этих выводов. Если вы не определили функционирование площадок D и Q в программе Quartus II, программа настраивает их как обычные I/O выводы. Если это происходит, характеристики QDR и QDRII Cyclone III не гарантированы.

Рекомендации по размещению площадок DCLK

Существуют ограничения на близость DCLK вывода корпуса QFP по отношению к выбранным стандартам I/O выводов. Ограничение минимизирует шумы от расположенных рядом I/Os по отношению к выводу DCLK, следующим способом:

Если I/O используют 3.0- или 3.3-V I/O стандарты, они должны иметь одну разделительную площадку между I/O и DCLK для корпусов QFP.

Программа Quartus II проверяет эти ограничения.

DC рекомендации

Существует ограничение по току в 240 мА суммарно на 12 выходных площадок подряд в столбцовых I/O или 14 площадок подряд в строчных I/O.

Программа Quartus II автоматически проверяет на неверное размещение согласно DC рекомендациям, устанавливает DC переключатели тока или исходное значение на назначение Электронмиграции тока для каждого выходного вывода, который подключен на внешнюю резистивную нагрузку.

Настройка программируемой силы тока влияет на величину DC тока, истока или стока выходного вывода. Вычислите достаточную силу тока для выходной резистивной нагрузки на выходном выводе.

За дополнительной информацией об оценке энергопотребления Cyclone III FPGA, обратитесь к главе "Начальный оценщик энергопотребления PowerPlay" руководства пользователя Cyclone III FPGAs.

Заключение

Характеристики I/O чипов Cyclone III позволяют вам успевать за растущим параметром сложности проектов в недорогих семействах чипов FPGA. Поддержка совместимости с различными I/O стандартами позволяет чипам Cyclone III размещать в себе большое количество приложений. Программа Quartus II делает простым использование этих I/O стандартов в проектах для чипов Cyclone III.

После компиляции проекта, программа также вносит ясность, визуальное представление площадок и выводов, и I/O стандартов. Выгодой от поддержки этих I/O стандартов в чипах Cyclone III является уменьшение стоимости вашего проекта, без компромисса с гибкостью или сложностью проекта.