

Блоки массивов логики

Топология

Каждый LAB состоит из:

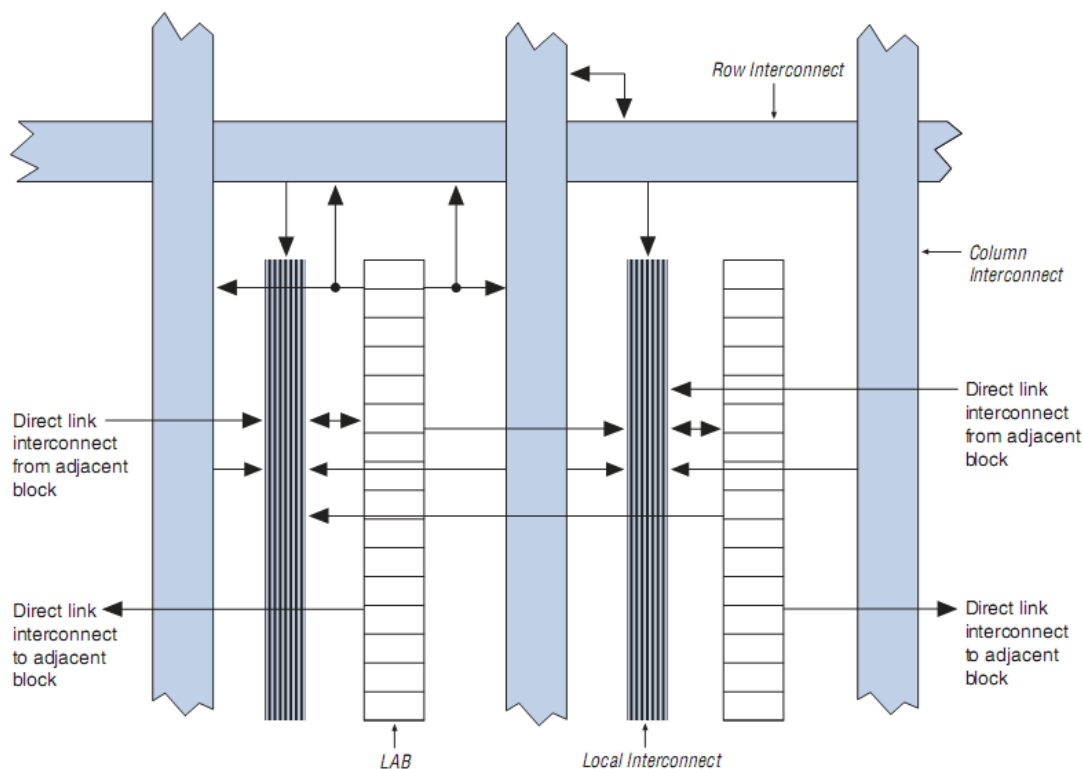
- Шестнадцати LEs
- Контрольных сигналов LAB
- Цепей переноса LE
- Цепей регистра
- Локальных внутренних соединений

Локальные внутренние соединения перемещают сигнал между LEs в одном LAB.

Соединения цепи регистра перемещают выход от одного регистра LE в соседний регистр LE внутри LAB. Компилятор Quartus II размещает ассоциированную логику внутри LAB или в соседних LABs, позволяя использовать локальные и регистровые цепи соединений для эффективности характеристик и использования площади.

На рисунке 2-6 показана структура Cyclone III LAB.

Figure 2-6. Cyclone III LAB Structure

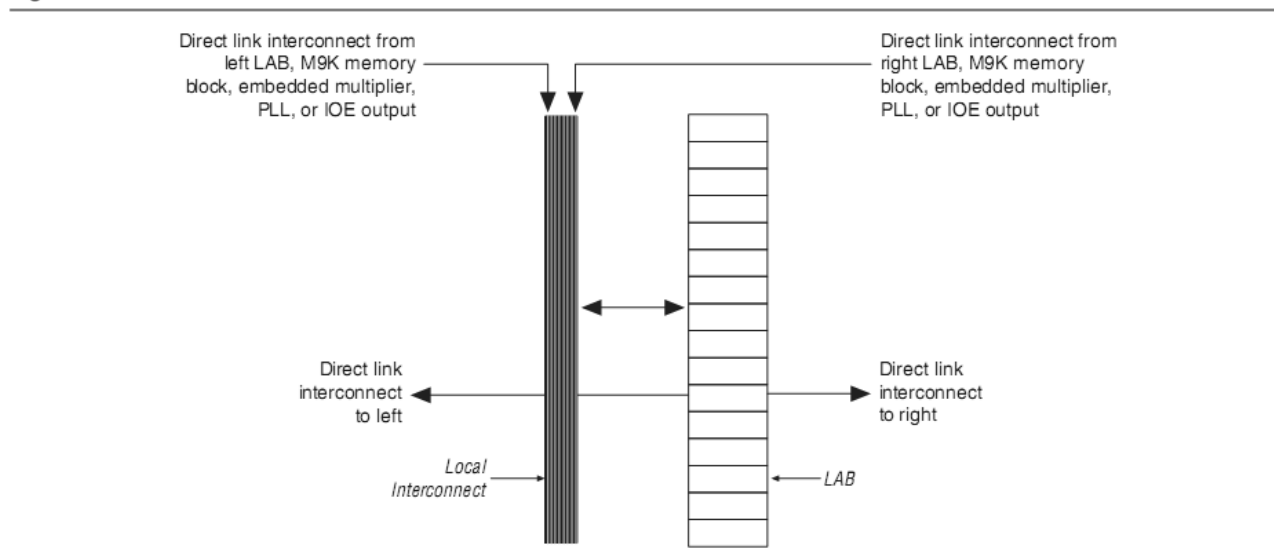


Внутренние соединения LAB

Локальные внутренние соединения LAB — это связи между внутренними соединениями в столбцах и строках, а также выходов LE внутри того же LAB. Ближние LABs, PLLs, M9K RAM блоки и встроенные умножители слева и справа также используют внутренние соединения LAB посредством прямых связей. Средство прямых связей минимизирует использование внутренних соединений в столбцах и строках, получая высокие характеристики и гибкость. Каждый LE может управлять до 48 LEs через локальные и прямые связи.

На рисунке 2-7 показаны прямые связи.

Figure 2–7. Direct Link Connection



Контрольные сигналы LAB

Каждый LAB содержит специальную логику для управления контрольными сигналами своих LEs. Контрольные сигналы содержат:

- два такта;
- два разрешения такта;
- два асинхронных сброса;
- один синхронный сброс;
- одну синхронную загрузку.

Вы можете использовать одновременно до восьми контрольных сигналов. Упаковка регистров и синхронная загрузка не могут использоваться одновременно.

Каждый LAB может иметь до четырёх не глобальных контрольных сигнала. Вы можете использовать дополнительные контрольные сигналы LAB только, если это будут глобальные сигналы.

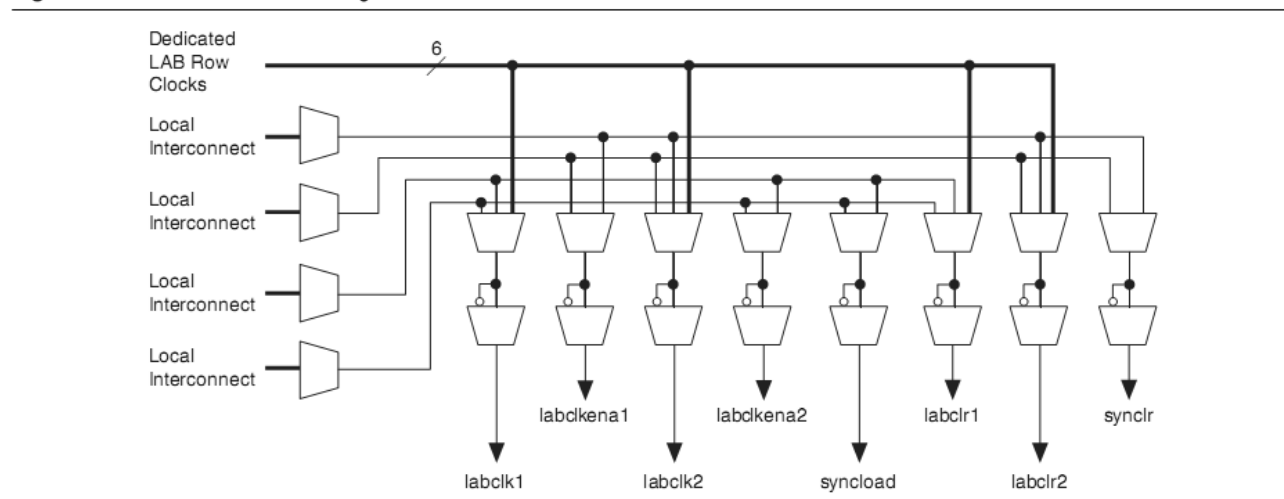
Синхронный сброс и локальные сигналы прекрасно подходят для создания счётчиков и других функций. Сигналы синхронный сброс и синхронная загрузка — это сигналы уровня LAB, которые влияют на все регистры в LAB.

Каждый LAB может использовать два тактовых сигнала и два сигнала разрешения такта. Каждый сигнал такта LAB связан с сигналом разрешения такта. Например, некоторый LE в отдельном LAB использует сигнал *labclk1* и также использует сигнал *labclkenal*. Если LAB использует оба фронта (нарастающий и спадающий) тактового сигнала, это означает, что он использует оба тактовых сигнала на уровне LAB. Снятие сигнала разрешения такта выключает такт на уровне LAB.

Такты в столбце LAB [5..0] и внутренние соединения LAB генерируют контрольные сигналы на уровне LAB. Многодорожечные внутренние соединения, с присущим им низкой расфазировкой, позволяют распределять тактовые и контрольные сигналы в дополнение к распределению данных.

На рисунке 2-8 показана генерация контрольных сигналов LAB.

Figure 2-8. LAB-Wide Control Signals



Сигналы уровня LAB контролируют логику для сигнала сброса регистров. LE непосредственно поддерживают функцию асинхронного сброса. Каждый LAB поддерживает до двух сигналов асинхронного сброса (*labclr1* и *labclr2*).

Сигналы уровня LAB асинхронной загрузки для контроля логики сигнала предустановки регистров — не доступны. Предустановка регистра осуществляется использованием вентиль "НЕ" в технологии обратной связи. Чипы Cyclone III могут поддерживать только либо предустановку, либо сигнал асинхронного сброса.

В дополнении к порту сброса, чипы Cyclone III предоставляют вывод уровня чипа (*DEV_CLRn*), который сбрасывает все регистры в чипе. Вышеупомянутая опциональный набор перед компиляцией в программе Quartus II контролирует этот вывод. Этот сброс на уровне чипа приоритетный по сравнению с другими сигналами контроля.

Выводы

LEs и LABs чипов Cyclone III позволяют вам успевать за увеличивающимся усложнением проектов, используя недорогие семейства чипов FPGA. Программа Quartus II делает простым размещение проектов в LEs и LABs чипов Cyclone III, делая процесс прозрачным для вас, освобождая вас от сложностей LEs и LABs.