

## Реконфигурация PLL

PLL используют несколько счётчиков-делителей и различные отводы фазы VCO (ГУН) для выполнения синтеза частоты и фазового сдвига. В PLL семейства Cyclone III вы можете реконфигурировать настройки счётчика и фазовый сдвиг выходного тактового сигнала PLL в реальном времени. Также вы можете изменять компоненты генератора подкачки и контурного фильтра, которые оказывают динамическое влияние на полосу пропускания PLL. Вы можете использовать эти компоненты PLL для обновления выходной частоты, полосы пропускания PLL и фазового сдвига в реальном времени, без необходимости реконфигурации всего чипа FPGA.

Возможность реконфигурировать PLL в реальном времени идеально подходит для приложений, которым приходится работать на нескольких частотах. Её можно использовать для прототипирования оборудования, что позволяет вам динамически разворачивать выходную частоту PLL и регулировать фазу выходного тактового сигнала. Например, система генерации тестовых посылок, где требуется генерировать и передавать посылки на частоте 75 или 150 МГц, в зависимости от требований тестируемого устройства. Реконфигурация компонентов PLL в реальном времени позволяет вам переключать эти две выходные частоты за считанные микросекунды.

Вы можете использовать это средство для контроля задержек такта на выход ( $t_{CO}$ ) в реальном времени, изменяя фазу выходного тактового сигнала. Таким образом, вам не потребуется регенерировать файл конфигурации с новыми настройками PLL.

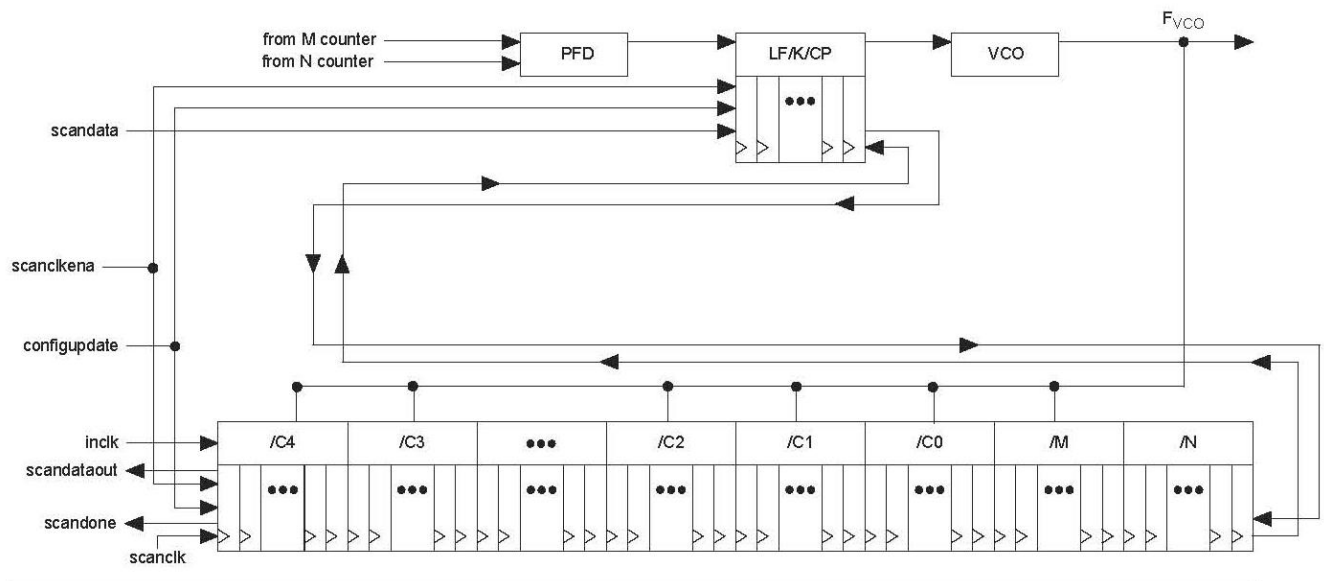
### Аппаратная реализация реконфигурации PLL

Следующие компоненты могут реконфигурироваться в реальном времени:

- Пред-масштабирующий счётчик (N),
- Счётчик обратной связи (M),
- Пост-масштабирующие счётчики (C0-C4),
- Возможность динамического изменения тока генератора подкачки ( $I_{CP}$ ) и компонентов контурного фильтра (R, C) для реконфигурации "на лету" полосы пропускания PLL.

На рис. 5-20 показано, как динамически регулировать настройки счётчика PLL, сдвигая новые настройки в цепи последовательного сдвигового регистра или цепи сканирования. Последовательные данные сдвигаются в цепь сканирования через scandataport, а сдвиговые регистры тактируются scanclk. Максимальная частота для scanclk составляет 100 МГц. После сдвига последнего бита данных, устанавливается сигнал configupdate на не менее одного тактового цикла scanclk, чтобы синхронно обновить биты конфигурации PLL данными из регистров сканирования.

Figure 5–20. PLL Reconfiguration Scan Chain



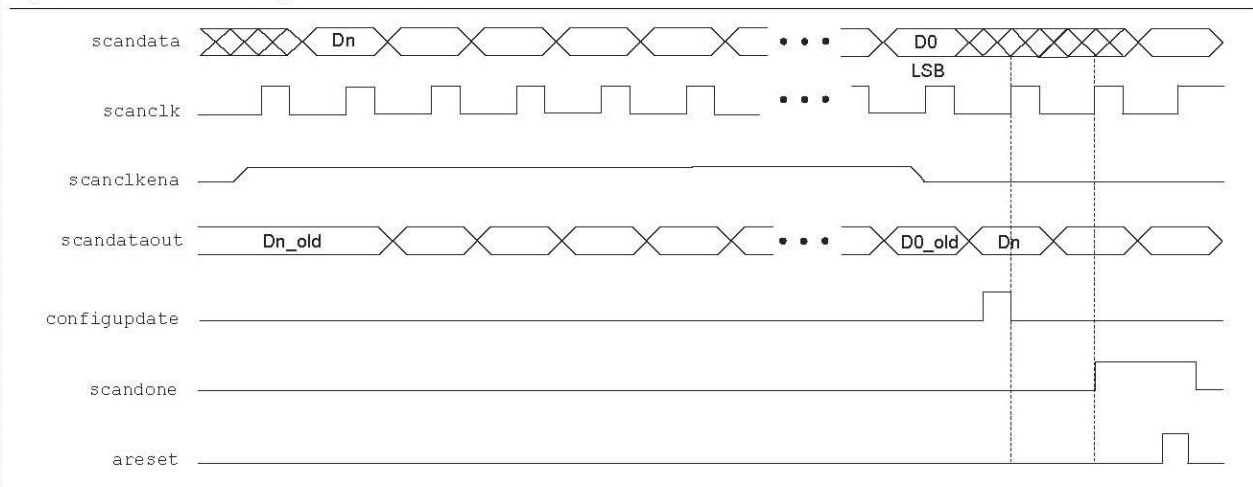
Настройки счётчика обновляются синхронно с частотой тактового сигнала отдельных счётчиков. Поэтому не все счётчики обновляются синхронно.

Для реконфигурации счётчиков PLL выполните следующие пункты:

1. Установите сигнал scanclkena на не менее один тактовый цикл scanclk перед сдвигом первого бита scandata ( $D_n$ ).
2. Последовательные данные (scandata) сдвигаются в цепь сканирования по второму растущему фронту scanclk.
3. После того, как все 144 бита были просканированы в цепи сканирования, снимается сигнал scanclkena, чтобы предотвратить случайный сдвиг битов в цепь сканирования.
4. Сигнал configupdate устанавливается на один тактовый цикл scanclk для обновления счётчиков PLL содержимым цепи сканирования.
5. Сигнал scandone устанавливается в единицу, когда PLL находится в стадии реконфигурации. Фронт спада этого сигнала означает, что настройки счётчиков PLL обновлены.
6. Сбрасывайте PLL сигналом areset, если вы делали любые изменения над настройками M, N, пост-масштабирующих C счётчиков или настроек  $I_{CP}$ , R, C.
7. Вы можете повторять пункты с 1 по 5 для реконфигурации PLL любое количество раз.

На рис. 5-21 показана функциональная симуляция средства реконфигурации PLL.

**Figure 5–21. PLL Reconfiguration Scan Chain**



Когда реконфигурируется счётчик частоты тактового сигнала, настройки фазового сдвига не могут быть реконфигурированы этим же способом. Вам необходимо реконфигурировать фазовый сдвиг в реальном времени, используя интерфейс динамической реконфигурации фазового сдвига. Если вы реконфигурируете частоту счётчика, и хотите сохранить настройку ненулевого фазового сдвига (например, 90°) на тактовом выходе, вы должны реконфигурировать фазовый сдвиг после реконфигурации счётчика частоты тактового сигнала.

### **Пост-масштабирующие счётчики (C0 - C4)**

Вы можете конфигурировать коэффициенты умножения или деления и рабочий цикл пост-масштабирующих счётчиков в реальном времени. Каждый счётчик имеет настройки 8 бит на время в единице и 8 бит на время в нуле. Рабочий цикл является суммой обоих: времени в единице и времени в нуле. Дополнительно, эти счётчики имеют два контрольных бита: *rbypass* - для пропуска счётчика и *rseledd* - для выбора рабочего цикла выходного тактового сигнала.

Когда бит *rbypass* установлен в единицу, счётчик пропускается, а результат делится на один. Когда этот бит сброшен в нуль, PLL подсчитывает фактический делитель выхода частоты VCO, основываясь на коэффициентах счётчиков времени в единице и в нуле. Например, если пост-масштабирующий коэффициент деления равен 10, а значения счётчика в единице и в нуле равны 5 и 5 соответственно, то получается рабочий цикл 50-50%. PLL получает этот рабочий цикл при переходе выходного тактового сигнала из единицы в нуль по растущему фронту выходного тактового сигнала VCO. Настройки счётчиков 4 и 6 для единицы и нуля соответственно, создают рабочий цикл 40-60%.

Бит *rseledd* отображает добавочный коэффициент деления выходной частоты VCO с рабочим циклом 50%. Например, если коэффициент пост-масштабирующего счётчика равен трём, то время в единице и в нуле соответственно 2 и 1, чтобы добиться такого коэффициента деления. Это создаёт рабочий цикл 67-33%. Если вам нужен рабочий цикл 50%, вы должны задавать значение контрольного бита 1, чтобы создать такой рабочий цикл, не смотря на добавочный коэффициент деления. PLL получает этот рабочий цикл при переходе выходного тактового сигнала из единицы в нуль по спадающему фронту выходного тактового сигнала VCO. Если вы установили *rseledd* = 1, то вы получаете 0,5 цикла на время в единице, и 0,5 цикла на время в нуле.

Например:

- Коэффициент времени в единице = 2 цикла,
- Коэффициент времени в нуле = 1 цикл,
- rselodd = 1, что фактически означает:
  - Коэффициент времени в единице = 1,5 цикла,
  - Коэффициент времени в нуле = 1,5 цикла,
  - Рабочий цикл = (1.5/3)% в единице и (1.5/3)% в нуле.

### Описание цепи сканирования

PLL семейства Cyclone III имеют 144-битную цепь сканирования.

В табл. 5-4 показано количество бит для каждого компонента PLL.

**Табл. 5-4. Биты перепрограммирования PLL семейства Cyclone III**

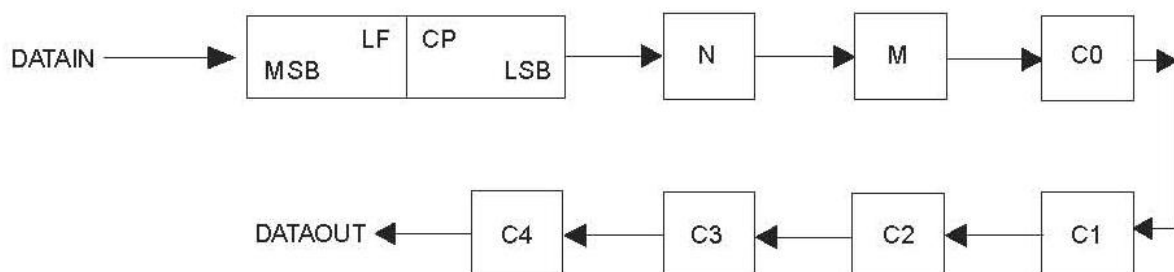
Имя блока	Количество бит		
	Счётчик	Прочее	Суммарно
C4 <sup>(1)</sup>	16	2 <sup>(2)</sup>	18
C3	16	2 <sup>(2)</sup>	18
C2	16	2 <sup>(2)</sup>	18
C1	16	2 <sup>(2)</sup>	18
C0	16	2 <sup>(2)</sup>	18
M	16	2 <sup>(2)</sup>	18
N	16	2 <sup>(2)</sup>	18
Генератор подкачки	9	0	9
Контурный фильтр <sup>(3)</sup>	9	0	9
Общее количество бит			144

### Примечания к табл. 5-4:

- (1) LSB бит для коэффициента счёта нуля в C4 - это первый бит, сдвигаемый в цепь сканирования.
- (2) Два контрольных бита: rbyrpass для пропуска счётчика и rselodd для выбора рабочего цикла выходного тактового сигнала.
- (3) MSB бит для контурного фильтра - это последний бит, сдвигаемый в цепь сканирования.

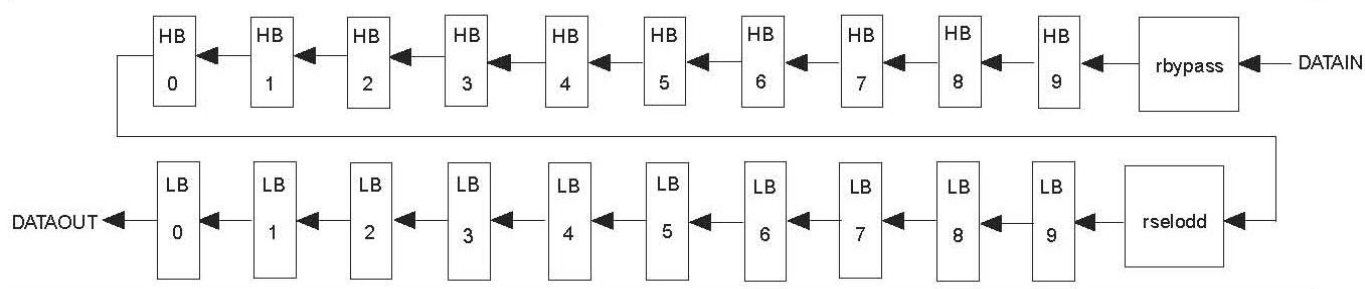
На рис. 5-22 показана цепь сканирования в порядке следования PLL компонентов.

**Figure 5–22. PLL Component Scan Chain Order**



На рис. 5-23 показан порядок следования бит для одного пост-масштабирующего счётчика PLL в цепи сканирования для PLL семейства Cyclone III.

Figure 5–23. Scan Chain Bit Order



За подробной информацией о цепи сканирования PLL обратитесь к руководству по применению [Implementing PLL Reconfiguration in Cyclone III Devices](#).

### Генератор подкачки и контурный фильтр

Вы можете реконфигурировать настройки генератора подкачки и контурного фильтра для обновления полосы пропускания PLL в реальном времени. Табл. 5-5, 5-6 и 5-7 описывают соответствующие настройки для генератора подкачки ( $I_{CP}$ ), значений контурного фильтра для резистора (R) и конденсатора (C) в PLL семейства Cyclone III.

Table 5–5. Charge Pump Bit Control

CP[2]	CP[1]	CP[0]	Setting (Decimal)
0	0	0	0
0	0	1	1
0	1	1	3
1	1	1	7

Table 5–6. Loop Filter Resistor Value Control

LFR[4]	LFR[3]	LFR[2]	LFR[1]	LFR[0]	Setting (Decimal)
0	0	0	0	0	0
0	0	0	1	1	3
0	0	1	0	0	4
0	1	0	0	0	8
1	0	0	0	0	16
1	0	0	1	1	19
1	0	1	0	0	20
1	1	0	0	0	24
1	1	0	1	1	27
1	1	1	0	0	28
1	1	1	1	0	30

Table 5–7. Loop Filter Control of High Frequency Capacitor

LFC[1]	LFC[0]	Setting (Decimal)
0	0	0
0	1	1
1	1	3

**Пропуск счётчика PLL**

Пропуск счётчика устанавливает коэффициент умножения (счётчик M) или деления (счётчики N, C0 - C4) равным единице.

В табл. 5-8 показаны настройки для пропуска счётчиков в PLL семейства Cyclone III.

Табл. 5-8. Настройки счётчика PLL

Биты настроек цепи сканирования PLL [0..8]								Описание	
LSB							MSB		
x	x	x	x	x	x	x	x	1 <sup>(1)</sup>	Счётчик PLL пропущен
x	x	x	x	x	x	x	x	0 <sup>(1)</sup>	Счётчик PLL не пропущен

**Примечание к табл. 5-8:**

(1) Бит пропуска.

Для пропуска любого счётчика PLL установите бит bypass в 1. Значения других бит будут проигнорированы.

**Динамический сдвиг фазы**

Средство динамического сдвига фазы позволяет динамическую подстройку фазы отдельных выходов PLL относительно друг друга и задающего тактового сигнала без передачи последовательных данных через цепь сканирования соответствующей PLL. Это средство упрощает интерфейс и позволяет вам быстро подстроить задержку  $t_{CO}$ , изменяя в реальном времени фазовый сдвиг выходного тактового сигнала. Это достигается увеличением или уменьшением секции отвода фазы VCO через счётчики C или M. За один раз фаза может быть сдвинута на 1/8 частоты VCO. Выходные тактовые сигналы остаются активными во время процесса реконфигурации фазы.

В табл. 5-9 перечислены контрольные сигналы, используемые для динамического сдвига фазы.

Табл. 5-9. Контрольные сигналы для динамического сдвига фазы (часть 1 из 2)

Имя сигнала	Описание	Источник	Приёмник
PHASECOUNTERSELECT[2:0]	Выбор счётчика. Три бита декодируют выбор либо M, либо одного из C счётчиков. Одно адресное пространство для выбора всех C счётчиков. Этот сигнал регистрируется в PLL по растущему фронту SCANCLK.	Массив логики или I/O вывод	Схема реконфигурации PLL
PHASEUPDOWN	Выбор направления динамического сдвига фазы; 1 = вверх, 0 - вниз. Этот сигнал регистрируется в PLL по растущему фронту SCANCLK.	Массив логики или I/O вывод	Схема реконфигурации PLL

Табл. 5-9. Контрольные сигналы для динамического сдвига фазы (часть 2 из 2)

Имя сигнала	Описание	Источник	Приёмник
PHASESTEP	Логическое разрешение фазового сдвига.	Массив логики или I/O вывод	Схема реконфигурации PLL
SCANCLK	Свободно распространяемый тактовый сигнал из ядра, используется в комбинации с PHASESTEP для разрешения или запрещения динамического сдвига фазы.	GCLK или I/O вывод	Схема реконфигурации PLL
PHASEDONE	Когда установлен, он даёт сигнал для логики ядра об окончании подстройки фазы, а PLL готова функционировать на втором положительном импульсе корректировки. Снимается по растущему фронту SCANCLK.	Схема реконфигурации PLL	Массив логики или I/O вывод

В табл. 5-10 перечислены коды выбора счётчиков PLL в настройке PHASECOUNTERSELECT.

Table 5-10. Phase Counter Select Mapping

PHASECOUNTERSELECT [2]	[1]	[0]	Selects
0	0	0	All Output Counters
0	0	1	M Counter
0	1	0	C0 Counter
0	1	1	C1 Counter
1	0	0	C2 Counter
1	0	1	C3 Counter
1	1	0	C4 Counter

Для выполнения одного шага фазового сдвига (заданного в настройках PLL), вы должны выполнить следующие процедуры:

1. Задать сигналы PHASEUPDOWN и PHASECOUNTERSELECT.
2. Установить сигнал PHASESTEP на не менее двух тактовых циклов SCANCLK. Каждый импульс PHASESTEP позволяет сделать один шаг фазового сдвига.
3. Снять сигнал PHASESTEP после перехода в нуль сигнала PHASEDONE.
4. Подождать, пока сигнал PHASEDONE перейдёт в единицу.
5. Повторить п.п. 1 - 4 требуемое количество раз, чтобы выполнить несколько шагов фазового сдвига.

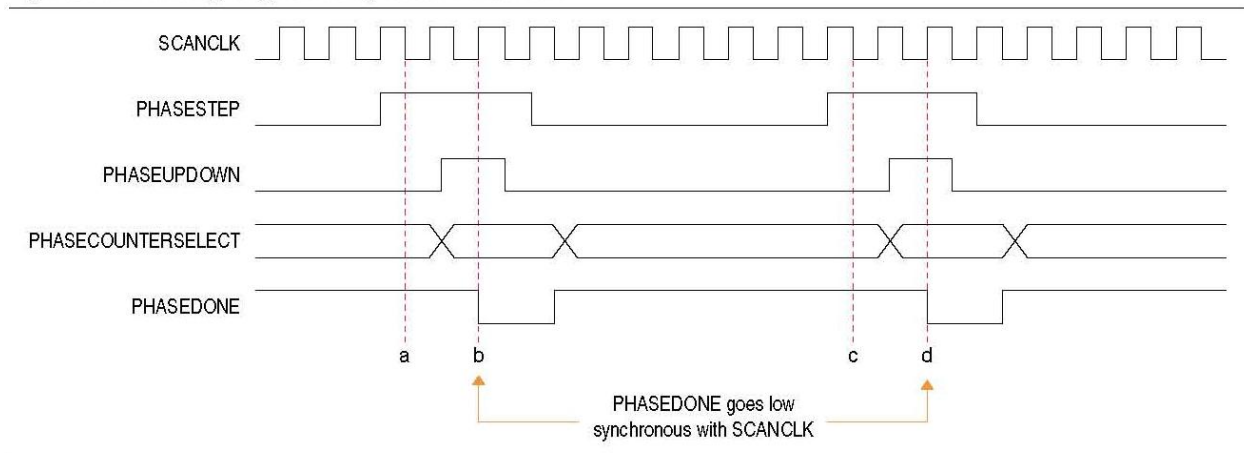
Сигналы PHASEUPDOWN и PHASECOUNTERSELECT являются синхронными с тактовым сигналом SCANCLK, поэтому они должны удовлетворять временным ограничениям  $t_{su}$  и  $t_h$  по отношению к фронтам SCANCLK.

Вы можете бесконечно повторять фазовый сдвиг. Например, в проекте с частотой VCO 1000 МГц и частотой выходного тактового сигнала 100 МГц, выполнив 40 динамических сдвигов фазы (где каждый равен 125 ps сдвига фазы), вы сдвинете выходной тактовый сигнал на 180°, или на 5 ns.



На рис. 5-24 показаны временные диаграммы динамического сдвига фазы.

Figure 5-24. Timing Diagram for Dynamic Phase Shift



Сигнал PHASESTEP защёлкивается по отрицательному фронту SCANCLK (a,c) и должен оставаться в единице не менее двух тактовых циклов SCANCLK. Сбрасывайте в нуль PHASESTEP после перехода в нуль сигнала PHASEDONE. По второму нарастающему фронту SCANCLK (b,d) после защёлкивания PHASESTEP, защёлкиваются значения PHASEUPDOWN и PHASECOUNTERSELECT, а PLL запускает динамический сдвиг фазы для заданных счётчиков в выбранном направлении. Сигнал PHASEDONE снимается синхронно с SCANCLK на втором растущем фронте (b,d) и остаётся в нуле, пока PLL заканчивает динамический сдвиг фазы. В зависимости от частот VCO и SCANCLK, время в нуле сигнала PHASEDONE может быть более или менее одного тактового цикла SCANCLK.

Вы можете выполнить другой динамический сдвиг фазы после того, как сигнал PHASEDONE перейдёт из нуля в единицу. Каждый импульс PHASESTEP разрешает один фазовый сдвиг. Каждый импульс PHASESTEP должен быть не менее одного тактового цикла SCANCLK.

За информацией о ALTPLL\_RECONFIG MegaWizard Plug-In Manager обратитесь к руководству пользователя мегафункцией [Phase-Locked Loop Reconfiguration \(ALTPLL\\_RECONFIG\)](#).

## Синхронизация в широком диапазоне

Семейство Cyclone III может иметь широкодиапазонный вход с обычной модуляцией частоты. Однако чип не может автоматически распознавать широкодиапазонный сигнал на этом входе. Он рассматривается как входной сигнал с известным джиттером на входе PLL. PLL семейства Cyclone III могут использовать широкодиапазонный тактовый сигнал, пока его входной джиттер укладывается в параметры спецификации, а частота модуляции входного тактового сигнала находится ниже полосы пропускания PLL, которая задаётся в отчёте компоновщика (fitter report). Семейство Cyclone III не может генерировать широкодиапазонные сигналы.

## Спецификация PLL

За информацией о спецификации PLL обратитесь к главам [Cyclone III Device Data Sheet](#) и [Cyclone III LS Device Data Sheet](#).