

PLLs в чипах Cyclone III

Чипы Cyclone III предлагают до четырёх PLL, которые дают чёткое управление тактами и синтез для управления тактами в чипе, управление внешним тактом системы и высокоскоростной I/O интерфейс.

В таблице 6-4 показаны PLLs, доступные для каждого чипа Cyclone III.

Table 6-4. Cyclone III Device Availability

Device	PLL1	PLL 2	PLL 3	PLL 4
EP3C5	✓	✓	—	—
EP3C10	✓	✓	—	—
EP3C16	✓	✓	✓	✓
EP3C25	✓	✓	✓	✓
EP3C40	✓	✓	✓	✓
EP3C55	✓	✓	✓	✓
EP3C80	✓	✓	✓	✓
EP3C120	✓	✓	✓	✓

Все PLLs чипа Cyclone III имеют одинаковую аналоговую структуру ядра.

В таблице 6-5 показаны средства, доступные в PLLs чипа Cyclone III.

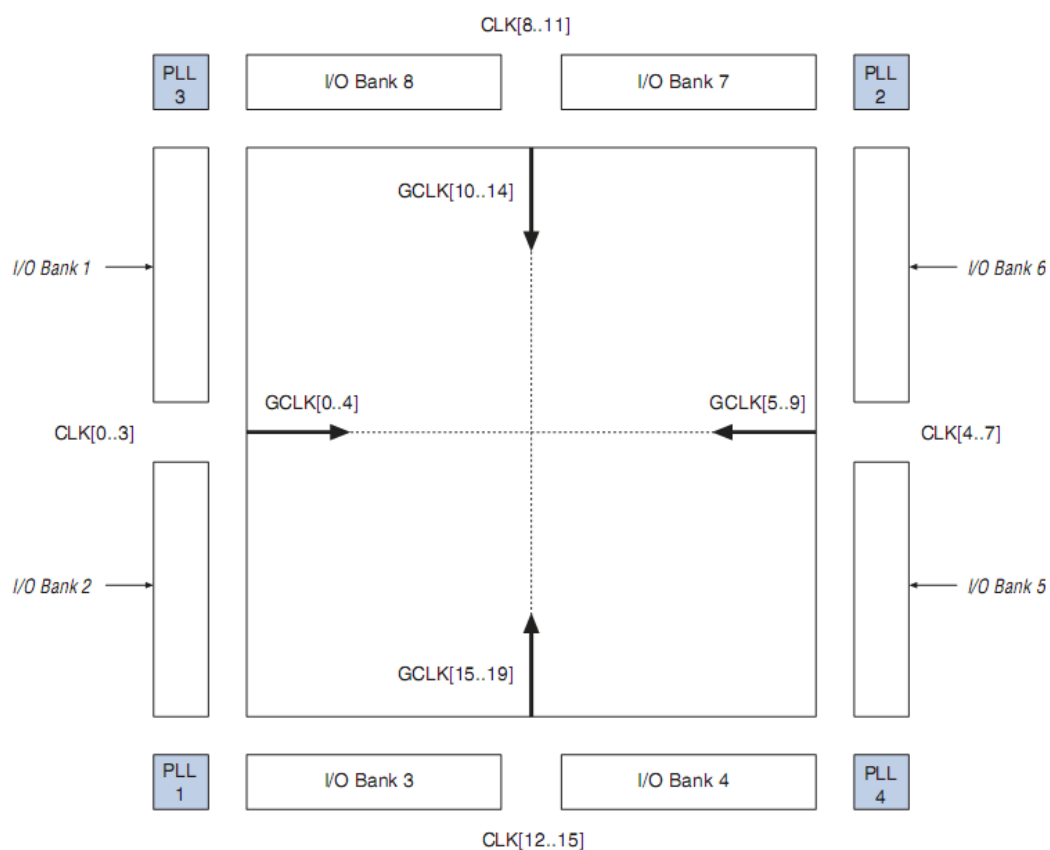
Аппаратные средства	Доступно
С (выход счётчиков)	5
M,N,C размеры счётчиков	От 1 до 512 (1)
Установленные выходы тактов	1 одиночный или 1 дифференциальный
Тактовые входные выходы	4 одиночных или 2 дифференциальных
Проведение входных тактов в широком диапазоне	+ (2)
Каскадное включение PLL	Посредством GCLK
Режим компенсации	Режим синхронизации источника, режим без компенсации и режим нулевой задержки буфера
Разрешение по сдвигу фазы	Приращение до 96 пс (3)
Программируемые циклы работы	+
Каскадирование выходных счётчиков	+
Распределение входящих тактов	+
Реконфигурация пользовательского режима	+
Детектирование потерь в защёлке	+

Примечания к Таблице 6-5

- (1) Счётчики С имеют размер от 1 до 512, если выходной такт использует 50% цикла работы. Для выходных тактов используются не 50% циклы работы, размеры таких счётчиков от 1 до 256.
- (2) Предусмотрено дрожание входных тактов, описанное в соответствующей спецификации.
- (3) Наименьший фазовый сдвиг обеспечивается вычитанием 8 из периода V_{CO} . Для изменения градуса, Cyclone III сдвигает все выходные частоты на величину, меньшую 45 градусов. Величина изменения на маленький градус устанавливается в параметрах частоты и вычитания.

На рисунке 6-7 показано размещение PLLs в чипе Cyclone III.

Figure 6-7. Cyclone III PLL Locations (Note 1)



Примечание к рисунку 6-7:

- (1) На этом рисунке показаны PLL и тактовые входы в чипах от EP3C16 до EP3C120. Чипы EP3C5 и EP3C10 имеют только восемь выводов глобальных тактовых входов (CLK[0..3] и CLK[4..7]) и PLLs 1 и 2.