

## 13. Быстрая отладка проекта с помощью SignalProbe

### **Введение**

Верификация прибора может быть долгим и дорогостоящим процессом. Средство инкрементной разводки SignalProbe поможет вам уменьшить процесс верификации прибора и время до продажи для проектов систем на программируемом чипе (SOPC).

Простой доступ к внутренним сигналам чипа очень важен для процессов разработки или отладки. Средство SignalProbe делает верификацию проекта более эффективной, путём быстрой разводки внутренних сигналов к I/O выводам без затрагивания проекта. Если вы имеете полностью разведённый проект, вы можете выбрать и развести сигналы для отладки к зарезервированным или неиспользованным I/O выводам.

Средство SignalProbe полностью совместимо с семействами чипов Arria® GX, Stratix®, Cyclone®, MAX® II и APEX™.

Эта глава разделена на две секции. Если вы собираетесь использовать средство SignalProbe для отладки чипов семейств Stratix®, Cyclone® и MAX® II, обратитесь к части "Отладка с использованием средства SignalProbe". Если вы собираетесь использовать средство SignalProbe для отладки чипов семейства APEX™, обратитесь к части "Использование SignalProbe для семейства чипов APEX™" на странице 13-12.

Программа Quartus® II имеет примеры применения отладки в чипе. Примеры и сравнение всех инструментов, доступных в пакете инструментов отладки в чипе программы Quartus® II, находятся в Секции V. Тома 3 "Отладка в системе" "Настольной книги Quartus® II".

### **Отладка с использованием средства SignalProbe**

Средство SignalProbe позволяет вам резервировать доступные выводы и подводить внутренние сигналы к этим зарезервированным выводам, сохраняя характер работы вашего проекта. SignalProbe – это эффективный инструмент отладки, который позволяет заглянуть внутрь вашего FPGA.

В этом разделе описан процесс SignalProbe для семейств чипов Stratix, Cyclone и MAX II. Использование средства SignalProbe для отладки чипов семейства APEX™ описано в разделе "Использование SignalProbe для семейства чипов APEX™" на странице 13-12. Чипы APEX не поддерживают изменение в списке соединений пост-компоновка, сделанные в порядке внесения технических изменений (ECO).

Вы можете зарезервировать выводы для SignalProbe и назначить стандарт I/O прежде или после выполнения полной компиляции. Каждое соединение от источника к выводу SignalProbe размещается в качестве изменений ECO, которые дополняются к вашему списку соединений после компиляции.

Для разводки внутренних сигналов чипа к зарезервированным выводам SignalProbe, выполните следующие задачи:

1. Зарезервируйте выводы SignalProbe, описано на странице 13–2.
2. Выполните полную компиляцию, описано на странице 13–3.
3. Назначьте источники для SignalProbe, описано на странице 13–3.
4. Добавьте регистры к линии пути до вывода SignalProbe, описано на странице 13–4.

5. Выполните компиляцию SignalProbe, описано на странице 13–5.
6. Проанализируйте результаты компиляции SignalProbe, описано на странице 13–5.

## Резервирование выводов SignalProbe

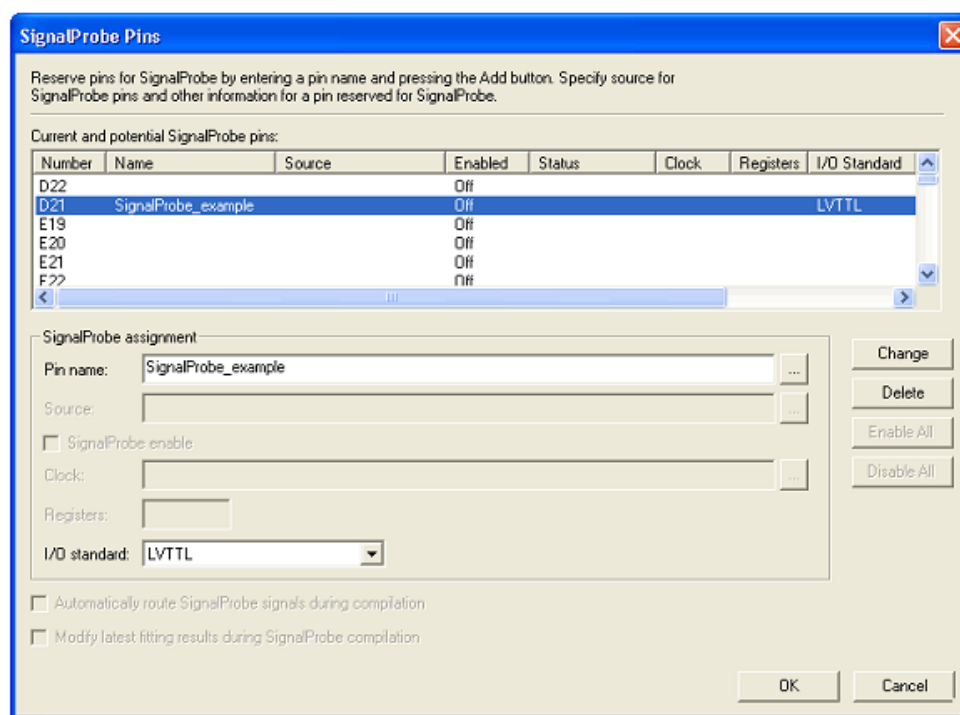
Выводы SignalProbe могут быть зарезервированы перед или после компиляции вашего проекта. Резервирование SignalProbe выводов перед компиляцией опционально. Вы можете также зарезервировать некоторые незанятые I/O выводы чипа для SignalProbe выводов после компиляции. Назначение исходников – это не сложный процесс после резервирования SignalProbe выводов. Исходники для SignalProbe выводов – это внутренние узлы и регистры в списке соединений пост-компоновка, которые вы хотите наблюдать.

Несмотря на то, что вы можете резервировать SignalProbe выводов, используя некоторые средства программы Quartus II, включая Планировщик Выводов и интерфейс Tcl, вы можете использовать диалоговое окно Выводы SignalProbe для создания и редактирования ваших SignalProbe выводов.

Для резервирования набора доступных выводов в качестве SignalProbe выводов, используя диалоговое окно **SignalProbe Выводы**, выполните следующие шаги:

1. В меню **Инструменты**, кликните **SignalProbe выводы**. Раскроется диалоговое окно **SignalProbe Выводы** (рисунок 13-1). Имя вывода SignalProbe и стандарт I/O добавляется только в редактируемые поля, если не выполнены размещение и разводка или компоновка.

**Figure 13–1.** Reserving a SignalProbe Pin in the SignalProbe Pins Dialog Box



2. В текущем или потенциальном списке выводов SignalProbe, кликните на вывод в столбце **Номер** и введите ваше имя вывода SignalProbe в графе **Имя Вывода**.
3. Выберите стандарт I/O в раскрывающемся списке **стандартов I/O**.

4. Для добавления нового вывода SignalProbe, кликните **Добавить**. Для редактирования или изменения уже зарезервированного вывода SignalProbe, кликните **Изменить**. (На рисунке 13-1 показано диалоговое окно редактирования уже резервированного вывода; если вы добавляете новый вывод SignalProbe, кнопка **Добавить** заменяет кнопку **Изменить**.)
5. Кликните **ОК**.

## Выполнение полной компиляции

Вы должны выполнить полную компиляцию для генерирования внутреннего списка соединений, содержащего список внутренних узлов для пробирования с помощью SignalProbe выходного вывода.

Для выполнения полной компиляции, в меню **Процессы**, кликните **Старт Компиляции**.

## Назначение исходников для выводов SignalProbe

Исходниками SignalProbe могут быть некоторые комбинационные узлы, регистры или выводы в вашем списке соединений пост-компиляции. Чтобы найти исходник SignalProbe, в Поиске Узлов, используйте фильтр SignalProbe, чтобы удалить все исходники, которые не могут пробироваться. Вы можете не найти отдельные внутренние узлы, потому что они могут быть оптимизированы во время синтеза, или не возможно развести их на вывод SignalProbe, если он защищён от перехвата. Например, внутренние узлы и регистры Gigabit приёмопередатчика не могут быть пробированы, поэтому не возможно сделать физически разводку до доступных выводов.

Для пробирования виртуальных I/O выводов, генерируемых в низкоуровневых разделах в процессе инкрементной компиляции, выберите в качестве исходника SignalProbe логику, ведущую на виртуальный вывод.

Чтобы назначить исходник SignalProbe для вашего зарезервированного вывода SignalProbe, выполните следующие шаги:

1. В меню **Инструменты**, кликните **Выводы SignalProbe**. Раскрывается диалоговое окно (рисунок 13-1 на странице 13-2).
2. Если отображаются зарезервированные выводы SignalProbe в **текущем и потенциальном списке SignalProbe выводов**, кликните на **вывод**. Иначе, вы можете кликнуть на свободный номер вывода в **текущем и потенциальном списке SignalProbe выводов**, и набрать новое имя SignalProbe вывода в строке **имени вывода**.
3. В графе **Исходник**, определить имя исходника. Кликнуть на кнопку браузера. Откроется диалоговое окно **Поиск узлов**.
4. Когда вы открыли диалоговое окно **Поиск узлов** из диалогового окна **SignalProbe выводы**, SignalProbe устанавливается по умолчанию в графе список фильтра. Чтобы посмотреть набор узлов, которые могут пробироваться, в **списке найденные узлы**, кликните **список**.
5. В **списке Найденные узлы**, выберите ваш исходный узел и кликните на кнопку **>**. Выбранный узе добавиться в **список Выбранные узлы**.
6. Кликните **ОК**.
7. После того, как выбраны исходники, включится опция **SignalProbe разрешены**. Кликните **Изменить** или **Добавить** для применения изменений.

Поскольку выводы SignalProbe размещаются и разводятся как ECO, включение или выключение опции **SignalProbe разрешены**, - это тоже самое, что и **Применить выбранные изменения** или **Удалить выбранные изменения** в окне Менеджер изменений. (Если окно Менеджер изменений не видно внизу вашего дисплея, в меню Вид, выберите **Окна Утилит** и кликните **Менеджер изменений**.)

За дополнительной информацией об Менеджере изменений в Планировщике чипа и Редакторе использования ресурсов, обратитесь к главе "Управление инженерными изменениями в Планировщике чипа" в томе 2 настольной книги Quartus II.

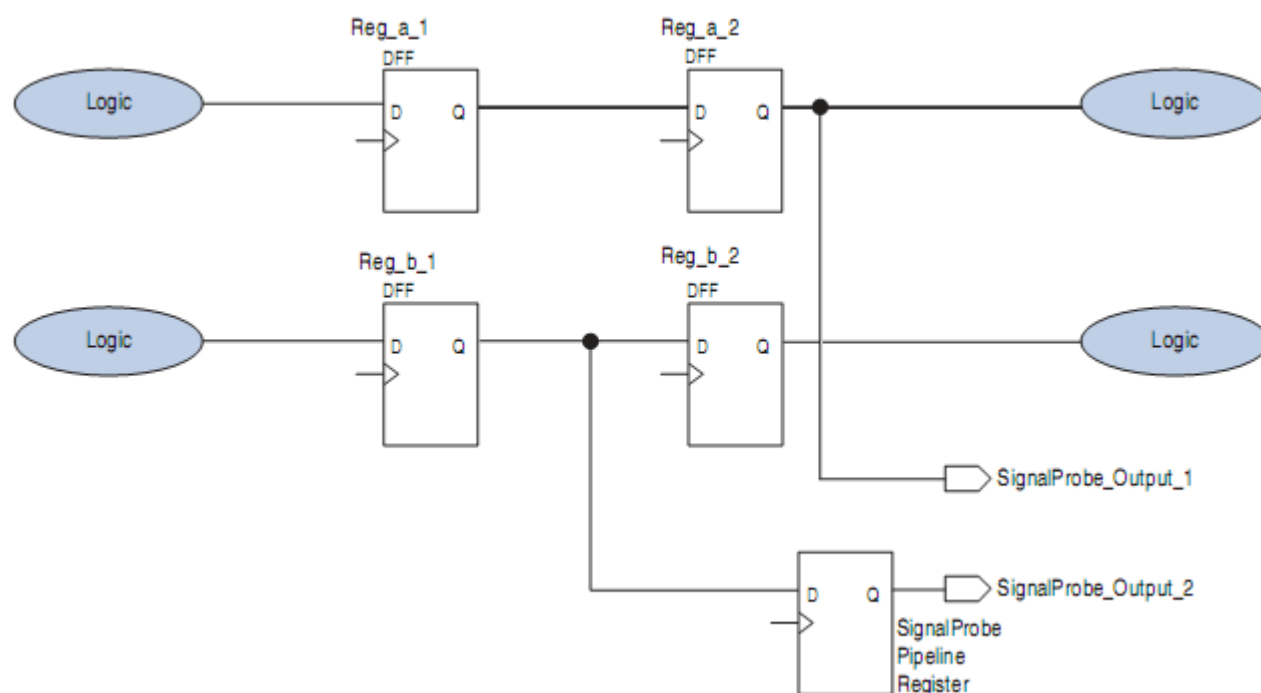
### Добавление регистров линиям пути до вывода SignalProbe

Вы можете задать численность регистров, которые будут размещены между исходником SignalProbe и выводом SignalProbe, для синхронизации данных тактами и контроля задержек на выходах SignalProbe. Средство SignalProbe автоматически вставляет число регистров, определённых для SignalProbe пути.

На рисунке 13-2 показаны один регистр между исходником SignalProbe Reg\_b\_1 и выходным выводом SignalProbe SignalProbe\_Output\_2, добавленным для синхронизации данных между двумя выходными SignalProbe выводами.

Когда вы добавляете регистр выводу SignalProbe, компилятор SignalProbe пытается разместить регистр для лучшей компоновки временных ограничений. Вы можете разместить SignalProbe регистры либо на ближайших исходниках SignalProbe, чтобы достигнуть ограничений по  $f_{\text{MAX}}$ , или ближе к I/O, чтобы достигнуть ограничений по  $t_{\text{CO}}$ .

**Figure 13-2.** Synchronizing SignalProbe Outputs with a SignalProbe Register



Для прокладки линии для существующих SignalProbe, выполните следующие шаги:

1. В меню **Инструменты**, кликните **Выводы SignalProbe**. Откроется диалоговое окно SignalProbe.
2. Выберите **вывод SignalProbe**, и в диалоговом окне **Такты**, наберите имя такта, использующееся для управления вашими регистрами, или кликните кнопку браузера, чтобы воспользоваться **Поиском узлов**, для выбора вашего исходного такта.
3. В диалоговом окне **Регистры**, определите численность регистров, которые вы хотите добавить между исходником SignalProbe и выходом SignalProbe.
4. Кликните **Изменить**.
5. Кликните **ОК**.

Дополнительно к тактовому входу для регистров линии, вы можете также определить сигнал сброса для регистров линии. Для определения сигнала сброса для регистров линии, используйте команду Tcl make\_sr, как это описано в главе "Поддержка скриптов" на странице 13-11.

### Выполнение SignalProbe компиляции

Выполните SignalProbe компиляцию для того, чтобы развести ваши SignalProbe выводы. Компиляция SignalProbe сохраняет и проверяет все изменения списка соединений без перекомпиляции других частей проекта, и завершает компиляцию за считанные доли времени полной компиляции. Сохраняется текущее размещение и разводка проекта.

Для выполнения SignalProbe компиляции, в меню **Процессы**, выберите **Старт** и кликните **Старт SignalProbe компиляции**.

### Анализ результатов SignalProbe компиляции

После завершения SignalProbe компиляции, её результаты доступны в файле отчёта о компиляции. Каждый вывод SignalProbe показывается на странице **Результаты Компоновки SignalProbe** в разделе **Компоновщик** отчёта компилятора. Чтобы посмотреть значение каждого вывода SignalProbe в диалоговом окне **Выводы SignalProbe**, в меню **Инструменты**, кликните **Выводы SignalProbe**. Значение каждого вывода SignalProbe раскрывается в окне **Менеджер изменений** (рисунок 13-3). (Если окно **Менеджер изменений** не видно внизу вашей GUI, в меню **Вид**, выберите **Окна Утилит** и кликните **Менеджер изменений**.)

**Figure 13-3.** Change Manager Window with SignalProbe Pins



Index	Node Name	Change Type	Old Value	Target Value	Current Value	Disk Value
1	signalprobe_1	SignalProbe	Disconnected	librefstate_minst1filter.idle	librefstate_minst1filter.idle	librefstate_minst1filter.idle
2	signalprobe_2	SignalProbe	Disconnected	librefstate_minst1filter.tap1	librefstate_minst1filter.tap1	librefstate_minst1filter.tap1
3	signalprobe_3	SignalProbe	Disconnected	librefstate_minst1filter.tap2	librefstate_minst1filter.tap2	librefstate_minst1filter.tap2
4	signalprobe_4	SignalProbe	Disconnected	librefstate_minst1filter.tap3	librefstate_minst1filter.tap3	librefstate_minst1filter.tap3
5	signalprobe_5	SignalProbe	Disconnected	librefstate_minst1filter.tap4	librefstate_minst1filter.tap4	librefstate_minst1filter.tap4

За дополнительной информацией о том, как пользоваться Управлением изменениями, обратитесь к главе "Управление инженерными изменениями в Планировщике чипа" в томе 2 Настольной книги Quartus II.

---

Чтобы посмотреть временные характеристики каждого успешно разведённого вывода SignalProbe, в меню **Процессы**, выберите **Старт** и кликните **Старт временного анализа**.