

Выполнение симуляции в программе ModelSim/QuestaSim

Вы можете выполнить симуляцию Verilog HDL или VHDL проектов в программе ModelSim/QuestaSim на трёх уровнях: функциональном, пост-синтез и вентильном.

Вы можете выполнять симуляцию в графической оболочке или из командной строки. В следующих секциях содержатся инструкции для выполнения симуляции в графической оболочке или из командной строки. Вы можете пропустить ненужные для себя секции.

Для высокоскоростной симуляции вы должны выбрать в качестве разрешения симулятора **ps** в списке **Resolution** (на вкладке **Design** в диалоге **Start Simulation**). Если вы укажете меньше, чем **ps**, то высокоскоростная симуляция может не состояться.

Симуляция VHDL проектов в графической оболочке

В этой секции рассказывается, как выполнять функциональную, пост-синтез и вентильную симуляцию VHDL проектов в графической оболочке.

Выполнение функциональной симуляции

В этой секции рассказывается о компиляции моделей симуляции и выполнении функциональной симуляции.

Компилирования моделей симуляции в библиотеки симуляции

Если вы не используете компилятор EDA библиотек симуляции, как описано в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II, выполните следующие пункты для компиляции моделей симуляции в библиотеки симуляции:

1. В меню **Compile** кликните **Compile**. Откроется диалог **Compile Source Files**.
2. Выберите библиотеку, которую вы создали (например, **altera_mf**, **lpm**).
3. Найдите директорию *<Quartus II installation directory>/eda/sim_lib* и добавьте нужные файлы моделей симуляции в ваш проект. Выберите файлы моделей симуляции и кликните **Compile**.

Если вы работаете с чипом Stratix V, скомпилируйте следующие файлы в поддиректории **mentor**:

stratixv_atoms_ncrypt.v
stratixv_hssi_atoms_ncrypt.v
stratixv_pcie_hip_atoms_ncrypt.v

Эти файлы содержат IEEE зашифрованные модели Verilog для совместимой симуляции VHDL/Verilog. Вам потребуется лицензия на совместимую симуляцию от Mentor Graphics для использования этих моделей.

Скомпилируйте эти IEEE зашифрованные файлы Verilog перед компиляцией других VHDL файлов. Скомпилируйте **stratixv_pcie_hip_atoms_ncrypt.v** с опцией SystemVerilog.

Скомпилируйте также следующие файлы в директории **quartus/eda/sim_lib**:

stratixv_atoms.vhd
stratixv_components.vhd
stratixv_hssi_components.vhd
stratixv_pcie_hip_components.vhd
stratixv_hssi_atoms.vhd
stratixv_pcie_hip_atoms.vhd

Файлы PCIe® необходимы только когда вы используете PCIe HIP (аппаратное ядро IP). Файлы моделей **altera_mf_components.vhd** и **altera_mf.vhd** должны быть скомпилированы в библиотеку **altera_mf**. Файлы моделей **220pack.vhd** и **220model.vhd** должны быть скомпилированы в библиотеку **lpm**.

4. Повторите п. 2 и п.3 для компилирования других моделей симуляции.
5. Кликните **Done**.

Выполнение симуляции

За подробной информацией о выполнении симуляции VHDL проектов в графической оболочке, обратитесь к разделу помощи Quartus II – Выполнение функциональной симуляции в программе ModelSim и Выполнение функциональной симуляции в программе QuestaSim.

Чтобы посмотреть все файлы функциональной симуляции, обратитесь к разделу помощи Quartus II – Библиотеки функциональной симуляции Altera.

Выполнение пост-синтез симуляции

Вы можете выполнить пост-синтез симуляцию, чтобы проверить функциональность синтезированного проекта. Вы можете создать пост-синтез список соединений в программе Quartus II и использовать его для выполнения пост-синтез симуляции в программе ModelSim/QuestaSim.

Прежде чем запустить пост-синтез симуляцию, сгенерируйте файлы пост-синтез списков соединений. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для пост-синтез симуляции" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

За дополнительной информацией о выполнении пост-синтез симуляции с использованием графической оболочки, обратитесь к разделу помощи Quartus II – Выполнение временной симуляции в программе ModelSim и Выполнение временной симуляции в программе QuestaSim.

Выполнение симуляции на уровне вентиляей

Симуляция на уровне вентиляей – это очень важный пункт в понимании корректности функционирования чипов FPGA и соответствия всем заданным временным характеристикам после того, как проект размещён и разведён. Вы можете создать список соединений на уровне вентиляей в программе Quartus II и использовать его для выполнения симуляции на уровне вентиляей в программе ModelSim/QuestaSim.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

Прежде чем запустить симуляцию на уровне вентиляей, сгенерируйте файлы списков соединений для временной симуляции на уровне вентиляей. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для временной симуляции на уровне вентиляей" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

За дополнительной информацией о выполнении симуляции на уровне вентиляей с использованием графической оболочки, обратитесь к разделу помощи Quartus II – Выполнение временной симуляции в программе ModelSim и Выполнение временной симуляции в программе QuestaSim.

Симуляция Verilog HDL проектов в графической оболочке

В этой секции рассказывается, как выполнять функциональную, пост-синтез и вентиляльную симуляцию Verilog HDL проектов в графической оболочке.

Выполнение функциональной симуляции

В этой секции рассказывается о компиляции моделей симуляции и выполнении функциональной симуляции.

Компилирования моделей симуляции в библиотеки симуляции

Если вы не используете компилятор EDA библиотек симуляции, как описано в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II, выполните следующие пункты для компиляции моделей симуляции в библиотеки симуляции:

1. В меню Compile кликните **Compile**. Откроется диалог **Compile Source Files**.
2. Выберите библиотеку, которую вы создали (например, **altera_mf_ver**, **lpm_ver**).
3. Найдите директорию *<Quartus II installation directory>\eda\sim_lib* и добавьте нужные файлы моделей симуляции в ваш проект. Выберите файлы моделей симуляции и кликните **Compile**.

Если вы работаете с чипом Stratix V, скомпилируйте следующие файлы в поддиректории **mentor**:

stratixv_atoms_ncrypt.v
stratixv_hssi_atoms_ncrypt.v
stratixv_pcie_hip_atoms_ncrypt.v

Эти файлы содержат IEEE зашифрованные модели Verilog.

Скомпилируйте **stratixv_pcie_hip_atoms_ncrypt.v** с опцией SystemVerilog.

Скомпилируйте также следующие файлы в директории **quartus/eda/sim_lib**:

stratixv_atoms.v
stratixv_hssi_atoms.v
stratixv_pcie_hip_atoms.v

Файлы PCIe® необходимы только когда вы используете PCIe HIP (аппаратное ядро IP). Файлы моделей **altera_mf.v** должны быть скомпилированы в библиотеку **altera_mf_ver**. Файлы моделей **220model.v** должны быть скомпилированы в библиотеку **lpm_ver**.

4. Повторите п. 2 и п.3 для компилирования других моделей симуляции.
5. Кликните **Done**.

Выполнение симуляции

За подробной информацией о выполнении функциональной симуляции в графической оболочке, обратитесь к разделу помощи Quartus II – Выполнение функциональной симуляции в программе ModelSim и Выполнение функциональной симуляции в программе QuestaSim.

Чтобы посмотреть все файлы функциональной симуляции, обратитесь к разделу помощи Quartus II – Библиотеки функциональной симуляции Altera.

Выполнение пост-синтез симуляции

Вы можете выполнить пост-синтез симуляцию, чтобы проверить функциональность синтезированного проекта. Вы можете создать пост-синтез список соединений в программе Quartus II и использовать его для выполнения пост-синтез симуляции в программе ModelSim/QuestaSim.

Прежде чем запустить пост-синтез симуляцию, сгенерируйте файлы пост-синтез списков соединений. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для пост-синтез симуляции" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

За дополнительной информацией о выполнении пост-синтез симуляции с использованием графической оболочки, обратитесь к разделу помощи Quartus II – Выполнение временной симуляции в программе ModelSim и Выполнение временной симуляции в программе QuestaSim.

Выполнение симуляции на уровне вентилей

Симуляция на уровне вентилей – это очень важный пункт в понимании корректности функционирования чипов FPGA и соответствия всем заданным временным характеристикам после того, как проект размещён и разведён. Вы можете создать список соединений на уровне вентилей в программе Quartus II и использовать его для выполнения симуляции на уровне вентилей в программе ModelSim/QuestaSim.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

Прежде чем запустить симуляцию на уровне вентилей, сгенерируйте файлы списков соединений для временной симуляции на уровне вентилей. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для временной симуляции на уровне вентилей" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

За дополнительной информацией о выполнении симуляции на уровне вентилей с использованием графической оболочки, обратитесь к разделу помощи Quartus II – Выполнение временной симуляции в программе ModelSim и Выполнение временной симуляции в программе QuestaSim.

Симуляция VHDL проектов в командной строке

В этой секции рассказывается, как выполнять функциональную, пост-синтез и вентиляльную симуляцию VHDL проектов в командной строке.

Симуляция VHDL проектов в командной строке ModelSim/QuestaSim даёт вам большую гибкость и контроль над компиляцией библиотек, загрузкой и симуляцией VHDL проектов. Все команды симуляции являются Tcl командами и должны находиться в *.do файле. Использование *.do файла позволяет вам запустить симуляцию в режиме пакетной обработки. Вы исполняете только *.do файл, а инструмент ModelSim/QuestaSim автоматически исполняет все команды в файле-макросе *.do скриптов.

Выполнение функциональной симуляции

В функциональной симуляции проверяется синтаксис кода и функционирование проекта. Введите следующие команды для выполнения функциональной симуляции для VHDL проектов с одной из библиотек (lib1) из списка "Библиотеки Altera для функциональной симуляции" в разделе помощи Quartus II.

Для создания и компиляции библиотек Altera, введите следующие команды:

```
vlib <lib1> ←  
vmap <lib1> <lib1> ←  
vcom -work <lib1> <lib1>.vhd ←  
vlib <lib2> ←  
vmap <lib2> <lib2> ←  
vcom -work <lib2> <lib2>.vhd ←
```

Создайте рабочую библиотеку и скомпилируйте в ней файлы проекта и файлы тестового стенда, введя следующую команду:

```
vlib work ←  
vmap work work ←  
vcom -work work <design_file1>.vhd <design_file2>.vhd <testbench \  
file>.vhd ←
```

Для загрузки проекта введите следующую команду:

```
vsim -L work -L <lib1> -L <lib2> work.<testbench module name> ↵
```

Для добавления сигналов в окно временных диаграмм и запуска симулятора введите следующую команду:

```
add wave * ↵  
run ↵
```

Пример

```
# Create and compile Altera libraries  
  
vlib altera_mf  
vmap altera_mf altera_mf  
vcom -work altera_mf altera_mf_components.vhd altera_mf.vhd  
vlib lpm  
vmap lpm lpm  
vcom -work lpm 220pack.vhd 220model.vhd  
  
# Create work library and compile design files and testbench file  
  
vlib work  
vmap work work  
vcom -work work top_level.vhd adder.vhd testbench.vhd  
  
# Load design  
  
vsim -L work -L altera_mf -L lpm work.testbench  
  
# add signals to the waveform viewer and run simulation  
  
add wave *  
run
```

Если вы работаете с чипом Stratix V, скомпилируйте следующие файлы в директории **quartus/eda/sim_lib/mentor**:

```
stratixv_atoms_ncrypt.v  
stratixv_hssi_atoms_ncrypt.v  
stratixv_pcie_hip_atoms_ncrypt.v
```

Эти файлы содержат IEEE зашифрованные модели Verilog для совместимой симуляции VHDL/Verilog. Вам потребуется лицензия на совместимую симуляцию от Mentor Graphics для использования этих моделей.

Скомпилируйте эти IEEE зашифрованные файлы Verilog перед компиляцией других VHDL файлов. Скомпилируйте **stratixv_pcie_hip_atoms_ncrypt.v** с опцией SystemVerilog.

Скомпилируйте также следующие файлы в директории **quartus/eda/sim_lib**:

```
stratixv_atoms.vhd  
stratixv_components.vhd  
stratixv_hssi_components.vhd  
stratixv_pcie_hip_components.vhd  
stratixv_hssi_atoms.vhd  
stratixv_pcie_hip_atoms.vhd
```

Файлы PCIe® необходимы только когда вы используете PCIe HIP (аппаратное ядро IP).

Выполнение пост-синтез симуляции

Вы можете выполнить пост-синтез симуляцию, чтобы проверить функциональность синтезированного проекта. Вы можете создать пост-синтез список соединений в программе Quartus II и использовать его для выполнения пост-синтез симуляции в программе ModelSim/QuestaSim.

Прежде чем запустить пост-синтез симуляцию, сгенерируйте файлы пост-синтез списков соединений. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для пост-синтез симуляции" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентильном уровне) симуляцию, если выберите чипы семейства Stratix V.

Введите следующие команды для выполнения пост-синтез симуляции VHDL проектов с одной из библиотек (lib1) из списка "Библиотеки Altera для функциональной симуляции" в разделе помощи Quartus II.

Для создания и компиляции библиотек Altera, введите следующие команды:

```
vlib <lib1> ↵  
vmap <lib1> <lib1> ↵  
vcom -work <lib1> <lib1>.vhd ↵  
vlib <lib2> ↵  
vmap <lib2> <lib2> ↵  
vcom -work <lib2> <lib2>.vhd ↵
```

Создайте рабочую библиотеку и скомпилируйте в ней файлы проекта и файлы тестового стенда, введя следующую команду:

```
vlib work ↵  
vmap work work ↵  
vcom -work work <output_netlist>.vho <testbench file>.vhd ↵
```

Для загрузки проекта введите следующую команду:

```
vsim +transport_int_delays +transport_path_delays -L work -L \ <lib1> -L  
<lib2> work.<testbench module name> ↵
```

Для добавления сигналов в окно временных диаграмм и запуска симулятора введите следующую команду:

```
add wave * ↵  
run ↵
```

Пример

```
# Create and compile Altera libraries

vlib altera
vmap altera altera
vcom -work altera altera_primitives_components.vhd \
altera_primitives.vhd
vlib stratixiii
vmap stratixiii stratixiii
vcom -work stratixiii stratixiii.atoms.vhd stratixiii_components.vhd

# Create work library and compile design files and testbench file

vlib work
vmap work work
vcom -work work top_level.vho testbench.vhd

# Load design

vsim +transport_int_delays +transport_path_delays -L work -L \ altera
-L stratixiii work.testbench

# add signals to the waveform viewer and run simulation

add wave *
run
```

Выполнение симуляции на уровне вентилей

Выполнение временной симуляции на уровне вентилей происходит в том же порядке, что и пост-синтез симуляция. С одним отличием, **.sdo** файл должен иметь обратную аннотацию для симуляции на уровне вентилей.

Для VHDL проектов добавьте опцию **-sdftyp** для обратной аннотации.

Пример

```
vsim +transport_int_delays +transport_path_delays -sdftyp \ <instance
path to design>= <path to SDO file> -L work -L stratixiii -L \ altera
work.testbench
```

Не пытайтесь установить значение (минимальное, среднее, максимальное) для **.sdo** файла, поскольку Quartus II EDA Netlist Writer генерирует **.sdo** файл, используя три значения (минимальное, среднее, максимальное время).

Если ваш тестируемый проект установлен в файле тестового стенда под меткой **i1**, то *<design instance>* должно быть "i1" (например, /i1=<my design>.sdo).

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентильном уровне) симуляцию, если выберите чипы семейства Stratix V.

Симуляция Verilog HDL проектов в командной строке

В этой секции рассказывается, как выполнять функциональную, пост-синтез и вентильную симуляцию Verilog HDL проектов в командной строке.

Симуляция Verilog HDL проектов в командной строке ModelSim/QuestaSim даёт вам большую гибкость и контроль над компиляцией библиотек, загрузкой и симуляцией Verilog HDL проектов. Все команды симуляции являются Tcl командами и должны находиться в *.do файле. Использование *.do файла позволяет вам запустить симуляцию в режиме пакетной обработки. Вы исполняете только *.do файл, а инструмент ModelSim/QuestaSim автоматически исполняет все команды в файле-макросе *.do скриптов.

Выполнение функциональной симуляции

В функциональной симуляции проверяется синтаксис кода и функционирование проекта. Введите следующие команды для выполнения функциональной симуляции для Verilog HDL проектов с одной из библиотек (lib1) из списка "Библиотеки Altera для функциональной симуляции" в разделе помощи Quartus II.

Для создания и компиляции библиотек Altera, введите следующие команды:

```
vlib <lib1> ←
vmap <lib1> <lib1> ←
vlog -work <lib1> <lib1>.v ←
vlib <lib2> ←
vmap <lib2> <lib2> ←
vlog -work <lib2> <lib2>.v ←
```

Создайте рабочую библиотеку и скомпилируйте в ней файлы проекта и файлы тестового стенда, введя следующую команду:

```
vlib work ←
vmap work work ←
vlog -work work <design_file1>.v <design_file2>.v <testbench_file>.v ←
```

Для загрузки проекта введите следующую команду:

```
vsim -L work -L <lib1> -L <lib2> work.<testbench module name> ←
```

Для добавления сигналов в окно временных диаграмм и запуска симулятора введите следующую команду:

```
add wave * ←
run ←
```

Пример

```
# Create and compile Altera libraries
vlib altera_mf_ver
vmap altera_mf_ver altera_mf_ver
vlog -work altera_mf_ver altera_mf.v
vlib lpm_ver
vmap lpm_ver lpm_ver
vlog -work lpm_ver 220model.v

# Create work library and compile design files and testbench file
vlib work
vmap work work
vlog -work work top_level.v adder.v testbench.v

# Load design
```

```
vsim -L work -L altera_mf_ver -L lpm_ver work.testbench
# add signals to the waveform viewer and run simulation
add wave *
run
```

Если вы работаете с чипом Stratix V, скомпилируйте следующие файлы в директории **quartus/eda/sim_lib/mentor**:

```
stratixv_atoms_ncrypt.v
stratixv_hssi_atoms_ncrypt.v
stratixv_pcie_hip_atoms_ncrypt.v
```

Эти файлы содержат IEEE зашифрованные модели Verilog.

Скомпилируйте **stratixv_pcie_hip_atoms_ncrypt.v** с опцией SystemVerilog.

Скомпилируйте также следующие файлы в директории **quartus/eda/sim_lib**:

```
stratixv_atoms.v
stratixv_hssi_atoms.v
stratixv_pcie_hip_atoms.v
```

Файлы PCIe® необходимы только когда вы используете PCIe HIP (аппаратное ядро IP).

Выполнение пост-синтез симуляции

Вы можете выполнить пост-синтез симуляцию, чтобы проверить функциональность синтезированного проекта. Вы можете создать пост-синтез список соединений в программе Quartus II и использовать его для выполнения пост-синтез симуляции в программе ModelSim/QuestaSim.

Прежде чем запустить пост-синтез симуляцию, сгенерируйте файлы пост-синтез списков соединений. За дополнительной информацией обратитесь к секции "Генерация файлов списков соединений для пост-синтез симуляции" в главе "Симуляция проекта с помощью инструментов EDA" в томе 3 Настольной книги Quartus II.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

Введите следующие команды для выполнения пост-синтез симуляции VHDL проектов с одной из библиотек (lib1) из списка "Библиотеки Altera для функциональной симуляции" в разделе помощи Quartus II.

Для создания и компиляции библиотек Altera, введите следующие команды:

```
vlib <lib1> ←
vmap <lib1> <lib1> ←
vlog -work <lib1> <lib1>.v ←
vlib <lib2> ←
vmap <lib2> <lib2> ←
vlog -work <lib2> <lib2>.v ←
```

Создайте рабочую библиотеку и скомпилируйте в ней файлы проекта и файлы тестового стенда, введя следующую команду:

```
vlib work ←
vmap work work ←
vlog -work work <output_netlist>.vo <testbench file>.v ←
```

Для загрузки проекта введите следующую команду:

```
vsim -t ps +transport_int_delays +transport_path_delays -L work -L \
<lib1> -L <lib2> work.<testbench module name> ↵
```

Для добавления сигналов в окно временных диаграмм и запуска симулятора введите следующую команду:

```
add wave * ↵
run ↵
```

Пример

```
# Create and compile Altera libraries

vlib altera_ver
vmap altera_ver altera_ver
vlog -work altera_ver altera_primitives.v
vlib stratixiii_ver

vmap stratixiii_ver stratixiii_ver
vlog -work stratixiii_ver stratixiii_atoms.v

# Create work library and compile design files and testbench file

vlib work
vmap work work
vlog -work work top_level.vo testbench.v

# Load design

vsim +transport_int_delays +transport_path_delays -L work -L
altera_ver -L stratixiii_ver work.testbench

#add signals to the waveform viewer and run simulation

add wave *
run
```

Выполнение симуляции на уровне вентилей

Выполнение временной симуляции на уровне вентилей происходит в том же порядке, что и пост-синтез симуляция. С одним отличием, **.sdo** файл должен иметь обратную аннотацию для симуляции на уровне вентилей.

Для Verilog HDL проектов процесс обратной аннотации происходит внутри скрипта **output_netlist.vo**. Поэтому не требуется повторно обратно аннотировать SDO файл.

Вы не сможете выполнить пост-синтез и пост-компоновка (на вентиляльном уровне) симуляцию, если выберете чипы семейства Stratix V.

Передача параметрической информации от Verilog HDL к VHDL

Вы должны использовать поточные параметры для передачи значений от Verilog HDL к VHDL. Использование конструкции **defparam** приведёт к ошибкам в симуляции. В этом примере:

```
lpm_add_sub_component (
.dataaa (dataaa),
.datab (datab),
.result (sub_wire0)
);
defparam
```

```
lpm_add_sub_component.lpm_direction = "ADD",  
lpm_add_sub_component.lpm_hint =  
"ONE_INPUT_IS_CONSTANT=NO,CIN_USED=NO",  
lpm_add_sub_component.lpm_type = "LPM_ADD_SUB",  
lpm_add_sub_component.lpm_width = 12;
```

Вы увидите следующее сообщение об ошибке:

```
# ** Error: (vsim-3043)  
/apps2/home/users/bhlee/SPR_ADOQS/ADOQS10000935_IN_LINE_PARAMETER/lpm_  
add_sub1.v(67): Unresolved reference to 'lpm_add_sub_component' in  
lpm_add_sub_component.lpm_direction.  
# Region: /IN_LINE_PARAMETER_vlg_vec_tst/i1/b2v_inst
```

Инсталляция этой мегафункции должна быть изменена, чтобы использовать поточные параметры:

```
lpm_add_sub#(12,"SIGNED","ADD",0,"LPM_ADD_SUB","ONE_INPUT_IS_CONSTANT=  
NO,CIN_USED=NO")  
lpm_add_sub_component (  
    .dataa (dataa),  
    .datab (datab),  
    .result (sub_wire0)  
);
```

Последовательность параметров зависит от последовательности GENERIC в декларации компонента VHDL.

Ускорение симуляции

По умолчанию, программа ModelSim/QuestaSim запускается в режиме оптимизирование отладки. Для запуска программы ModelSim/QuestaSim в режиме оптимизирование скорости, добавьте две следующие команды для переключения режимов:

```
vlog -fast -05
```

В этом режиме границы модуля сглаживаются, а обратные связи оптимизируются. Это позволяет исключить уровни из иерархии отладки, что может ускорить симуляцию. Это переключение не поддерживается в симуляторе ModelSim-Altera.