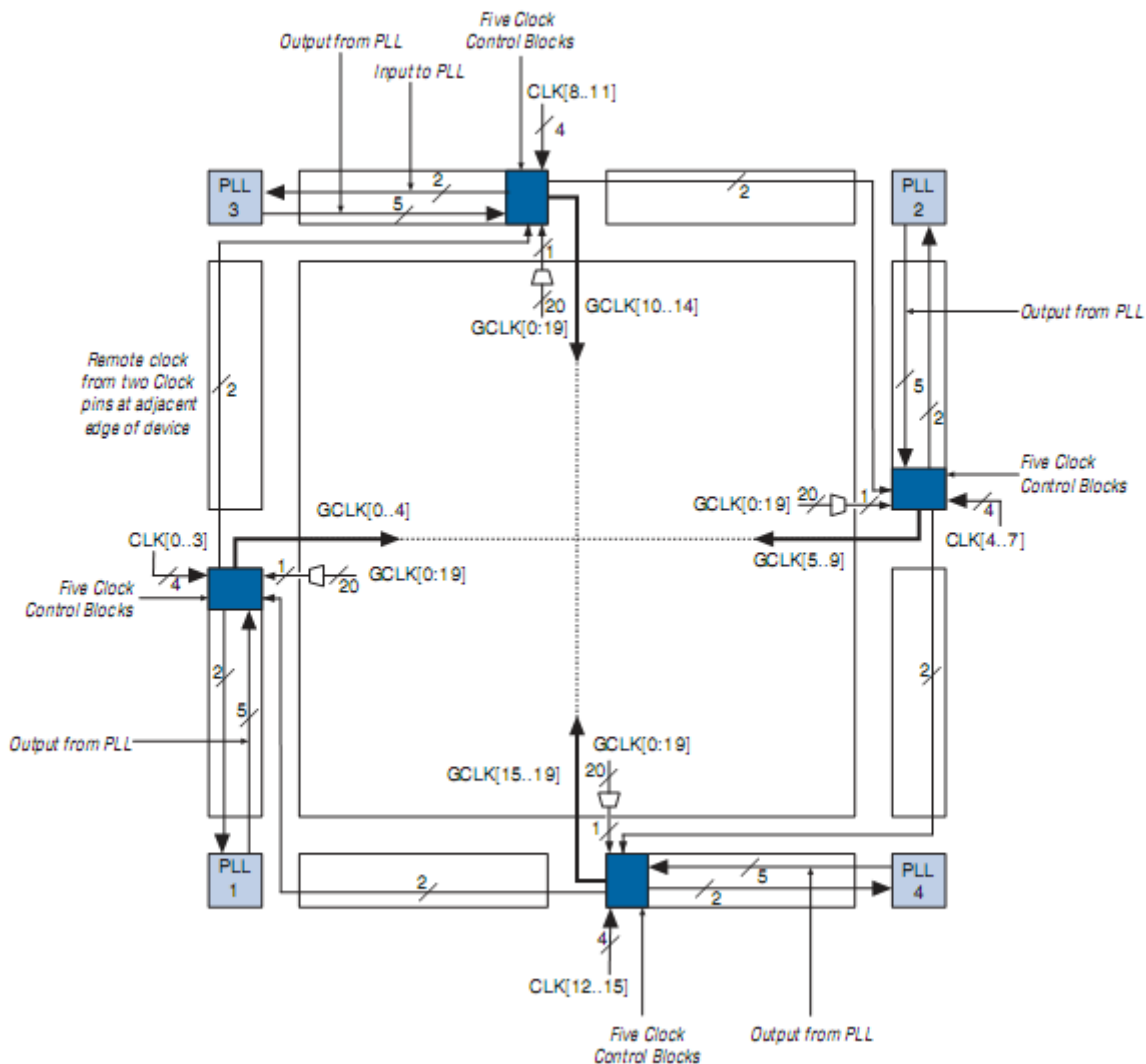


## **Каскадирование PLL**

Две PLL могут быть включены каскадно друг за другом посредством тактовых сетей. Если в проекте каскадируются PLLs, то исходной (восходящий поток) PLL необходимо иметь узкополосную настройку, тогда как принимающей (нисходящий поток) PLL необходимо иметь широкополосную настройку.

На рисунке 6-24 показано использование GCLK во время каскадирования PLLs.

**Figure 6–24. PLL Cascading Using GCLK (Note 1)**



Примечание к рисунку 6-24:

- (1) Для чипов EP3C5 и EP3C10, существует только две PLLs (PLL1 и PLL2), десять блоков контроля тактов и десять GCLKs.