

## 4 Компиляция кода Verilog

Код Verilog обрабатывается несколькими инструментами Quartus II, которые анализируют его и генерируют его размещение в выбранном чипе. Эти инструменты контролируются программным приложением, называемым **Компилятор**.

1. Запустите **Компилятор**, выбрав **Процессы > Старт Компиляции**, или используя иконку на панели. Процесс прохождения определенных стадий компиляции отображается в окне **Задачи**, расположенном слева. Это окно обладает расширенным интерфейсом, позволяющим не только наблюдать за ходом компиляции, но и запускать по отдельности любую стадию компиляции. Всплывающее окно демонстрирует удачное (или неудачное) окончание компиляции. Подтвердите – **ОК**. Появится дисплей вида, как на рисунке 19, на котором, в верхнем левом углу показана **иерархия проекта**, в которой можно просмотреть все модули проекта *addersubtractor*. В окне **Сообщения**, расположенном внизу экрана, показаны различные сообщения. Если появляются ошибки, то появляются и соответствующие сообщения.

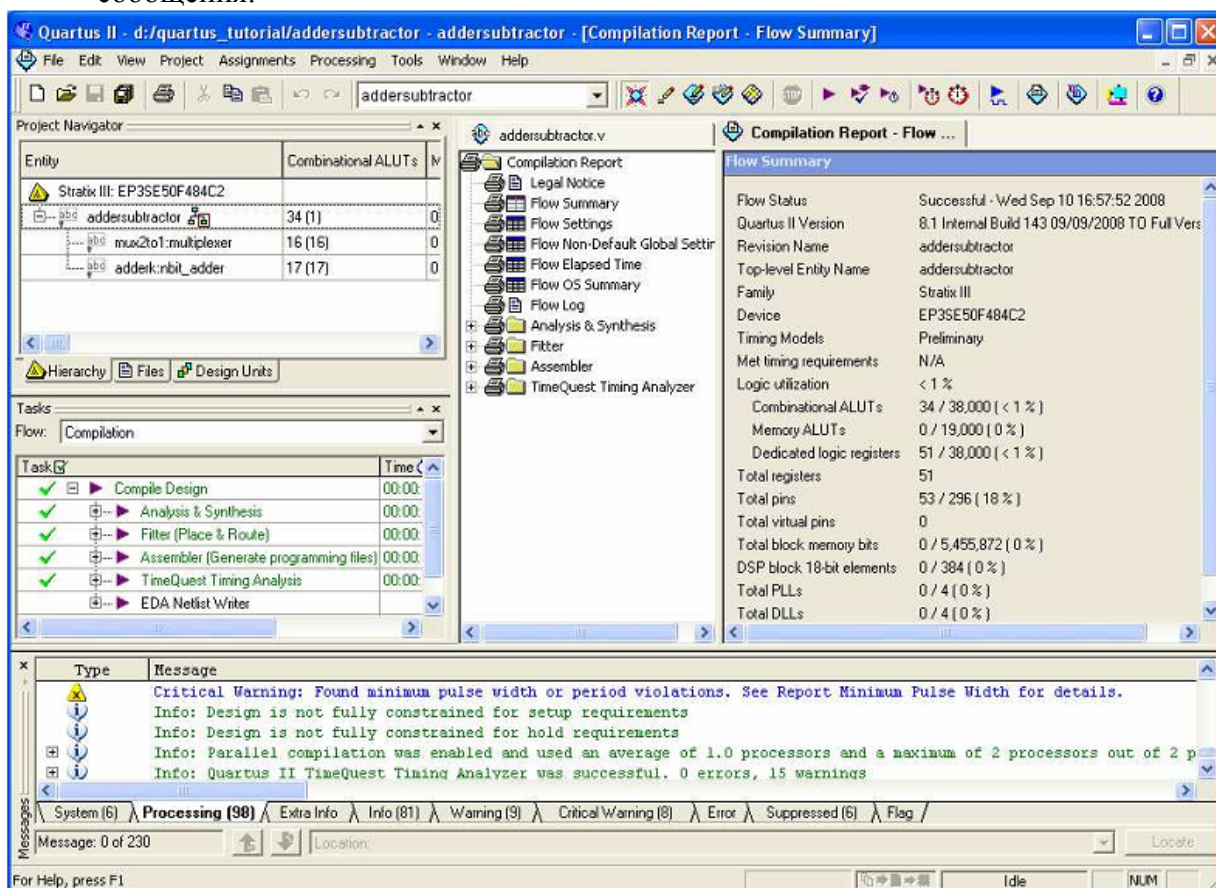


Figure 19: Display after a successful compilation.

2. Когда компиляция окончена, генерируется отчет о компиляции. Окно отчёта изображено на рисунке 20, оно раскрывается автоматически. Окно может быть перемещено, свёрнуто или закрыто обычным способом, оно также может быть снова открыто выбором **Процессы > Отчёт компилятора**, или кликом на соответствующую иконку на панели. Отчёт состоит из нескольких секций, расположенных слева. На рисунке 20 показана секция Краткого отчёта о процессе компиляции, в которой показано только минимальное задействованное количество ресурсов чипа, требуемое для размещения этой крошечной схемы в выбранном FPGA.

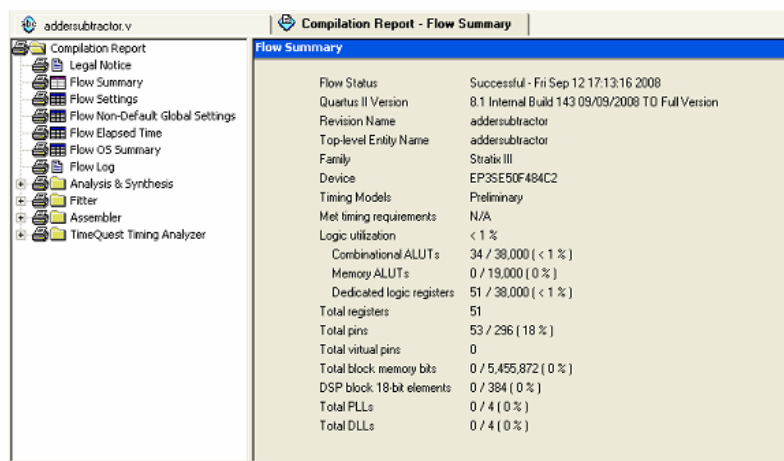


Figure 20: Compilation report.

В отчете о компиляции содержится информация, представляющая особый интерес для разработчика, она называется **Максимальное быстродействие схемы**. Хорошим параметром быстродействия является максимальная частота, на которой может быть тактирована схема, так называемая **Fmax**. Этот параметр определяется величиной наибольшей задержки распространения сигнала между двумя регистрами, тактируемыми установленным тактовым сигналом. Он включает в себя несколько параметров, которые подробнее рассматриваются в разделе **Отчёт компиляции для Временного анализатора TimeQuest**.

3. Кликните на маленький символ "+" рядом со строкой **Временной анализатор TimeQuest**, чтобы раскрыть соответствующую секцию отчёта, как это показано на рисунке 21. Здесь содержатся различные модели, описывающие характеристики схемы в различных режимах работы. Раскройте отчёт **Медленная модель 1100 mV 85 C**, кликнув на маленький символ "+" рядом с моделью, затем кликните на Краткий отчёт Fmax, для отображения таблицы, как на рисунке 21. В таблице указана максимальная частота работы вашей схемы для выбранного чипа – 439,37 МГц. Значения Fmax могут отличаться, в зависимости от версии программы Quartus II, установленной на вашем компьютере.

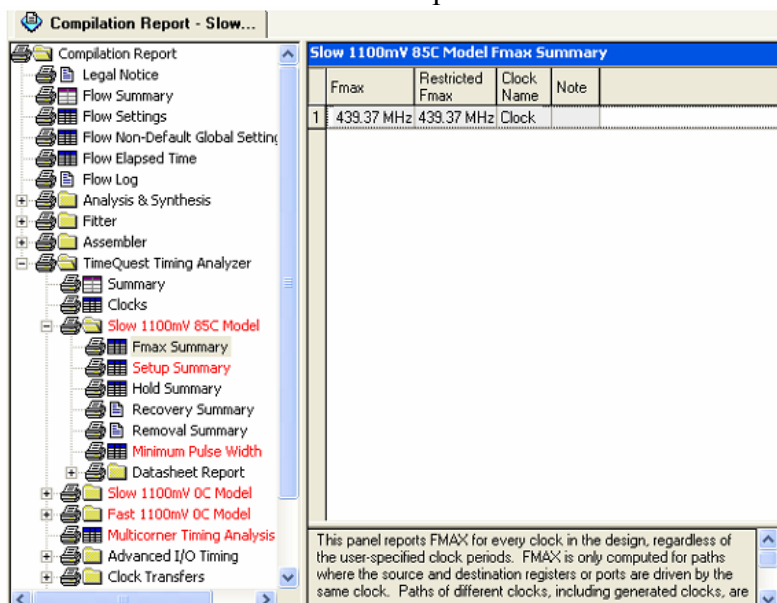
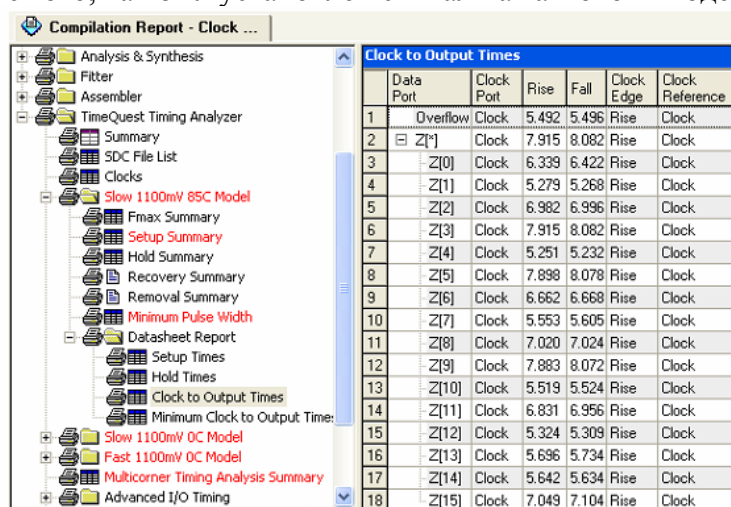


Figure 21: Fmax Summary of TimeQuest Timing Analysis.

4. Поскольку  $F_{max}$  – это функция наибольшей длины задержки между двумя регистрами, она не учитывает задержки поступления выходных сигналов на выходы чипа. Время, исчисляющееся от активного фронта тактового сигнала источника тактов до появления выходного сигнала (от триггера) на выходном выводе, обозначается как *Время такта на выход* для этого вывода. Чтобы просмотреть этот параметр, раскройте **Отчет технических характеристик** в топике **Медленная модель 1100 mV 85 C** и кликните на **Время такта на выход**, как это показано на рисунке 22. Для каждого выходного сигнала дан список задержек для фронтов нарастания и спада. В таблице также показан тактовый сигнал и его активный фронт. Два других параметра, показанных в отчете технических характеристик – это время установки и время удержания. **Время установки** – это время, необходимое для того, чтобы данные, поступающие на вход регистра, установились раньше, чем на тактовом входе установится тактовый сигнал. **Время удержания** – это время, необходимое для того, чтобы данные, поступающие на вход регистра, удерживались на входе регистра после того, как был установлен сигнал на тактовом входе.



Clock to Output Times						
Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference	
1	Overflow Clock	5.492	5.496	Rise	Clock	
2	Z[*]	7.915	8.082	Rise	Clock	
3	Z[0]	6.339	6.422	Rise	Clock	
4	Z[1]	5.279	5.268	Rise	Clock	
5	Z[2]	6.982	6.996	Rise	Clock	
6	Z[3]	7.915	8.082	Rise	Clock	
7	Z[4]	5.251	5.232	Rise	Clock	
8	Z[5]	7.898	8.078	Rise	Clock	
9	Z[6]	6.662	6.668	Rise	Clock	
10	Z[7]	5.553	5.605	Rise	Clock	
11	Z[8]	7.020	7.024	Rise	Clock	
12	Z[9]	7.883	8.072	Rise	Clock	
13	Z[10]	5.519	5.524	Rise	Clock	
14	Z[11]	6.831	6.956	Rise	Clock	
15	Z[12]	5.324	5.309	Rise	Clock	
16	Z[13]	5.636	5.734	Rise	Clock	
17	Z[14]	5.642	5.634	Rise	Clock	
18	Z[15]	7.049	7.104	Rise	Clock	

Figure 22: The *Clock to Output Time* delays.

5. Чтобы посмотреть, каким образом разработанная схема размещается в выбранном чипе, кликните **Инструменты > Планировщик чипа** (Архитектура чипа и Редактор чипа), или кликните на иконку в панели. Перед вами раскрывается **Планировщик чипа**, как это показано на рисунке 23. На дисплее выделяется область элементов, задействованных для размещения схемы. Чтобы получить изображение таким же, как на рисунке 23, надо выбрать **Вид > Вписать в окно (CTRL+W)**, или расширить окно программы на дисплей, кликнув на иконку **Полное расширение**, расположенную справа на панели.

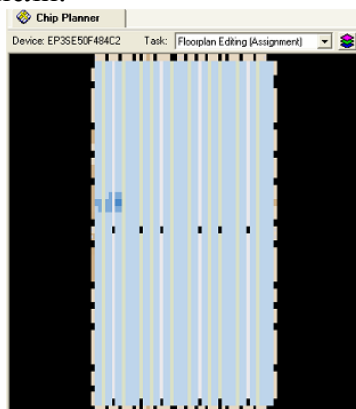


Figure 23: View of the floorplan.

6. Инструмент **Лупа**, активизирующийся иконкой на левой панели, служит для многократного увеличения отдельных частей изображения. Вы можете кликнуть и расширить рамку над определённой областью чипа для быстрого увеличения этой области. На рисунке 24 показан вид архитектуры чипа увеличенной области. С помощью курсора мыши, разработчик может выделить отдельный элемент, чтобы просмотреть часть схемы, расположенной в этом ресурсе. Панель инструментов планировщика чипа имеет несколько иконок, позволяющих посмотреть ветвления по входу и выходу для узлов, пути соединения между узлами и т.д. За дополнительной информацией об использовании этого инструмента, обратитесь в раздел помощи, кликнув **Помощь > Содержание > Достижение временных ограничений > Работа с назначениями в Планировщике чипа**, в главном окне программы Quartus II.

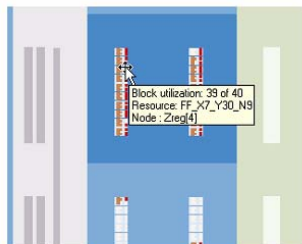


Figure 24: A portion of the expanded view.