

Исключения

Временные исключения во временном анализаторе Quartus II TimeQuest – это способ модифицировать обычное поведение временного анализа в соответствии с требованиями вашего проекта. Временной анализатор Quartus II TimeQuest поддерживает три основные категории исключений:

- Ложные пути,
- Минимум и максимум задержек,
- Мультициклы.

Поскольку временные исключения модифицируют анализ по умолчанию, они должны быть определены после ограничений тактов, входной и выходной задержек.

Ложные пути

Определяя ложные пути в вашем проекте, вы убираете из анализа определённые пути. Эти пути могут быть: от точки к точке, или от такта к такту. В качестве примера возьмем регистр со статичной конфигурацией, в который записывается значение только во время инициализации включения питания, и в дальнейшем он никогда не меняет состояние. Эти сигналы часто занимают тактовый домен, но поскольку некоторые данные пересекают этот тактовый домен, вы не хотите исключать тактовые переходы, но взамен, выборочно исключаете пути от статично сконфигурированного регистра до всех конечных точек.

В примере 8-4 показано, как исключить путь от всех регистров, начинающихся с **A**, до всех регистров, начинающихся с **B**.

Example 8-4. False Path

```
set_false_path -from [get_pins A*] -to [get_pins B*]
```

Временной анализатор Quartus II TimeQuest принимает во внимание все родственные такты, пока вы не определите обратное. Установка тактовых групп – это эффективный способ исключения ложных временных зависимостей от такта к такту в проекте. Она потребует ввести короткую строку для извлечения путей между тактами, в сравнении с записью множества исключений *set_false_path* для каждого исключаемого тактового перехода. Используйте команду *set_clock_groups* для коллекции групп сигналов, родственных друг другу, и используйте опцию *-asynchronous* для определения того, какая группа тактов асинхронна к любой другой. В случае множества тактов, добавляемых к одному порту для операций различных режимов, используйте *set_clock_groups* с опцией *-exclusive*, чтобы отметить, что эти такты размещаются в различных группах и взаимоисключающие друг для друга. Другими словами, такты не могут физически существовать в проекте одновременно.

Минимум и максимум задержек

Асинхронные сигналы, которым не нужно определённой тактовой зависимости в проекте, но требуется зависимость задержки максимального и минимального пути, могут быть описаны с использованием ограничений *set_max_delay* и *set_min_delay*. Обычно, эти временные исключения используются для путей, идущих от порта до порта через FPGA без стадии регистра на пути. Когда используется это временное исключение для ограничения задержки пути, определяются минимальная и максимальные задержки для пути. Отдельно максимальное или минимальное значения не ограничиваются. Команды *set_max_delay* и *set_min_delay* модифицируют зависимости установки и удержания эквивалентно значениям ограничений.

Иначе, вы можете использовать ограничение *set_net_delay* для определения максимума, минимума или искажения любого фронта в вашем проекте. Это ограничение используется в ситуации, когда не определены (не требуются) тактовые зависимости.

За дополнительной информацией об ограничении *set_net_delay* обратитесь к главе "Временной анализатор Quartus II TimeQuest" в томе 3 настольной книги Quartus II.

Мультициклы

Мультицикловые пути часто очень сложно идентифицировать в проекте. Требуется глубокое знание функциональной схемы проекта, чтобы определять, когда сигнал обновляется или сэмплируется на обычном тактовом фронте в зависимости, выведенной временным анализатором TimeQuest.

В зоне действия мультицикловых путей в проекте очень возрастает роль Компоновщика, и получаются лучшие качественные характеристики при компиляции, поскольку ослабляются зависимости неверных фронтов установки и удержания.

В качестве примера потенциального мультициклового пути, может выступать длинный комбинационный путь, в котором регистру защёлки не требуется стабилизировать данные по каждому тактовому фронту, а только на второй тактовый фронт. Эта зависимость от использования сигнала окончательным регистром. В этом случае, состояние *set_multicycle_path -setup 2* означает, что данные будут стабилизироваться в конечной точке на каждый второй тактовый цикл такта защёлки в конечной точке.

Когда определяется мультицикловый путь, обе зависимости установки и удержания мультицикла должны быть определены. Для предыдущего примера, это означает, что потребуется два тактовых цикла для установки данных в конечной точке, а зависимость минимального времени удержания должна быть определена с помощью мультицикла. Обычно, величина *set_multicycle_path -hold* равна $(N-1)$, где N эквивалентно значению *set_multicycle_path -setup* для пути от регистра к регистру внутри одного тактового домена. Поэтому, когда данные пересекают различные тактовые домены, фаза и период тактов запуска и защёлки могут изменяться в пределах значений *-setup* и *-hold*, которые будут отличаться от *-setup N* и *-hold (N - 1)*. Используйте это осторожно и внимательно изучайте временные пути во временном анализаторе TimeQuest до и после применения мультициклов, чтобы определить, когда фронты запуска и защёлки находятся в соответствующей зависимости.

За дополнительной информацией о мультициклах во временном анализаторе TimeQuest обратитесь к AN 481: применение мультицикловых исключений во временном анализаторе TimeQuest.