



Quartus® II Introduction for Verilog Users

Вводный курс Quartus II для пользователей Verilog

Перевод Егоров А.В.

Это учебное пособие представляет собой учебный курс программы Quartus II. Оно даёт представление о типовом процессе конструирования схемы проекта, которые будут реализовываться на чипах FPGA, и показывает, каким образом этот процесс можно реализовать в программе Quartus II. Процесс разработки иллюстрируется пошаговыми инструкциями использования программы Quartus II для реализации определённых схем в чипах Altera FPGA.

Система Quartus II полностью поддерживает все популярные методы описания разрабатываемых схем в системах проектирования (КАД). Этот вводный курс рассчитан на ввод описания по методу Verilog, это означает, что пользователь описывает схемы на языке Verilog. Другая версия вводного курса доступна для пользователей, описывающих на языке VHDL.

Поясняющие рисунки для этого курса получены из программы Quartus II версии 8.1. Если вы используете другую версию программы, то некоторые изображения могут различаться.

Содержание:

1	Начнём	4
2	Старт нового проекта	6
3	Ввод проекта с использованием кода Verilog	10
4	Компиляция кода Verilog	17
5	Использование RTL-просмотрщика	22
6	Определение временных ограничений	24
7	Окна в Quartus II	29

Программа компьютерного автоматизированного проектирования (КАД) упрощает создание логических схем для программируемой логической микросхемы, называемой чипом с матрицей программируемых вентилей (FPGA). Типовой процесс проектирования показан на рисунке 1.

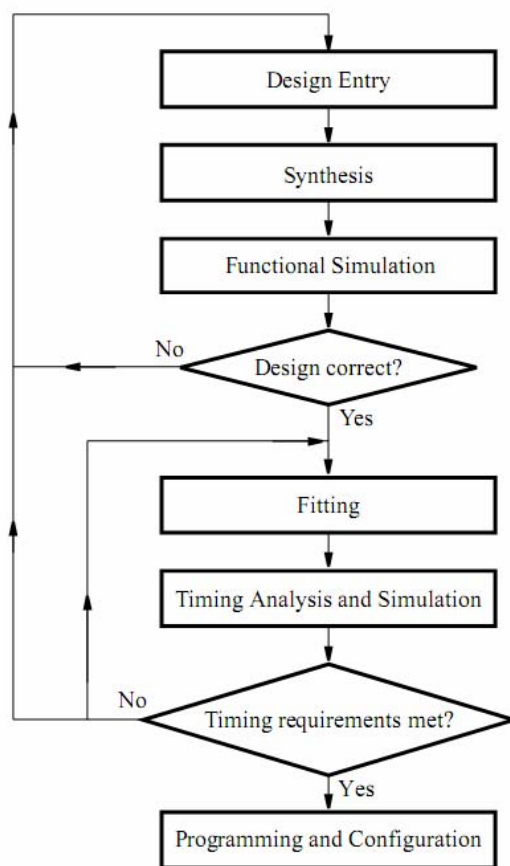


Figure 1: Typical CAD flow.

Он состоит из следующих основных шагов:

- **Ввод проекта** – разрабатываемые схемы описываются с помощью языка описания устройств (Verilog, VHDL или схемного редактора);
- **Синтез** – инструмент синтеза КАД синтезирует схему в список соединений, который определяет логические элементы (ЛЭ), необходимые для реализации схемы, а также соединения между этими ЛЭ;
- **Функциональная симуляция** – синтезированные цепи тестируются на функциональную корректность, при этом не учитываются временные характеристики схемы;
- **Компоновка** – инструмент компоновки КАД определяет размещение ЛЭ, описанных в списке соединений, в выбранном чипе FPGA, он также определяет цепи разводки и создаёт необходимые соединения между ЛЭ;
- **Временной анализ** – служит для определения временной задержки распространения сигнала в различных путях, необходим для определения ожидаемых характеристик схемы;

- **Временная симуляция** – скомпонованные схемы тестируются на функциональную корректность и время;
- **Программирование и конфигурация** – разработанная схема размещается в физическом чипе FPGA путём программирования конфигурационных переключателей ЛЭ и закрепления необходимых соединений.

В этом вводном курсе описаны базовые компоненты программы Quartus II. Здесь показано, каким образом использовать программу для разработки и ввода схем, описанных на языке Verilog. Также здесь показано, как использовать графическую оболочку (GUI) для реализации команд Quartus II. В этом курсе вы изучите:

- как создавать проект;
- как синтезировать схемы, описанные на языке Verilog, используя встроенный инструмент синтеза Quartus II;
- как компоновать синтезированные схемы в чипе FPGA Altera;
- как анализировать отчёты о результатах компоновки и временного анализа;
- как изучать синтезированные схемы, представленные в виде схематичных диаграмм инструментом RTL-просмотрщика;
- как создавать несложные временные назначения в программе Quartus II.