

Организация памяти и I/O

В этой секции раскрываются подробности аппаратной реализации организации памяти и I/O в Nios II. Обсуждение затрагивает все основные концепты процессорной системы Nios II, а также средства, которые могут изменяться от системы к системе.

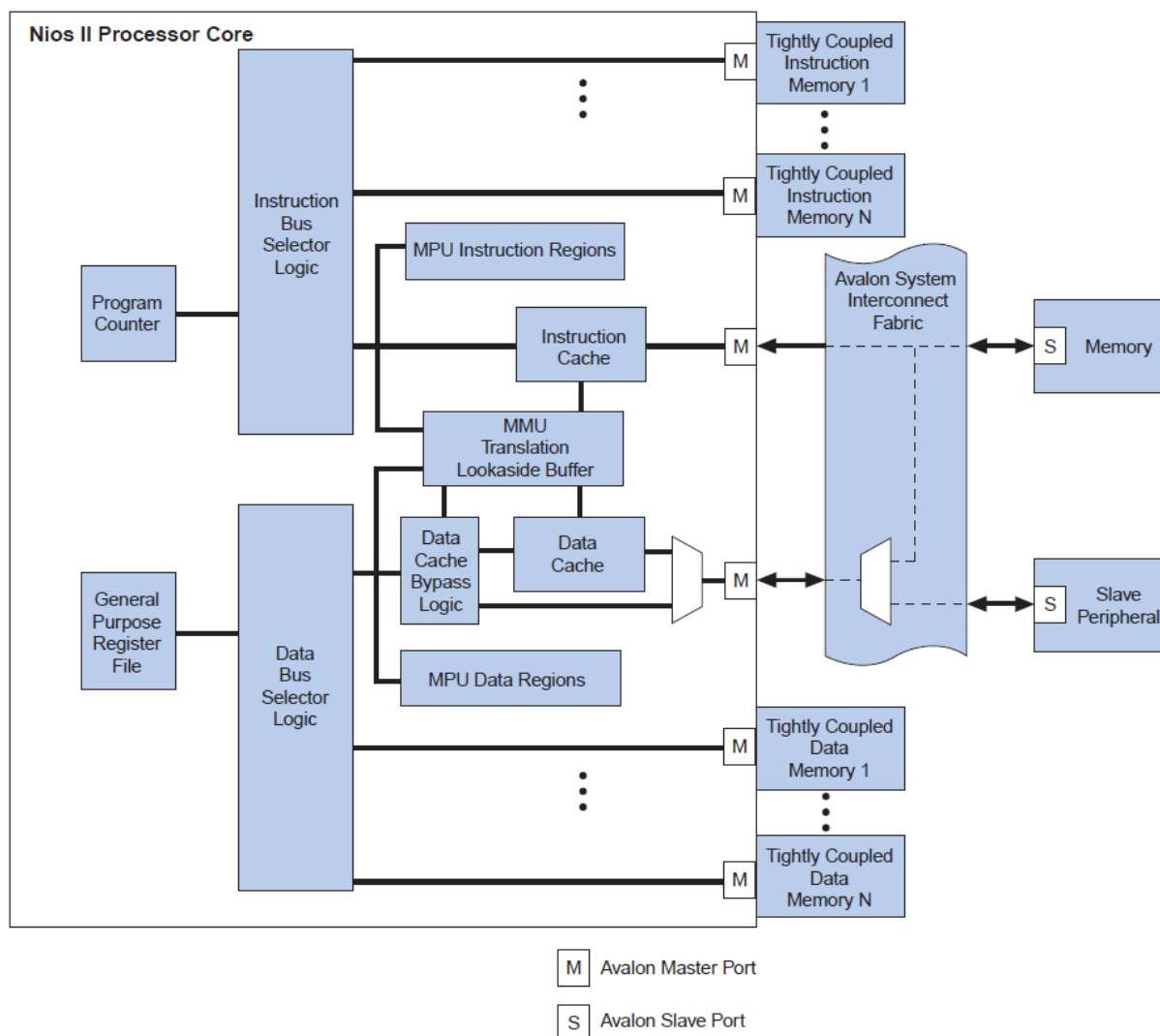
Природная гибкость организации памяти и I/O – основное выдающееся отличие между процессорной системой Nios II и традиционными микроконтроллерами. Поскольку процессорная система Nios II конфигурируемая, память и периферия может изменяться от системы к системе. В результате, организация памяти и I/O варьируется от системы к системе.

Ядро Nios II использует одно или несколько следующих средств для предоставления доступа к памяти и I/O:

- Мастер порт инструкций – Отображаемый в памяти Avalon® мастер порт (Avalon-MM), который подключается к памяти инструкций посредством сети внутренних соединений.
- Кэш инструкций – Быстрая кэш память внутри ядра Nios II.
- Мастер порт данных – Мастер порт на Avalon-MM, который подключается к памяти данных и периферии посредством сети внутренних соединений.

- На рисунке 2-2 показана организация памяти и I/O для ядра процессора Nios II.

Figure 2–2. Nios II Memory and I/O Organization



Архитектура Nios II поддерживает отдельные шины инструкций и данных, классифицируя их по Гарвардской архитектуре. Обе шины инструкций и данных реализуются в виде мастер портов на Avalon-MM, и придерживаются спецификации интерфейса Avalon-MM. Мастер порт данных подключается и к памяти, и к периферийным компонентам, тогда как мастер порт инструкций подключается только к компонентам памяти.

Обратитесь к *Спецификации интерфейса Avalon* за подробностями об интерфейсе Avalon-MM.

Доступ к памяти и к периферии

Архитектура Nios II предоставляет отображаемый в памяти доступ к I/O. И память данных, и периферия отображаются в адресном пространстве мастер порта данных. Архитектура Nios II имеет малую длину байта (little-endian). Слова и полуслова сохраняются в памяти с помощью более значимого байта на старших адресах.

Архитектура Nios II не может определить наличие памяти и периферии; количество, тип и подключение памяти и периферии системно зависимы. Обычно процессорная система Nios II содержит смесь быстрой внутри чиповой памяти и медленной внешней памяти. Периферия обычно размещена внутри чипа, хотя существует интерфейс с внешней периферией.

Мастер порт инструкций

Шина инструкций Nios II реализована как 32-битный мастер порт Avalon-MM. Мастер порт инструкций выполняет единственную функцию: он выбирает инструкции исполнения для процессора. Мастер порт инструкций не выполняет никакие операции записи.

Мастер порт инструкций – это конвейерный мастер порт Avalon-MM. Поддержка конвейерных переходов Avalon-MM минимизирует влияние синхронной памяти с конвейерной задержкой обработки и увеличивает f_{MAX} всей системы. Мастер порт инструкций может выдавать последовательный запрос на чтение, прежде чем данные возвратятся после предыдущего запроса. Процессор Nios II может предварительно выбрать последовательность инструкций и выполнить прогнозируемые ветвления конвейера инструкций активно, насколько возможно.

Мастер порт инструкций всегда выставляет 32 бита данных. Мастер порт инструкций зависит от размера шины, каждая инструкция возвращает полное слово инструкций, относительно ширины выбранной памяти. Следовательно, программам не требуется информация о ширине памяти в процессорной системе Nios II.

Архитектура Nios II поддерживает внутри чиповую кэш память для улучшения технических характеристик обычных инструкций, которые обращаются к медленной памяти. Подробнее на странице 2-13 в секции *"Кэш память"*. Архитектура Nios II поддерживает сдвоенную память, которая гарантирует низкие задержки обращения к внутри чиповой памяти. Подробнее на странице 2-15 в секции *"Сдвоенная память"*.

Мастер порт данных

Шина данных Nios II реализована как 32-битный мастер порт Avalon-MM. Мастер порт данных выполняет две функции:

- Чтение данных из памяти или от периферии, когда процессор выполняет инструкцию загрузки.
- Запись данных в память или в периферию, когда процессор выполняет инструкцию сохранения.

Сигналы разрешения байта мастер порта определяют, какой из четырёх байтовых трактов записывает во время операции сохранения. Когда ядро Nios II сконфигурировано с линейным размером кэша данных большим, чем четыре байта, мастер порт поддерживает конвейерные переходы Avalon-MM. Когда линейный размер кэша данных только четыре байта, ожидание конвейерной обработки памяти воспринимается мастер портом данных как состояние ожидания. Операции загрузки и сохранения производятся за один тактовый цикл, когда мастер порт данных подключен к памяти с нулевым временем ожидания.

Архитектура Nios II поддерживает внутри чиповую кэш память для улучшения технических характеристик перехода данных, которые обращаются к медленной памяти. Подробнее на странице 2-13 в секции *"Кэш память"*. Архитектура Nios II поддерживает сдвоенную память, которая гарантирует низкие задержки обращения к внутри чиповой памяти. Подробнее на странице 2-15 в секции *"Сдвоенная память"*.

Выделение памяти под инструкции и данные

Обычно мастер порты инструкций и данных используют одну память, содержащую и инструкции, и данные. Когда ядро процессора имеет отдельные шины инструкций и данных, вся процессорная система Nios II должна обладать одной общей шиной инструкций/данных для связи с внешним миром. Внешний вид процессорной системы Nios II зависит от памяти и периферии в системе, а также от структуры системных сетей внутренних соединений.

Мастер порты инструкций и данных никогда не рассматривают безвыходное состояние, в котором один порт нуждается в другом. Для наилучших характеристик, назначайте мастер порту данных наивысший арбитраж приоритета в памяти, которая выделяется под мастер порты инструкций и данных.