



Simulating Nios II Embedded Processor Designs

AN-351-1.3

Application Note

В этом учебном пособии описывается процесс генерирования среды RTL симуляции с примерами проекта Nios[®] II, Qsys и Nios II SBT на Eclipse. Также описан процесс запуска Nios II RTL симуляции в симуляторе ModelSim[®]-Altera[®] Edition.

Растущая потребность представлять на рынке устойчивые современные продукты дополняется необходимостью всесторонней верификации проектов со встроенным процессором. Поэтому рассматриваются верификационные решения, поддерживаемые процессором, при выборе встроенного процессора. Проект со встроенным процессором Nios II поддерживает некоторый набор средств верификации, включая:

- **Верификация на уровне платы** - Altera предлагает несколько плат разработчика, которые являются всесторонней платформой для верификации аппаратной и программной частей встраиваемых систем Nios II. Вы можете использовать встроенный отладчик Nios II SBT на Eclipse для верификации проектов, запущенных на вашей собственной плате либо на плате разработчика Altera. Затем вы сможете отладить аппаратные компоненты, взаимодействующие с процессором, с помощью встроенного логического анализатора SignalTap II.

За дополнительной информацией о Nios II SBT на Eclipse обратитесь к [настойной книге программиста Nios II](#).

За дополнительной информацией о встроенном логическом анализаторе SignalTap II обратитесь к [AN 323: Использование встроенного логического анализатора SignalTap II в системе SOPC Builder](#) и к [AN 446: Отладка Nios II системы при помощи встроенного логического анализатора SignalTap II](#).

- **Симуляция на уровне переходов регистров (RTL)** - RTL симуляция прекрасное средство отладки взаимодействия между процессором и его периферией. Когда отлаживается выбранная плата, очень сложно наблюдать внутренние сигналы системы. RTL симуляция позволяет вам проверить функционирование любого регистра и сигнала проекта. Вы можете запросто симулировать Nios II системы в симуляторе ModelSim, который автоматически генерирует среду симуляции, создаваемую Qsys и Nios II SBT на Eclipse.

Перед началом работы

Этот документ подразумевает у вас наличие навыков использования Qsys и симулятора ModelSim. Инструкции в этом документе содержат порядок симуляции проекта Nios II, при этом у вас должны быть установлены следующие программы:

- Программа Quartus® II версии 11.0 или старше,
- ModelSim-Altera Edition версии 6.6d или старше,
- Nios II EDS версии 11.0 или старше.

Задание настроек и генерирование среды симуляции в Qsys

Для открытия примера проекта выполните следующие пункты:

1. Загрузите пример проекта [an351_design.zip](#) со страницы [Simulating Nios II Embedded Processor Design](#) сайта Altera, и распакуйте пример проекта на вашем жёстком диске. Размещение файлов проекта упоминается в этом документе как *<your project directory>*.
2. Запустите программу Quartus II.
3. В меню File кликните **Open Project**.
4. Найдите директорию *<your project directory>/an351_design*.
5. Выберите **an351_project.qpf**.
6. Кликните **Open**.
7. В меню Tools кликните **Qsys**.
8. Откройте файл **niosii_system.qsys**.

Пример проекта в этом учебном пособии является законченной системой Qsys. Проследите за тем, чтобы вы завершили сборку вашей Qsys системы перед началом генерирования моделей симуляции.

9. На вкладке **Generation** установите параметрам следующие значения:
 - **Create simulation model—None** (создание модели симуляции - нет)
 - **Create testbench Qsys system—Simple, BFM for clocks and resets** (создание тестового стенда системы Qsys - простой, функциональная модель шины (BFM) для тактового сигнала и сброса)

Если ваша система имеет внешние порты, отличные от тактового сигнала и сброса, выберите **Standard, BFM for standard Avalon interfaces** (стандартный, BFM для стандартных интерфейсов Avalon).

- **Create testbench simulation model—Verilog** (создание тестового стенда модели симуляции - Verilog)
- **Create HDL design files for synthesis—Turn off** (создание HDL файлов проекта для синтеза - выключено)
- **Create block symbol file (.bsf)—Turn off** (создание файла символа блока (bsf) - выключено)

10. Кликните **Generate**. Сохраните систему, если нужно.

Файлы симуляции системы, генерируемые Qsys

На данный момент Qsys сгенерировала вашу систему и создала все необходимые для симуляции файлы, представленные в табл. 1. Эти файлы находятся в директории *<your project directory>/an351_design/niosii_system/testbench*.

Табл. 1 Файлы Qsys, сгенерированные для симуляции Nios II

| Файл | Описание |
|-------------------------------------|--|
| файлы системы тестовых стендов Qsys | Qsys генерирует систему тестового стенда, когда вы разрешили опцию Create testbench Qsys system . Qsys подключает соответствующие функциональные модели шины Avalon для всех исходящих из вашей системы интерфейсов. За дополнительной информацией о Qsys обратитесь к секции <i>Проект системы с Qsys</i> в томе 1 настолярной книги Quartus II . |
| msim_setup.tcl | Устанавливает среду симуляции ModelSim и создаёт необходимую последовательность команд для компилирования необходимых библиотек устройств и файлов проекта системы, а также загружает симуляцию головного проекта. |
| файлы инициализации памяти (.mif) | Создаёт файлы инициализации памяти (.mif) для инициализации компонентов памяти в вашей системе. Используйте Nios II SBT на Eclipse для создания программы под процессор Nios II для заполнения .mif файлов. |

Модели симуляции памяти

В целях симуляции вы можете использовать два типа моделей памяти: обычную и специфическую (от конкретного производителя). Для предлагаемых Altera контроллеров памяти вы используете обычную модель симуляции. Если вы используете иные контроллеры памяти, вы должны использовать модели, предлагаемые разработчиками этих контроллеров. В этом учебном пособии обсуждается обычная модель памяти.

Создание программы под Nios II

В этой секции описывается, как завершить настройку вашей симуляции, используя Nios II SBT на Eclipse для создания тестового программного проекта, и для генерирования необходимых файлов для инициализации памяти, используемой в вашей симуляции.

Создание проекта на Nios II SBT на Eclipse

В этом учебном пособии вы симулируете простую программу Hello World с Qsys. Программа Hello World выводит сообщение в консоль через JTAG UART. Для создания и сборки программного проекта выполните следующие пункты:

1. Откройте Nios II SBT на Eclipse версии 11.0 или старше.
2. В меню **File** выберите **New** и кликните **Nios II Application and BSP from Template**.
3. Выберите файл информации о SOPC (.sopcinfo) в директории *<your project directory>/an351_design*, выберите **niosii_system.sopcinfo**.
4. В поле **Project Name** введите **hello_world_an351**.
5. Выберите **Hello World** в опции **Templates**.
6. Кликните **Finish**.
7. Правым кликом на **hello_world_an351** в обозревателе проекта выберите **Build Project**.

После того, как вы успешно соберёте проект Hello World, вы вызываете симуляцию ModelSim из Nios II SBT на Eclipse. Этим вы заполняете файл инициализации памяти (.mif) программой Hello World и запускаете программу ModelSim.

8. Правым кликом на **hello_world_an351** в обозревателе проекта выберите **Run As** и кликните **Nios II ModelSim**.

Запуск симуляции в симуляторе ModelSim

После того, как вы запустили симулятор ModelSim из Nios II SBT на Eclipse, ModelSim автоматически компилирует необходимые библиотеки устройств и файлы проекта системы, делает выработку и загрузку головного проекта. Скрипт **msim_setup.tcl** создаёт последовательность команд для каждого из перечисленных пунктов. Эти команды представлены в табл. 2.

Табл. 2. Последовательность команд Nios II

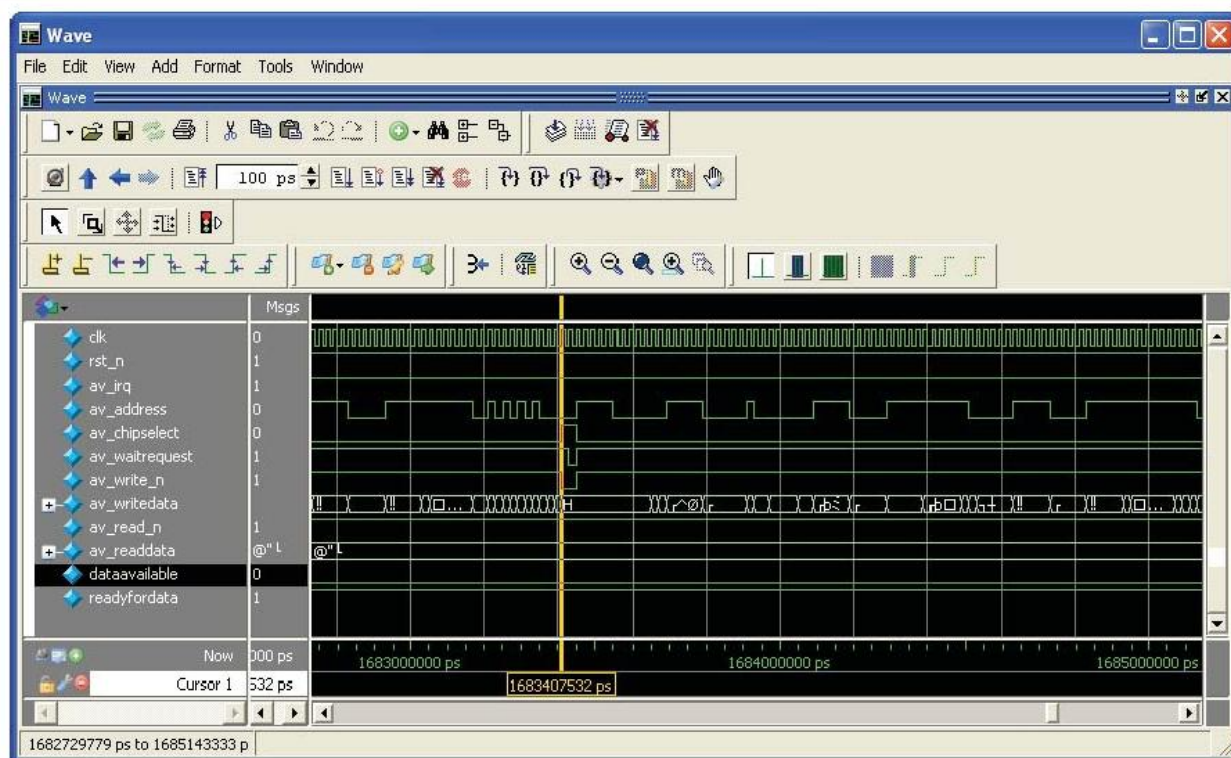
| Макрос | Описание |
|------------|---|
| dev_com | Компилирует файлы библиотек устройств. |
| com | Компилирует файлы проекта в нужной последовательности. |
| elab | Делает выработку головного проекта. |
| elab_debug | Делает выработку головного проекта с опцией novopt . |
| ld | Компилирует все файлы проекта и делает выработку головного проекта. |
| ld_debug | Компилирует все файлы проекта и делает выработку головного проекта с опцией novopt . |

Запустите симуляцию в симуляторе ModelSim, выполнив следующие пункты:

1. В программе ModelSim в меню **File** выберите **Load**. Раскройте *<your project directory>/an351_design* и выберите **wave.do**. Этим вы откроете окно временных диаграмм со всеми сигналами JTAG UART.
2. В окне Transcript введите **run 2 ms**. Этим вы запустите симуляцию длительностью в 2 миллисекунды.

По окончании симуляции вы сможете увидеть сообщение "Hello from Nios II!" в окне Transcript. Также вы сможете подробно рассмотреть результат симуляции в окне временных диаграмм. На рис. 1 показаны результаты симуляции. Эта временная диаграмма увеличена на определённом времени симуляции, когда процессор Nios II записывает первый символ H в компонент JTAG UART.

Figure 1. Simulation Results



Заключение

Симуляция и верификация являются неотъемлемыми частями процесса разработки. Вы можете полностью верифицировать процессоры Nios II отладкой на плате и RTL симуляцией с помощью симулятора ModelSim. RTL симуляция является важной частью процесса разработки, особенно для конфигурируемых систем, поскольку она позволяет вам апробировать внутренние сигналы процессора и его периферии. RTL симуляция позволяет вам верифицировать вашу систему до её появления в виде законченного устройства.