

Поддержка высокоскоростных I/O стандартов

В этой главе содержится информация о поддерживаемых I/O стандартах в чипах Cyclone III.

Поддержка LVDS I/O стандарта в чипах Cyclone III

LVDS I/O стандарт — это высокоскоростной универсальный стандарт с низковольтным перепадом и низким энергопотреблением. Чипы Cyclone III отвечают требованиям стандарта ANSI/TIA/EIA-644 с некоторыми исключениями:

- Максимальный выход дифференциального напряжения (VOD) увеличен до 600 мВ. Максимум VOD в спецификации ANSI — 450 мВ.
- Диапазон входного напряжения уменьшен до диапазонов от 1,0 до 1,6 В; от 0,5 до 1,85 В; или от 0 до 1,8 В, - основываясь на диапазонах дифференциальных частот. Стандарт ANSI/TIA/EIA-644 поддерживает входное напряжение в диапазоне от 0 до 2,4 В.

Электрические характеристики для LVDS I/O стандарта находятся в главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

Все I/O банки Cyclone III поддерживают каналы LVDS. Левый и правый I/O банки поддерживают специальные передатчики LVDS. В верхнем и нижнем I/O банках передатчики LVDS поддерживаются с использованием внешних резисторов. Стандарт LVDS не требует входного опорного напряжения; однако, ему требуется внешний согласующий резистор 100 Ω между двумя сигналами на входном буфере.

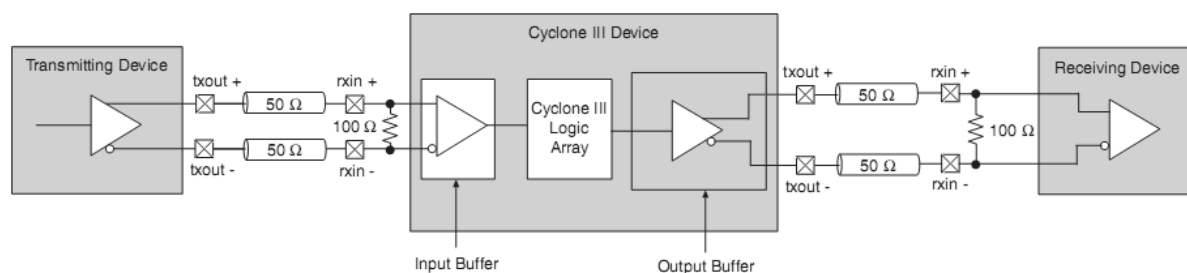
LVDS передатчик

Специальные передатчики Cyclone III LVDS, расположенные в левом и правом I/O банках, поддерживают передачу данных до 840 Мбит/с, а передатчики, расположенные в верхнем и нижнем I/O банках, - до 640 Мбит/с (с использованием внешних резисторов).

Информация о скорости передачи данных для чипов Cyclone III с различной градацией скорости находится в главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

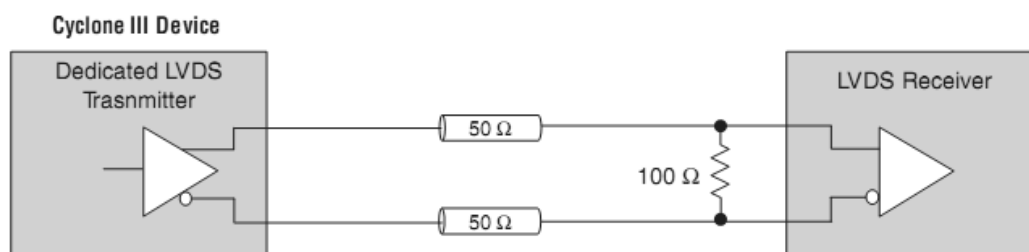
На рисунке 8-2 показана простое приложение LVDS от точки к точке с использованием специальных передатчиков, в которых источником данных являются LVDS передатчики. Эти LVDS сигналы обычно передаются по паре PCB проводников; однако, комбинация из проводников PCB, разъёмов и кабеля — это общие установки приложения.

Figure 8–2. Typical LVDS Application



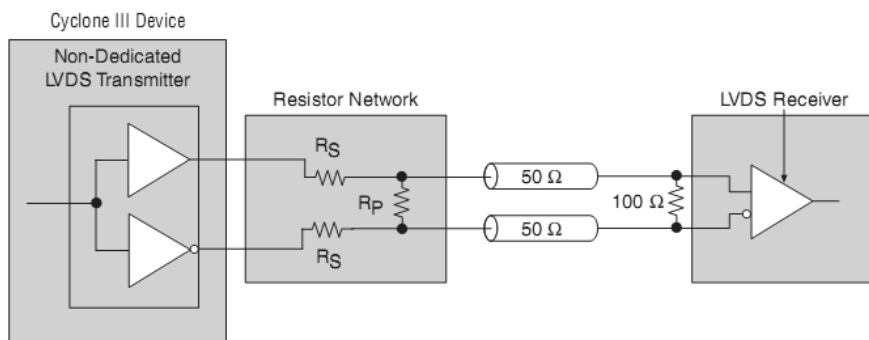
На рисунке 8-3 показан LVDS I/O интерфейс со специальным выходным буфером в левом и правом I/O банках.

Figure 8–3. LVDS Interface with Dedicated Output Buffer on the Left and Right I/O Banks



На рисунке 8-4 показан LVDS I/O интерфейс с цепью внешних резисторов в верхнем и нижнем I/O банках.

Figure 8–4. LVDS Interface with External Resistor Network on the Top and Bottom I/O Banks (Note 1)

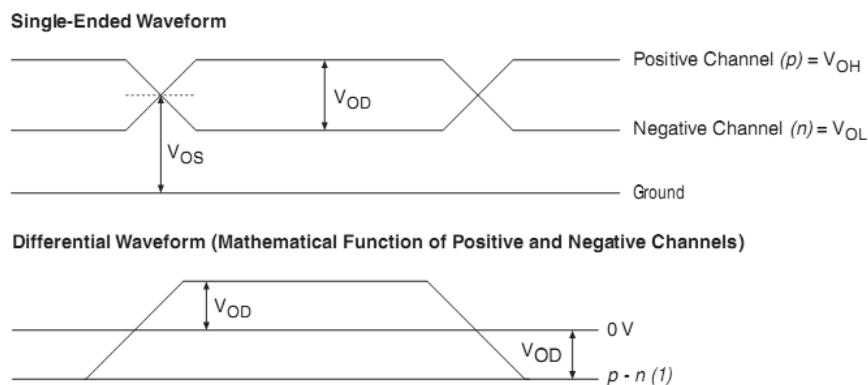


Note to Figure 8–4:

(1) $R_S = 120 \Omega$; $R_P = 170 \Omega$

На рисунке 8-5 показаны уровни сигнала для выходов LVDS передатчика.

Figure 8–5. Transmitter Output Waveforms for the LVDS Differential I/O Standard



Примечание к рисунку 8-5:

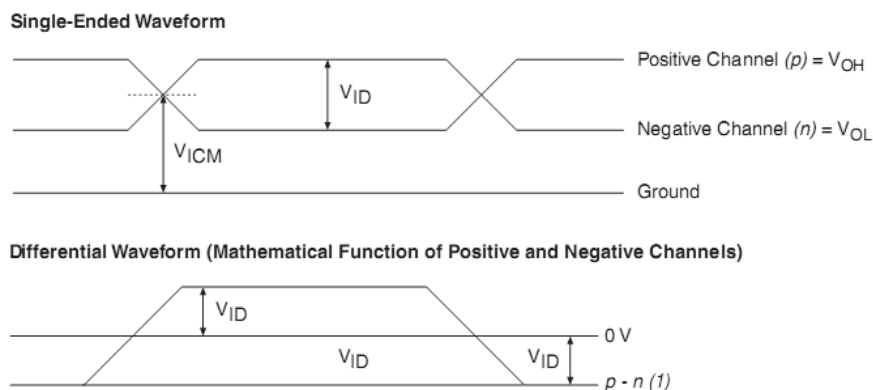
(1) Временные диаграммы $p - n$ это функции положительного (p) и отрицательного (n) каналов.

LVDS приёмник

Приёмники Cyclone III LVDS поддерживают передачу данных до 875 Мбит/с. Все I/O банки чипов Cyclone III поддерживают специальные приёмники. Максимальная внутренняя тактовая частота для приёмников — 437,5 МГц.

На рисунке 8-6 показаны уровни сигналов для входов приёмников LVDS.

Figure 8-6. Receiver Input Waveforms for the LVDS Differential I/O Standard



Примечание к рисунку 8-6:

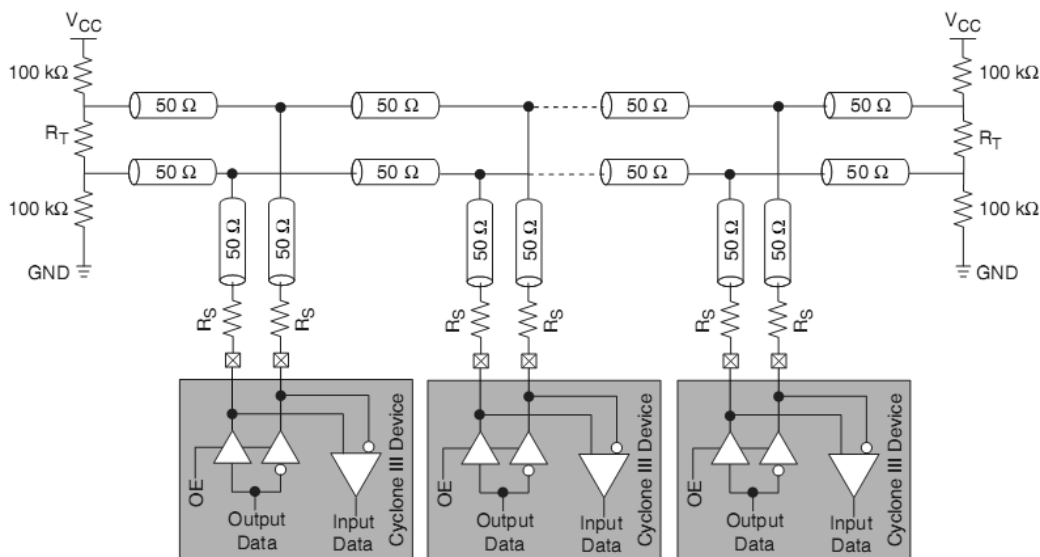
- (1) Временные диаграммы $p - n$ это функции положительного (p) и отрицательного (n) каналов.

Поддержка BLVDS I/O стандарта в чипах Cyclone III

BLVDS I/O стандарт – это технология высокоскоростной передачи данных, которая распространяет преимущества стандарта от точки к точке LVDS на многоточечную конфигурацию, поддерживающую двунаправленную полудуплексную связь. BLVDS отличается от LVDS более мощным приводом для достижения такого же переключения сигналов на приёмнике, за счёт двух оконечных нагрузочных схем на обоих концах шины.

На рисунке 8-7 показано обычная топология BLVDS с различными парами передатчиков и приёмников.

Figure 8-7. BLVDS Topology with Cyclone III Transmitters and Receivers



Все I/O банки чипов Cyclone III поддерживают BLVDS стандарт. Передатчик BLVDS использует два несимметричных выходных буфера в паре с буфером, запрограммированным как инвертор, когда как приёмник BLVDS использует специальный входной буфер. Передатчик и приёмник используют одни и те же выводы. Сигнал разрешения выхода (OE) необходим для тристабильных выходных буферов, когда входной буфер LVDS принимает сигнал.

Вы можете использовать мегафункцию ALTIOBUF для реализации выходных буферов, входных буферов и сигнала OE.

За дополнительной информацией о мегафункции ALTIOBUF обратитесь к руководству пользователя мегафункцией I/O буфера (ALTIOBUF).

За дополнительной информацией о средстве BLVDS I/O и электрических характеристиках обратитесь к главе "Средства ввода/вывода в чипах Cyclone III" в томе 1 и к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

За дополнительной информацией о примерах разработки при реализации BLVDS интерфейса в чипах Cyclone III обратитесь к AN 522: "Реализация шинного LVDS интерфейса в чипах Cyclone III".

Проектирование BLVDS

Двунаправленной связи BLVDS требуются оконечные схемы на обоих концах шины. Нагрузочный резистор RT необходим для создания дифференциального сопротивления шины, которое, в свою очередь, зависит от нагрузки на шине. Увеличение нагрузки уменьшает дифференциальное сопротивление шины. Оконечная схема на обоих концах шины не требуется для двух сигналов на входном буфере. Один последовательный резистор RS требуется на выходном буфере для согласования импеданса выходного буфера с импедансом линии передачи. Однако, этот последовательный резистор влияет на переключение напряжения на входном буфере. Максимальная скорость передачи зависит от нескольких факторов. Вам необходимо выполнить симуляцию чтобы учесть факторы, такие как нагрузка на шину, значения оконечной схемы, расположение входных и выходных буферов на шине, для того чтобы получить необходимые рабочие параметры.

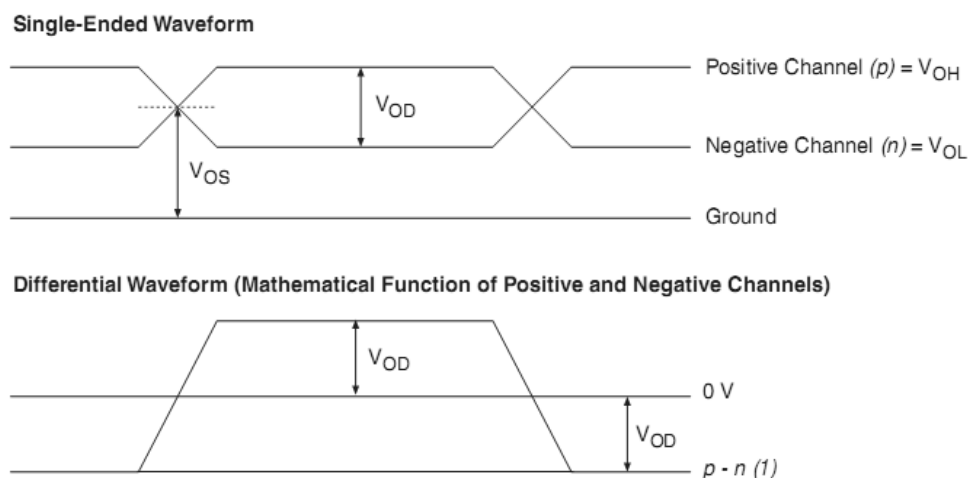
Поддержка RSDS I/O стандарта в чипах Cyclone III

Спецификация RSDS определяет его использование в приложениях от чипа к чипу между временным контролером и драйвером столбцов на панельных экранах. Чипы Cyclone III соответствуют спецификации интерфейса RSDS корпорации National Semiconductor и поддерживают стандарт выхода RSDS. Все I/O банки чипов Cyclone III поддерживают стандарт выхода RSDS. Левый и правый I/O банки поддерживают специальные RSDS передатчики, которые могут работать на скоростях до 360 Мбит/с. На верхнем и нижнем I/O банках, RSDS передатчики поддерживаются с использованием внешних резисторов, они также могут работать на скоростях до 360 Мбит/с. Стандарт RSDS не требует входного опорного напряжения; однако, ему требуется внешний согласующий резистор 100 Ω между двумя сигналами на входном буфере.

За электрическими характеристиками I/O стандарта RSDS обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

На рисунке 8-8 приведены временные диаграммы выходных сигналов RSDS передатчика.

Figure 8–8. Transmitter Output Signal Level Waveforms for RSDS



Примечание к рисунку 8-8:

- (1) Временные диаграммы $p - n$ это функции положительного (p) и отрицательного (n) каналов.

Проектирование RSDS

Не требуется цепей внешних резисторов при использовании специальных выходных буферов RSDS. На рисунке 8-9 показан I/O интерфейс RSDS с использованием специального выходного буфера на левом и правом I/O банках. Для неспециальных выходных буферов в верхнем и нижнем I/O банках, требуются цепи внешних резисторов, как показано на рисунке 8-10.

Figure 8–9. RSDS Interface with Dedicated Output Buffer on the Left and Right I/O Banks

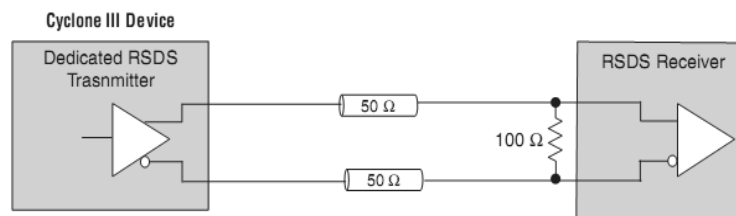
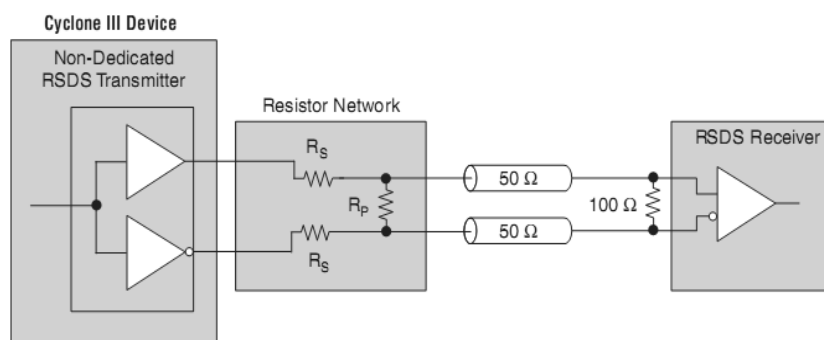


Figure 8–10. RSDS Interface with External Resistor Network on the Top and Bottom I/O Banks (Note 1)



Note to Figure 8–10:

- (1) $R_S = 120 \Omega$; $R_P = 170 \Omega$

За дополнительной информацией об I/O стандарте RSDS, обратитесь к спецификации RSDS на сайте National Semiconductor (www.national.com).

Сеть резисторов требуется для ослабления перепада выходного напряжения, чтобы соответствовать RSDS спецификации, когда используются неспециальные RSDS передатчики. Вы можете изменить значения резисторов в цепи, чтобы уменьшить энергопотребление или добиться запаса по помехоустойчивости.

Изменяемые значения резисторов должны удовлетворять формуле 8-1.

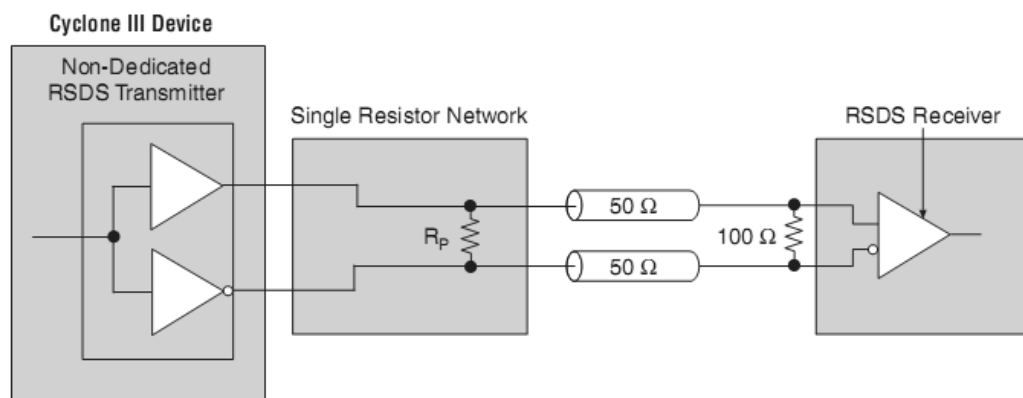
Equation 8-1.

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

Вам необходимо выполнить дополнительную симуляцию, используя модели IBIS, чтобы удостовериться в том, что выбранные вами значения резисторов удовлетворяют требованиям RSDS.

Вместо использования трёх резисторов в цепи резисторов, возможно использовать один внешний резистор. Решение с одним внешним резистором уменьшает количество внешних резисторов, за счёт достижения необходимого уровня сигналов RSDS. Однако, характеристики решения с одним внешним резистором хуже, чем характеристики со схемой внешних резисторов. RSDS с одним внешним резистором может работать на скоростях до 170 Мбит/с. Для передачи RSDS сигнала, внешний резистор (Rp) подключается параллельно между двумя соседними I/O выводами на плате, как показано на рисунке 8-11.

Figure 8-11. RSDS Interface with Single Resistor Network on the Top and Bottom I/O Banks



Note to Figure 8-11:

(1) $R_P = 100 \Omega$