



1. Simulating Designs with EDA Tools

QII53025-10.0.0

1. Симуляция проекта с помощью инструментов EDA

В этой главе содержатся советы, которые помогут вам выполнить симуляцию для проекта Altera® с использованием EDA симуляторов и средства Quartus® II NativeLink ("собственные ссылки").

Введение

Программа Quartus II оказывает поддержку вашим FPGA и ASIC проектам от уровня RTL до уровня чипа. Симуляция – это процесс верификации проекта (функциональности и временных характеристик), перед конфигурированием его в чипе.

В предыдущих версиях программы Quartus II, вы могли выбирать, использовать вам симулятор Quartus II или EDA симулятор для выполнения симуляции. Программа Quartus II более не поддерживает встроенный симулятор, поэтому вы должны использовать EDA симуляторы для выполнения симуляции.

В этой главе рассказывается о симуляции вашего Altera проекта с использованием EDA симуляторов. Существует два способа смоделировать ваш Altera проект с использованием EDA симуляторов:

- используя средство NativeLink для автоматического создания скриптов для EDA симуляторов и их запуска;
- выполняя симуляцию вручную с помощью EDA симуляторов.

В этой главе акцент сделан на выполнении вашей симуляции с использованием EDA симуляторов и средства NativeLink.

Симуляция вручную описана в секции "Симуляция" тома 3 Настольной книги Quartus II.

Эта глава состоит из следующих разделов:

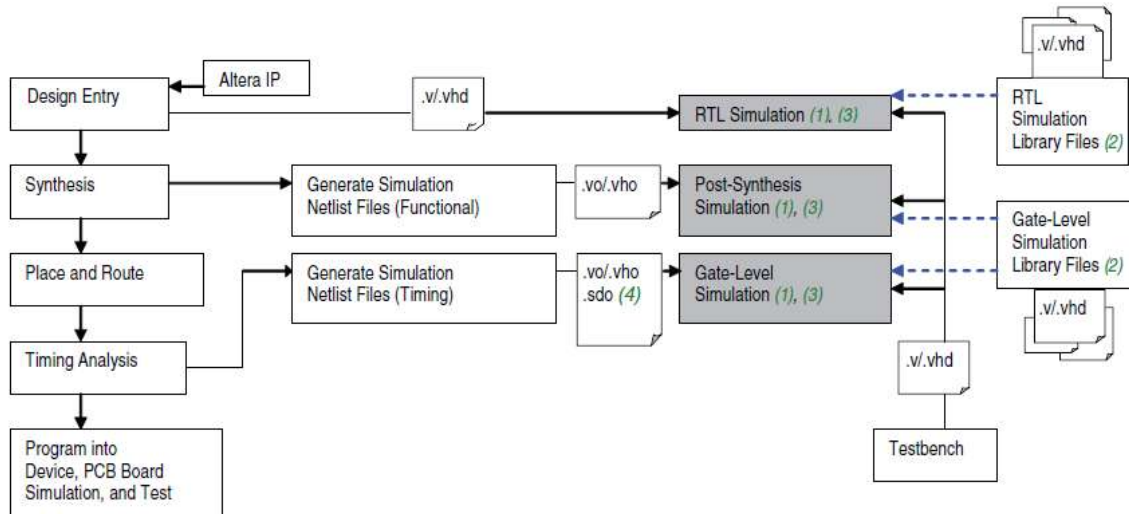
- "PLD процесс проектирования" на странице 1–2
- "Библиотеки симуляции" на странице 1–5
- "EDA компилятор библиотек симуляции" на странице 1–9
- "Использование средства NativeLink" на странице 1–11

PLD процесс проектирования

В этой секции описывается процесс проектирования программируемого логического устройства (PLD).

На рис. 1-1 показан процесс Altera проектирования с использованием EDA симуляторов и программы Quartus II.

Figure 1–1. Altera Design Flow Using EDA Simulators and the Quartus II Software



Примечания к рис. 1-1:

(1) Симуляция может запускаться с помощью средства NativeLink или выполняться вручную.

(2) ModelSim-Altera не требует исходных файлов библиотек симуляции для симулирования.

(3) Инструменты симуляции состоят из ModelSim, ModelSim-Altera, QuestaSim, VCS, VCS MX, NCSim, Active-HDL и Riviera-PRO.

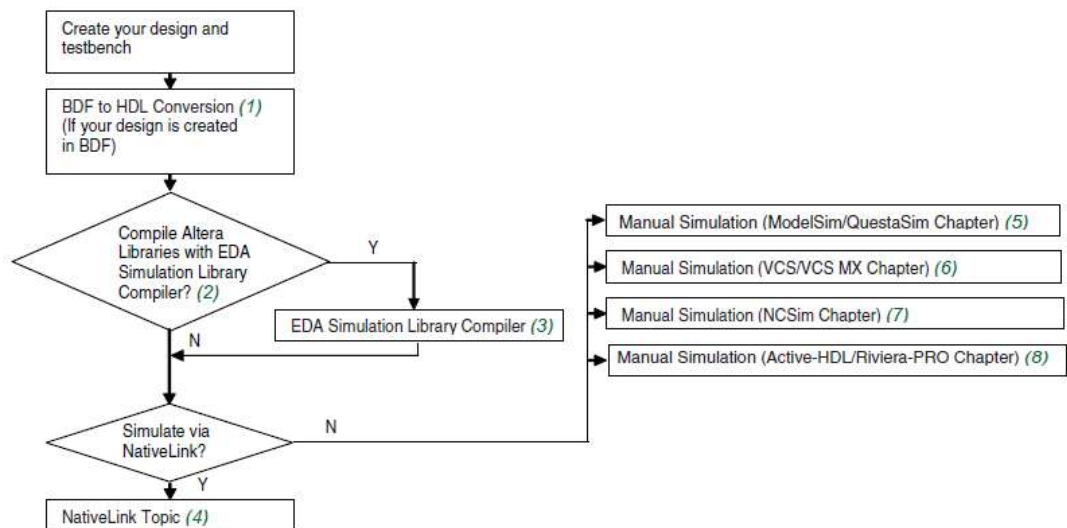
(4) **.vo**, **.vho**, и **.sdo** генерируются в Quartus II Netlist Writer.

Процесс функциональной симуляции RTL

На рис. 1-2 показан общий вид процесса функциональной симуляции в программе Quartus II. За информацией об автоматическом запуске EDA симуляции в программе Quartus II, обратитесь к "Использование средства NativeLink" на странице 1–11.

За информацией о ручном запуске симуляции, обратитесь к главам EDA симулятора в секции "Симуляция" тома 3 Настольной книги Quartus II.

Figure 1–2. : EDA RTL Functional Simulation Flow from the Quartus II Software



Примечания к рис. 1-2:

(1) За подробной информацией обратитесь к "Конвертирование формата BDF в формат HDL" на странице 1-4.

(2) Если вы используете ModelSim-Altera или ModelSim-Altera Web Edition – не компилируйте Altera библиотеки.

(3) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Компилирование библиотек симуляции.

(4) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Использование средства NativeLink в других инструментах EDA.

(5)) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе ModelSim или Выполнение функциональной симуляции в программе QuestaSim.

(6) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе VCS или Выполнение функциональной симуляции в программе VCS-MX.

(7) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе NCSim.

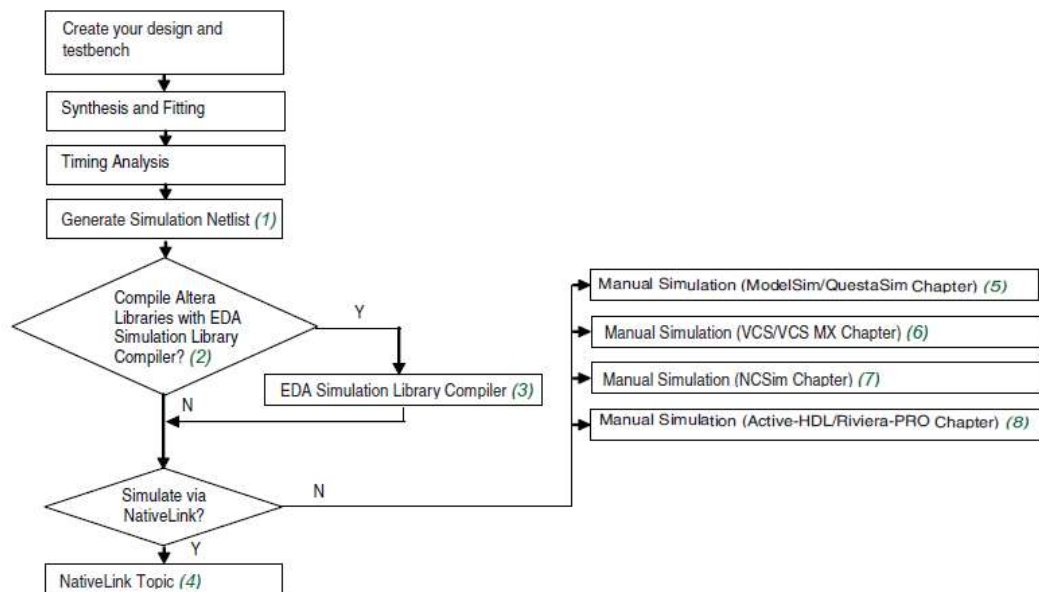
(8) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение симуляции Verilog HDL проекта в программе Active-HDL, Выполнение симуляции VHDL проекта в программе Active-HDL или Выполнение RTL функциональной симуляции в программе Riviera-PRO.

Процесс временной симуляции на уровне вентилях

На рис. 1-3 показан общий вид процесса временной симуляции на уровне вентилях в программе Quartus II. За информацией об автоматическом запуске EDA симуляции в программе Quartus II, обратитесь к "Использование средства NativeLink" на странице 1–11.

За информацией о ручном запуске симуляции, обратитесь к главам EDA симулятора в секции "Симуляция" тома 3 Настольной книги Quartus II.

Figure 1–3. EDA Gate-Level Timing Simulation Flow from Quartus II Software



Примечания к рис. 1-3:

(1) За подробной информацией обратитесь к "Файлы симуляции списков соединений" на странице 1-6.

(2) Если вы используете ModelSim-Altera или ModelSim-Altera Web Edition – не компилируйте Altera библиотеки.

(3) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Компилирование библиотек симуляции.

(4) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Использование средства NativeLink в других инструментах EDA.

(5)) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе ModelSim или Выполнение функциональной симуляции в программе QuestaSim.

(6) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе VCS или Выполнение функциональной симуляции в программе VCS-MX.

(7) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение функциональной симуляции в программе NCSim.

(8) За дополнительной информацией обратитесь к разделу помощи программы Quartus II – Выполнение симуляции Verilog HDL проекта в программе Active-HDL, Выполнение симуляции VHDL проекта в программе Active-HDL или Выполнение RTL функциональной симуляции в программе Riviera-PRO.

Конвертирование формата BDF в формат HDL

Если вы создали ваш проект в BDF (формате блок-схемы), вы должны

конвертировать его в HDL формат (Verilog HDL или VHDL), чтобы выполнить функциональную симуляцию RTL в EDA симуляторах. Для конвертации вашего проекта из формата BDF в формат HDL, сделайте следующее:

1. Отстыкуйте окно BDF.
2. В меню File, выберите to Create/Update и кликните Create HDL Design File for Current File.
3. В списке File type выберите VHDL или Verilog HDL.
4. Кликните **OK**.

После этих действий, HDL файл будет сгенерирован. Файлы HDL и BDF будут иметь одинаковое имя и различные расширения (например, если ваш BDF файл называется **example.bdf**, то созданный HDL файл будет называться **example.v** или **example.vhd**).