

Введение

Временные ограничения и исключения очень необходимы для всех проектов, размещаемых в FPGA. Временные ограничения и исключения позволяют пользователям определить требования и проверить временные характеристики вашей системы или FPGA. В этой главе содержатся шаги, необходимые для полного ограничения FPGA проекта с помощью временного анализатора Quartus® II TimeQuest.

Эта глава позволит вам близко познакомиться с временным анализатором Quartus II TimeQuest.

Эта глава разделена на три основных секции. Порядок следования секций также показывает рекомендованный процесс применения ограничений и исключений во временном анализаторе Quartus II TimeQuest.

Эта глава состоит из следующих секций:

1. "Тактовые ограничения"
2. "I/O ограничения" на странице 8-4
3. "Исключения" на странице 8-5

За дополнительной информацией об ограничениях и исключениях, поддерживаемых временным анализатором Quartus II TimeQuest, обратитесь к главе "Временной анализатор Quartus II TimeQuest" в томе 3 настольной книги Quartus II или к ссылке на руководство SDC и TimeQuest API.