



4. Embedded Multipliers in the Cyclone III Device Family

CIII51005-2.3

4. Встроенные умножители в семействе Cyclone III

Семейство Cyclone® III (чипы Cyclone III и Cyclone III LS) имеет комбинацию внутри чиповых ресурсов и внешних интерфейсов, что поможет вам увеличить рабочие характеристики, уменьшить стоимость системы, а также уменьшить потребление систем цифровых сигнальных процессоров (DSP). Семейство Cyclone III, самостоятельно или в качестве сопроцессора DSP устройства, используется для улучшения соотношения стоимости к рабочим характеристикам DSP систем.

Особенное внимание уделяется оптимизации чипов Cyclone III и Cyclone III LS для приложений, использующих преимущества большого количества параллельных процессов обработки, например: обработка изображений и видео; IF модемы (модемы, работающие на промежуточной частоте), которые используются для беспроводных систем связи; многоканальная коммутация и видеосистемы.

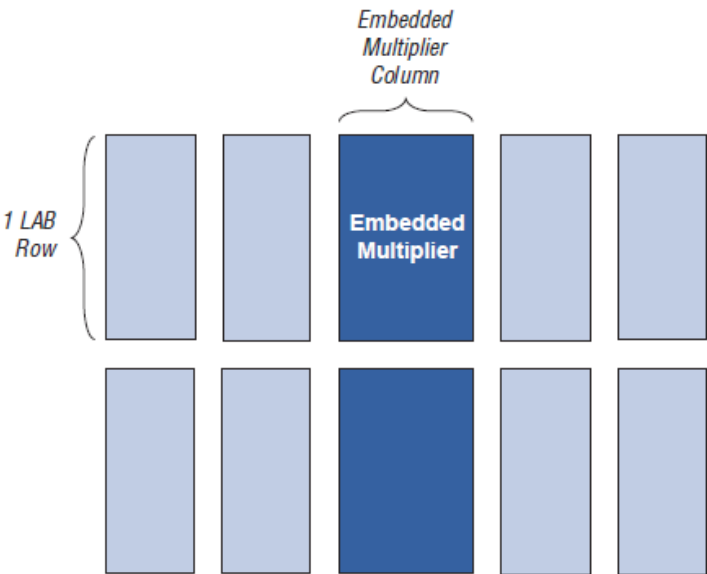
Эта глава состоит из следующих параграфов:

- "Общее представление о блоке встроенного умножителя" на стр. 4-2,
- "Архитектура" на стр. 4-3,
- "Режимы работы" на стр. 4-5.

Общее представление о блоке встроенного умножителя

На рис. 4-1 показан один из столбцов встроенных умножителей в окружении блоков массивов логики (LAB). Встроенный умножитель может быть сконфигурирован в виде одного умножителя 18 x 18, либо в виде двух умножителей 9 x 9. Для умножителей более чем 18 x 18, программа Quartus II каскадирует несколько блоков встроенных умножителей. Не существует ограничений на ширину данных для умножителя, однако, чем больше ширина данных, тем медленнее процесс умножения.

Figure 4-1. Embedded Multipliers Arranged in Columns with Adjacent LABs



В табл. 4-1 приведена численность встроенных умножителей и режимов работы умножителей, которые могут быть реализованы в чипах Cyclone III.

Table 4-1. Number of Embedded Multipliers in the Cyclone III Device Family

Device Family	Device	Embedded Multipliers	9 × 9 Multipliers ⁽¹⁾	18 × 18 Multipliers ⁽¹⁾
Cyclone III	EP3C5	23	46	23
	EP3C10	23	46	23
	EP3C16	56	112	56
	EP3C25	66	132	66
	EP3C40	126	252	126
	EP3C55	156	312	156
	EP3C80	244	488	244
	EP3C120	288	576	288
Cyclone III LS	EP3CLS70	200	400	200
	EP3CLS100	276	552	276
	EP3CLS150	320	640	320
	EP3CLS200	396	792	396

Примечание к табл. 4-1:

(1) Эти столбцы показывают количество 9 x 9 или 18 x 18 умножителей для каждого чипа. Общее количество умножителей для каждого чипа не является суммой всех этих умножителей.

В дополнение к встроенным умножителям в семействе Cyclone III, вы можете реализовать программные умножители, используя для этого блоки памяти M9K в качестве таблиц соответствия (LUT). LUT хранят частичный результат умножения входных данных с коэффициентами, которые реализуют переменную ширину и глубину высокоэффективных программных умножителей для бюджетных, ёмких DSP приложений. Наличие программных умножителей увеличивает количество возможных умножителей в чипе.

В табл. 4-2 приведено количество доступных умножителей в чипах семейства Cyclone III с учётом встроенных и программных умножителей.

Table 4-2. Number of Multipliers in the Cyclone III Device Family

Device Family	Device	Embedded Multipliers	Soft Multipliers (16 × 16) ⁽¹⁾	Total Multipliers ⁽²⁾
Cyclone III	EP3C5	23	—	23
	EP3C10	23	46	69
	EP3C16	56	56	112
	EP3C25	66	66	132
	EP3C40	126	126	252
	EP3C55	156	260	416
	EP3C80	244	305	549
	EP3C120	288	432	720
Cyclone III LS	EP3CLS70	200	333	533
	EP3CLS100	276	483	759
	EP3CLS150	320	666	986
	EP3CLS200	396	891	1287

Примечания к табл. 4-2:

- (1) Программные умножители реализованы в сумме с режимом умножения. Блоки памяти M9K сконфигурированы на ширину 18-битных данных для поддержки 16-битных коэффициентов. Сумме коэффициентов требуется 18-битное разрешения для защиты от переполнения.
- (2) Общее количество умножителей может варьироваться в зависимости от выбранного режима работы умножителя.

За дополнительной информацией о блоках памяти M9K в семействе Cyclone III обратитесь к главе "[Блоки памяти в семействе Cyclone III](#)".

За дополнительной информацией об умножителях обратитесь к [Implementing Multipliers in FPGA Devices](#).

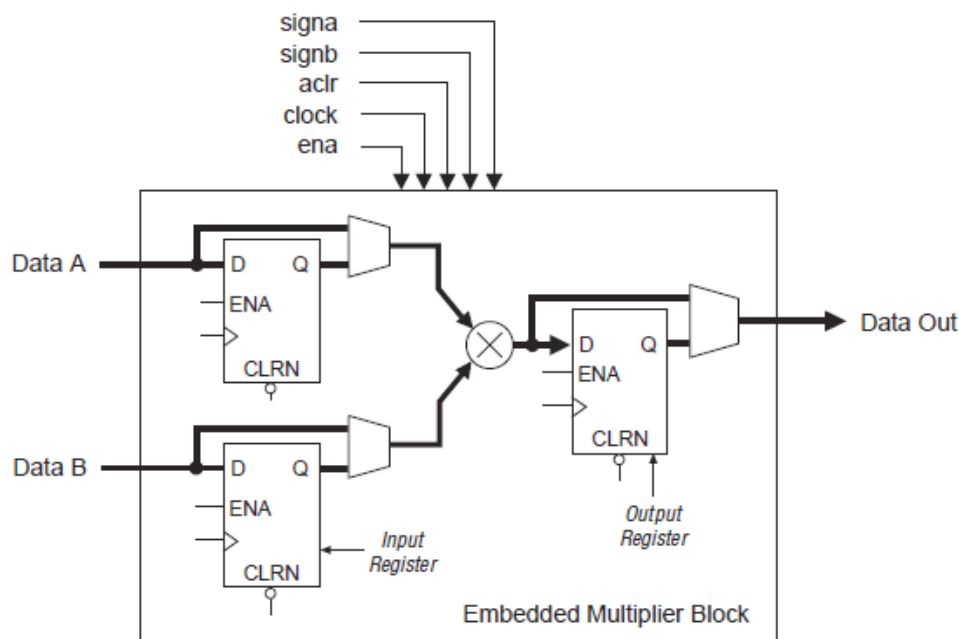
Архитектура

Каждый встроенный умножитель состоит из следующих элементов:

- каскад умножения,
- входной и выходной регистры,
- входной и выходной интерфейсы.

На рис. 4-2 показана архитектура блока умножителя.

Figure 4-2. Multiplier Block Architecture



Входные регистры

Вы можете посылать входной сигнал умножителя во входной регистр или напрямую в девяти или восемнадцатичисловый умножитель, в соответствии с режимом работы умножителя. Каждый входной сигнал умножителя может быть послан через регистр независимо от других входных сигналов. Например, вы можете послать сигнал умножителя Data A через регистр, а сигнал Data B напрямую в умножитель.

В каждом встроенном умножителе доступны следующие контрольные сигналы для каждого входного регистра:

- тактовый,
- разрешения такта,
- асинхронный сброс.

Все входные и выходные регистры одного встроенного умножителя управляются одним и тем же тактовым сигналом, сигналом разрешения такта и сигналом асинхронного сброса.

Каскад умножения

Каскад умножения каждого блока встроенного умножителя поддерживает умножители 9 x 9 или 18 x 18, а также другие умножители внутри этих конфигураций. В зависимости от ширины данных или режима работы умножителя, один встроенный умножитель может выполнять одно или два умножения параллельно. За информацией об умножителях обратитесь к параграфу "Режимы работы" на стр. 4-5.

Каждый операнд умножения имеет уникальное знаковое (signed) или беззнаковое (unsigned) число. Два сигнала, signa и signb, контролируют вход умножителя и проверяют знаковое или беззнаковое это число. Если signa в единице, операнд Data A - знаковое число. Если signa в нуле, операнд Data A - беззнаковое число.

В табл. 4-3 показан знак результата умножения для операндов различного типа. Результат умножения является знаковым, если любой из операндов имеет знаковое число.

Table 4–3. Multiplier Sign Representation

Data A		Data B		Result
signa Value	Logic Level	signb Value	Logic Level	
Unsigned	Low	Unsigned	Low	Unsigned
Unsigned	Low	Signed	High	Signed
Signed	High	Unsigned	Low	Signed
Signed	High	Signed	High	Signed

Каждый блок встроенного умножителя имеет только один сигнал signa и один сигнал signb для контроля над представлением сигналов входных данных блока. Если блок встроенного умножителя имеет два умножителя 9 x 9, вход Data A обоих умножителей имеет общий сигнал знака signa, а вход Data B обоих умножителей имеет общий сигнал знака signb. Вы можете динамически изменять сигналы signa и signb для того, чтобы изменить представление сигнала входного операнда на стадии прогона. Вы можете посылать сигналы знака signa и signb через специальный входной регистр. Умножитель имеет абсолютную точность, зависящую от наличия знака.

Когда сигналы знака signa и signb не используются, программа Quartus II по умолчанию задаёт умножителю работу с беззнаковыми числами.

Выходные регистры

Вы можете регистрировать выход встроенного умножителя с помощью выходных регистров для 18-ти или 36-битных секций в зависимости от режима работы умножителя. Следующие контрольные сигналы доступны для каждого выходного регистра встроенного умножителя:

- тактовый,
- разрешения такта,
- асинхронный сброс.

Все входные и выходные регистры одного встроенного умножителя управляются одним и тем же тактовым сигналом, сигналом разрешения такта и сигналом асинхронного сброса.

Режимы работы

Вы можете использовать блок встроенного умножителя в одном из двух режимов работы в зависимости от потребностей приложения:

- один умножитель 18 x 18 бит,
- до двух умножителей 9 x 9 бит.

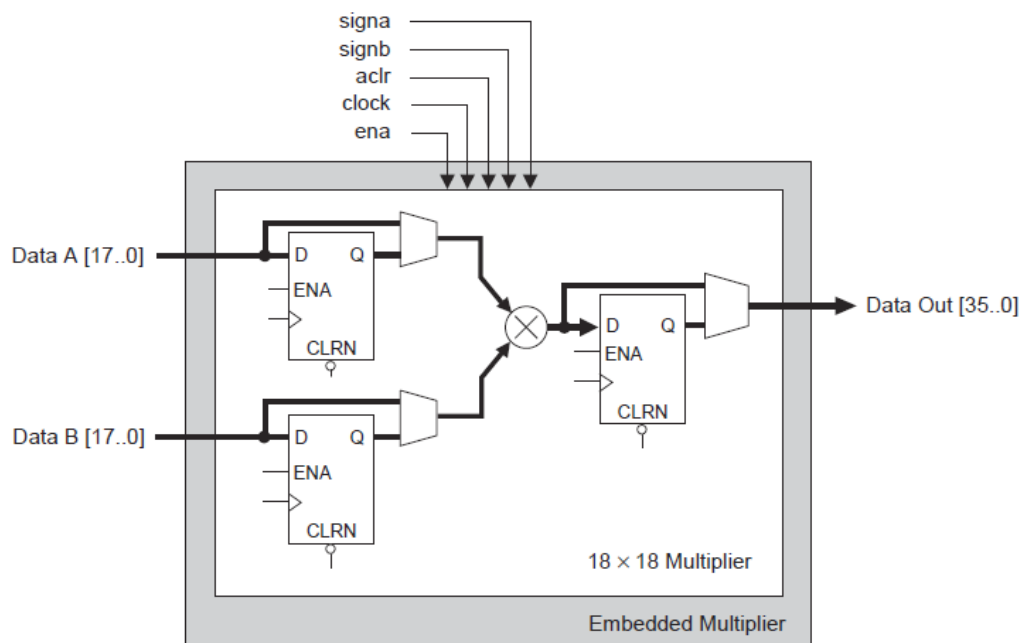
Также вы можете использовать встроенные умножители чипов семейства Cyclone III для реализации функций умножителя-сумматора и умножителя-аккумулятора, в которых часть умножителя реализуется с использованием встроенных умножителей, а функции сумматора и аккумулятора реализуются на логических элементах (LE).

18-битные умножители

Вы можете сконфигурировать каждый встроенный умножитель для поддержки одного умножителя 18 x 18 для входных данных шириной от 10 до 18 бит.

На рис. 4-3 показан встроенный умножитель, сконфигурированный для поддержки 18-битного умножителя.

Figure 4-3. 18-Bit Multiplier Mode



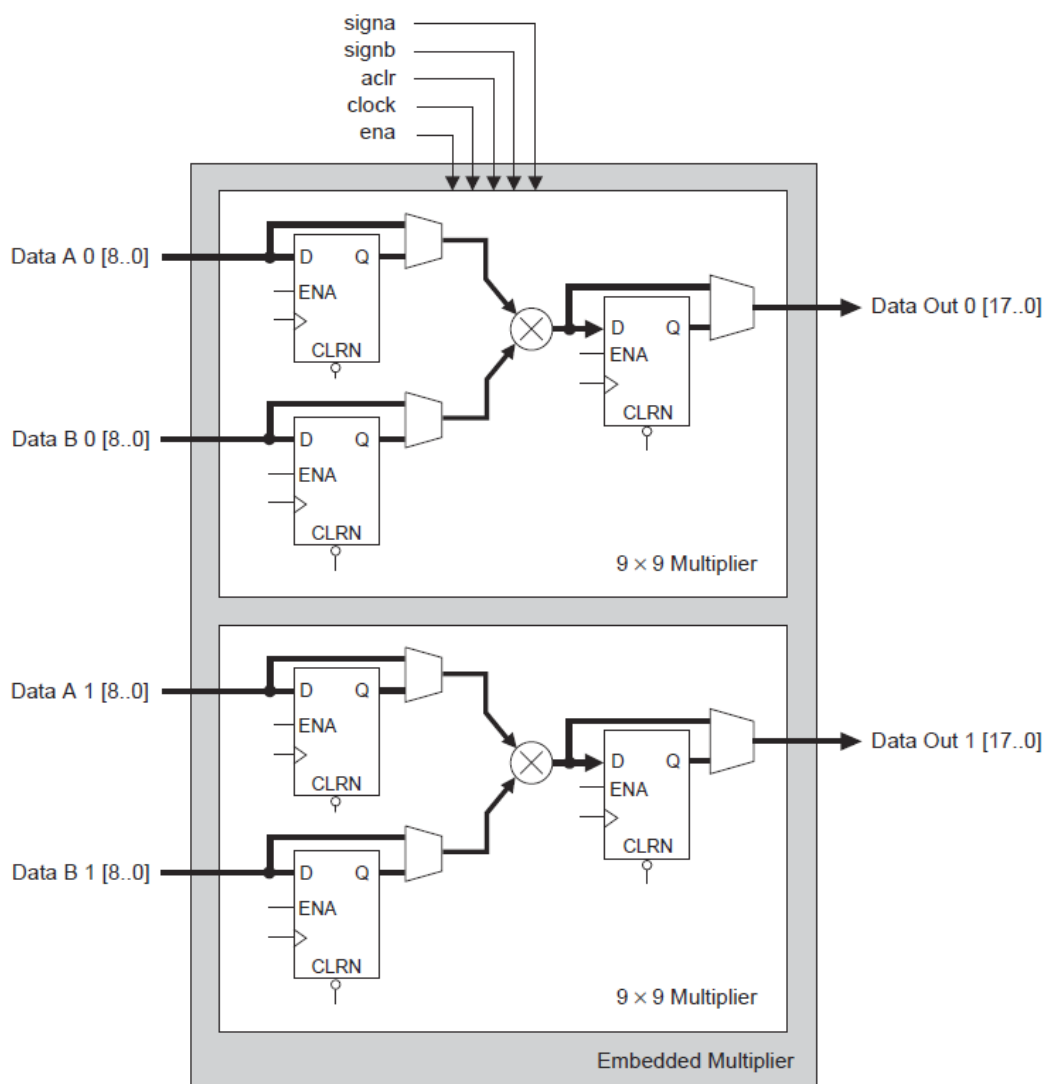
Все входы и выходы 18-битных умножителей независимо друг от друга проходят через регистры. На входе умножителя могут быть данные: signed integers, unsigned integers или их комбинация. Также вы можете динамически изменять сигналы signa и signb, а также посылать эти сигналы через специальные входные регистры.

9-битные умножители

Вы можете сконфигурировать каждый встроенный умножитель для поддержки двух умножителей 9 x 9 для входных данных шириной до 9 бит.

На рис. 4-4 показан встроенный умножитель, сконфигурированный для поддержки двух 9-битных умножителей.

Figure 4-4. 9-Bit Multiplier Mode



Все входы и выходы 9-битных умножителей независимо друг от друга проходят через регистры. На входе умножителя могут быть данные: signed integers, unsigned integers или их комбинация. Два умножителя 9 x 9 в одном блоке встроенного умножителя имеют общие сигналы signa и signb. Поэтому все входы Data A и Data B, поступающие на этот встроенный умножитель должны иметь одинаковый формат знака.

4. Встроенные умножители в семействе Cyclone III.....	4-1
Общее представление о блоке встроенного умножителя.....	4-2
Архитектура	4-3
Входные регистры	4-4
Каскад умножения	4-4
Выходные регистры	4-5
Режимы работы	4-5
18-битные умножители	4-6
9-битные умножители	4-6