

Интегрирование системы SOPC Builder в проект Quartus II

В этой секции вы выполните следующие пункты для завершения аппаратной части проекта:

- Внедрение модуля системы SOPC Builder в проект Quartus II.
- Назначение чипа FPGA и размещения выводов.
- Компиляция проекта Quartus II.
- Верификация временных характеристик.

За подробной информацией о том, как использовать программу Quartus II, обратитесь к *Введению в программу Quartus II*, к *Настольной книге Quartus II* и к *Интерактивному учебному пособию по программе Quartus II* в разделе Обучение на веб-сайте Altera.

Внедрение модуля системы SOPC Builder в проект Quartus II.

Результатом работы SOPC Builder является модуль проекта, называемый системным модулем. Пример учебного проекта использует метод представления модуля проекта в виде блок-схемы, чтобы вы могли внедрить символ модуля вашего проекта **first_nios2_system** в виде .bdf файла.

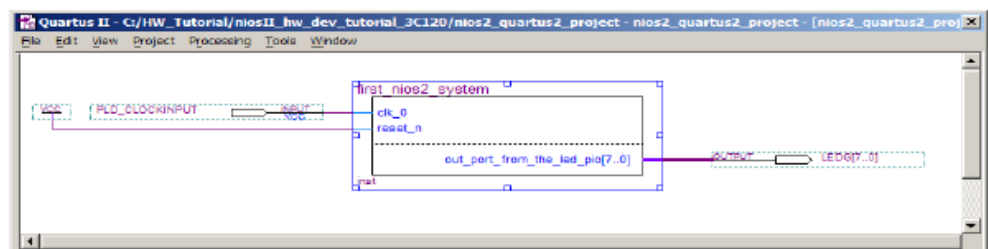
Внедрение модуля проекта зависит от метода разработки всего проекта Quartus II. Например, если вы использовали для разработки проекта Verilog HDL, вы можете внедрить модуль **first_nios2_system**, определённый в файле **first_nios2_system.v**.

Чтобы внедрить модуль .bdf, выполните следующие пункты:

1. Дважды кликните в пустом месте между входными и выходными выводами. Раскроется диалоговое окно **Символ**.
2. Под **Библиотеками**, раскройте **Проект**.
3. Кликните на **first_nios2_system**. Диалоговое окно **Символ** показывает символ first_nios2_system.
4. Кликните **ОК**. Вы вернётесь в схему .bdf. Символ first_nios2_system перемещается с указателем мыши.
5. Разместите символ так, чтобы входы символа могли быть соединёнными с шинами на левой стороне схемы.
6. Кликните на левую клавишу мыши, чтобы оставить символ в выбранном месте.
7. Если на вашей плате есть светодиоды, которыми может управлять Nios II, кликните и перетащите **LEDG[7..0]** и подключите их к порту **out_port_from_the_led_pio[7..0]** на символе **first_nios2_system**. Этим вы подключите выходные выводы **LEDG[7..0]** к системе first_nios2_system.

На рисунке 1-15 показан файл схемы платы проекта, использующий выводы под светодиоды.

Figure 1–15. Completed Board Design File Schematic



8. Если на вашей плате нет светодиодов, вы должны удалить выводы **LEDG[7..0]**. Для удаления выводов сделайте следующее:
 - a. Кликните на выходной символ **LEDG[7..0]** для выбора его.
 - b. Нажмите **Удалить** на клавиатуре.
 - c. Для сохранения завершённого .bdf файла, кликните **Сохранить** в меню **Файл**.

Назначение чипа FPGA и размещения выводов

В этой секции вы сделаете назначение чипа для проекта, а затем назначите размещение выводов на FPGA, чтобы сделать *pinouts* для вашей платы.

Вы должны знать размещение выводов на плате, чтобы закончить эту секцию. Вы также должны знать некоторые другие требования по использованию этой платы, которые выходят за рамки этого документа. Обратитесь к документации на вашу плату.

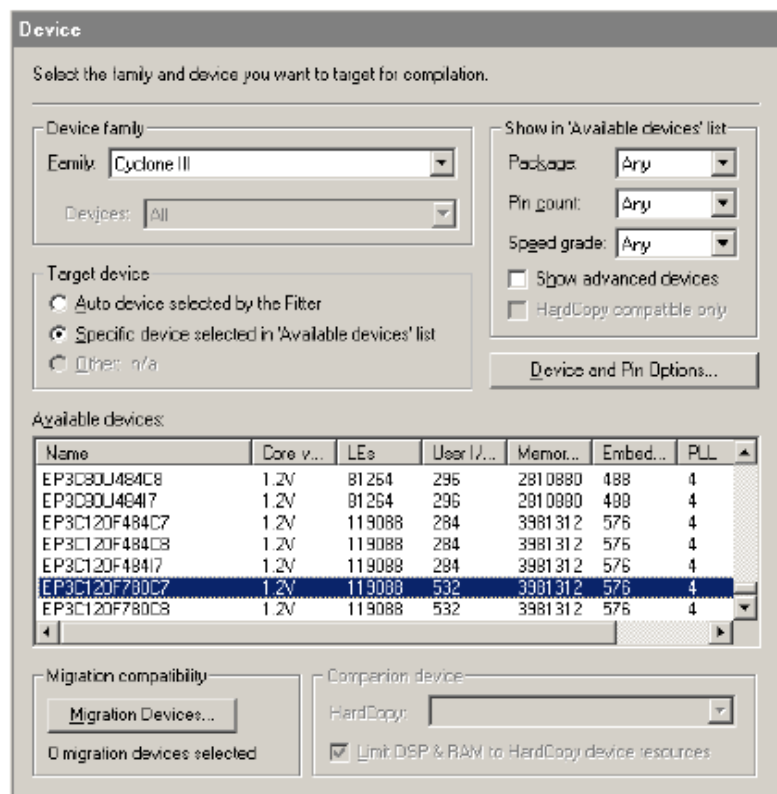
За информацией о руководстве пользователя платой разработчика Altera, обратитесь к странице на веб-сайте Altera – Литература: наборы разработчика.

Чтобы сделать назначение чипа, выполните следующие пункты:

1. В меню **Назначения** выберите **Чип**. Раскроется диалоговое окно **Настройки**.
2. В списке **Семейство** выберите семейство чипов, соответствующее вашей плате. Если запрашивается удаление назначений локализации, сделайте это.
3. В **Целевом чипе** выберите **Особенный чип, выбранный в списке "Доступных чипов"**.
4. Под **Доступными чипами** выберите чип, установленный на вашей плате. Если запрашивается удаление назначений локализации, сделайте это.
5. Кликните **ОК** для применения назначений чипа.

На рисунке 1-16 показан пример страницы **Чипы** в диалоговом окне **Настройки**.

Figure 1-16. Assigning a Device in the Quartus II Settings Dialog Box



Для назначения локализации выводов FPGA, выполните следующие пункты:

1. В меню **Процессы** выберите **Старт** и кликните **Старт анализа и выработки** для подготовки к назначению локализации выводов. После завершения анализа и выработки появляется сообщение подтверждения.

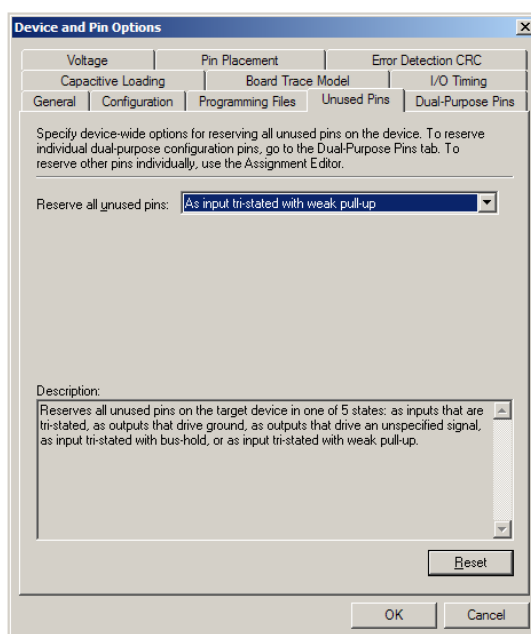
2. Кликните **ОК**.
3. В меню **Назначения** кликните **Выводы**. Раскроется планировщик выводов Quartus II.
4. В столбце **Имя узла** найдите **PLD_CLOCKINPUT**.
5. В строке **PLD_CLOCKINPUT** дважды кликните в ячейке **Локализация**. Раскроется список доступных для локализации выводов. На рисунке 1-17 показан графический интерфейс.

Figure 1–17. Assigning Pins with the Quartus II Pin Planner

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	LEDG[7]	Output				2.5 V (default)	
2	LEDG[6]	Output				2.5 V (default)	
3	LEDG[5]	Output				2.5 V (default)	
4	LEDG[4]	Output				2.5 V (default)	
5	LEDG[3]	Output				2.5 V (default)	
6	LEDG[2]	Output				2.5 V (default)	
7	LEDG[1]	Output				2.5 V (default)	
8	LEDG[0]	Output				2.5 V (default)	
9	PLD_CLOCKINPUT	Input	PIN_AH15	4	B4_N2	1.8 V	
10	<<new node>>						

6. Выберите вывод FPGA, к которому на плате подключен генератор.
Если ваш проект не работает, сначала проверьте документацию на вашу плату для этого пункта.
7. В строке **PLD_CLOCKINPUT** дважды кликните на ячейку **I/O Стандарт**. Раскроется список доступных I/O стандартов.
8. Выберите подходящий I/O стандарт, по которому подключен генератор на плате.
9. Если вы подключили светодиоды в схеме проекта, повторите пункты с 4 по 8 для каждого вывода светодиода (**LEDG[0]**, **LEDG[1]**, **LEDG[2]**, **LEDG[3]**, **LEDG[4]**, **LEDG[5]**, **LEDG[6]**, **LEDG[7]**) чтобы сделать назначение для каждого вывода.
10. В меню **Файл** кликните **Заккрыть**, чтобы применить назначения.
11. В меню **Назначения** кликните **Чип**. Раскроется диалоговое окно **Настройки**.
12. Кликните **Опции чипа и выводов**. Раскроется диалоговое окно **Опции чипа и выводов**.
13. Кликните на вкладку **Неиспользуемые выводы**. На рисунке 1-18 показан графический интерфейс.

Figure 1–18. The Unused Pins Tab of the Device and Pin Options Dialog Box



14. В списке **Резервировать все неиспользуемые выводы** выберите **Как три стабильный вход со слабой подтяжкой**. Благодаря этой настройке, все неиспользуемые I/O выводы FPGA переходят в высоко импедансное состояние после включения питания.

Неиспользуемые выводы устанавливаются как три стабильные входы с небольшой подтяжкой, чтобы исключить возможность возникновения конфликтных соединений, способных повредить плату. В зависимости от платы, вы можете сделать больше назначений, чтобы ваш проект функционировал корректно. Вы можете повредить плату, если пропустите оценку проекта платы. Проконсультируйтесь с разводчиком платы по поводу информации о соединениях.

15. Кликните **ОК**, чтобы закрыть диалоговое окно **Опции чипа и выводов**.
16. Кликните **ОК**, чтобы закрыть диалоговое окно **Настройки**.

За подробной информацией о том, как делать назначения в программе Quartus II, обратитесь к *Тому 2: Внедрение проекта и оптимизация* в *Настольной книге Quartus II*.

Компиляция проекта Quartus II и верификация временных характеристик

Сейчас вы готовы скомпилировать проект Quartus II и проверить его на соответствие временным характеристикам.

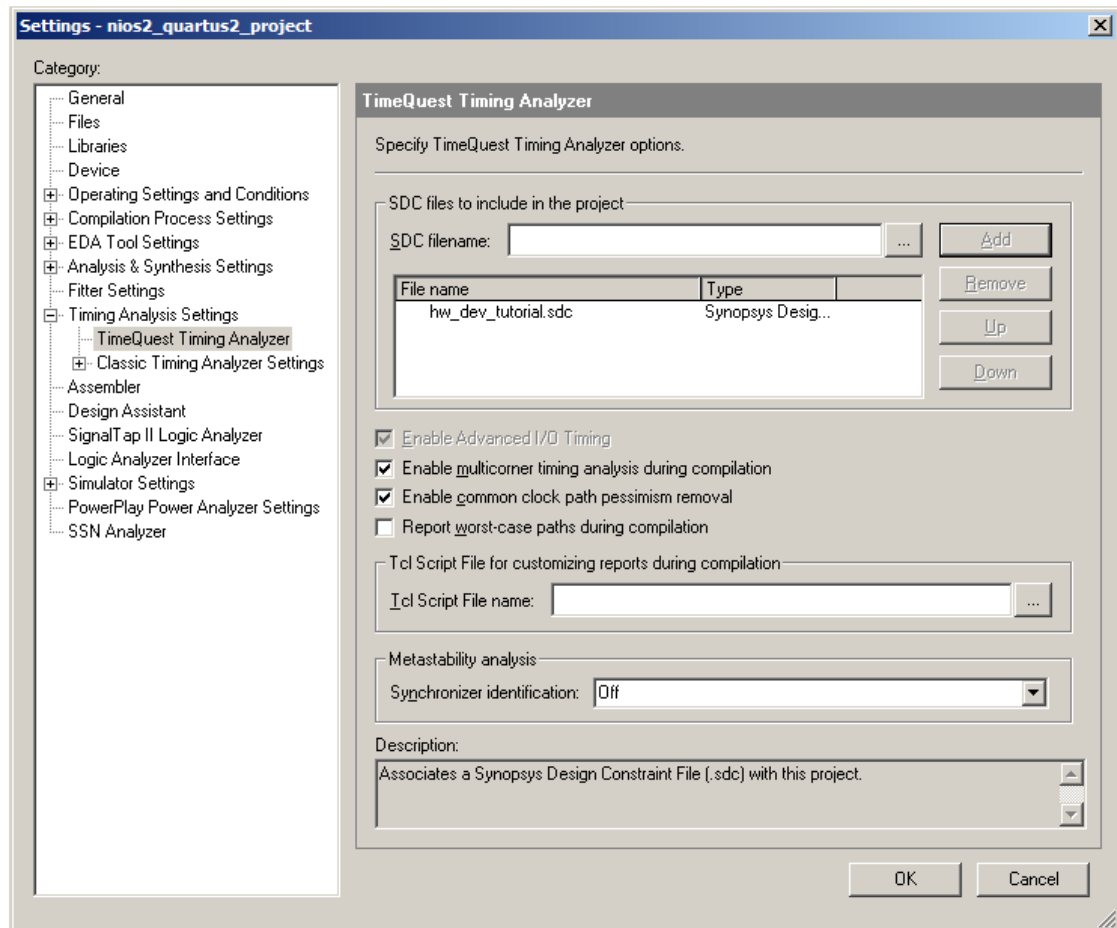
Вы должны скомпилировать аппаратную часть проекта, чтобы создать **.sof** файл, который вы можете загрузить в чип на плате. После завершения компиляции, вы должны проанализировать временные характеристики проекта FPGA, чтобы проверить, что проект сможет работать в устройстве.

Чтобы проверить, что проект соответствует временным параметрам, выполните следующие пункты:

1. В меню **Файл** кликните **Открыть**.

2. В списке **Типы файлов** выберите **Script Files (*.tcl, *.sdc, *.qip)**.
3. Выберите **hw_dev_tutorial.sdc** и кликните **Открыть**. Файл откроется в текстовом редакторе.
4. Найдите следующую команду *create_clock*: *create_clock -name sopc_clk -period 20 [get_ports PLD_CLOCKINPUT]*
5. Измените настройки периода с 20 на тактовый период генератора, подающего на тактовый вывод, (1 / частота) в наносекундах.
6. В меню **Файл** кликните **Сохранить**.
7. В меню **Назначения** кликните **Настройки**. Раскроется диалоговое окно **Настройки**.
8. В **Категории** выберите **Настройки временного анализатора**.
9. Включите **Использовать временной анализатор TimeQuest во время компиляции**.
10. В **Категории** раскройте **Настройки временного анализатора** и кликните на **Временной анализатор TimeQuest**. На рисунке 1-19 показан графический интерфейс.

Figure 1–19. TimeQuest Timing Analyzer Settings



11. Рядом с **Именем SDC файла** кликните кнопку (...).
12. Выберите **hw_dev_tutorial.sdc** и кликните **Открыть** для выбора файла.
13. Кликните **Добавить** для включения **hw_dev_tutorial.sdc** файла в проект.
14. Включите **Разрешить многоугольный временной анализ во время компиляции**.
15. Кликните **ОК**.

Для компиляции проекта Quartus II выполните следующие пункты:

1. В меню **Процессы** кликните **Старт компиляции**.
2. Окно **Задачи** отображает процесс. Процесс компиляции занимает несколько минут. Когда компиляция закончена, диалоговое окно отображает сообщение: "Успешная полная компиляция".
3. Кликните **ОК**. Программа Quartus II отображает отчёт о компиляции.
4. Раскройте категорию **Временной анализатор TimeQuest** в отчёте компилятора.
5. Кликните на **Общий многоугольный временной анализ**.
6. Проверьте, что значения **Наихудшего временного резерва** имеют положительные значения для **Установки, Удержания, Восстановления и Снятия**. Если одно из этих значений имеет отрицательную величину, проект может неправильно работать в устройстве. Чтобы достигать временных характеристик, отрегулируйте назначения Quartus II для оптимизации компоновки или уменьшите частоту генератора, подаваемую на FPGA.

За подробной информацией о том, как достигать временных характеристик в программе Quartus II, обратитесь к *Тому 1: Проектирование и синтез в Настольной книге Quartus II*.

Поздравляем! Вы закончили внедрение системы Nios II в проект Quartus II. Сейчас вы готовы для загрузки **.sof** файла в чип на вашей плате.