

Стандарты I/O

Чипы Cyclone III поддерживают различные несимметричные и дифференциальные I/O стандарты. Отдельно от поддержки 3.3-, 3.0-, 2.5-, 1.8- и 1.5-V, чипы Cyclone III поддерживают 1.2-V I/O стандарт.

В таблице 7-5 собраны I/O стандарты, поддерживаемые чипами Cyclone III и какие I/O выводы поддерживают их.

Table 7-5. Cyclone III Supported I/O Standards and Constraints (Part 1 of 3)

I/O Standard	Type	Standard Support	V _{CCIO} Level (in V)		Top and Bottom I/O Pins			Side I/O Pins	
			Input	Output	CLK, DQS	PLL_OUT	User I/O Pins	CLK, DQS	User I/O Pins
3.3-V LVTTL (1)	Single-ended	JESD8-B	3.3	3.3	✓	✓	✓	✓	✓
			3.0						
			2.5						
3.3-V LVCMOS (1)	Single-ended	JESD8-B	3.3	3.3	✓	✓	✓	✓	✓
			3.0						
			2.5						
3.0-V LVTTL (1)	Single-ended	JESD8-B	3.3	3.0	✓	✓	✓	✓	✓
			3.0						
			2.5						
3.0-V LVCMOS (1)	Single-ended	JESD8-B	3.3	3.0	✓	✓	✓	✓	✓
			3.0						
			2.5						

Table 7-5. Cyclone III Supported I/O Standards and Constraints (Part 2 of 3)

I/O Standard	Type	Standard Support	V _{CCIO} Level (in V)		Top and Bottom I/O Pins			Side I/O Pins	
			Input	Output	CLK, DQS	PLL_OUT	User I/O Pins	CLK, DQS	User I/O Pins
2.5-V LVTTTL / LVCMOS	Single-ended	JESD8-5	3.3 3.0 2.5	2.5	✓	✓	✓	✓	✓
1.8-V LVTTTL / LVCMOS	Single-ended	JESD8-7	1.8 1.5	1.8	✓	✓	✓	✓	✓
1.5-V LVCMOS	Single-ended	JESD8-11	1.8 1.5	1.5	✓	✓	✓	✓	✓
1.2-V LVCMOS	Single-ended	JESD8-12A	1.2	1.2	✓	✓	✓	✓	✓
SSTL-2 Class I	Voltage referenced	JESD8-9A	2.5	2.5	✓	✓	✓	✓	✓
SSTL-2 Class II	Voltage referenced	JESD8-9A	2.5	2.5	✓	✓	✓	✓	✓
SSTL-18 Class I	Voltage referenced	JESD815	1.8	1.8	✓	✓	✓	✓	✓
SSTL-18 Class II	Voltage referenced	JESD815	1.8	1.8	✓	✓	✓	✓	✓
HSTL-18 Class I	Voltage referenced	JESD8-6	1.8	1.8	✓	✓	✓	✓	✓
HSTL-18 Class II	Voltage referenced	JESD8-6	1.8	1.8	✓	✓	✓	✓	✓
HSTL-15 Class I	Voltage referenced	JESD8-6	1.5	1.5	✓	✓	✓	✓	✓
HSTL-15 Class II	Voltage referenced	JESD8-6	1.5	1.5	✓	✓	✓	✓	✓
HSTL-12 Class I	Voltage referenced	JESD8-16A	1.2	1.2	✓	✓	✓	✓	✓
HSTL-12 Class II (6)	Voltage referenced	JESD8-16A	1.2	1.2	✓	✓	✓	—	—
PCI and PCI-X	Single-ended	—	3.0	3.0	✓	✓	✓	✓	✓
Differential SSTL-2 Class I or Class II	Differential (2)	JESD8-9A	—	2.5	—	✓	—	—	—
			2.5	—	✓	—	—	✓	—
Differential SSTL-18 Class I or Class II	Differential (2)	JESD815	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
Differential HSTL-18 Class I or Class II	Differential (2)	JESD8-6	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
Differential HSTL-15 Class I or Class II	Differential (2)	JESD8-6	—	1.5	—	✓	—	—	—
			1.5	—	✓	—	—	✓	—
Differential HSTL-12 Class I or Class II	Differential (2)	JESD8-16A	—	1.2	—	✓	—	—	—
			1.2	—	✓	—	—	✓	—

Table 7-5. Cyclone III Supported I/O Standards and Constraints (Part 3 of 3)

I/O Standard	Type	Standard Support	V _{CCIO} Level (in V)		Top and Bottom I/O Pins			Side I/O Pins	
			Input	Output	CLK, DQS	PLL_OUT	User I/O Pins	CLK, DQS	User I/O Pins
PPDS® (3) (4)	Differential	—	—	2.5	—	✓	✓	—	✓
LVDS	Differential	—	2.5	2.5	✓	✓	✓	✓	✓
RSDS® and mini-LVDS (3) (4)	Differential	—	—	2.5	—	✓	✓	—	✓
BLVDS (5)	Differential	—	2.5	2.5	—	—	✓	—	✓
LVPECL (4)	Differential	—	2.5	—	✓	—	—	✓	—

Примечания к таблице 7-5:

- (1) PCI ограничительный диод должен быть разрешён для 3.3-V/3.0-V LVTTTL/LVCMOS.
- (2) Дифференциальные выходы HSTL и SSTL используют два несимметричных выхода вместе со вторым выходом, запрограммированным как инвертированный. Дифференциальные входы HSTL и SSTL обрабатываются как дифференциальные входы в виде двух несимметричных HSTL и SSTL входов, из которых декодируется только один. Дифференциал HSTL и SSTL поддерживается только на CLK выводах.
- (3) PPDS, mini-LVDS и RSDS поддерживаются только на выходных выводах.
- (4) LVPECL поддерживается только на тактовых входах.
- (5) Шины выхода LVDS (BLVDS) используют два несимметричных выхода вместе со вторым выходом, запрограммированным как инвертированный. Вход BLVDS использует входной буфер LVDS.
- (6) Класс I и класс II применяется к выходной оконечной схеме и не применяется ко входу. Вход 1.2-V HSTL поддерживается для столбцов и строк не зависимо от класса.

Чипы Cyclone III поддерживают I/O стандарты PCI и PCI-X на 3.0-V VCCIO. I/O PCI и PCI-X на 3.0-V VCCIO полностью подходит для прямого интерфейса с системами 3.3-V PCI, без надобности в дополнительных компонентах. Выходы 3.0-V PCI и PCI-X соответствуют требованиям VIH and VIL входов 3.3-V PCI и PCI-X с достаточным запасом помехоустойчивости.

Оконечная схема для I/O стандартов

Этой главе описываются рекомендованные оконечные схемы для I/O стандартов: дифференциальных и с опорным напряжением.

Следующим I/O стандартами не может быть определена рекомендованная оконечная схема для JEDEC стандарта:

- 3.3-V LVTTTL
- 3.0-V LVTTTL и LVCMOS
- 2.5-V LVTTTL и LVCMOS
- 1.8-V LVTTTL и LVCMOS
- 1.5-V LVCMOS
- 1.2-V LVCMOS
- 3.0-V PCI и
- PCI-X

Оконечная схема для I/O стандарта с опорным напряжением

I/O стандарты с опорным напряжением имеют опорное напряжение (V_{REF}) и оконечное напряжение (V_{TT}). Опорное напряжение в приёмном чипе следит за оконечным напряжением в передающем чипе, как показано на рисунках 7-11 и 7-12. Оконечная схема для дифференциального I/O стандарта

Figure 7-11. Cyclone III HSTL I/O Standard Termination

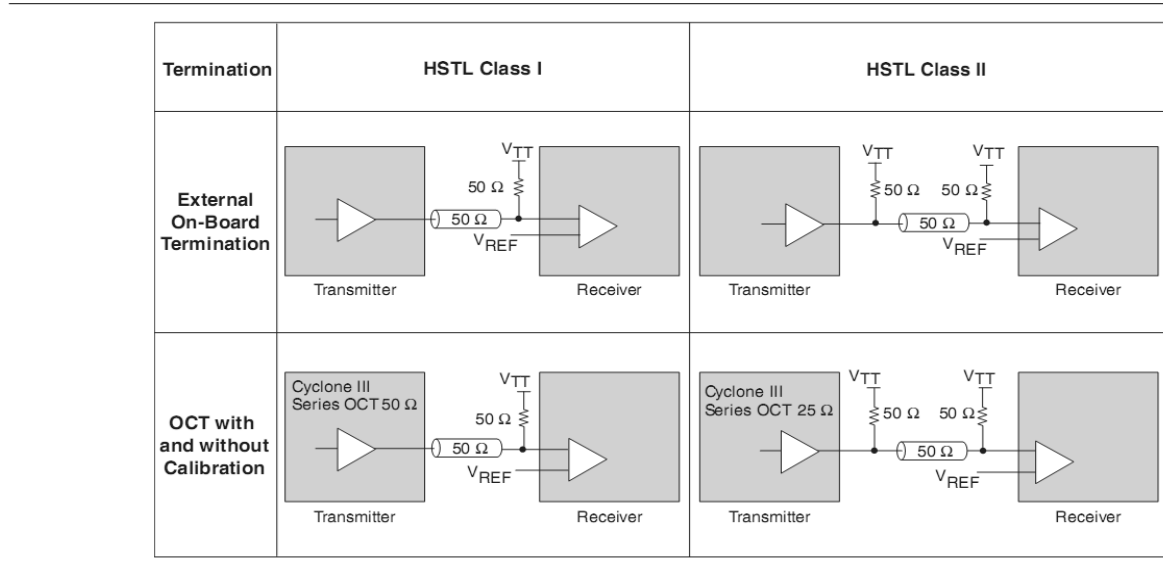
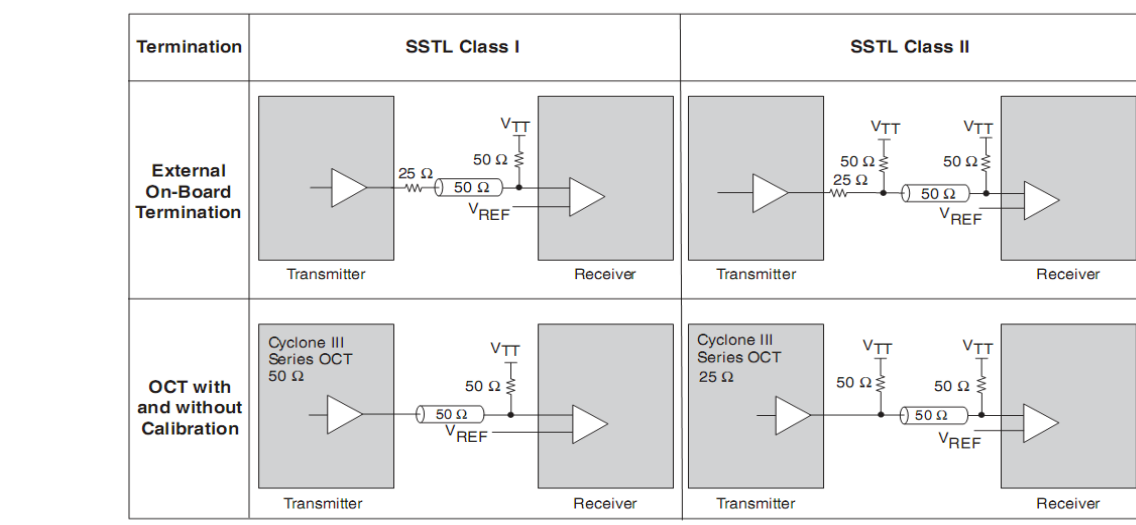


Figure 7-12. Cyclone III SSTL I/O Standard Termination



Оконечная схема для дифференциального I/O стандарта

Дифференциальным I/O стандартам обычно требуется согласующий резистор между двумя сигналами в приёмнике. Согласующий резистор должен создавать дифференциальное нагрузочное сопротивление на шине (смотри рисунок 7-13 и 7-14).

Чипы Cyclone III поддерживают следующие дифференциальные интерфейсы: SSTL-2, SSTL-8, HSTL-18, HSTL-15, HSTL-12, PPDS, LVDS, RSDS, mini-LVDS и LVPECL.

Figure 7-13. Cyclone III Differential HSTL I/O Standard Termination

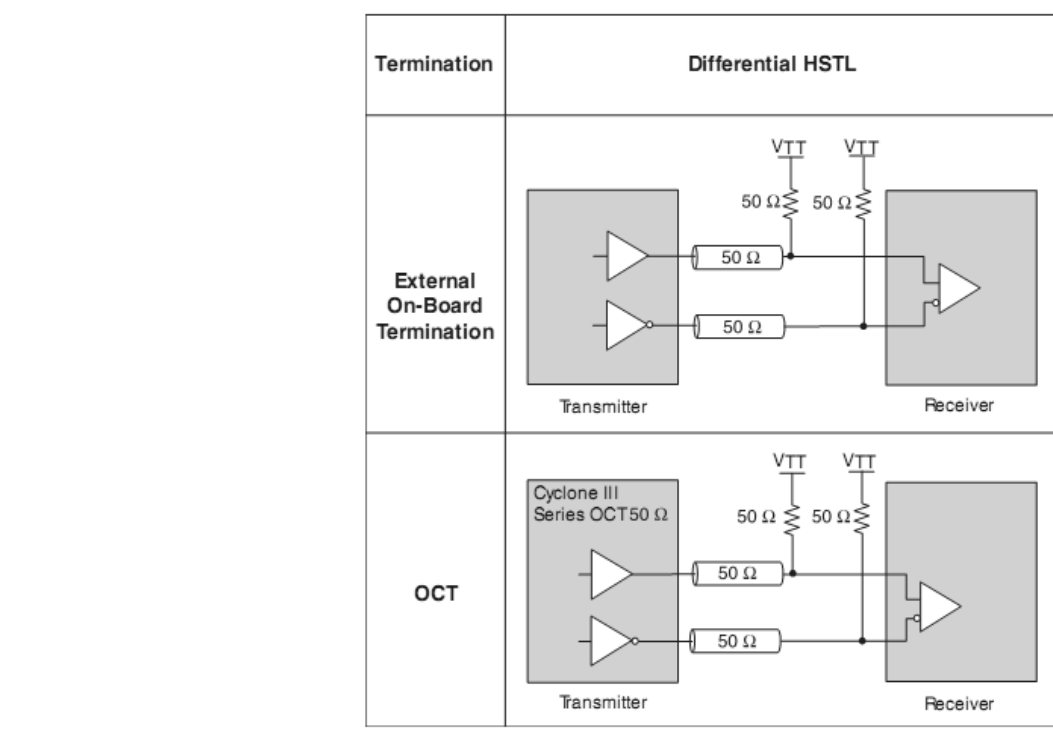
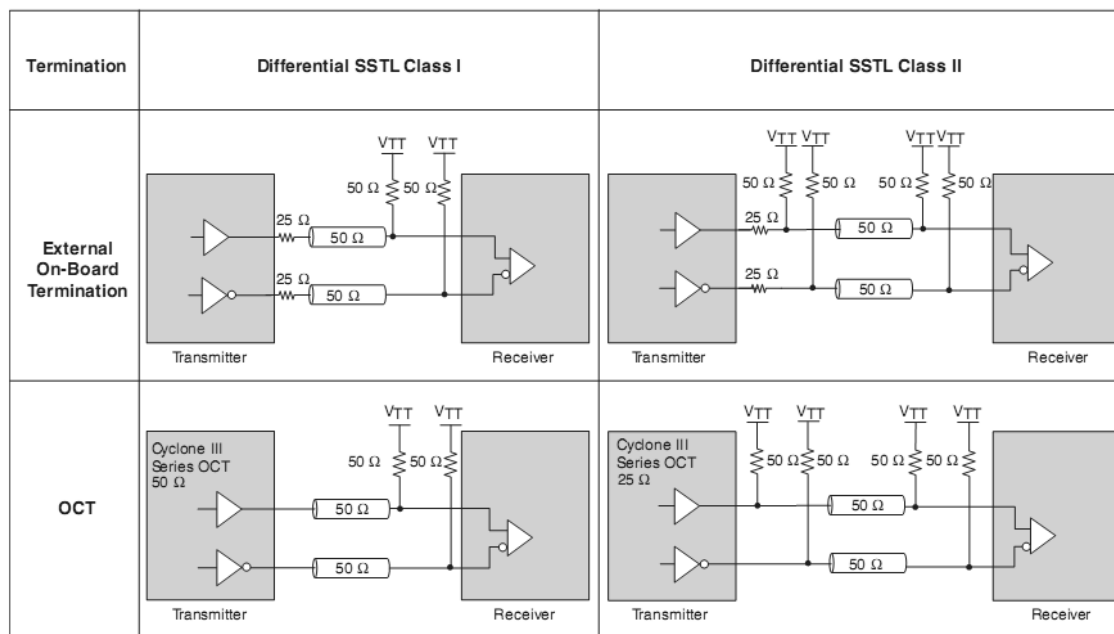


Figure 7-14. Cyclone III Differential SSTL I/O Standard Termination (Note 1)



Примечание к рисунку 7-14:

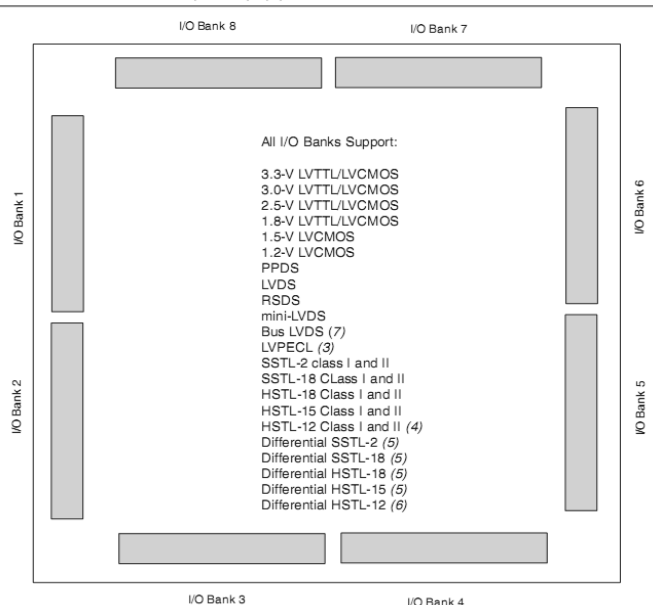
(1) Только дифференциальный I/O стандарт SSTL-2 поддерживает выход класса II.

За дополнительной информацией об окончательных схемах дифференциальных стандартов PPDS, LVDS, miniLVDS, RSDS I/O и Bus LVDS (BLVDS), обратитесь к главе "Высокоскоростные дифференциальные интерфейсы" в томе 1 Настольной книги чипов Cyclone III.

I/O банки

Выводы I/O в чипах Cyclone III группируются вместе в I/O банки, при этом каждый банк имеет свою собственную шину питания. Все чипы Cyclone III имеют восемь I/O банков, как показано на рисунке 7-15. Каждый I/O вывод чипа ассоциирован с одним I/O банком. Все несимметричные I/O стандарты поддерживаются всеми банками, исключая HSTL-12 класс II, который поддерживается только столбцовыми I/O банками. Все дифференциальные I/O стандарты поддерживаются всеми банками. Единственное исключение - HSTL-12 класс II, который поддерживается только столбцовыми I/O банками.

Figure 7-15. Cyclone III Device I/O Banks (Note 1), (2)



Примечания к рисунку 7-15:

- (1) Это вид сверху на кремниевый кристалл. Это только графическое представление. Чтобы выделить расположение выводов, обратитесь к списку выводов в программе Quartus II.
- (2) Специальные дифференциальные выводы (PPDS, LVDS, mini-LVDS и RSDS I/O стандартов), поддерживаются только в строчных I/O банках 1, 2, 5 и 6. Внешние резисторы требуются для дифференциальных выводов в столбцовых I/O банках.
- (3) I/O стандарт LVPECL поддерживается только по тактовому входу. Этот I/O стандарт не поддерживается для выходного вывода.
- (4) HSTL-12 класс II поддерживается только в столбцовых I/O банках 3, 4, 7 и 8.
- (5) Дифференциальные I/O стандарты SSTL-18 и SSTL-2, HSTL-18 и HSTL-15 поддерживаются только на тактовых входных выводах и выходных тактовых выводах PLL. Дифференциальные I/O стандарты SSTL-18, HSTL-18 и HSTL-15 не поддерживают выход класса II.
- (6) Дифференциальный I/O стандарт HSTL-12 поддерживается только на тактовых входных выводах и выходных тактовых выводах PLL. Дифференциальный I/O стандарт HSTL-12 класса II поддерживается только в столбцовых I/O банках 3, 4, 7 и 8.
- (7) Выход BLVDS использует два несимметричных вывода, второй выход запрограммирован инвертированным. Вход BLVDS использует входной буфер LVDS.

В таблице 7-6 показаны I/O стандарты, поддерживаемые при использовании обычных I/O выводов в I/O банках чипов Cyclone III.

Table 7-6. Cyclone III I/O Standards Support (Part 1 of 2)

I/O Standard	I/O Banks							
	1	2	3	4	5	6	7	8
3.3-V LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
3.3-V LVTTTL	✓	✓	✓	✓	✓	✓	✓	✓
3.0-V LVTTTL	✓	✓	✓	✓	✓	✓	✓	✓
3.0-V LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
2.5-V LVTTTL/LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
1.8-V LVTTTL/LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
1.5-V LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
1.2-V LVCMOS	✓	✓	✓	✓	✓	✓	✓	✓
3.0-V PCI / PCI-X	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-18 Class I	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-18 Class II	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-2 Class I	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-2 Class II	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-18 Class I	✓	✓	✓	✓	✓	✓	✓	✓
SSTL-18 Class II	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-18 Class I	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-18 Class II	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-15 Class I	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-15 Class II	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-12 Class I	✓	✓	✓	✓	✓	✓	✓	✓
HSTL-12 Class II	—	—	✓	✓	—	—	✓	✓
Differential SSTL-2	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
Differential SSTL-18	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
Differential HSTL-18	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
Differential HSTL-15	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
Differential HSTL-12	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
PPDS (2), (3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)
LVDS (2)	✓	✓	✓	✓	✓	✓	✓	✓
BLVDS	✓	✓	✓	✓	✓	✓	✓	✓
RSDS and mini-LVDS (2)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)

Table 7-6. Cyclone III I/O Standards Support (Part 2 of 2)

I/O Standard	I/O Banks							
	1	2	3	4	5	6	7	8
Differential LVPECL	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)

Примечания к таблице 7-6:

- (1) Эти дифференциальные I/O стандарты поддерживаются только на тактовых входах и специальных PLL_OUT выходах.
- (2) Специальные дифференциальные выходы (PPDS, LVDS, mini-LVDS и RSDS I/O стандартов) поддерживаются только в строчных I/O банках. Дифференциальным выходам в столбцовых I/O банках требуется цепи внешних резисторов.
- (3) Этот I/O стандарт поддерживается только для выхода.
- (4) Этот I/O стандарт поддерживается только для тактовых входов.

Каждый I/O банк в чипе Cyclone III имеет шину VREF для регулирования I/O стандартов с опорным напряжением. Каждый вывод VREF — это источник опорного напряжения для своей VREF группы. Если используете VREF группу для I/O стандартов с опорным напряжением, подключите вывод VREF этой группы к соответствующему уровню напряжения. Если вы не используете все VREF группы в I/O банках для I/O стандартов с опорным напряжением, вы можете использовать вывод VREF в группе, не использующей опорное напряжение, как обычный I/O вывод. Например, если у вас есть входные выводы SSTL-2 класс I в I/O банке 1, и все они размещены в группе VREFB1N0, VREFB1N0 должна иметь напряжение 1,25 В, то оставшиеся выводы VREFB1N[1:3] (если необходимо) могут быть использованы как I/O выходы. Если разные VREF группы используются в одном I/O банке, все выводы VREF должны быть подключены к одному уровню напряжения.

Когда выводы VREF используются как обычные I/O выходы, они имеют большую ёмкость вывода, чем обычные пользовательские I/O выходы. Это влияет на время, если выводы используются как входы и выходы.

За дополнительной информацией о ёмкости вывода VREF, обратитесь к разделу "Ёмкость вывода" в главе "DC и характеристики переключений" а томе 2 Настольной книги чипов Cyclone III.

Для идентификации VREF групп, обратитесь к файлам выхода выводов чипа Cyclone III или к инструменту Планировщика выводов Quartus II.

В таблице 7-7 подсчитано количество выводов VREF в каждом I/O банке.

Table 7-7. Number of VREF Pins Per I/O Banks (Part 1 of 2)

Device	Package	Pin Count	I/O Banks							
			1	2	3	4	5	6	7	8
EP3C5	EQFP	144	1	1	1	1	1	1	1	1
	MBGA	164	1	1	1	1	1	1	1	1
	FBGA	256	1	1	1	1	1	1	1	1
EP3C10	EQFP	144	1	1	1	1	1	1	1	1
	MBGA	164	1	1	1	1	1	1	1	1
	FBGA	256	1	1	1	1	1	1	1	1

Table 7-7. Number of VREF Pins Per I/O Banks (Part 2 of 2)

Device	Package	Pin Count	I/O Banks							
			1	2	3	4	5	6	7	8
EP3C16	EQFP	144	2	2	2	2	2	2	2	2
	MBGA	164	2	2	2	2	2	2	2	2
	PQFP	240	2	2	2	2	2	2	2	2
	FBGA	256	2	2	2	2	2	2	2	2
	FBGA	484	2	2	2	2	2	2	2	2
EP3C25	EQFP	144	1	1	1	1	1	1	1	1
	PQFP	240	1	1	1	1	1	1	1	1
	FBGA	256	1	1	1	1	1	1	1	1
	FBGA	324	1	1	1	1	1	1	1	1
EP3C40	PQFP	240	4	4	4	4	4	4	4	4
	FBGA	324	4	4	4	4	4	4	4	4
	FBGA	484	4	4	4	4	4	4	4	4
	FBGA	780	4	4	4	4	4	4	4	4
EP3C55	FBGA	484	2	2	2	2	2	2	2	2
	FBGA	780	2	2	2	2	2	2	2	2
EP3C80	FBGA	484	3	3	3	3	3	3	3	3
	FBGA	780	3	3	3	3	3	3	3	3
EP3C120	FBGA	484	3	3	3	3	3	3	3	3
	FBGA	780	3	3	3	3	3	3	3	3

Каждый I/O банк в чипе Cyclone III имеет собственные выводы VCCIO. Каждый I/O банк может поддерживать только одну настройку VCCIO из следующих 1.2, 1.5, 1.8, 3.0 или 3.3 В. Некоторое количество поддерживаемых несимметричных или дифференциальных стандартов может одновременно поддерживаться в одном I/O банке, если только они используют один уровень VCCIO для входных и выходных выводов.

Когда разрабатываются входы LVTTTL/LVCMOS для чипов Cyclone III, следуйте следующим рекомендациям:

- Всем выводам назначается повышенное входное напряжение (VI) до максимальной границы (3,6 В), зафиксированное в рабочих характеристиках, представленных в главе "DC и характеристики переключений" в томе 2 Настольной книги чипов Cyclone III.
- Пока входной уровень выше, чем VCCIO банка, ожидается больший ток утечки
- Входные выводы I/O стандарта LVTTTL/LVCMOS могут иметь только уровни VIH и VIL, в соответствии с уровнем напряжения в банке.

Стандарты с опорным напряжением могут поддерживаться в I/O банках, использующих несколько несимметричных или дифференциальных стандартов, если только они используют один уровень VREF и VCCIO для входных и выходных выводов. Например, если вы захотели реализовать SSTL-2 и SSTL-18 в вашем чипе Cyclone III, I/O выводы, использующие эти стандарты (поскольку требуется иметь разные значения VREF) должны размещаться в разных банках. Однако, один I/O банк может поддерживать SSTL-2 и 2.5-V LVCMOS с VCCIO, установленным 2.5 В, и VREF, установленным 1.25 В.

Когда чипы Cyclone III используются как приёмники в системах 3.3-, 3.0- или 2.5-V LVTTL/LVCMOS, разработчик несёт ответственность за управление состояниями положительных и отрицательных выбросов в диапазоне абсолютных максимальных значений и в диапазоне рекомендованных рабочих режимов, информация о которых содержится в главе "DC и характеристики переключений" в томе 2 Настольной книги чипов Cyclone III.

PCI ограничительный диод разрешён по умолчанию в программе Quartus II для входных сигналов в банке для VCCIO 2.5, 3.0 или 3.3 В.

За дополнительной информацией о I/O интерфейсе чипов Cyclone III с 3.3-, 3.0- или 2.5-V LVTTL/LVCMOS систем, обратитесь к AN 447: Интерфейсы чипов Cyclone III с 3.3-, 3.0- или 2.5-V LVTTL/LVCMOS I/O систем.

Высокоскоростные дифференциальные интерфейсы

Чипы Cyclone III могут передавать и принимать данные через LVDS сигналы. Для LVDS передатчиков и приёмников, входные и выходные выводы чипов Cyclone III поддерживают преобразование в последовательную и из последовательной формы посредством внутренней логики.

BLVDS распространяют преимущества LVDS на многоточечные приложения, такие как двунаправленные объединённые платы. Эффект нагрузки и требуемая оконечная схема для шины на обоих концах многоточечных приложений, необходима BLVDS для выделения большего тока, чем в LVDS, чтобы создать соизмеримый перепад напряжения. Все I/O банки в чипах Cyclone III поддерживают BLVDS для пользовательских I/O выводов.

Стандарты уменьшенных дифференциальных сигналов (RSDS) и mini-LVDS — это производные стандарта LVDS. Стандарты I/O RSDS и mini-LVDS похожи по электрическим характеристикам на LVDS, но имеют меньший размах напряжения и поэтому уменьшают энергопотребление и электромагнитные помехи (EMI).

Стандарт двухточечных дифференциальных сигналов (PPDS) — это следующее поколение стандарта RSDS, разработанного корпорацией National Semiconductor. Чипы Cyclone III соответствуют спецификации интерфейса National Semiconductor Corporation PPDS, и поддерживают стандарт PPDS только для выходов. Все I/O банки в чипах Cyclone III поддерживают PPDS только для выходных выводов.

Вы можете использовать I/O выводы и внутреннюю логику для реализации I/O передатчиков и приёмников LVDS в чипах Cyclone III. Чипы Cyclone III не имеют специальных схем преобразования в последовательную и из последовательной формы. Поэтому сдвиговые регистры, внутренние PLLs и IOE используются для выполнения последовательного в параллельный преобразования входных данных и параллельного в последовательный преобразования выходных данных.

Стандарты LVDS не требуют входного опорного напряжения, но им требуется 100-Ω согласующий резистор между двумя сигналами на входном буфере. Схема с внешним резистором требуется на стороне передатчика сверху и снизу I/O банков.

За дополнительной информацией о высокоскоростных дифференциальных интерфейсах в Cyclone III, обратитесь к главе "Высокоскоростные дифференциальные интерфейсы в чипах Cyclone III" в томе 1 Настольной книги чипов Cyclone III.

Интерфейс с внешней памятью

Чипы Cyclone III поддерживают I/O стандарты, требуемые для интерфейса с широким набором интерфейсов памяти, таких как DDR SDRAM, DDR2 SDRAM и QDR II SRAM.

За дополнительной информацией о поддержке интерфейсов внешней памяти в Cyclone III, обратитесь к главе "Интерфейсы с внешней памятью" в томе 1 Настольной книги чипов Cyclone III.