

# **МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ14Я**

## **РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ**

Предварительная версия

Последнее изменение: 31 марта 2014 г.

## ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

- СБИС – сверхбольшая интегральная схема;
- СФ-блок – сложно-функциональный блок (ядро) в СБИС;
- ЦПОС – цифровой процессор обработки сигналов;
- DSP – (Digital Signal Processing) сопроцессор цифровой обработки сигналов с фиксированной точкой (далее может называться также ЦПОС – цифровой процессор обработки сигналов);
- DMA – контроллер прямого доступа в память;
- UART – универсальный асинхронный порт;
- XRAM, YRAM – памяти данных DSP;
- PRAM – память программ DSP;
- AGU – адресный генератор;
- PCU – устройство программного управления;
- PAG – генератор адреса программ;
- PDC – программный дешифратор;
- RF – регистровый файл;
- ALU – арифметическое устройство;
- ALUCtr – управление ALU;
- XDB0 – XDB3, GDB, PDB – шина данных DSP;
- XAB, YAB, PAB – адресные шины DSP;
- M, S, A, L – арифметические узлы ALU DSP;
- СнК – “система – на – кристалле”;
- IP – ядро (intellectual property) или СФ (сложно-функциональный) блок;
- GPS - Global Position System
- ГЛОНАСС - ГЛОбальная НАвигационная Спутниковая Система
- ПСП - Псевдо-Случайная Последовательность
- ПЧ - Промежуточная Частота
- FIFO - First In - First Out
- АЦП - Аналого-Цифровой Преобразователь
- ГНСС - Глобальная Навигационная Спутниковая Система
- ЦП (MPU) - Центральный Процессор
- МКК (МСС) - МногоКанальный Коррелятор
- АРУ - Автоматическая Регулировка Уровня

## ОГЛАВЛЕНИЕ

<b>1.</b>	<b>ВВЕДЕНИЕ.....</b>	<b>5</b>
1.1	Порядок использования данного документа .....	5
1.2	Назначение .....	6
1.3	Основные технические параметры и функциональные возможности микросхемы сигнального микропроцессора 1892BM14Я (МСом-02) .....	6
1.3.1	Основные технические параметры микросхемы: .....	6
1.3.2	Многоядерная система центрального процессора Cortex-A9 (MPU).....	6
1.3.3	Цифровой сигнальный процессор (DSP).....	7
1.3.4	Многоканальный коррелятор (МСС) .....	8
1.3.5	Ядро видеоакселератора VELCore-01 (VPU).....	8
1.3.6	Ядро графического акселератора ARM MALI-300 (GPU) .....	9
1.3.7	Порт внешней памяти NOR/SRAM (NORMPORT) .....	9
1.3.8	Порт внешней памяти NAND (NANDMPORT) .....	9
1.3.9	Порты внешней памяти DDR3 (DDRMC0,1).....	10
1.3.10	Система обмена данными в микросхеме.....	10
1.3.11	Периферийные устройства .....	10
1.3.12	Управление энергопотреблением .....	11
1.3.13	Возможности микросхемы по отладке программ.....	11
1.4	СТРУКТУРНАЯ СХЕМА .....	12
1.5	ИНСТРУМЕНТАЛЬНОЕ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ.....	14
<b>2.</b>	<b>СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ .....</b>	<b>15</b>
2.1	КАРТА ПАМЯТИ МИКРОСХЕМЫ .....	15
2.2	СИСТЕМА КОММУТАЦИИ МИКРОСХЕМЫ .....	17
2.3	СИСТЕМНЫЕ НАСТРОЙКИ МИКРОСХЕМЫ И КОНТРОЛЛЕР SMCTR.....	18
2.3.1	Программная модель.....	18
2.4	СИСТЕМА СИНХРОНИЗАЦИИ МИКРОСХЕМЫ И КОНТРОЛЛЕР SMCTR .....	23
2.4.1	Введение .....	23
2.4.2	Функциональное описание .....	23
2.4.3	Программная модель.....	27
2.5	УМЕНЬШЕНИЕ ПОТРЕБЛЯЕМОЙ МОЩНОСТИ МИКРОСХЕМЫ И КОНТРОЛЛЕР PMCTR .....	35
2.5.1	Введение .....	35
2.5.2	Обзор контроллера PMCTR .....	37
2.5.3	Режимы работы микросхемы .....	39
2.5.4	Программная модель.....	42
2.6	КОНТРОЛЛЕРЫ ПРЕРЫВАНИЙ В МИКРОСХЕМЕ .....	50
2.6.1	Обзор .....	50
2.6.2	Интеграция.....	50
2.6.3	Отображение прерываний.....	50
2.7	ЛОГИКА СБРОСА МИКРОСХЕМЫ .....	55
2.8	ПРОЦЕДУРА НАЧАЛЬНОЙ ЗАГРУЗКИ .....	58
2.9	ЛОГИКА МЕЖПРОЦЕССОРНОГО ВЗАИМОДЕЙСТВИЯ В МИКРОСХЕМЕ .....	58
<b>3.</b>	<b>ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ.....</b>	<b>59</b>
3.1	ЦИФРОВЫЕ ВЫВОДЫ .....	60
3.2	РАСПОЛОЖЕНИЕ ВЫВОДОВ НА КОРПУСЕ .....	90

<b>4.</b>	<b>ИСТОРИЯ ИЗМЕНЕНИЙ .....</b>	<b>95</b>
-----------	--------------------------------	-----------

# 1. ВВЕДЕНИЕ

## 1.1 Порядок использования данного документа

В данном документе рассмотрены вопросы архитектуры и функционирования микросхемы. Приведены ее электрические параметры, а также чертеж корпуса и назначение выводов. Рассмотрены вопросы типового включения микросхемы в систему и даны рекомендации по ее программированию.

Настоящая документация охраняется действующим законодательством Российской Федерации об авторском праве и смежных правах, в частности, законом Российской Федерации «Об авторском праве и смежных правах». ОАО НПЦ «ЭЛВИС» является единственным правообладателем исключительных авторских прав на настоящую документацию.

Настоящую документацию, не иначе как по предварительному согласию ОАО НПЦ «ЭЛВИС», запрещается:

- воспроизводить, т.е. изготавливать один или более экземпляров настоящей документации, ее части, в любой форме, любым способом;
- сдавать в прокат;
- публично показывать, исполнять или сообщать для всеобщего сведения,
- переводить;
- переделывать или другим образом перерабатывать (дорабатывать).

ОАО НПЦ «ЭЛВИС» оставляет за собой право в любой момент вносить изменения (дополнения) в настоящую документацию без предварительного уведомления о таком изменении (дополнении).

ОАО НПЦ «ЭЛВИС» не несет ответственности за вред, причиненный при использовании настоящей документации.

Передача настоящей документации не означает передачи каких-либо авторских прав ОАО НПЦ «ЭЛВИС» на нее.

Возникновение каких-либо прав на материальный носитель, на котором передается настоящая документация, не влечет передачи каких-либо авторских прав на данную документацию.

Все указанные в настоящей документации товарные знаки принадлежат их владельцам.

## 1.2 Назначение

## 1.3 Основные технические параметры и функциональные возможности микросхемы сигнального микропроцессора 1892BM14Я (MCom-02)

### 1.3.1 Основные технические параметры микросхемы:

- Технология изготовления - КМОП, 40 нм, LP (малопотребляющая технология);
- Диапазон рабочих температур – от -60 до +85°C;
- Корпус – HFC FBGA 1296;
- Тактовая частота микропроцессора – не менее 500 МГц;
- Энергопотребление ядра микропроцессора – не более 2,5 Вт;
- Архитектура - многоядерная (до девяти процессорных ядер и ядер акселераторов) гетерогенная MIMD-архитектура на базе стандартных процессорных и специализированных ядер:
  - стандартная многопроцессорная система центрального процессора (MPU) в виде 2-ядерного когкрентного кластера ARM Cortex-A9 MPCore с SIMD со-процессорами Neon;
  - два DSP-ядра, совместимых с линейкой “DELCore” с плавающей и фиксированной точкой нового поколения с возможностью управления ресурсами микросхемы и внешней памяти;
  - встроенное ядро аппаратно-программного графического акселератора ARM MALI-300;
  - два ядра аппаратно-программного видео акселератора “VELCore-01”;
  - ядро многоканального ГЛОНАСС/GPS - коррелятора;

Ниже приведены функциональные возможности микросхемы.

### 1.3.2 Многоядерная система центрального процессора Cortex-A9 (MPU)

Система центрального процессора включает в себя следующие блоки:

- Кластер Cortex-A9 MPCore
  - Два ядра центрального процессора Cortex-A9 (CPU)
  - Система инструкций ARMv7 ISA: стандартная система инструкций ARM плюс акселераторы Thumb-2, Jazelle RCT и Jazelle DBX.
  - SIMD сопроцессор Neon на каждом из CPU
  - Встроенный контроллер прерываний с поддержкой до 128 отдельных прерываний
  - Встроенный таймер общего назначения и сторожевой таймер для каждого CPU
  - Средства отладки и трассирования.
  - Кэш инструкций 32 КВ и кэш данных 32 КВ на каждом из CPU
- 1 МВ разделяемый кэш второго уровня L2

### 1.3.3 Цифровой сигнальный процессор (DSP)

В качестве отличительных особенностей цифрового сигнального процессора можно назвать:

- 2-ядерный DSP-кластер “DELcore-40” (Dual ELVEESs Core) - симметричный мультипроцессор (СМП) из IP –библиотеки платформы “МУЛЬТИКОР”, состоящий из двух DSP-ядер “ELcore-40”, работающих на общем поле памяти данных;
- «Гарвардская» архитектура DSP-ядер с оригинальной системой инструкций;
- Набор инструкций, совмещающий процедуры обработки и пересылки;
- Одно- и двухтактное исполнение вычислительных команд;
- 7-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, плавающей точкой в стандарте IEEE754, либо программно в формате с плавающей точкой 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- Аппаратная поддержка программных циклов;
- Общий объем памяти программ и данных DSP-кластера – 320 Кбайт;
- Подвижная граница между памятью программ и данных: память программ PRAM каждого DSP-ядра может иметь объем от 32 до 128 Кбайт, общая для 2-х DSP-ядер память данных XYRAM объемом от 64 до 256 Кбайт; при распределении памяти выделяемый объем памяти одинаков для обоих ядер;
- Механизм прерываний каждого DSP от всех внешних портов, в том числе и от портов MFBSP (тот же набор запросов на прерывания, что и в MPU);
- Доступ DSP-ядер ко всему адресному пространству микросхемы - адресуемым регистрам и памяти;
- Встроенный кодер Хаффмана (JPEG) для более эффективного сжатия изображений;
- Встроенный в каждый DSP 32-разрядный интервальный таймер, работающий от частоты DSP;
- Максимальная пропускная способность коммутатора ядер с памятью – 512 бит за такт;
- Максимальная скорость обмена внешних устройств с памятью кластера – 64 бит за такт;
- Пиковая суммарная производительность DSP-кластера (на частоте 500 МГц):
- в формате плавающей точки (24e8, стандарт IEEE754): 9000 Моп/с. или 8000 GFLOPs, что соответствует 16 операциям с плавающей точкой (IEEE 754) за 1 такт;
- в формате фиксированной точки (int32): 8000 Моп/с, что соответствует 16 32-битным операциям с фиксированной точкой за 1 такт;
- в формате фиксированной точки (int16): 32000 Моп/с, что соответствует 64 16-битным операциям с фиксированной точкой за 1 такт;
- в формате фиксированной точки (int8): 48000 Моп/с, что соответствует 96 байтным операциям с фиксированной точкой за 1 такт.

### **1.3.4 Многоканальный коррелятор (МСС)**

В качестве отличительных особенностей многоканального коррелятора (МКК или МСС) можно назвать:

- 24 следящих каналов ГЛОНАСС/GPS повышенной точности, слежение за GPS L1, GLO L1, GLO L2 при помощи 6 подканалов, отстроенных друг от друга на определенное количество отсчетов данных; входные данные – две компоненты по 2 бита, накопленные на длительности от 1 до 16 мс, тактовая частота 15-40 МГц;
- 16 следящих каналов ГЛОНАСС/GPS, слежение за GPS L1, GLO L1, GLO L2 при помощи прямого и дифференциального подканалов, входные данные – две компоненты по 2 бита, накопление на длительности 1 мс, тактовая частота 15-40 МГц;
- 4 поисковых машины ГЛОНАСС/GPS, поиск в диапазонах GPS L1, GLO L1, GLO L2 при помощи свертки сигнала с ПСП на длительности 1 мс; входные данные – вещественная и мнимые компоненты по 2 бита. Накопление смешанного типа происходит в два этапа: сначала - когерентно на длительности от 1 до 16 мс, далее – результаты учитываются в некогерентном накоплении, этот цикл повторяется заданное количество раз от 1 до 16. Тактовая частота 15-40 МГц, для работы требует дополнительно подачи повышенной частоты. Повышенная частота должна составлять не менее 66 МГц, что необходимо для обеспечения вычисления требуемого количества корреляций за длительность одного чипа ПСП;
- Канал прямого чтения данных с RFFE, выполняющий перенос сигнала с ПЧ на нулевую, снятие доплеровской частоты (ПЧ от 0 до  $F_s/2$ ), накопления на длительности от одного отсчета данных, результаты накоплений сохраняются в буфере типа FIFO глубиной 2048 отсчетов;
- Модуль формирования временной шкалы 1 мс с возможностью задания кода частоты;
- Модуль формирования секундной метки с возможностью задания кода частоты, начальной фазы и длительности активного состояния секундного импульса;
- Модуль интерфейса с АЦП, сэмплирующий отсчеты от АЦП по переднему либо заднему фронту частоты оцифровки, преобразующий входной сигнал различных кодировок во внутреннюю и подсчитывающий количество состояний АЦП для системы АРУ;
- Устройство расчета ПСП, используемое ЦП для оперативного вычисления параметров настройки следящих каналов для заданного номера спутника и задержки ПСП;
- Отладочный имитатор сигнала спутников ГНСС, предназначенный для проверки базовой функциональности МКК. Имитатор позволяет задавать ПСП спутника, коэффициент шума, смешиваемого с сигналом, а также доплеровское смещение сигнала.

### **1.3.5 Ядро видеоакселератора VELCore-01 (VPU)**

Основными особенностями предлагаемой оригинальной архитектуры видеоакселератора являются:

- использование только с коротких 8/16-разрядных форматов данных, что позволяет существенно повысить тактовую частоту видеопроцессора по сравнению с сигнальным процессором общего назначения;



- увеличение параллелизма обработки данных - она производится не попиксельно, а поблочно - над блоками изображения размером 4\*4 и 8\*8 пикселей;
- введение спецфункции для обработки изображений и реализации стандартов сжатия;
- введение специализированного видео DMA контроллера;
- Максимальная частота работы акселератора: до 500 МГц;
- обеспечение для изображений формата Full HD (1920x1080) с частотой следования 60 кадров/с функций:
  - **H.264:** BP/MP/HP Encode and Decode;
  - **MPEG-4:** SP/ASP Encode/Decode;
  - **DivX 5.x & higher** Encode/Decode;
  - **H.263:** Profile 0 and 3 for Decode, Profile 0 for Encode;
  - **MPEG-2:** SP/MP Encode/Decode;
  - **VC1/WMV9/RTV :** SP/MP/AP Encode and Decode;
  - **JPEG (MJPEG)** Baseline Encode/Decode.

### ***1.3.6 Ядро графического акселератора ARM MALI-300 (GPU)***

Основными особенностями предлагаемой оригинальной архитектуры графического акселератора являются:

- Поддержка OpenVG 1.1, OpenGL ES 2.0 / 1.1;
- Поддержка разрешения до HD 1080p с 4х сглаживанием;
- Встроенный 8KB кэш второго уровня;
- Пиковая производительность RM: 250 миллионов пикселей в секунду;
- Максимальная частота графического акселератора: до 250 МГц.

### ***1.3.7 Порт внешней памяти NOR/SRAM (NORMPORT)***

В качестве отличительных особенностей порта внешней памяти можно назвать:

- шина данных – 16 разрядов, шина адреса – 24 разряда;
- встроенный контроллер для подключения к микропроцессору внешней памяти типов SRAM/ROM/MobileSDRAM(32бита)/EPROM/Synchronous NOR FLASH (16 разрядов)
- программное конфигурирование типа блоков памяти и их объема;
- режим передачи данных Flyby (обмен памяти с устройством ввода-вывода);
- программное управление числом тактов ожидания при обмене с асинхронной памятью;
- формирование сигналов выборки 2 блоков внешней памяти;

### ***1.3.8 Порт внешней памяти NAND (NANDMPORT)***

В качестве отличительных особенностей порта внешней памяти можно назвать:

- встроенный контроллер для подключения к микропроцессору внешней памяти типов NAND FLASH (8/16 разрядов) и внешних устройств;
- поддержка спецификации ONFI 2.0
- программное конфигурирование типа блоков памяти и их объема;
- формирование сигналов выборки 4 блоков внешней памяти;

### **1.3.9 Порты внешней памяти DDR3 (DDRM0,1)**

В качестве отличительных особенностей портов DDRMC можно назвать:

- Два порта с поддержкой памяти типа DDR3;
- Шина данных – 16/32 разрядов, шина адреса – 15 разрядов;
- Формирование сигналов выборки 2 блоков внешней памяти на каждый порт;
- Максимальная скорость передачи данных 1066 Мбит/с на частоте 533 MHz;
- Возможность назначения приоритетов на использование каждого порта вычислительными ядрами микросхемы.

### **1.3.10 Система обмена данными в микросхеме**

Система обмена данными в микросхеме обладает следующими особенностями:

- Универсальное высокоскоростное 8-ми канальное DMA с возможностью микропрограммирования SDMA;
- Универсальное 8-ми канальное DMA с возможностью непосредственного обслуживания периферийных устройств PDMA;
- Встроенные DMA в следующих устройствах: VPU, VPIN, VPOUT, MFBSP, SWIC, SDMMC, USB, EMAC.

### **1.3.11 Периферийные устройства**

Список периферийных устройств:

- Порт видео выхода;
  - Поддержка формата MIPI DSI;
  - Поддержка формата ITU-R BT 601;
  - Разрешение до 1080p;
  - Встроенное DMA;
- Порт видео ввода;
  - Поддержка формата MIPI CSI2;
  - Поддержка формата ITU-R BT 601;
  - Разрешение до 1080p;
  - Встроенное DMA;
  - Встроенная предобработка изображения;
- Два порта SD/MMC;
  - поддержка протокола HS-MMC версии 4.5;
  - поддержка протокола SD версии 3.0;
  - встроенное DMA;
- USB 2.0 контроллер;
  - Работа в режиме Host;
  - Работа в режиме Device;
  - Работа в режиме OTG;
  - Скорость до 480 Мбит/с;
  - Встроенное DMA;
- Контроллер Ethernet MAC;
  - Поддержка скоростей 10/100/1000 МГц;
  - Встроенное DMA;
- Два многофункциональных порта MFBSP;
  - Работа в режиме LPORT;
  - Работа в режиме I2S;

- Работа в режиме SPI
  - Работа в режиме GPIO;
  - Встроенное DMA;
- Четыре универсальных асинхронных порта UART;
  - Работа в связке с системным DMA или по прерываниям;
  - Поддержка IrDA 1.0;
- Три порта интерфейса I2C;
  - Поддержка режима мультимастер;
  - Работа в связке с системным DMA или по прерываниям;
- Порт интерфейса I2S;
  - Работа в связке с системным DMA или по прерываниям;
- Два порта интерфейса SPI;
  - Работа в связке с системным DMA или по прерываниям;
- Контроллер ШИМ;
  - Поддержка до 4х каналов;
- Два порта SpaceWire (SWIC) для обеспечения сетевых возможностей микросхемы;
  - Соответствуют стандарту ECSS-E-50-12C;
  - Скорость приема и передачи данных – от 2 до 300 Мбит/с;
  - Дуплексный режим работы;
- 128 мультиплексированных GPIO вывода
  - С возможностью ввода 32 внешних прерываний;
- 8 32-разрядных универсальных таймеров;
- 32-разрядный сторожевой таймер (WDT);
- Таймер реального времени (RTC);
  - Полная поддержка календаря: секунды, минуты, часы, дни, месяцы, годы;
  - Внешняя синхронизация 32,768 КГц;
- Модуль обмена межпроцессорными сообщениями Mailbox;
- Модуль аппаратной поддержки семафоров Spinlock для межпроцессорного взаимодействия;

### ***1.3.12 Управление энергопотреблением***

В микросхеме реализованы широкие возможности по снижению энергопотребления в зависимости от требуемой производительности. Управление энергопотреблением микросхемы имеет следующие особенности:

- Программное отключение сигналов тактовой частоты;
- Программное управление частотами синхронизации и напряжением питания в зависимости от требуемой производительности;
- Программное управление отключением до 20 доменов питания для снижения статического тока потребления;

### ***1.3.13 Возможности микросхемы по отладке программ***

Микросхема обеспечивает широкие возможности по отладке и трассированию программ

- Архитектура отладки и трассирования ARM CoreSight;
- Отладка по стандарту IEEE1149.1(JTAG);
- Совместимый IEEE1149.1 адаптер;
- Порт отладки DAP с доступом к внутренней памяти микросхемы;

- Подсистема сбора программной трассы от MPU и DSP в реальном времени;
- Вывод программной трассы через внешний порт;

#### **1.4 Структурная схема**

Структурная схема микросхемы MCom-02 приведена на Рисунок 1.1.

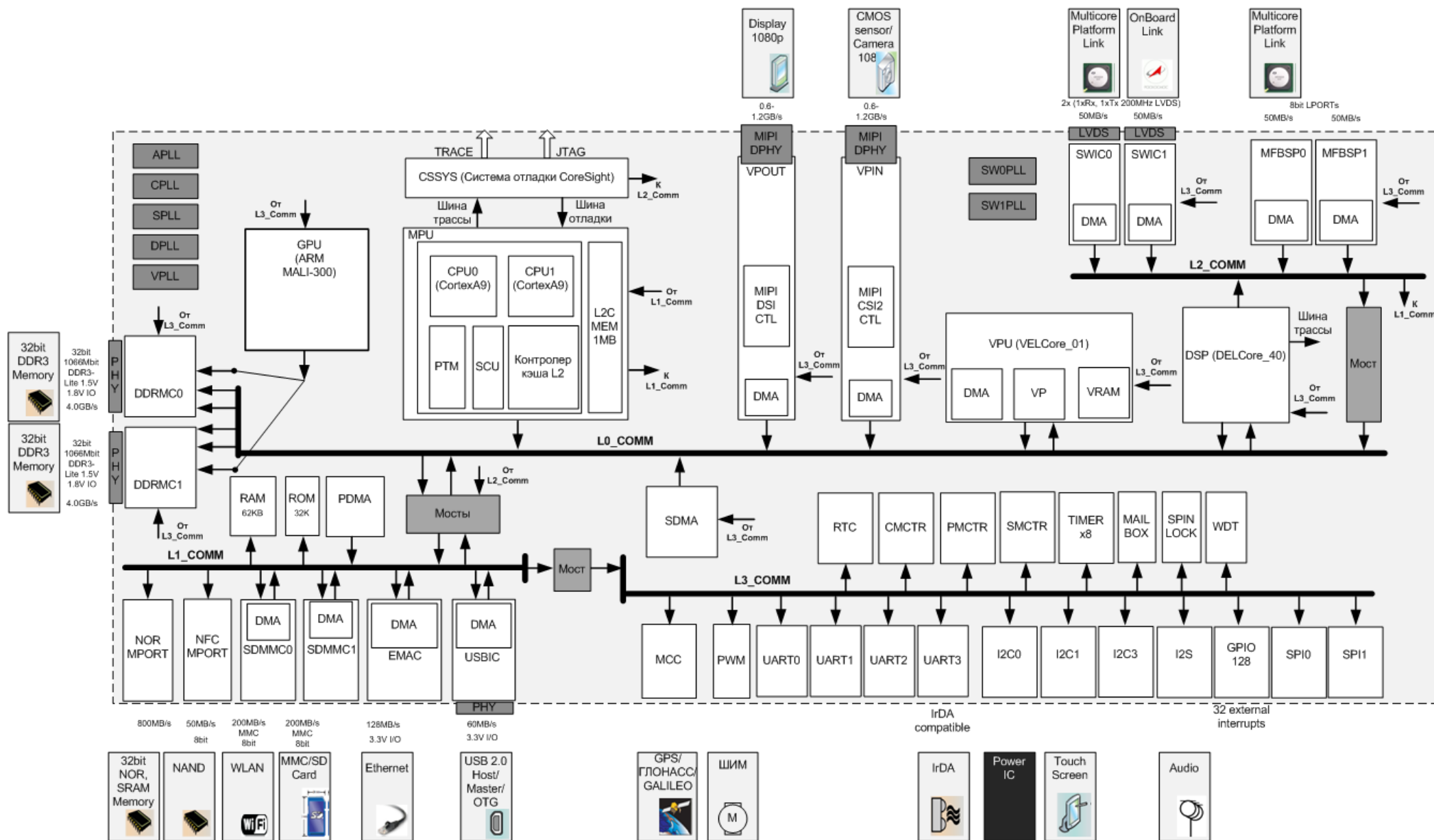


Рисунок 1.1. Структурная схема сигнального микропроцессора MCom-02

В состав микросхемы MCom-02 входят следующие основные узлы:

- MPU – двухъядерная подсистема центрального процессора;
- DSP – цифровой сигнальный процессор;
- VPU – видеопроцессор;
- GPU – графический акселератор;
- MCC – многоканальный коррелятор;
- ROM – блок накристалльной ПЗУ;
- RAM – блок накристалльной памяти общего назначения;
- SDMA – универсальный высокоскоростной контроллер DMA;
- PDMA – универсальный периферийный контроллер DMA;
- Ln\_COMM – многоуровневый коммутатор;
- NORMPORT – порт внешней памяти типа SRAM, NOR Flash;
- NFCMPORT – порт внешней памяти типа NAND Flash;
- DDRMC0, DDRMC1 – порты памяти типа DDR3;
- MCC – многоканальный навигационный коррелятор;
- CoreSight – встроенные средства отладки и трассирования программ;
- UART0,1,2,3 – асинхронный последовательный порты;
- xPLL – умножители частоты;
- PMCTR – контроллер управления энергопотреблением;
- CMCTR – контроллер управления синхронизацией;
- SWIC0, SWIC1 – контроллеры интерфейса SpaceWire;
- SDMMC0, SDMMC1 – контроллеры накопителей SDIO/MMC;
- USBIC – контроллер USB2.0;
- EMAC – контроллер Ethernet MAC 10/100 МГц;
- VPIN – порт ввода видео данных;
- VPOUT – порт вывода видео данных;
- I2C0, I2C1, I2C2 – контроллеры шины I2C;
- MFBSP0, MFBSP1 – многофункциональные буферизированные последовательные порты (SPI, I2S, LPORT, GPIO);
- TIMER – блок универсальных таймеров;
- PWM – контроллер ШИМ;
- RTC – таймер реального времени;
- I2S – контроллер интерфейса I2S;
- GPIO – блок управления GPIO;
- SPI0, SPI1 – контроллеры интерфейса SPI;
- MAILBOX – блок для обмена сообщениями между ядрами микросхемы;
- SPINLOCK – блок аппаратной поддержки семафоров;
- WDT – сторожевой таймер.

Многоуровневый коммутатор микросхемы обеспечивает передачу данных между узлами микросхемы в пределах матрицы коммутации. Подробнее см. в главе

## **1.5 Инструментальное программное обеспечение**

## 2. СИСТЕМНАЯ ОРГАНИЗАЦИЯ МИКРОСХЕМЫ

### 2.1 Карта памяти микросхемы

Карта физической памяти микросхемы MCom02 приведена в Таблица 2.1. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления.

Таблица 2.1. Карта физической памяти MCom-02

Базовый адрес	Конечный адрес	Размер области	Описание
0000_0000	1FFF_FFFF	512 Мбайт	Внешняя память NORMPORT
2000_0000	3FFF_FFFF	512 Мбайт	Внутренняя память
4000_0000	9FFF_FFFF	1,5 Гбайт	Внешняя память DDRMC0
A000_0000	FFFF_FFFF	1,5 Гбайт	Внешняя память DDRMC1

Внешняя память доступна через порты памяти GPMC, DDRMC0, DDRMC1. Порт памяти GPMC предназначен для доступа к памятьям типа NAND Flash, NOR, SRAM, SDR SRAM. Порты памяти DDRMC0, DDRMC1 предназначены для доступа к памяти типа DDR3. Старшая четверть адресного пространства физической памяти доступна через порт DDRMC1 может быть переназначена для доступа через порт DDRMC0, подробнее см. в главе ....

Внутренняя и внешняя память, могут адресоваться с точностью до байта.

Программный доступ к резервным областям запрещен, это может привести к непредсказуемым последствиям. Карта внутренней памяти MCom-02 приведена в таблице 2.2.

Таблица 2.2. Карта внутренней памяти MCom-02

Базовый адрес	Конечный адрес	Размер области	Описание
2000_0000	2000_FFFF	64 Кбайт	RAM
2000_8000	207F_FFFF		Резерв
2080_2000	206F_FFFF		Резерв
2720_0000	27FF_FFFF		Резерв
2800_0000	2FFF_FFFF	128 Мбайт	Область трассирования CSSYS STM
3000_0000	3000_7FFF	32 Кбайт	ROM
3000_8000	313F_FFFF	28 Мбайт	Резерв
3300_0000	36FF_FFFF	64 Мбайт	Резерв
3700_0000	3701_FFFF	128 Кбайт	Регистры DSP и XBUF
3702_0000	370F_FFFF		Резерв
3710_0000	3712_FFFF	192 Кбайт	Регистры VPU и CBUF
3713_0000	371F_FFFF		Резерв
3720_0000	3720_3FFF	16 Кбайт	VPIN
3720_4000	3720_4FFF	4 Кбайт	Регистры DDRMC0
3720_5000	3720_5FFF	4 Кбайт	Регистры DDRMC0 PHY
3720_6000	3720_6FFF	4 Кбайт	Регистры DDRMC1
3720_7000	3720_7FFF	4 Кбайт	Регистры DDRMC1 PHY
3720_2000	3720_FFFF		Резерв
3721_0000	3721_FFFF	64 Кбайт	Регистры GPU
3722_0000	3722_0FFF	4 Кбайт	SDMA
3722_0000	37FF_FFFF		Резерв
3800_0000	3800_1FFF	8 Кбайт	PDMA
3800_2000	3800_2FFF	4 Кбайт	USBIC
			Резерв
3800_4000	3800_5FFF	8 Кбайт	VPOUT
3800_5000	3800_9FFF		Резерв

3800_7000	3800_7FFF	4 Кбайт	Регистры NFCMPORT
3800_8000	3800_AFFF	12 Кбайт	Регистры NORMPORT
3800_B000	3800_CFFF	8 Кбайт	SDMMC0
3800_D000	3800_EFFF	8 Кбайт	SDMMC1
3800_F000	3800_FFFF	4 Кбайт	EMAC
3801_0000	3801_FFFF	64 Кбайт	Резерв
3802_6000	3802_6FFF	4 Кбайт	TIMERs
3802_7000	3802_7FFF	4 Кбайт	RTC
3802_8000	3802_8FFF	4 Кбайт	UART0
3802_9000	3802_9FFF	4 Кбайт	UART1
3802_A000	3802_AFFF	4 Кбайт	UART2
3802_B000	3802_BFFF	4 Кбайт	UART3
3802_C000	3802_CFFF	4 Кбайт	I2C0
3802_D000	3802_DFFF	4 Кбайт	I2C1
3802_E000	3802_EFFF	4 Кбайт	I2C2
3802_F000	3802_FFFF	4 Кбайт	Резерв
3803_0000	3803_0FFF	4 Кбайт	I2S0
3803_1000	3803_1FFF	4 Кбайт	WDT
3803_2000	3803_2FFF	4 Кбайт	SPI0
3803_3000	3803_3FFF	4 Кбайт	SPI1
3803_4000	3803_4FFF	4 Кбайт	GPIO0
3803_5000	3803_5FFF	4 Кбайт	EFUSE
3803_6000	3803_FFFF	36 Кбайт	Резерв
3804_2000	3807_FFFF	36 Кбайт	Резерв
3808_0000	3808_0FFF	4 Кбайт	MAILBOX
3808_1000	3808_1FFF	4 Кбайт	SPINLOCK
3808_2000	3808_3FFF	8 Кбайт	SWIC0
3808_4000	3808_5FFF	8 Кбайт	SWIC1
3808_6000	3808_7FFF	8 Кбайт	MFBSPO
3808_8000	3808_9FFF	8 Кбайт	MFBSPI
3808_A000	3808_FFFF	24 Кбайт	Резерв
3809_0000	3809_0FFF	4 Кбайт	PWM
3809_1000	3809_1FFF	4 Кбайт	MCC
3809_2000	3809_3FFF	8 Кбайт	Резерв
3809_4000	3809_4FFF	4 Кбайт	CMCTR
3809_5000	3809_5FFF	4 Кбайт	PMCTR
3809_6000	3809_6FFF	4 Кбайт	SMCTR
3809_7000	387F_FFFF	Мбайт	Резерв
3880_0000	389F_FFFF	2 Мбайт	Регистры отладки и трассы CSSYS
38A0_0000	38FF_FFFF	Мбайт	Резерв
3900_0000	3900_1FFF	8 Кбайт	Регистры Cortex A9 CPU0
3900_4000	3900_5FFF	8 Кбайт	Регистры MPU L2CACHE
3900_4000	3FFF_FFFF	96 Мбайт	Резерв
3A40_0000	3A87_FFFF	4 Мбайт	Память DSP-ядра
3A88_0000	3AFF_FFFF	8 Мбайт	Резерв
3B00_0000	3BFF_FFFF	16 Мбайт	Память VPU-ядра
3C00_0000	3CFF_FFFF	16 Мбайт	Резерв
3D00_2000	3FFF_FFFF	48 Мбайт	Резерв

В таблице 2.2 даны лишь базовые адреса устройств, полные перечени программно досту регистров для каждого устройства приведены в главах документа описывающих эти устройства.



## 2.2 Система коммутации микросхемы

Многоуровневый коммутатор микросхемы обеспечивает передачу данных между исполнительными портами устройств (Slave Port) и задаточными портами устройств (Master Port). Устройства могут иметь одновременно оба типа портов. Например:

- GPMC имеет только исполнительные порты и обеспечивает по ним доступ к внешней памяти и к своим внутренним регистрам;
- DSP обладает задаточными портами, дающими доступ DSP процессорам к внутренней и внешней памяти, и исполнительными портами, через которые внутренняя память и регистры DSP доступны другим устройствам;

Таким образом, устройство может выступать одновременно, и в качестве исполнительного (Slave), и в качестве задаточного (Master). Процесс передачи данных в коммутаторе между любыми парами Slave ↔ Master выполняется параллельно и без конфликтов.

Коммутатор содержит 4 уровня - L0\_COMM, L1\_COMM, L2\_COMM, L3\_COMM с различной пропускной способностью, выбранной исходя из требований по быстродействию и снижению энергопотребления (см. Рисунок 1.1). Уровень L0\_COMM коммутатора является основным. Уровень L3\_COMM являются управляющим, через него осуществляется доступ к регистрам большей части блоков микросхемы.

Передача данных в микросхеме между различными устройствами может осуществляться только в пределах матрицы коммутации. Матрица коммутации микросхемы MCom-02 приведена в Таблица 2.3.

**Таблица 2.3 Матрица коммутации микросхемы MCom-02**

	MPU_MP0	MPU_MP1	VPU_MP	DSP_MP	GPU_MP	SDMA_MP	VPOUT_MP	VPIN_MP	L2toL0_MP	L1toL0_MP
DDRMC0_SP0	+									
DDRMC0_SP1			+	+		+	+	+	+	+
DDRMC0_SP2					+					
DDRMC1_SP0	+									
DDRMC1_SP1			+	+		+	+	+	+	+
DDRMC1_SP2					+					
MPU_SP										+
VPU_SP	+		+	+		+	+	+	+	+
DSP_SP	+		+	+		+	+	+	+	+
L0toL1_SP	+	+	+	+		+	+	+		

Матрица коммутации дана для уровня L0\_COMM коммутатора (см. Рисунок 1.1), который соединяет все устройства микросхемы через следующие порты:

- MPU\_MP0, MPU\_MP1 задаточные порты MPU с изменяемым приоритетом (подробнее см. главу);
- VPU\_MP0, VPU\_MP1 задаточные порты VPU;
- DSP\_MP задаточный порт DSP кластера;
- GPU\_MP задаточный порт GPU;
- SDMA\_MP задаточный порт высокоскоростного универсального SDMA;

- VPOUT\_MP задаточный порт встроенного DMA порта видео вывода;
- VPIN\_MP задаточный порт встроенного DMA порта видео ввода;
- L2toL0\_MP задаточный порт уровня L2\_COMM коммутатора, через который действуют встроенные DMA портов SWIC и MFBSP;
- L1toL0\_MP задаточный порт уровня L1\_COMM коммутатора, через который действуют PDMA и встроенные DMA портов EMAC, USBIC и SDMMC;
- DDRMC0\_SP0, DDRMC0\_SP1, DDRMC0\_SP2 исполнительные порты DDRMC0 контроллера с изменяемым приоритетом (подробнее см. главу) для доступа к внешней памяти;
- DDR\_MC1\_SP0, DDRMC1\_SP1, DDRMC0\_SP2 исполнительные порты DDRMC0 контроллера с изменяемым приоритетом (подробнее см. главу) для доступа к внешней памяти;
- MPU\_SP исполнительный порт MPU, через который может обеспечиваться когерентность КЭШей MPU с другими исполнительными устройствами (подробнее см. главу);
- VPU\_SP исполнительный порт для доступа к внутренней памяти VPU;
- DSP\_SP исполнительный порт для доступа к внутренней памяти DSP;
- L0toL1\_SP исполнительный порт уровня L1\_COMM коммутатора, через который предоставляется доступ к внешней памяти через порт GPMC, памяти ROM, ренним регистрам PDMA, SDMMC, EMAC, USBIC, GPMC, VPU, DSP, VPIN, VPOUT, SWIC, MFBSP, DDRMC, SDMA, PWM, MCC, UART, I2C, I2S, GPIO, SPI, TIMER, RTC, SCC, PWC, MAILBOX, SPINLOCK;
- RAM\_SP исполнительный порт для доступа к блоку накристалльной памяти RAM;

Обращение к исполнительному порту блока микросхемы с отключенным питанием или тактовой частотой может привести к зависанию коммутатора, поэтому при работе программного обеспечения использующего функционал отключения питания или частот блоков следует принимать дополнительные меры предосторожности для недопущения таких обращений.

Для индикации зависания коммутатора используется прерывание DLOCK\_IRQ и регистр COMM\_DLOCK SMCTR.

## 2.3 Системные настройки микросхемы и контроллер SMCTR

### 2.3.1 Программная модель

Контроллер SMCTR позволяет управлять системными настройками микросхемы. Далее описаны программно доступные регистры SMCTR.

#### 2.3.1.1 Сводная таблица регистров

Таблица 2.4 Сводная таблица регистров SMCTR

Смещение	Обозначение	Описание	Исходное состояние
Регистры			
0x000	BOOT	Регистр отображения сигналов BOOT[1:0] микросхемы	
0x004	BOOT_REMAP	Регистр управления картой памяти при начальной загрузке	
0x008	MPU_CFGNMF1	Регистр разрешения немаскируемого FIQ в MPU	
0x00c	DDR_REMAP	Регистр управления картой памяти для DDR	
0x010	CPU_SECURE_CTR	Регистр управления доступом внутри CPU	
0x020	ACP_CTL	Регистр управления возможностью ACP MPU	

0x024	MIPI_MUX	Регистр мультиплексирования MIPI DSI	
0x028	CHIP_ID	ID микросхемы	
0x02c	CHIP_CONFIG	Регистр конфигурации микросхемы	
0x030	EMA_ARM	Регистр подстройки памятей в ARM	
0x034	EMA_L2	Регистр подстройки памятей в L2_CACHE	
0x038	EMA_DSP	Регистр подстройки памятей в DSP и VPU	
0x03c	EMA_CORE	Регистр подстройки памятей в CORE	
0x040	IOPULL_CTR	Регистры управления подтягивающими резисторами контактных площадок микросхемы	
0x044	COMM_DLOCK	Регистр индикации зависания коммутатора микросхемы	

### 2.3.1.2 Регистр BOOT

Таблица 2.5. Формат регистра BOOT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2:0	BOOT	Значение внешних выводов BOOT, определяющих источник начальной загрузки микросхемы. 0x0 – загрузка из внешней памяти NOR Flash/SRAM с помощью контроллера NORMPORT; 0x1 – загрузка из внешней памяти NAND Flash с помощью контроллера NANDMPORT; 0x2-0x7 – опции загрузки из накрystalной ROM памяти;	R	-

### 2.3.1.3 Регистр BOOT\_REMAP

Таблица 2.6. Формат регистра BOOT\_REMAP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	REMAP	Биты управления наложением областей загрузки на карту памяти. 0x0 – адрес 0x00000000 доступен через контроллер NORMPORT, используется карта памяти по умолчанию, наложения нет; 0x1 – область 0x00000000 – 0x0000FFFF указывает на накрystalную RAM память. Область 0x20000000 – 0x2000FFFF не отображается; 0x2 - область 0x20000000 – 0x20007FFF указывает на накрystalную ROM память. Область 0x30000000 – 0x30007FFF не отображается; 0x3 – область 0x00000000 – 0x00007FFF указывает на накрystalную ROM память. Область 0x30000000 – 0x30007FFF не отображается; Биты устанавливаются во время сброса в зависимости от значения входов BOOT. Для значения входов BOOT 0x0 биты устанавливаются в 0x0. Для значения 0x1 в 0x1. Для значений 0x2-0x7 в 0x2. Биты также устанавливаются в значение 0x1 при записи 1 в бит ON регистра ASP_CTR. Запись значения в регистр может быть использована для определенного наложения на карту памяти после процедуры начальной загрузки.	R/W	-

### 2.3.1.4 Регистр MPU\_CFGNMF1

Таблица 2.7. Формат регистра MPU\_CFGNMF1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние

31:2	-	Не используется	R	0
1	NMFI_EN0	Разрешает использование FIQ как немаскируемого прерывания для CPU1	R/W	0
0	NMFI_EN1	Разрешает использование FIQ как немаскируемого прерывания для CPU0	R/W	0

### 2.3.1.5 Регистр DDR\_REMAP

Таблица 2.8. Формат регистра DDR\_REMAP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	REMAP	Бит управляет конфигурацией карты памяти для DDR Бит задан «0»: <ul style="list-style-type: none"> <li>адреса 0x40000000 – 0x9FFFFFFF отображаются в контроллер DDRMC0</li> <li>адреса 0xA0000000 – 0xFFFFFFFF отображаются в контроллер DDRMC1</li> </ul> Бит задан «1»: <ul style="list-style-type: none"> <li>все адресное пространство 0x40000000 – 0xFFFFFFFF отображается в контроллер DDRMC0</li> </ul>	R/W	0

### 2.3.1.6 Регистр CPU\_SECURE\_CTR

Таблица 2.9. Формат регистра CPU\_SECURE\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2	CPU0_CP15S_DISABLE		R/W	
1	CPU0_CP15S_DISABLE		R/W	
0	CFGDSISABLE		R/W	0

### 2.3.1.7 Регистр ASP\_CTR

Таблица 2.10. Формат регистра ASP\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	ON	Бит управляет конфигурацией коммутатора для реализации функции ARM ASP Бит задан «0»: Используется конфигурация коммутатора по умолчанию Бит задан «1»: Все обращения DMA устройств USBIC, EMAC, SDMMC0, SDMMC1, NFCMPOROT, PDMA к области памяти 0x40000000 – 0xFFFFFFFF направляются через контроллер КЭШа второго уровня ARM и обрабатываются с учетом наличия в КЭШе.	R/W	0

### 2.3.1.8 Регистр MIPI\_MUX

Таблица 2.11. Формат регистра MIPI\_MUX

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
---------------	----------------------	------------	--------	--------------------

				<b>ние</b>
31:1	-	Не используется	R	0
0	MUX_DSI	Контроль мультиплексирования второго блока интерфейса MIPI в микросхеме. “0” – MIPI используется в качестве MIPI CSI для второго контроллера CSI VPIN “1” – MIPI используется в качестве MIPI DSI для контроллера DSI VPOUT	R/W	1

### 2.3.1.9 Регистр CHIP\_ID

Таблица 2.12. Формат регистра CHIP\_ID

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	ID	ID микросхемы	R	0xC02

### 2.3.1.10 Регистр CHIP\_CONFIG

Таблица 2.13. Формат регистра CHIP\_CONFIG

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	CONFIG	Конфигурация микросхемы	R	0x0

### 2.3.1.11 Регистр EMA\_ARM

Таблица 2.14. Формат регистра EMA\_ARM

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти MPU ARM	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти MPU ARM	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти MPU ARM	R/W	0x0

### 2.3.1.12 Регистр EMA\_L2

Таблица 2.15. Формат регистра EMA\_L2

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти L2CACHE	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти L2CACHE	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти L2CACHE	R/W	0x0

### 2.3.1.13 Регистр EMA\_DSP

Таблица 2.16. Формат регистра EMA\_DSP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти DSP и VPU	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти DSP и VPU	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти DSP и VPU	R/W	0x0

### 2.3.1.14 Регистр EMA\_CORE

Таблица 2.17. Формат регистра EMA\_CORE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0
5	EMAS	Подстройка параметра EMAS памяти ядра микросхемы	R/W	0x0
4:3	EMAW	Подстройка параметра EMAW памяти ядра микросхемы	R/W	0x0
2:0	EMA	Подстройка параметра EMA памяти ядра микросхемы	R/W	0x0

### 2.3.1.15 Регистр IOPULL\_CTR

Таблица 2.18. Формат регистра IOPULL\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:9	-	Не используется	R	0
8	SPULL_DISABLE	Запрет резисторных подтяжек для группы контактных площадок SVDD	R/W	0x0
7	GP2_DISABLE	Запрет резисторных подтяжек для группы контактных площадок GP2_VDD	R/W	0x0
6	GP1_DISABLE	Запрет резисторных подтяжек для группы контактных площадок GP1_VDD	R/W	0x0
5	GP0_DISABLE	Запрет резисторных подтяжек для группы контактных площадок GP0_VDD	R/W	0x0
4	CIF_DISABLE	Запрет резисторных подтяжек для группы контактных площадок CIF_VDD	R/W	0x0
3	LCD_DISABLE	Запрет резисторных подтяжек для группы контактных площадок LCD_VDD	R/W	0x0
2	GM_DISABLE	Запрет резисторных подтяжек для группы контактных площадок GMII_VDD	R/W	0x0
1	SMC_DISABLE	Запрет резисторных подтяжек для группы контактных площадок SMC_VDD	R/W	0x0
0	FLASH_DISABLE	Запрет резисторных подтяжек для группы контактных площадок FLASH_VDD	R/W	0x0

### 2.3.1.16 Регистр COMM\_DLOCK

Таблица 2.19. Формат регистра COMM\_DLOCK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:13	-	Не используется	R	0
12	DLOCK_WR	Тип транзакции, приведшей к зависанию коммутатора. 0 – Чтение, 1 – Запись.	R/W	0x0
11:10	DLOCK_SLV	Номер исполнительного порта коммутатора для транзакции, приведшей к его зависанию	R/W	0x0
9:8	DLOCK_MS_T	Номер задаточного порта коммутатора для транзакции, приведшей к его зависанию	R/W	0x0
7:0	DLOCK_ID	Идентификатор транзакции приведшей к зависанию коммутатора	R/W	0x0

## 2.4 Система синхронизации микросхемы и контроллер CMCTR

### 2.4.1 Введение

Система синхронизации микросхемы представлена контроллером управления синхронизацией (CMCTR) микросхемы. CMCTR управляет накристалльными блоками PLL и организуют генерацию тактовых частот для процессорных ядер, шин коммутатора и периферийных блоков микросхемы. Контроллер CMCTR также взаимодействует с контроллером управления питанием микросхемы PMCTR при необходимости отключить те или иные тактовые частоты во время выключения доменов питания.

### 2.4.2 Функциональное описание

Источниками тактовых частот в микросхеме являются входы синхронизации и контроллер CMCTR. Микросхема имеет следующие входы синхронизации:

- XTI\_24M - частота 24 МГц является опорной для контроллера управления синхронизацией CMCTR;
- XTI\_32K - частота 32,768 КГц для работы интервальных таймеров в режиме реального времени;
- MCC\_CLK – частота от 12 до 44 МГц для синхронизация коррелятора MCC.

Контроллеры CMCTR генерируют внутренние тактовые частоты микросхемы, используя тактовую частоту с входа синхронизации XTI\_24M и семь блоков PLL – APLL, CPLL, DPLL, SPLL, VPLL, SW0PLL, SW1PLL.

Каждая из PLL позволяет генерировать частоты в диапазоне от 48 до 1488 МГц с шагом 24 МГц. В типовых применениях микросхемы PLL используются:

- APLL – для генерации тактовой частоты MPU Cortex A9, CSSYS CoreSight и памяти кэша второго уровня;
- CPLL – для генерации тактовых частот уровня L0\_COMM коммутатора микросхемы, блоков GPU, VPU, VPIN, VPOUT и контроллеров памяти DDRMC;
- SPLL – для генерации тактовых частот уровней L1, L2, L3 коммутатора и основных частот периферийных блоков микросхемы;
- VPLL – для генерации тактовых частот блока VPIN.
- DPLL – для генерации тактовой частоты DSP.
- SW0PLL и SW1PLL – для генерации тактовых частот передачи блоков SWIC0, SWIC1.

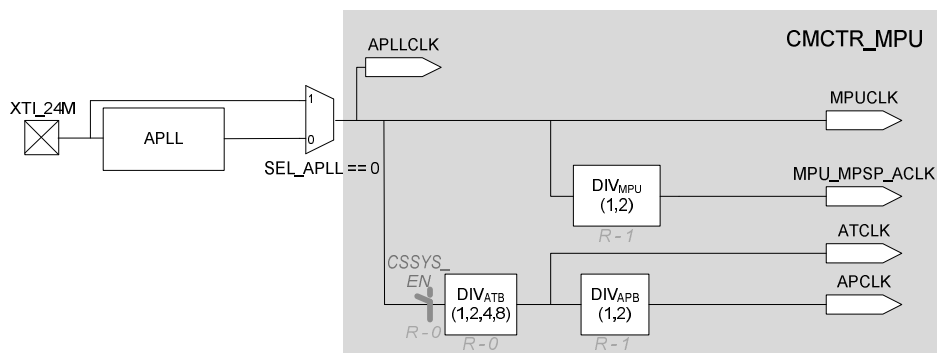
#### 2.4.2.1 Генерация тактовой частоты

На рисунках Рисунок 2.1, Рисунок 2.3, Рисунок 2.2 показаны блок-схемы генерации тактовой частоты в микросхеме. Низкая входная частота с внешнего генератора поступает через вход XTI на PLL микросхемы. PLL преобразует низкую входную частоту в высокие частоты, необходимые для функциональных блоков. При включении микросхемы все PLL выключены, и все частоты поступают напрямую с входа XTI.

На блок-схемах Рисунок 2.1, Рисунок 2.3, Рисунок 2.2 отображены мультиплексоры, с помощью которых можно выбрать альтернативный источник для генерации тактовой частоты. Мультиплексорам соответствуют регистры MUX\_CTR контроллеров CMCTR.

Делители частоты на рисунках Рисунок 2.1, Рисунок 2.3, Рисунок 2.2 показывают также возможные коэффициенты деления. Делителям соответствуют регистры DIV\_CTR контроллера CMCTR. Коэффициенты деления следует выбирать исходя из текущего значения делимой частоты и ограничений представленных в Таблица 2.20.

Возможность отключения частоты показана на рисунках Рисунок 2.1, Рисунок 2.3, Рисунок 2.2 в виде ключей. Ключам соответствуют поля регистров GATE\_CTR контроллера CMCTR.



**Рисунок 2.1 Генерация тактовой частоты в блока CMCTR\_MPU**





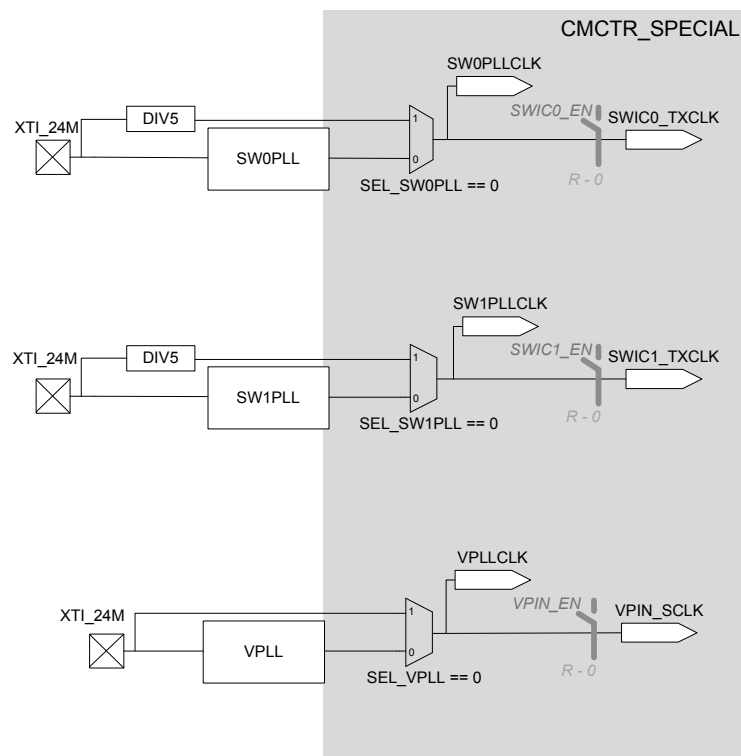


Рисунок 2.4 Генерация тактовой частоты в блоке CMCTR\_SPECIAL

В микросхеме присутствует внешний вывод CLKOUT на который можно вывести частоту с любой PLL микросхемы. Схема разводки частот для вывода CLKOUT представлена на Рисунок 2.5

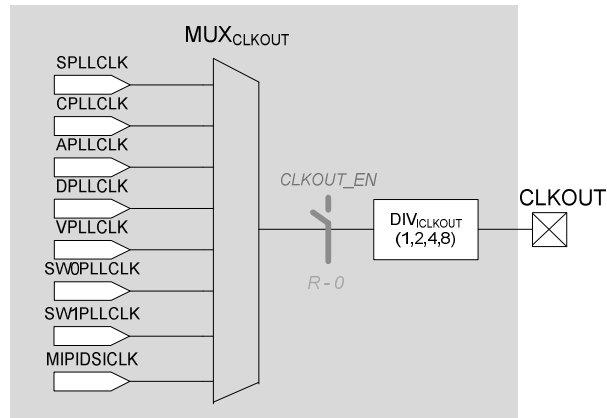


Рисунок 2.5 Вывод частот через CLKOUT

### 2.4.2.2 Описание тактовых частот микросхемы

В Таблица 2.20 дано описание тактовых частот микросхемы.

Таблица 2.20. Описание тактовых частот микросхемы

Название	Описание	Максимальные рабочие значения	Ограничения	Источник
MPUCLK	Основная частота центрального процессора	1488 МГц при 1.2 В, 792 МГц при 1.1 В		APLL-CLK, SPLL-CLK
MPU_MPSP_ACLK	Частота интерфейсной части портов центрального процессора к уровню L1_COMM коммутатора	744 МГц	Относится к MPUCLK как 1:1, 1:2	
ATCLK	Частота шины трассы CSSYS	192 МГц	Относится к MPUCLK	

			как 1:1, 1:2, 1:4, 1:8	
APCLK	Частота шины отладки CSSYS	96 МГц	Относится к ATCLK как 1:1, 1:2	
DSP0_CLK, DSP1_CLK	Основные частоты ядер двухъядерного DSP кластера	792 МГц при 1.2 В, 504 МГц при 1.1 В		DPLLCLK, CPLLCLK, SPLLCLK
ENC_CLK	Частота JPEG энкодера в составе DSP кластера	792 МГц при 1.2 В, 504 МГц при 1.1 В		
VPIN_SCLK	Основная частота VPIN	384 МГц		VPLLCLK,
GPU_ACLK	Основная и интерфейсная частота GPU	312 МГц		DPLLCLK, CPLLCLK, SPLLCLK
DDR0_SCLK, DDR1_SCLK	Основные частоты контроллеров DDR памяти DDRMC0,1	533МГц		SPLLCLK
DDR0_ACLK, DDR1_ACLK	Частоты интерфейсной части контроллеров DDR памяти DDRMC0,1 к коммутатору L0_COMM	504 МГц	Относится к L0_ACLK как 1:1, 1:2, 1:4, 1:8	CPLLCLK, SPLLCLK
L0_ACLK	Частота уровня L0_COMM коммутатора	504 МГц		
VPIN_ACLK, VPOUT_ACLK, VPU_ACLK, DSP_ACLK	Основные и интерфейсные частоты блоков VPIN, VPOUT, VPU, SDMA; интерфейсная частота для DSP кластера к коммутатору L0_COMM	504 МГц	Всегда равны L0_ACLK	
L1_HCLK	Частота уровня L1_COMM коммутатора	288 МГц		
USB_HCLK, EMAC_HCLK, SDMMC0_HCLK, SDMMC1_HCLK, PDMA_HCLK, VPOUT_HCLK, NFC_HCLK, NOR_HCLK	Основные и интерфейсные частоты блоков EMAC, SDMMC0,1, PDMA; интерфейсная частота для USBIC к коммутатору L1_COMM	288 МГц	Всегда равны L1_HCLK	
L3_PCLK	Частота уровней L3_COMM и L2_COMM коммутаторов	144 МГц	Всегда равны, относятся к L1_HCLK как 1:1, 1:2	
DDR0,1_PCLK, VPIN_PCLK, VPU_PCLK, DSP_PCLK, SWIC0,1_ACLK, MFBSP0,1_ACLK, UART0,1,2,3_PCLK, I2C0,1,2_PCLK, I2S_PCLK, SPI0,1_PCLK, PWM_PCLK, MCC_PCLK, MCC_CLK2	Основные и интерфейсные частоты блоков UART, I2C, I2S, SPI, PWM; Частота интерфейсной части блоков DDR0,1, VPIN, VPOUT, VPU, SDMA, DSP, MCC, SWIC0,1 и MFBSP0,1 к уровням L2_COMM и L3_COMM коммутаторов	144 МГц		

#### 2.4.2.3 Блоки PLL

Все PLL в микросхеме являются однотипными. Англоязычное описание PLL доступно [здесь](#).

#### 2.4.3 Программная модель

Контроллер CMCTR позволяет управлять PLL и системой синхронизации микросхемы. Далее описаны программно доступные регистры CMCTR.

### 2.4.3.1 Сводная таблица регистров

В Таблица 2.21 представлена сводная таблица регистров контроллера управления синхронизацией.

В таблице указаны адреса смещения по отношению к базовому адресу контроллера CMCTR данному в Таблица 2.2.

**Таблица 2.21. Сводная таблица регистров CMCTR**

Смещение	Обозначение	Описание	Исходное состояние
Регистры CMCTR_MPU			
0x000	Резерв	Резерв	
0x004	DIV_MPU_CTR	Регистр делителя частоты MPUCLK	
0x008	DIV_ATB_CTR	Регистр делителя частоты ATCLK	
0x00c	DIV_APB_CTR	Регистр делителя частоты APCLK	
0x010	Резерв	Резерв	
0x014	GATE_MPU_CTR	Регистр по управлению отключением частот в CMCTR_MPU	
Регистры CMCTR_CORE			
0x020	Резерв	Резерв	
0x024	Резерв	Резерв	
0x028	Резерв	Резерв	
0x02c	DIV_GPU_CTR	Регистр делителя частоты GPU_ACLK	
0x030	DIV_DDR0_CTR	Регистр делителя частоты DDR0_SCLK	
0x034	DIV_DDR1_CTR	Регистр делителя частоты DDR1_SCLK	
0x038	DIV_NFC_CTR	Регистр делителя частоты NFC_SCLK	
0x03c	DIV_NOR_CTR	Регистр делителя частоты NOR_SCLK	
0x040	DIV_SYS1_CTR	Регистр делителя частоты L1_HCLK и связанных с ней частот	
0x044	DIV_SYS2_CTR	Регистр делителя частоты L3_PCLK и связанных с ней частот	
0x048	GATE_CORE_CTR	Регистр по управлению отключением частот в CMCTR_CORE	
0x04c	GATE_SYS_CTR	Регистр по управлению отключением частот в CMCTR_SYS	
Регистры CMCTR_DSP			
0x060	Резерв	Резерв	
0x064	Резерв	Резерв	
0x068	GATE_DSP_CTR	Регистр по управлению отключением частот в CMCTR_DSP	
Регистры CLKOUT			
0x80	Резерв	Резерв	
0x84	DIV_CLKOUT	Регистр делителя частоты для вывода CLKOUT	
0x88	GATE_CLKOUT	Регистр управления отключением частоты для вывода CLKOUT	
Регистр LS_ENABLE			
0x90	LS_ENABLE	Регистр контроля функции LightSleep памяти микросхемы	
Регистры контроля PLL			
0x100	SEL_APLL	Регистр контроля APLL	
0x104	SEL_CPLL	Регистр контроля CPLL	
0x108	SEL_DPLL	Регистр контроля DPLL	
0x10c	SEL_SPLL	Регистр контроля SPLL	
0x110	SEL_VPLL	Регистр контроля VPLL	

### 2.4.3.2 Регистр DIV\_MPU\_CTR

**Таблица 2.22. Формат регистра DIV\_MPU\_CTR**

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
---------------	----------------------	------------	--------	--------------------

				<b>ние</b>
31:1	-	Не используется	R	0
0	DIV_MPU	Значение делителя тактовой частоты MPUCLK: 0x0 – 1; 0x1 – 2;	R/W	0

### 2.4.3.3 Регистр DIV\_ATB\_CTR

Таблица 2.23. Формат регистра DIV\_ATB\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_ATB	Значение делителя тактовой частоты ATCLK: 0x0 – 1; 0x1 – 2;	R/W	0

### 2.4.3.4 Регистр DIV\_APB\_CTR

Таблица 2.24. Формат регистра DIV\_APB\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_APB	Значение делителя тактовой частоты APCLK: 0x0 – 1; 0x1 – 2;	R/W	0

### 2.4.3.5 Регистр GATE\_MPU\_CTR

Таблица 2.25. Формат регистра GATE\_MPU\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	CSSYS_EN	Разрешение для тактовых частот ATCLK, APCLK	R/W	1

### 2.4.3.6 Регистр Регистр DIV\_GPU\_CTR

Таблица 2.26. Формат регистра DIV\_GPU\_CTR

	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_GPU	Значение делителя тактовых частот GPU_PCLK, GPU_ACLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

### 2.4.3.7 Регистр DIV\_DDR0\_CTR

Таблица 2.27. Формат регистра DIV\_DDR0\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_DDR0	Значение делителя тактовой частоты DDR0_SCLK: 0x0 – 1; 0x1 – 2;	R/W	0

		0x2 – 4; 0x3 – 8;		
--	--	----------------------	--	--

#### 2.4.3.8 Регистр DIV\_DDR1\_CTR

Таблица 2.28. Формат регистра DIV\_DDR1\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_DDR1	Значение делителя тактовой частоты DDR1_SCLK: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

#### 2.4.3.9 Регистр DIV\_NFC\_CTR

Таблица 2.29. Формат регистра DIV\_NFC\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_NFC	Значение делителя тактовой частоты NFC_SCLK 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

#### 2.4.3.10 Регистр DIV\_NOR\_CTR

Таблица 2.30. Формат регистра DIV\_NOR\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	DIV_NOR	Значение делителя тактовой частоты NOR_SCLK 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

#### 2.4.3.11 Регистр DIV\_SYS0\_CTR

Таблица 2.31. Формат регистра DIV\_SYS0\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_SYS0	Значение делителя тактовой частоты L1_HCLK и связанных с ней частот: 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0

#### 2.4.3.12 Регистр DIV\_SYS1\_CTR

Таблица 2.32. Формат регистра DIV\_SYS1\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
---------------	----------------------	------------	--------	--------------------

				<b>ние</b>
31:1	-	Не используется	R	0
0	DIV_SYS1	Значение делителя тактовой частоты L2_ACLK, L3_PCLK и связанных с ними частот: 0x0 – 1; 0x1 – 2; Является вторым в цепи после делителя контролируемого через DIV_SYS0_CTR	R/W	0

### 2.4.3.13 Регистр GATE\_CORE\_CTR

Таблица 2.33. Формат регистра GATE\_CORE\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:7	-	Не используется	R	0
6	GPU_EN	Разрешение для интерфейсных частоты GPU GPU_ACLK	R/W	0
5	VPU_EN	Разрешение для интерфейсных частот VPU VPU_PCLK, VPU_ACLK	R/W	0
4	VPOUT_EN	Разрешение для интерфейсных частот VPOUT VPOUT_PCLK, VPOUT_ACLK	R/W	0
3	VPIN_EN	Разрешение для интерфейсных частот VPIN VPIN_PCLK, VPIN_ACLK	R/W	0
2	DDR1_EN	Разрешение для интерфейсных частот контроллера DDRMC1 DDRMC1_PCLK, DDRMC1_ACLK	R/W	0
1	DDR0_EN	Разрешение для интерфейсных частот контроллера DDRMC0 DDRMC0_PCLK, DDRMC0_ACLK	R/W	0
0	L0_EN	Разрешение для тактовой частоты L0_ACLK и связанных с ней частот	R/W	0

### 2.4.3.14 Регистр GATE\_SYS\_CTR

Таблица 2.34. Формат регистра GATE\_SYS\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:19	-	Не используется	R	0
22	NOR_EN	Разрешение для частот контроллера NORMPORT	R/W	1
21	NFC_EN	Разрешение для частот контроллера NFCMPORT	R/W	1
20	SPI1_EN	Разрешение для интерфейсной частоты контроллера SPI1 SPI1_PCLK	R/W	0
19	SPI0_EN	Разрешение для интерфейсной частоты контроллера SPI0 SPI0_PCLK	R/W	0
18	I2C2_EN	Разрешение для интерфейсной частоты контроллера I2C2 I2C2_PCLK	R/W	0
17	I2C1_EN	Разрешение для интерфейсной частоты контроллера I2C1 I2C1_PCLK	R/W	0
16	I2C0_EN	Разрешение для интерфейсной частоты контроллера I2C0 I2C0_PCLK	R/W	0
15	UART3_EN	Разрешение для интерфейсной частоты контроллера UART3 UART3_PCLK	R/W	0
14	UART2_EN	Разрешение для интерфейсной частоты контроллера UART2 UART2_PCLK	R/W	0
13	UART1_EN	Разрешение для интерфейсной частоты контроллера UART1 UART1_PCLK	R/W	0
12	UART0_EN	Разрешение для интерфейсной частоты контроллера UART0 UART0_PCLK	R/W	0
11	SWIC1_EN	Разрешение для интерфейсной частоты контроллера SWIC1 SWIC1_HCLK	R/W	0
10	SWIC0_EN	Разрешение для интерфейсной частоты контроллера SWIC0 SWIC0_HCLK	R/W	0
9	MFBSP1_EN	Разрешение для интерфейсной частоты контроллера MFBSP1	R/W	0

		MFBSPI_HCLK		
8	MFBSPI_EN	Разрешение для интерфейсной частоты контроллера MFBSPI_HCLK	R/W	0
7	PWM_EN	Разрешение для интерфейсной частоты контроллера MCC PWM_PCLK	R/W	0
6	MCC_EN	Разрешение для интерфейсной частоты контроллера MCC MCC_PCLK	R/W	0
5	USB_EN	Разрешение для интерфейсной частоты контроллера USBIC USBIC_HCLK	R/W	0
4	EMAC_EN	Разрешение для интерфейсной частоты контроллера EMAC EMAC_HCLK	R/W	0
3	SDMMC1_EN	Разрешение для интерфейсной частоты контроллера SDMMC0 SDMMC1_HCLK	R/W	0
2	SDMMC0_EN	Разрешение для интерфейсной частоты контроллера SDMMC0 SDMMC0_HCLK	R/W	0
1	I2S_EN	Разрешение для интерфейсной частоты контроллера I2S I2S_PCLK	R/W	0
0	SYS_EN	Разрешение для тактовых частот L1_HCLK, L3_PCLK и связанных с ними частот	R	1

#### 2.4.3.15 Регистр *Регистр GATE\_DSP\_CTR*

Таблица 2.35. Формат регистра GATE\_DSP\_CTR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:4	-	Не используется	R	0
3	DSPENC_EN	Разрешение для тактовой частоты DSP_ENCCLK	R/W	0
2	DSPEXT_EN	Разрешение для тактовых частот DSP_ACLK, DSP_PCLK	R/W	0
1	DSP1_EN	Разрешение для тактовых частот DSP1_CLK	R/W	0
0	DSP0_EN	Разрешение для тактовых частот DSP0_CLK	R/W	0

#### 2.4.3.16 Регистр *Регистр MUX\_CLKOUT*

Таблица 2.36. Формат регистра MUX\_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0
2:0	MUX_CLKOUT	Выбор источника тактовой частоты для CLKOUT: 0x0 – SPLCLK; 0x1 – CPLCLK; 0x2 – APCLK; 0x3 – DPCLK; 0x4 – VPLCLK; 0x5 – SW0PLCLK; 0x6 – SW1PLCLK; 0x7 – MIPIDSYPLCLK;	R/W	0

#### 2.4.3.17 Регистр *Регистр DIV\_CLKOUT*

Таблица 2.37. Формат регистра DIV\_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	DIV_CLKOUT	Значение делителя тактовой частоты CLKOUT 0x0 – 1; 0x1 – 2; 0x2 – 4; 0x3 – 8;	R/W	0



### 2.4.3.18 Регистр GATE\_CLKOUT

Таблица 2.38. Формат регистра GATE\_CLKOUT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	CLKOUT_EN	Разрешение для тактовой частоты CLKOUT	R/W	0

### 2.4.3.19 Регистр LS\_ENABLE

Таблица 2.39. Формат регистра LS\_ENABLE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	LS_ENABLE	Разрешение перехода памяти блоков микросхемы в режим LightSleep (пониженное потребление и сохранение содержания памяти) при отключении тактовой частоты у данного блока. Применяется для блоков SDMMC, VPIN, VPOUT, GPU, NFCMPort, MCC.	R/W	1

### 2.4.3.20 Регистр SEL\_APLL

Таблица 2.40. Формат регистра SEL\_APLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0
7:0	SEL	Определяет выходную частоту и режим работы PLL	R/W	0
		SEL		

### 2.4.3.21 Регистр SEL\_CPLL

Таблица 2.41. Формат регистра SEL\_CPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние														
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0														
30:8	-	Не используется	R	0														
7:0	SEL	Определяет выходную частоту и режим работы PLL <table><tr><th>SEL</th><th>Вых. частота</th></tr><tr><td>0x0</td><td>XTI, PLL выключена</td></tr><tr><td>0x1</td><td>XTI * 2</td></tr><tr><td>0x2</td><td>XTI * 3</td></tr><tr><td>0x3</td><td>XTI * 4</td></tr><tr><td>...</td><td>...</td></tr><tr><td>0x3D</td><td>XTI * 62</td></tr></table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	0x3	XTI * 4	...	...	0x3D	XTI * 62	R/W	0
SEL	Вых. частота																	
0x0	XTI, PLL выключена																	
0x1	XTI * 2																	
0x2	XTI * 3																	
0x3	XTI * 4																	
...	...																	
0x3D	XTI * 62																	

		0x3E	XTI * 62		
		...	...		
		0xFF	XTI * 62		

#### 2.4.3.22 Регистр SEL\_DPLL

Таблица 2.42. Формат регистра SEL\_DPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0
7:0	SEL	Определяет выходную частоту и режим работы PLL	R/W	0
		SEL		

#### 2.4.3.23 Регистр SEL\_SPLL

Таблица 2.43. Формат регистра SEL\_SPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0
30:8	-	Не используется	R	0
7:0	SEL	Определяет выходную частоту и режим работы PLL	R/W	0
		SEL		

#### 2.4.3.24 Регистр SEL\_VPLL

Таблица 2.44. Формат регистра SEL\_SPLL

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние								
31	LOCK	Бит указывает окончание настройки PLL на новую заданную частоту работы. При начале процедуры настройки либо при выключенной PLL сбрасывается в 0.	R	0								
30:8	-	Не используется	R	0								
7:0	SEL	Определяет выходную частоту и режим работы PLL <table><tr><th>SEL</th><th>Вых. частота</th></tr><tr><td>0x0</td><td>XTI, PLL выключена</td></tr><tr><td>0x1</td><td>XTI * 2</td></tr><tr><td>0x2</td><td>XTI * 3</td></tr></table>	SEL	Вых. частота	0x0	XTI, PLL выключена	0x1	XTI * 2	0x2	XTI * 3	R/W	0
SEL	Вых. частота											
0x0	XTI, PLL выключена											
0x1	XTI * 2											
0x2	XTI * 3											

		0x3	XTP * 4		
		...	...		
		0x3D	XTP * 62		
		0x3E	XTP * 62		
		...	...		
		0xFF	XTP * 62		

## 2.5 Уменьшение потребляемой мощности микросхемы и контроллер PMCTR

### 2.5.1 Введение

В микросхеме MCom02 вводится понятие домена питания. Домен питания – это часть логики микросхемы, отключение питания от которой не приводит к сбоям в других частях микросхемы, а включение возвращает в исходное состояние.

Домен питания может включать в себя логику, работающую на одной или нескольких тактовых частотах.

Домен питания может находиться в одном из четырех состояний:

- 1) Включен – логика внутри домена питания работает в диапазоне рабочих частот.
- 2) Остановлен – все или некоторые тактовые частоты внутри домена отключены.
- 3) Сон – отключено питание от всей логики внутри домена за исключением памяти, состояние которой сохраняется.
- 4) Выключен – отключено питание от всей логики внутри домена включая память.

Концепция состояний домена питания покрывает весь спектр решений по уменьшению потребляемой мощности логики внутри домена:

- для снижения динамического потребления:
  - в состоянии «Включен» могут понижаться рабочие тактовые частоты;
  - в состоянии «Остановлен» все или несколько тактовых частот могут быть отключены;
- для снижения статического потребления домен питания может быть временно выключен, либо переведен в состояние «Сон»;

Домены питания микросхемы показаны на Рисунок 2.6.

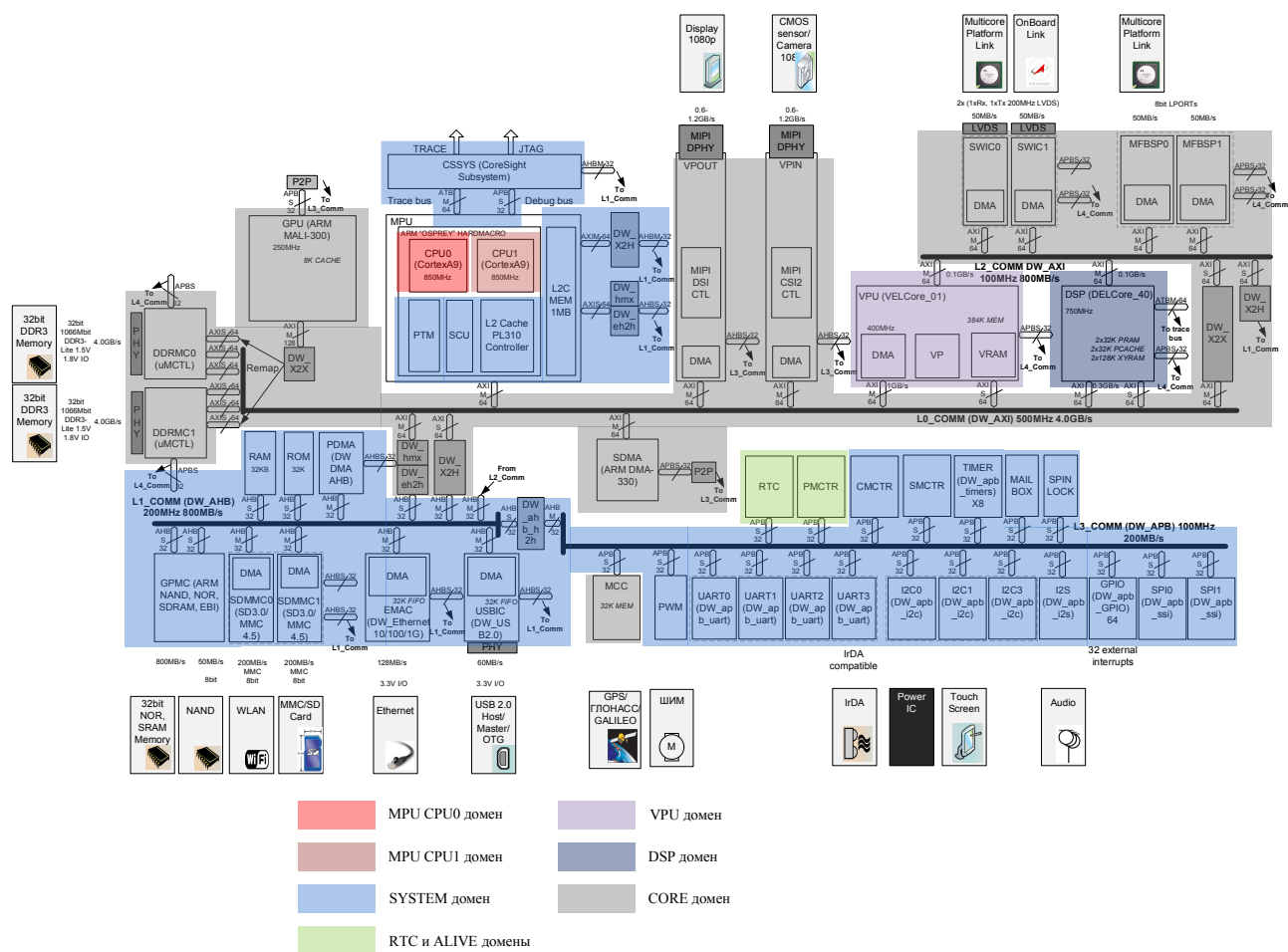


Рисунок 2.6 Домены питания микросхемы

- Домен MPU CPU0 включает логику ядра процессора CPU0 и сопроцессора NEON0;
- Домен MPU CPU1 включает логику ядра процессора CPU1 и сопроцессора NEON1;
- Домен SYSTEM включает логику и память кэша второго уровня и системную часть подсистемы центрального процессора, в том числе контроллер прерываний; логику уровней коммутатора L1\_COMM, L3\_COMM, блоков GPMC, SDMMC, RAM, ROM, PDMA, EMAC, USBIC, PWM, UART1-3, I2C, I2S, SPI, MAILBOX, SPINLOCK, а также логику отладки и трассы;
- Домен VPU включает логику видеоакселератора;
- Домен DSP включает логику цифрового сигнального процессора;
- Домен CORE включает логику уровней коммутатора L0\_COMM, L2\_COMM, блоков SWIC, MFBSP, VPIN, VPOUT, SDMA, GPU, DDRMC, MCC;
- Домен ALIVE и RTC включает логику блока таймера реального времени RTC.

Состояния доменов питания управляются совместно контроллерами системы синхронизации CMCTR и управления питанием PMCTR микросхемы. Через контроллер CMCTR задаются рабочие частоты внутри доменов и производится включение/отключение частот. Посредством контроллера PMCTR домены питания переводятся в состояния «Сон» и «Выключено» и включаются обратно.

### 2.5.2 Обзор контроллера PMCTR

Для всех доменов питания микросхемы соблюдаются специальные процедуры включения и выключения питания. Они обеспечивают правильную работу логики изоляции доменов, тактовых частот и сигналов сброса. Выполнение этих процедур реализуется с помощью контроллера управления питанием PMCTR.

Структура контроллера PMCTR показана на Рисунок 2.7.

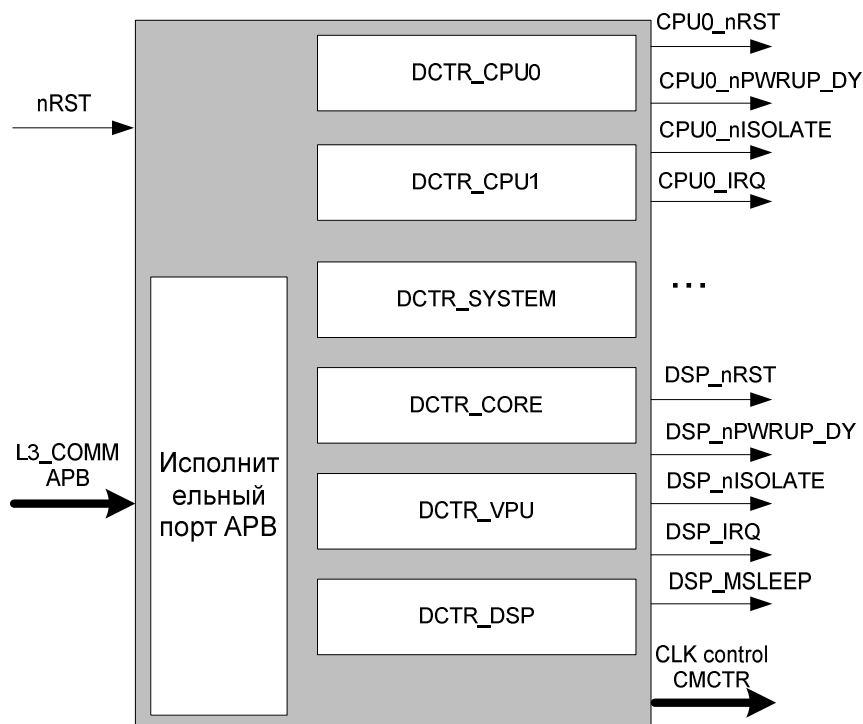


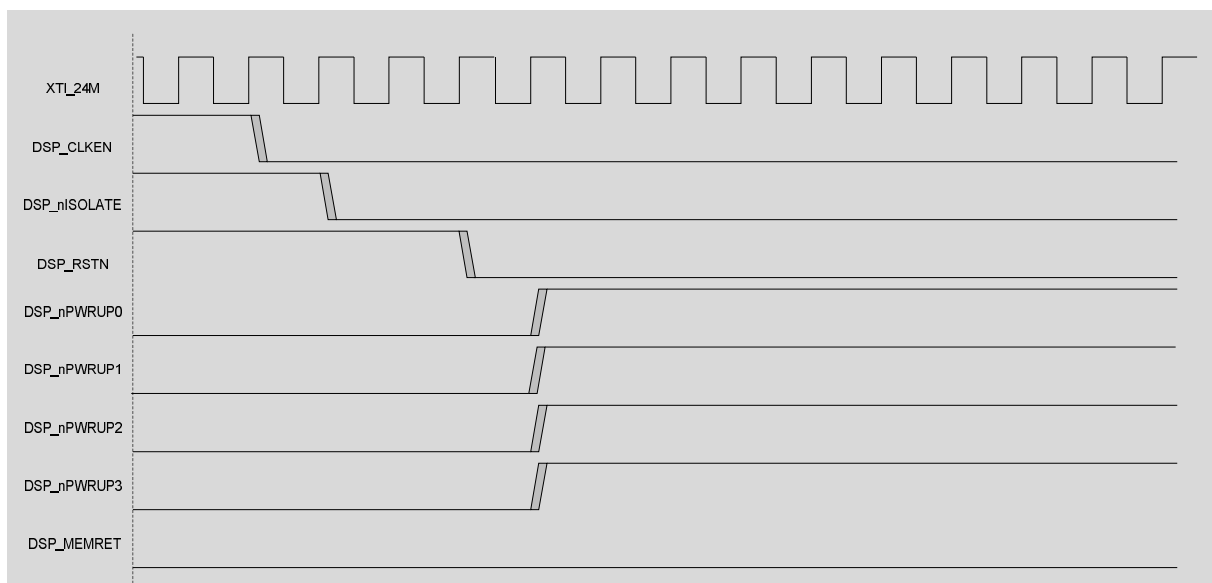
Рисунок 2.7 Структура контроллера PMCTR

PMCTR содержит шесть функциональных блоков, по числу доменов питания, которые управляют сигналами сброса, изоляции и включения доменов питания, программно доступные регистры для управления ими и интерфейс к контроллеру системы синхронизации микросхемы CMCTR.

Общая процедура, которую реализует PMCTR для выключения домена питания следующая:

- 1) Отключение тактовой частоты
- 2) Разрешение сигнала изоляции домена
- 3) Установка сигнала сброса
- 4) Выключение переключателей питания
- 5) Перевод памяти в режим сохранения содержимого (опционально)

Пример аппаратной процедуры выключения домена показан на Рисунок 2.8

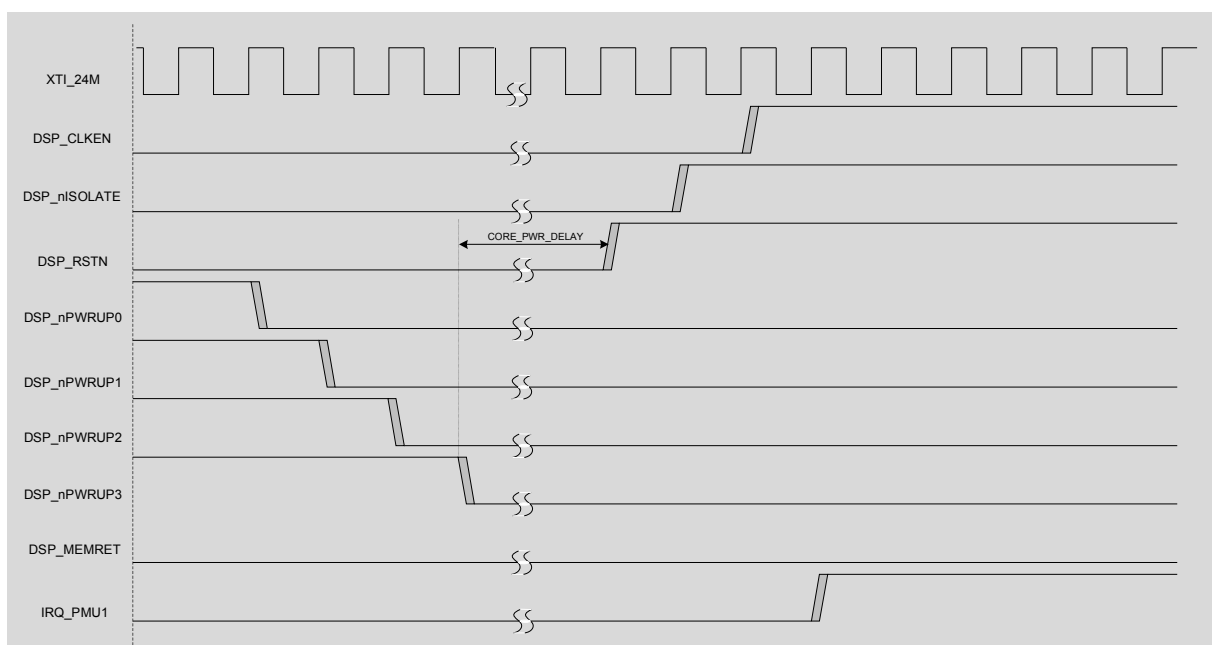


**Рисунок 2.8 Процедура выключения домена питания**

Общая процедура, которую реализует PMCTR для включения домена питания следующая:

- 1) Включение переключателей питания
- 2) Снятие сигнала сброса
- 3) Снятие изоляции
- 4) Включение тактовой частоты
- 5) Выставление прерывания (опционально)

Пример аппаратной процедуры включения домена питания показан на Рисунок 2.9



**Рисунок 2.9 Процедура включения домена питания**

### 2.5.3 Режимы работы микросхемы

Все разрешенные комбинации состояний доменов питания микросхемы образуют несколько режимов работы микросхемы, показанных в Таблица 2.45

Таблица 2.45. Режимы работы микросхемы и возможные состояния доменов питания

	Рабочий режим	Экономный режим	Режим сна
<b>SYSTEM</b>	Остановлен/ Включен	Остановлен/ Включен	Выключен
<b>MPU CPU0</b>	Остановлен/ Включен	Выключен/ Остановлен/ Включен	Выключен
<b>MPU CPU1</b>	Выключен/ Остановлен/ Включен	Выключен/ Остановлен/ Включен	Выключен
<b>DSP</b>	Выключен/ Сон/ Остановлен/ Включен	Выключен/ Сон	Выключен/ Сон
<b>VPU</b>	Выключен/ Сон/ Остановлен/ Включен	Выключен/ Сон	Выключен/ Сон
<b>CORE</b>	Остановлен/ Включен	Выключен	Выключен
<b>ALIVE и RTC</b>	Включен	Включен	Включен

Состояние «Сон» доступно только для доменов DSP, VPU с сохранением содержимого памяти DSP и VPU соответственно.

Разрешенные переходы между режимами работы микросхемы показаны на Рисунок 2.10.

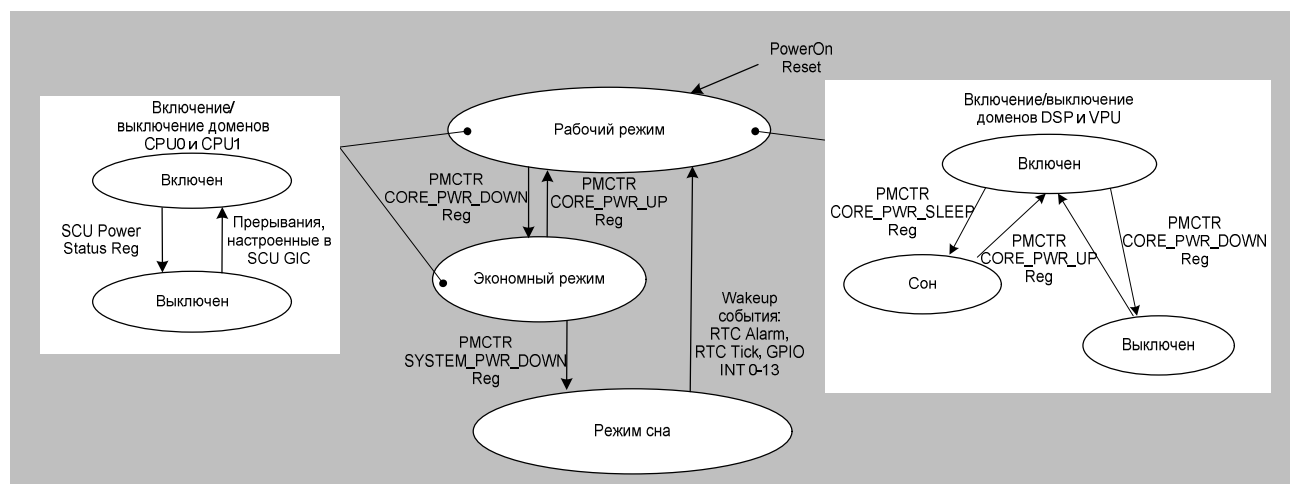


Рисунок 2.10 Переходы между режимами работы микросхемы

По включению микросхема находится в рабочем режиме.

#### 2.5.3.1 Рабочий режим

В рабочем режиме домены питания CORE, SYSTEM, RTC и ALIVE включены, т.е. включен коммутатор микросхемы, все периферийные блоки и системная часть центрального процессора. При этом домены CPU0, CPU1, DSP, VPU, т.е. вычислительные ядра могут быть как включенными, так и выключенными в зависимости от приложения. Кроме этого

во всех доменах микросхемы, кроме RTC и ALIVE в рабочем режиме могут отключаться все или некоторые тактовые частоты.

**Для перехода в экономный режим:**

- Программно завершить все операции блоков, входящих в домены CORE, DSP, VPU;
- Перевести память DDR в режим self-refresh;
- Отключить CPLL и DPLL записью 0x0 в регистры SEL\_CPLL, SEL\_DPLL;
- Записать в регистр CORE\_PWR\_DOWN значение 0x7.

При переходе в экономный режим аппаратно выполняются следующие действия:

- Выполняется ожидание завершения всех транзакций в рамках доменов CORE, DSP, VPU;
- Маскируются тактовые частоты доменов CORE, DSP, VPU;

### **2.5.3.2 Экономный режим**

В экономном режиме домены питания SYSTEM, RTC и ALIVE включены, т.е. включена низкоскоростная часть системного коммутатора L1\_COMM, L3\_COMM и периферийные блоки доступные по этой части коммутатора. Выключен домен CORE, т.е. высокоскоростная часть системного коммутатора L0\_COMM, L2\_COMM и блоки доступные по этой части коммутатора. Домены DSP, VPU также выключены или переведены в состояния сна. При этом домены CPU0, CPU1, т.е. вычислительные ядра центрального процессора могут быть как включенными, так и выключенными в зависимости от приложения. Кроме этого в доменах микросхемы CPU0, CPU1, SYSTEM в рабочем режиме могут отключаться все или некоторые тактовые частоты.

**Для перехода в рабочий режим:**

- Записать в регистр CORE\_PWR\_UP значение 0x1, если необходимо включить только домен CORE;
- Провести процедуру инициализации регистров DDRMC0, DDRMC1, завершить ее записью в регистр DDR\_INIT\_END PMCTR;
- Включить CPLL и DPLL записью рабочих значений умножителя в регистры SEL\_CPLL, SEL\_DPLL;
- Вывести DDR из режима self-refresh.

При переходе в рабочий режим аппаратно выполняются следующие действия:

- Размаскируются тактовые частоты для доменов CORE и если задано DSP, VPU;
- На логику в доменах CORE и если задано DSP, VPU подается сигнал сброса.

**Для перехода в режим сна:**

- Замаскировать все прерывания в контроллере GIC MPU;
- Программно завершить все операции блоков, входящих в домен SYSTEM;
- Перевести контроллер кэша второго уровня MPU в состояние standby;
- Настроить регистры WAKEUP\_MASK в PMCTR и RTC таймер;
- Записать в регистр SYSTEM\_PWR\_DOWN PMCTR значение 0x7.



При переходе в режим сна аппаратно выполняются следующие действия:

- Выполняется ожидание завершения всех транзакций в рамках доменов SYSTEM, CPU0, CPU1;
- Отключаются тактовые частоты домена SYSTEM;

### **2.5.3.3 Режим сна**

В режиме сна все домены питания микросхемы, кроме RTC и ALIVE выключены. Необходимо также сохранять питание для некоторых групп КП: GP1\_VDD, SVDD, RTC\_VDD, SMC\_VDD для обеспечения процедуры начальной загрузки.

Для перехода в рабочий режим применяется аппаратный механизм wakeur событий, такими событиями являются:

- Прерывание Wakeur RTC таймера;
- Внешние прерывания от входов nIRQ и nFIQ;
- Подача запроса CSYSPWRUPREQ от DAP контроллера отладчика;
- Подача сигнала сброса на вход NRST\_WARM.

При переходе в рабочий режим аппаратно выполняются следующие действия:

- На микросхему подается сигнал «теплого» сброса.

Для дальнейшего снижения потребления микросхемы допускается отключения ALIVE домена, т.е. полное отключение питания от VDD\_SYSTEM и всех цепей питания КП кроме RTC\_VDD. Однако в таком случае исключается возможность пробуждения микросхемы от wakeur событий, кроме подачи сброса на вход NRST\_WARM. Перед подачей сброса, внешней логикой должно быть обеспечено предварительное включение всех цепей питания. Для инициации процедуры включения может быть использован сигнал внешнего прерывания RTC\_Wakeur от RTC таймера.

### **2.5.3.4 Включение и выключение доменов MPU CPU0, MPU CPU1**

В рабочем и экономном режиме работы микросхемы допускается отключение доменов MPU CPU0 и MPU CPU1, которые соответствуют двум вычислительным ядрам Cortex A9 MPU кластера. При этом системная часть центрального процессора, контроллер прерывания GIC и кэш второго уровня остаются включенными.

**Выключение доменов MPU CPU0 или MPU CPU1** выполняется с помощью внутреннего для MPU регистра SCU Power status. Последовательность следующая:

- Выполнить все необходимые программные процедуры, необходимые для последующего включения. Очистить и девальдировать кэш L1;
- Записать 0x3 в соответствующие данному CPU биты регистра SCU CPU Power Status;
- Выполнить инструкцию WFI.

**Включение доменов MPU CPU0 или MPU CPU1** выполняется по любому прерыванию настроенному в MPU SCU GIC контроллере на прерывания nIRQ или nFIQ соответствующего CPU. При этом прерывание выдается GIC контроллером MPU в качестве запроса к

контроллеру питания PMCTR, который и выполняет аппаратную процедуру включения домена CPU0 или CPU1.

### 2.5.3.5 Включение, сон и выключение доменов DSP, VPU

В рабочем режиме работы микросхемы допускается отключение доменов DSP и VPU, а также перевод их в режим сна. В режиме сна DSP сохраняет содержимое памяти XYRAM и PRAM, VPU сохраняет содержимое памяти...

**Перевод в режим сна доменов DSP или VPU** осуществляется следующим образом:

- Выполнить все необходимые программные процедуры, необходимые для последующего включения;
- Остановить программу DSP или VPU и все внешние обмены;
- Со стороны MPU записать «1» в соответствующий бит регистра CORE\_PWR\_SLEEP PMCTR.

**Выключение доменов DSP или VPU** осуществляется следующим образом:

- Выполнить все необходимые программные процедуры, необходимые для последующего включения;
- Остановить программу DSP или VPU и все внешние обмены;
- Со стороны MPU записать «1» в соответствующий бит регистра CORE\_PWR\_DOWN PMCTR.

**Включение доменов DSP или VPU** осуществляется записать «1» в соответствующий бит регистра CORE\_PWR\_UP PMCTR.

## 2.5.4 Программная модель

Далее описаны программно доступные регистры PMCTR.

### 2.5.4.1 Сводная таблица регистров

В Таблица 2.21 представлена сводная таблица регистров контроллера управления синхронизацией.

В таблице указаны адреса смещения по отношению к базовому адресу контроллера PMCTR данному в Таблица 2.2.

**Таблица 2.46. Сводная таблица регистров PMCTR**

Смещение	Обозначение	Описание	Исходное состояние
Домены MPU CPU0, MPU CPU1, SYSTEM			
0x000	-	Резерв	
0x004	SYS_PWR_DOWN	Регистр выключения доменов	
0x008	-	Резерв	
0x00c	SYS_PWR_STATUS	Регистр статуса доменов	
0x010	SYS_PWR_IMASK	Регистр маски прерывания SYS_PWR_INT	
0x014	SYS_PWR_IRSTAT	Регистр наличного статуса прерывания SYS_PWR_INT	
0x018	SYS_PWR_ISTAT	Регистр статуса прерывания SYS_PWR_INT	
0x01c	SYS_PWR_ICLR	Регистр очистки статуса прерывания SYS_PWR_INT	
0x020	SYS_PWR_DELAY	Регистр задания задержек автоматов доменов	
DDR Control			

0x24	DDR_PIN_RET	Регистр перевода выводов DDR в режим хранения состояния	
0x28	DDR_INIT_END	Регистр вывода контроллеров DDRMC0, DDRMC1 из режима инициализации	
Логика сброса и wakeur			
0x2c	WARM_RST_EN	Регистры разрешения «теплого» сброса	
0x30	WKP_IMASK	Регистр маски wakeur событий	
0x34	WKP_IRSTAT	Регистр наличного статуса wakeur событий	
0x38	WKP_ISTAT	Регистр статуса wakeur событий	
0x3c	WKP_ICLR	Регистр очистки wakeur событий	
0x40	SW_RST	Регистр программного «теплого» сброса	
0x44	WARM_RST_STATUS	Регистр статуса последнего сброса	
0x48	PDM_RST_STATUS	Регистр статуса сброса доменов питания	
0x4c	VMODE	Регистр управления сигналами VMODE	
0x50 – 0x5c	CPU0_WKP_MASK	Регистр маски включения домена CPU0 по прерываниям	
0x60 – 0x6c	CPU1_WKP_MASK	Регистр маски включения домена CPU1 по прерываниям	
0x70	ALWAYS_MISC0	Регистр общего назначения в домене ALWAYS_ON	
0x74	ALWAYS_MISC1	Регистр общего назначения в домене ALWAYS_ON	
0x78	WARM_BOOT_OVRD	Регистр управления загрузкой при «теплом» сбросе	
Домены DSP, VPU, CORE			
0x080	CORE_PWR_UP	Регистр включения доменов	
0x084	CORE_PWR_DOWN	Регистр выключения доменов	
0x088	-	Резерв	
0x08c	CORE_PWR_STATUS	Регистр статуса доменов	
0x090	CORE_PWR_IMASK	Регистр маски прерывания CORE_PWR_INT	
0x094	CORE_PWR_IRSTAT	Регистр наличного статуса прерывания CORE_PWR_INT	
0x098	CORE_PWR_ISTAT	Регистр статуса прерывания CORE_PWR_INT	
0x09c	CORE_PWR_ICLR	Регистр очистки статуса прерывания CORE_PWR_INT	
0x0a0	CORE_PWR_DELAY	Регистр задания задержек автоматов доменов	

#### 2.5.4.2 Регистр SYS\_PWR\_DOWN

Таблица 2.47. Формат регистра SYS\_PWR\_DOWN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	CPU1_DOWN	Выключение домена CPU1	W	н.д.
1	CPU0_DOWN	Выключение домена CPU0	W	н.д.
0	SYS_DOWN	Выключение домена SYSTEM	W	н.д.

#### 2.5.4.3 Регистр SYS\_PWR\_STATUS

Таблица 2.48. Формат регистра SYS\_PWR\_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0x0
2	CPU1_DOWN	Статус домена CPU1 0 – включен 1 – выключен	R	0x0
1	CPU0_DOWN	Статус домена CPU1 0 – включен 1 – выключен	R	0x0

0	SYS_DOWN	Статус домена SYSTEM 0 – включен 1 – выключен	R	0x0
---	----------	---	---	-----

#### 2.5.4.4 *SYS\_PWR\_DELAY*

Таблица 2.49. Формат регистра SYS\_PWR\_DELAY

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	R	0x0
15:0	DELAY	Бит задает длительность аппаратной процедуры включения домена в тактах XTI_24M. Допустимые значения 0x0000 – 0xFFFF.	R/W	0xFF

#### 2.5.4.5 *Регистр SYS\_PWR\_IMASK*

Таблица 2.50. Формат регистра SYS\_PWR\_IMASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	MASK	Маска прерывания по включению любого из доменов 1 – прерывание разрешено 0 – прерывание запрещено	R/W	0x1

#### 2.5.4.6 *Регистр SYS\_PWR\_IRSTAT*

Таблица 2.51. Формат регистра SYS\_PWR\_IRSTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	RSTAT	Показывает немаскированный статус прерывания. Запись «1» приводит к установке бита и генерации немаскируемого прерывания	R/W	0x0

#### 2.5.4.7 *Регистр SYS\_PWR\_ISTAT*

Таблица 2.52. Формат регистра SYS\_PWR\_ISTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	ISTAT	Показывает маскированный статус прерывания	R	0x0

#### 2.5.4.8 *Регистр SYS\_PWR\_ICLR*

Таблица 2.53. Формат регистра SYS\_PWR\_ICLR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	W	н.д.
0	CLR	Запись «1» очищает статус прерывания	W	н.д.

#### 2.5.4.9 *Регистр Регистр DDR\_PIN\_RET*

Таблица 2.54. Формат регистра DDR\_PIN\_RET

Номер	Условное обо-	Назначение	Доступ	Исходное
-------	---------------	------------	--------	----------

разряда	значение			состоя- ние
31:2	-	Не используется	R	0x0
1	RET_DDRMC1	Бит управляют логикой поддержания состояния выводов DDR в случае отключения питания «1» - выводы в режиме поддержания состояния «0» - выводы в рабочем режиме	R/W	0x1
0	RET_DDRMC0	Бит управляют логикой поддержания состояния выводов DDR в случае отключения питания «1» - выводы в режиме поддержания состояния «0» - выводы в рабочем режиме	R/W	0x1

#### 2.5.4.10 Регистр Регистр DDR\_INIT\_END

Таблица 2.55. Формат регистра DDR\_INIT\_END

Номер разряда	Условное обо- значение	Назначение	Доступ	Исходное состоя- ние
31:1	-	Не используется	R	0x0
0	INIT_END	Запись в бит должна завершать процедуру инициализации регистров контроллеров DDRMC0 и DDRMC1. Процедура инициализации проводится после сброса микросхемы или домена питания CORE. Для начала процедуры необходимо также включить частоту DDR через регистр GATE_CORE_CTR CMCTR. Процедура должна проводиться при выключенной PLL(CPLL или SPLL в зависимости от настроек источника тактовой частоты для DDR)	R/W	0x0

#### 2.5.4.11 Регистр CPU0\_WKP\_MASK

Таблица 2.56. Формат регистра SYS\_PWR\_IMASK

Номер разряда	Условное обо- значение	Назначение	Доступ	Исходное состоя- ние
127:0	MASK	Маска разрешения включения по прерываниям домена CPU0 1 – прерывание разрешено 0 – прерывание запрещено Биты маски соответствуют отображению прерываний в контроллере прерываний MPU	R/W	0x0

#### 2.5.4.12 Регистр CPU1\_WKP\_MASK

Таблица 2.57. Формат регистра SYS\_PWR\_IMASK

Номер разряда	Условное обо- значение	Назначение	Доступ	Исходное состоя- ние
127:0	MASK	Маска разрешения включения по прерываниям домена CPU1 1 – прерывание разрешено 0 – прерывание запрещено Биты маски соответствуют отображению прерываний в контроллере прерываний MPU	R/W	0x0

#### 2.5.4.13 ALWAYS\_MISC0

Таблица 2.58. Формат регистра ALWAYS\_MISC0

Номер разряда	Условное обо- значение	Назначение	Доступ	Исходное состоя- ние
31:0	MISC	Поле регистра общего назначения, которых находится в домене ALWAYS_ON и таким образом сохраняет свое значение в режиме «сон» микросхемы	R/W	0x0

#### 2.5.4.14 ALWAYS\_MISC1

Таблица 2.59. Формат регистра ALWAYS\_MISC1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:0	MISC	Поле регистра общего назначения, которых находится в домене ALWAYS_ON и таким образом сохраняет свое значение в режиме «сон» микросхемы	R/W	0x0

#### 2.5.4.15 WARM\_BOOT\_OVRD

Таблица 2.60. Формат регистра WARM\_BOOT\_OVRD

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	OVRD_EN	Разрешение на принудительную установку значения регистра BOOT_REMAP в 0x2 при теплом сбросе, т.е. при теплом сбросе начальная загрузка осуществляется из ROM памяти, вне зависимости от значений на внешних входах BOOT микросхемы. Может использоваться, например, для передачи управления по тепловому сбросу сразу программе восстановления контекста, минуя процедуры загрузки и инициализации необходимые при сбросе по включению питания микросхемы.	R/W	0x0

#### 2.5.4.16 Регистр CORE\_PWR\_UP

Таблица 2.61. Формат регистра CORE\_PWR\_UP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_UP	Включение домена VPU	W	н.д.
1	DSP_UP	Включение домена DSP	W	н.д.
0	CORE_UP	Включение домена CORE	W	н.д.

#### 2.5.4.17 Регистр CORE\_PWR\_DOWN

Таблица 2.62. Формат регистра CORE\_PWR\_DOWN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_DOWN	Выключение домена VPU	W	н.д.
1	DSP_DOWN	Выключение домена DSP	W	н.д.
0	CORE_DOWN	Выключение домена CORE	W	н.д.

#### 2.5.4.18 CORE\_PWR\_SLEEP

Таблица 2.63. Формат регистра CORE\_PWR\_SLEEP

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	W	н.д.
2	VPU_SLEEP	Перевод домена VPU в сон, т.е. выключение с сохранением содержимого памяти	W	н.д.
1	DSP_SLEEP	Перевод домена DSP в сон, т.е. выключение с сохранением содержимого памяти	W	н.д.
0	-	Не используется	W	н.д.

#### 2.5.4.19 Регистр CORE\_PWR\_STATUS

Таблица 2.64. Формат регистра CORE\_PWR\_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:3	-	Не используется	R	0x0
2	VPU_DOWN	Статус домена VPU 0 – включен 1 - выключен	R	0x0
1	DSP_DOWN	Статус домена DSP 0 – включен 1 - выключен	R	0x0
0	CORE_DOWN	Статус домена CORE 0 – включен 1 - выключен	R	0x0

#### 2.5.4.20 Регистр CORE\_PWR\_IMASK

Таблица 2.65. Формат регистра CORE\_PWR\_IMASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	MASK	Маска прерывания по включению любого из доменов 1 – прерывание разрешено 0 – прерывание запрещено	R/W	0x1

#### 2.5.4.21 Регистр CORE\_PWR\_IRSTAT

Таблица 2.66. Формат регистра CORE\_PWR\_IRSTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	RSTAT	Показывает незамаскированный статус прерывания. Запись «1» приводит к установке бита и генерации незамаскируемого прерывания	R/W	0x0

#### 2.5.4.22 Регистр CORE\_PWR\_ISTAT

Таблица 2.67. Формат регистра CORE\_PWR\_ISTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0x0
0	ISTAT	Показывает маскированный статус прерывания	R	0x0

#### 2.5.4.23 Регистр CORE\_PWR\_ICLR

Таблица 2.68. Формат регистра CORE\_PWR\_ICLR

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	W	н.д.
0	CLR	Запись «1» очищает статус прерывания	W	н.д.

#### 2.5.4.24 Регистр CORE\_PWR\_DELAY

Таблица 2.69. Формат регистра CORE\_PWR\_DELAY

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:16	-	Не используется	R	0x0
15:0	DELAY	Поле задает длительность аппаратной процедуры включения домена в тактах XT1 24М. Допустимые значения 0x0000 – 0xFFFF.	R/W	0xFF

#### 2.5.4.25 Регистр WARM\_RST\_EN

Таблица 2.70. Формат регистра WARM\_RST\_EN

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:1	-	Не используется	R	0
0	EN	Разрешение «теплого» сброса в микросхеме. При бите установленном в «0» все источники «теплого» сброса микросхемы приводят к сбросу по включению питания.	R/W	1

#### 2.5.4.26 Регистр WKP\_IMASK

Таблица 2.71. Формат регистра WKP\_IMASK

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0x0
5:0	MASK	Маска событий по выводу микросхемы из режима сна 1 – прерывание разрешено 0 – прерывание запрещено Бит 0 – WIRQ[0] Бит 1 – WIRQ[1] Бит 2 – Резерв Бит 3 – Резерв Бит 4 – RTC wakeup Бит 5 – CSYSPWRUPREQ	R/W	0x0

#### 2.5.4.27 Регистр WKP\_IRSTAT

Таблица 2.72. Формат регистра WKP\_IRSTAT

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:6	-	Не используется	R	0x0
5:0	RSTAT	Показывает немаскированный статус прерывания. Запись «1» приводит к установке бита и генерации немаскируемого прерывания Бит 0 – WIRQ[0] Бит 1 – WIRQ[1] Бит 2 – Резерв Бит 3 – Резерв Бит 4 – RTC wakeup Бит 5 – CSYSPWRUPREQ	R/W	0x0

#### 2.5.4.28 Регистр WKP\_ISTAT

Таблица 2.73. Формат регистра SYS\_PWR\_ISTAT

Номер	Условное обо-	Назначение	Доступ	Исходное
-------	---------------	------------	--------	----------



разряда	значение			состоя- ние
31:6	-	Не используется	R	0x0
5:0	ISTAT	Показывает маскированный статус прерывания Бит 0 – WIRQ[0] Бит 1 – WIRQ[1] Бит 2 – Резерв Бит 3 – Резерв Бит 4 – RTC wakeup Бит 5 – CSYSPWRUPREQ	R	0x0

#### 2.5.4.29 Регистр WKP\_ICLR

Таблица 2.74. Формат регистра SYS\_PWR\_ICLR

Номер разряда	Условное обо- значение	Назначение	Доступ	Исходное состоя- ние
31:6	-	Не используется	W	н.д.
5:0	CLR	Запись «1» очищает статус прерывания Бит 0 – WIRQ[0] Бит 1 – WIRQ[1] Бит 2 – Резерв Бит 3 – Резерв Бит 4 – RTC wakeup Бит 5 – CSYSPWRUPREQ	W	н.д.

#### 2.5.4.30 Регистр SW\_RST

Таблица 2.75. Формат регистра SW\_RST

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состоя- ние
31:1	-	Не используется	R	0
0	RST	Запись «1» инициирует «теплый» сброс микросхемы.	W	-

#### 2.5.4.31 Регистр WARM\_RST\_STATUS

Таблица 2.76. Формат регистра WARM\_RST\_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состоя- ние
31:4	-	Не используется	R	0
4	SOC_WDT	Сброс произошел по сторожевому таймеру WDT		
3	WKUP	Сброс произошел по wakeup событию	R	-
2	CPU0_WDT	Сброс произошел по сторожевому таймеру MPU CPU0	R	-
1	SW	Сброс произошел по программной записи	R	-
0	EXT	Сброс произошел от внешнего вывода NRST_WARM	R	-

#### 2.5.4.32 Регистр PDM\_RST\_STATUS

Таблица 2.77. Формат регистра PDM\_RST\_STATUS

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состоя- ние
31:5	-	Не используется	R	0
4	CORE	Сброс логики CORE произошел по включению домена	R	0
3	VPU	Сброс VPU произошел по включению домена	R	0
2	DSP	Сброс DSP произошел по включению домена	R	0
1	CPU1	Сброс MPU CPU1 произошел по включению домена	R	0
0	CPU0	Сброс MPU CPU0 произошел по включению домена	R	0

### 2.5.4.33 Регистр VMODE

Таблица 2.78. Формат регистра VMODE

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
31:2	-	Не используется	R	0
1:0	VMODE	Биты управляют состоянием внешних выводов NVMODE[1:0] и используются для задания напряжения ядра микросхемы	R/W	0x3

## 2.6 Контроллеры прерываний в микросхеме

### 2.6.1 Обзор

### 2.6.2 Интеграция

### 2.6.3 Отображение прерываний

Таблица 2.79. Отображение прерываний в контроллере прерываний MPU

	Адресат прерывания	Источник прерывания	Модуль	Описание
	MPU_IRQS0	MPU_L2CCINTR	MPU	Прерывание контроллера кэша второго уровня MPU
	MPU_IRQS1	DSP_INT_DSP	DSP	Прерывание от DSP
	MPU_IRQS2	GPU_IRQPPMMU0	GPU	Прерывание от MMU пиксельного процессора GPU
	MPU_IRQS3	GPU_IRQPP0	GPU	Прерывание от пиксельного процессора GPU
	MPU_IRQS4	GPU_IRQPMU	GPU	Прерывание от PMU GPU
	MPU_IRQS5	GPU_IRQGPMU	GPU	Прерывание от MMU геометрического процессора GPU
	MPU_IRQS6	GPU_IRQGP	GPU	Прерывание от геометрического процессора GPU
	MPU_IRQS7	VPU_INT	VPU	Прерывание от VPU
	MPU_IRQS8	SDMA_IRQ0	SDMA	Прерывание 0 от SDMA
	MPU_IRQS9	SDMA_IRQ1	SDMA	Прерывание 1 от SDMA
	MPU_IRQS10	SDMA_IRQ2	SDMA	Прерывание 2 от SDMA
	MPU_IRQS11	SDMA_IRQ3	SDMA	Прерывание 3 от SDMA
	MPU_IRQS12	SDMA_IRQ4	SDMA	Прерывание 4 от SDMA
	MPU_IRQS13	SDMA_IRQ5	SDMA	Прерывание 5 от SDMA
	MPU_IRQS14	SDMA_IRQ6	SDMA	Прерывание 6 от SDMA
	MPU_IRQS15	SDMA_IRQ7	SDMA	Прерывание 7 от SDMA
	MPU_IRQS16	SDMA_IRQ8	SDMA	Прерывание 8 от SDMA
	MPU_IRQS17	SDMA_IRQ9	SDMA	Прерывание 9 от SDMA
	MPU_IRQS18	SDMA_IRQ10	SDMA	Прерывание 10 от SDMA
	MPU_IRQS19	SDMA_IRQ11	SDMA	Прерывание 11 от SDMA
	MPU_IRQS20	SDMA_IRQ12	SDMA	Прерывание 12 от SDMA
	MPU_IRQS21	SDMA_IRQ13	SDMA	Прерывание 13 от SDMA
	MPU_IRQS22	SDMA_IRQ14	SDMA	Прерывание 14 от SDMA
	MPU_IRQS23	SDMA_IRQ15	SDMA	Прерывание 15 от SDMA
	MPU_IRQS24	PDMA_INT_FLAG0	PDMA	
	MPU_IRQS25	PDMA_INT_FLAG1	PDMA	
	MPU_IRQS26	PDMA_INT_FLAG2	PDMA	
	MPU_IRQS27	PDMA_INT_FLAG3	PDMA	
	MPU_IRQS28	PDMA_INT_FLAG4	PDMA	
	MPU_IRQS29	RTC_TICK_INT	RTC	
	MPU_IRQS30	RTC_PMWKP_INT	RTC	
	MPU_IRQS31	RTC_ALARM_INT	RTC	
	MPU_IRQS32	USBIC_INT	USBIC	
	MPU_IRQS33	USBIC_ENDP_INT	USBIC	
	MPU_IRQS34	VPIN_VIOINT	VPIN	

	MPU_IRQS35	VPIN_STR0INT	VPIN	
	MPU_IRQS36	VPIN_STR1INT	VPIN	
	MPU_IRQS37	VPOUT_LCDINT	VPOUT	
	MPU_IRQS38	VPOUT_DSIINT	VPOUT	
	MPU_IRQS39	NFC_MPORTINT	NFCMPORT	
	MPU_IRQS40	MFBSP0_DMAIRQ0	MFBSP0	
	MPU_IRQS41	MFBSP0_DMAIRQ1	MFBSP0	
	MPU_IRQS42	MFBSP1_DMAIRQ0	MFBSP1	
	MPU_IRQS43	MFBSP1_DMAIRQ1	MFBSP1	
	MPU_IRQS44	Резерв	Резерв	Резерв
	MPU_IRQS45	Резерв	Резерв	Резерв
	MPU_IRQS46	CPU0_PMUIRQ	MPU	Прерывание от монитора производительности CPU0
	MPU_IRQS47	CPU1_PMUIRQ	MPU	Прерывание от монитора производительности CPU1
	MPU_IRQS48	SWIC0DMA_IRQ0	SWIC0	
	MPU_IRQS49	SWIC0DMA_IRQ1	SWIC0	
	MPU_IRQS50	SWIC0DMA_IRQ2	SWIC0	
	MPU_IRQS51	SWIC0DMA_IRQ3	SWIC0	
	MPU_IRQS52	SWIC1DMA_IRQ0	SWIC1	
	MPU_IRQS53	SWIC1DMA_IRQ1	SWIC1	
	MPU_IRQS54	SWIC1DMA_IRQ2	SWIC1	
	MPU_IRQS55	SWIC1DMA_IRQ3	SWIC1	
	MPU_IRQS56	SWIC0_INT	SWIC0	
	MPU_IRQS57	SWIC1_INT	SWIC1	
	MPU_IRQS58	MFBSP0_RXIRQ	MFBSP0	
	MPU_IRQS59	MFBSP0_TXIRQ	MFBSP0	
	MPU_IRQS60	MFBSP0_SRQ	MFBSP0	
	MPU_IRQS61	MFBSP1_RXIRQ	MFBSP1	
	MPU_IRQS62	MFBSP1_TXIRQ	MFBSP1	
	MPU_IRQS63	MFBSP1_SRQ	MFBSP1	
	MPU_IRQS64	UART0_INTR	UART0	Прерывание от UART0
	MPU_IRQS65	UART1_INTR	UART1	Прерывание от UART1
	MPU_IRQS66	UART2_INTR	UART2	Прерывание от UART2
	MPU_IRQS67	UART2_INTR	UART2	Прерывание от UART3
	MPU_IRQS68	I2C0_IC_INTR	I2C0	Прерывание от I2C0
	MPU_IRQS69	I2C1_IC_INTR	I2C1	Прерывание от I2C1
	MPU_IRQS70	I2C2_IC_INTR	I2C2	Прерывание от I2C2
	MPU_IRQS71	MCC_INT	MCC	
	MPU_IRQS72	I2S0_INTR	I2S0	Прерывание от I2S0
	MPU_IRQS73	EMAC_INT	EMAC	Прерывание от EMAC
	MPU_IRQS74	SSI0_SSI_INTR	SSI0	Прерывание от SSI0
	MPU_IRQS75	SSI1_SSI_INTR	SSI1	Прерывание от SSI1
	MPU_IRQS76	PWM_INT	PWM	
	MPU_IRQS77	PWM_INTU	PWM	
	MPU_IRQS78	SDMMC0_INT	SDMMC0	Прерывание от SDMMC0
	MPU_IRQS79	SDMMC1_INT	SDMMC1	Прерывание от SDMMC1
	MPU_IRQS80	TIMER_INTR0	TIMER	Прерывание 0 от TIMER
	MPU_IRQS81	TIMER_INTR1	TIMER	Прерывание 1 от TIMER
	MPU_IRQS82	TIMER_INTR2	TIMER	Прерывание 2 от TIMER
	MPU_IRQS83	TIMER_INTR3	TIMER	Прерывание 3 от TIMER
	MPU_IRQS84	TIMER_INTR4	TIMER	Прерывание 4 от TIMER
	MPU_IRQS85	TIMER_INTR5	TIMER	Прерывание 5 от TIMER
	MPU_IRQS86	TIMER_INTR6	TIMER	Прерывание 6 от TIMER
	MPU_IRQS87	TIMER_INTR7	TIMER	Прерывание 7 от TIMER
	MPU_IRQS88	GPIO_INTR0	GPIO	Прерывание 0 от GPIO
	MPU_IRQS89	GPIO_INTR1	GPIO	Прерывание 1 от GPIO
	MPU_IRQS90	GPIO_INTR2	GPIO	Прерывание 2 от GPIO
	MPU_IRQS91	GPIO_INTR3	GPIO	Прерывание 3 от GPIO
	MPU_IRQS92	GPIO_INTR4	GPIO	Прерывание 4 от GPIO

	MPU_IRQS93	GPIO_INTR5	GPIO	Прерывание 5 от GPIO
	MPU_IRQS94	GPIO_INTR6	GPIO	Прерывание 6 от GPIO
	MPU_IRQS95	GPIO_INTR7	GPIO	Прерывание 7 от GPIO
	MPU_IRQS96	GPIO_INTR8	GPIO	Прерывание 8 от GPIO
	MPU_IRQS97	GPIO_INTR9	GPIO	Прерывание 9 от GPIO
	MPU_IRQS98	GPIO_INTR10	GPIO	Прерывание 10 от GPIO
	MPU_IRQS99	GPIO_INTR11	GPIO	Прерывание 11 от GPIO
	MPU_IRQS100	GPIO_INTR12	GPIO	Прерывание 12 от GPIO
	MPU_IRQS101	GPIO_INTR13	GPIO	Прерывание 13 от GPIO
	MPU_IRQS102	GPIO_INTR14	GPIO	Прерывание 14 от GPIO
	MPU_IRQS103	GPIO_INTR15	GPIO	Прерывание 15 от GPIO
	MPU_IRQS104	GPIO_INTR16	GPIO	Прерывание 16 от GPIO
	MPU_IRQS105	GPIO_INTR17	GPIO	Прерывание 17 от GPIO
	MPU_IRQS106	GPIO_INTR18	GPIO	Прерывание 18 от GPIO
	MPU_IRQS107	GPIO_INTR19	GPIO	Прерывание 19 от GPIO
	MPU_IRQS108	GPIO_INTR20	GPIO	Прерывание 20 от GPIO
	MPU_IRQS109	GPIO_INTR21	GPIO	Прерывание 21 от GPIO
	MPU_IRQS110	GPIO_INTR22	GPIO	Прерывание 22 от GPIO
	MPU_IRQS111	GPIO_INTR23	GPIO	Прерывание 23 от GPIO
	MPU_IRQS112	GPIO_INTR24	GPIO	Прерывание 24 от GPIO
	MPU_IRQS113	GPIO_INTR25	GPIO	Прерывание 25 от GPIO
	MPU_IRQS114	GPIO_INTR26	GPIO	Прерывание 26 от GPIO
	MPU_IRQS115	GPIO_INTR27	GPIO	Прерывание 27 от GPIO
	MPU_IRQS116	GPIO_INTR28	GPIO	Прерывание 28 от GPIO
	MPU_IRQS117	GPIO_INTR29	GPIO	Прерывание 29 от GPIO
	MPU_IRQS118	GPIO_INTR30	GPIO	Прерывание 30 от GPIO
	MPU_IRQS119	GPIO_INTR31	GPIO	Прерывание 31 от GPIO
	MPU_IRQS120	MAILBOX_IRQ	MAILBOX	
	MPU_IRQS121	MAILBOX_IRQW	MAILBOX	
	MPU_IRQS122	IRQ_PMU0	PMCTR	
	MPU_IRQS123	IRQ_PMU1	PMCTR	
	MPU_IRQS124	CPU0_CTIIRQ	CPU0	
	MPU_IRQS125	CPU1_CTIIRQ	CPU1	
	MPU_IRQS126	DLOCK_IRQ	L0_COMM	Прерывание от коммутатора микросхемы
	MPU_IRQS127	WDT_IRQ	WDT	Прерывание от сторожевого таймера

**Таблица 2.72. Отображение прерываний в контроллере прерываний DSP**

	Адресат прерывания	Источник прерывания	Модуль	Описание
	DSP_QST0_0	MPU_nIRQOUT_0	MPU	Прерывание от MPU
	DSP_QST0_1	MPU_nIRQOUT_1	MPU	Прерывание от MPU
	DSP_QST0_2	GPU_IRQPPMMU0	GPU	Прерывание от MMU пиксельного процессора GPU
	DSP_QST0_3	GPU_IRQPP0	GPU	Прерывание от пиксельного процессора GPU
	DSP_QST0_4	GPU_IRQPMU	GPU	Прерывание от PMU GPU
	DSP_QST0_5	GPU_IRQGPMU	GPU	Прерывание от MMU геометрического процессора GPU
	DSP_QST0_6	GPU_IRQGP	GPU	Прерывание от геометрического процессора GPU
	DSP_QST0_7	VPU_INT	VPU	Прерывание от VPU
	DSP_QST0_8	SDMA_IRQ0	SDMA	Прерывание 0 от SDMA
	DSP_QST0_9	SDMA_IRQ1	SDMA	Прерывание 1 от SDMA
	DSP_QST0_10	SDMA_IRQ2	SDMA	Прерывание 2 от SDMA
	DSP_QST0_11	SDMA_IRQ3	SDMA	Прерывание 3 от SDMA
	DSP_QST0_12	SDMA_IRQ4	SDMA	Прерывание 4 от SDMA
	DSP_QST0_13	SDMA_IRQ5	SDMA	Прерывание 5 от SDMA
	DSP_QST0_14	SDMA_IRQ6	SDMA	Прерывание 6 от SDMA
	DSP_QST0_15	SDMA_IRQ7	SDMA	Прерывание 7 от SDMA
	DSP_QST0_16	SDMA_IRQ8	SDMA	Прерывание 8 от SDMA
	DSP_QST0_17	SDMA_IRQ9	SDMA	Прерывание 9 от SDMA

	DSP_QST0_18	SDMA_IRQ10	SDMA	Прерывание 10 от SDMA
	DSP_QST0_19	SDMA_IRQ11	SDMA	Прерывание 11 от SDMA
	DSP_QST0_20	SDMA_IRQ12	SDMA	Прерывание 12 от SDMA
	DSP_QST0_21	SDMA_IRQ13	SDMA	Прерывание 13 от SDMA
	DSP_QST0_22	SDMA_IRQ14	SDMA	Прерывание 14 от SDMA
	DSP_QST0_23	SDMA_IRQ15	SDMA	Прерывание 15 от SDMA
	DSP_QST0_24	PDMA_INT_FLAG0	PDMA	
	DSP_QST0_25	PDMA_INT_FLAG1	PDMA	
	DSP_QST0_26	PDMA_INT_FLAG2	PDMA	
	DSP_QST0_27	PDMA_INT_FLAG3	PDMA	
	DSP_QST0_28	PDMA_INT_FLAG4	PDMA	
	DSP_QST0_29	RTC_TICK_INT	RTC	
	DSP_QST0_30	RTC_PMWKP_INT	RTC	
	DSP_QST0_31	RTC_ALARM_INT	RTC	
	DSP_QST1_0	USBIC_INT	USBIC	
	DSP_QST1_1	USBIC_ENDP_INT	USBIC	
	DSP_QST1_2	VPIN_VIOINT	VPIN	
	DSP_QST1_3	VPIN_STR0INT	VPIN	
	DSP_QST1_4	VPIN_STR1INT	VPIN	
	DSP_QST1_5	VPOUT_LCDINT	VPOUT	
	DSP_QST1_6	VPOUT_DSIINT	VPOUT	
	DSP_QST1_7	NFC_MPORTINT	NFCMPORT	
	DSP_QST1_8	MFBSP0_DMAIRQ0	MFBSP0	
	DSP_QST1_9	MFBSP0_DMAIRQ1	MFBSP0	
	DSP_QST1_10	MFBSP1_DMAIRQ0	MFBSP1	
	DSP_QST1_11	MFBSP1_DMAIRQ1	MFBSP1	
	DSP_QST1_12	Резерв	Резерв	Резерв
	DSP_QST1_13	Резерв	Резерв	Резерв
	DSP_QST1_14	Резерв	Резерв	Резерв
	DSP_QST1_15	Резерв	Резерв	Резерв
	DSP_QST1_16	SWIC0DMA_IRQ0	SWIC0	
	DSP_QST1_17	SWIC0DMA_IRQ1	SWIC0	
	DSP_QST1_18	SWIC0DMA_IRQ2	SWIC0	
	DSP_QST1_19	SWIC0DMA_IRQ3	SWIC0	
	DSP_QST1_20	SWIC1DMA_IRQ0	SWIC1	
	DSP_QST1_21	SWIC1DMA_IRQ1	SWIC1	
	DSP_QST1_22	SWIC1DMA_IRQ2	SWIC1	
	DSP_QST1_23	SWIC1DMA_IRQ3	SWIC1	
	DSP_QST1_24	SWIC0_INT	SWIC0	
	DSP_QST1_25	SWIC1_INT	SWIC1	
	DSP_QST1_26	MFBSP0_RXIRQ	MFBSP0	
	DSP_QST1_27	MFBSP0_TXIRQ	MFBSP0	
	DSP_QST1_28	MFBSP0_SRQ	MFBSP0	
	DSP_QST1_29	MFBSP1_RXIRQ	MFBSP1	
	DSP_QST1_30	MFBSP1_TXIRQ	MFBSP1	
	DSP_QST1_31	MFBSP1_SRQ	MFBSP1	
	DSP_QST2_0	UART0_INTR	UART0	Прерывание от UART0
	DSP_QST2_1	UART1_INTR	UART1	Прерывание от UART1
	DSP_QST2_2	UART2_INTR	UART2	Прерывание от UART2
	DSP_QST2_3	UART2_INTR	UART2	Прерывание от UART3
	DSP_QST2_4	I2C0_IC_INTR	I2C0	Прерывание от I2C0
	DSP_QST2_5	I2C1_IC_INTR	I2C1	Прерывание от I2C1
	DSP_QST2_6	I2C2_IC_INTR	I2C2	Прерывание от I2C2
	DSP_QST2_7	MCC_INT	MCC	
	DSP_QST2_8	I2S0_INTR	I2S0	Прерывание от I2S0
	DSP_QST2_9	EMAC_INT	EMAC	Прерывание от EMAC
	DSP_QST2_10	SSI0_SSI_INTR	SSI0	Прерывание от SSI0
	DSP_QST2_11	SSI1_SSI_INTR	SSI1	Прерывание от SSI1

	DSP_QST2_12	PWM_INT	PWM	
	DSP_QST2_13	PWM_INTU	PWM	
	DSP_QST2_14	SDMMC0_INT	SDMMC0	Прерывание от SDMMC0
	DSP_QST2_15	SDMMC1_INT	SDMMC1	Прерывание от SDMMC1
	DSP_QST2_16	TIMER_INTR0	TIMER	Прерывание 0 от TIMER
	DSP_QST2_17	TIMER_INTR1	TIMER	Прерывание 1 от TIMER
	DSP_QST2_18	TIMER_INTR2	TIMER	Прерывание 2 от TIMER
	DSP_QST2_19	TIMER_INTR3	TIMER	Прерывание 3 от TIMER
	DSP_QST2_20	TIMER_INTR4	TIMER	Прерывание 4 от TIMER
	DSP_QST2_21	TIMER_INTR5	TIMER	Прерывание 5 от TIMER
	DSP_QST2_22	TIMER_INTR6	TIMER	Прерывание 6 от TIMER
	DSP_QST2_23	TIMER_INTR7	TIMER	Прерывание 7 от TIMER
	DSP_QST2_24	GPIO_INTR0	GPIO	Прерывание 0 от GPIO
	DSP_QST2_25	GPIO_INTR1	GPIO	Прерывание 1 от GPIO
	DSP_QST2_26	GPIO_INTR2	GPIO	Прерывание 2 от GPIO
	DSP_QST2_27	GPIO_INTR3	GPIO	Прерывание 3 от GPIO
	DSP_QST2_28	GPIO_INTR4	GPIO	Прерывание 4 от GPIO
	DSP_QST2_29	GPIO_INTR5	GPIO	Прерывание 5 от GPIO
	DSP_QST2_30	GPIO_INTR6	GPIO	Прерывание 6 от GPIO
	DSP_QST2_31	GPIO_INTR7	GPIO	Прерывание 7 от GPIO
	DSP_QST3_0	GPIO_INTR8	GPIO	Прерывание 8 от GPIO
	DSP_QST3_1	GPIO_INTR9	GPIO	Прерывание 9 от GPIO
	DSP_QST3_2	GPIO_INTR10	GPIO	Прерывание 10 от GPIO
	DSP_QST3_3	GPIO_INTR11	GPIO	Прерывание 11 от GPIO
	DSP_QST3_4	GPIO_INTR12	GPIO	Прерывание 12 от GPIO
	DSP_QST3_5	GPIO_INTR13	GPIO	Прерывание 13 от GPIO
	DSP_QST3_6	GPIO_INTR14	GPIO	Прерывание 14 от GPIO
	DSP_QST3_7	GPIO_INTR15	GPIO	Прерывание 15 от GPIO
	DSP_QST3_8	GPIO_INTR16	GPIO	Прерывание 16 от GPIO
	DSP_QST3_9	GPIO_INTR17	GPIO	Прерывание 17 от GPIO
	DSP_QST3_10	GPIO_INTR18	GPIO	Прерывание 18 от GPIO
	DSP_QST3_11	GPIO_INTR19	GPIO	Прерывание 19 от GPIO
	DSP_QST3_12	GPIO_INTR20	GPIO	Прерывание 20 от GPIO
	DSP_QST3_13	GPIO_INTR21	GPIO	Прерывание 21 от GPIO
	DSP_QST3_14	GPIO_INTR22	GPIO	Прерывание 22 от GPIO
	DSP_QST3_15	GPIO_INTR23	GPIO	Прерывание 23 от GPIO
	DSP_QST3_16	GPIO_INTR24	GPIO	Прерывание 24 от GPIO
	DSP_QST3_17	GPIO_INTR25	GPIO	Прерывание 25 от GPIO
	DSP_QST3_18	GPIO_INTR26	GPIO	Прерывание 26 от GPIO
	DSP_QST3_19	GPIO_INTR27	GPIO	Прерывание 27 от GPIO
	DSP_QST3_20	GPIO_INTR28	GPIO	Прерывание 28 от GPIO
	DSP_QST3_21	GPIO_INTR29	GPIO	Прерывание 29 от GPIO
	DSP_QST3_22	GPIO_INTR30	GPIO	Прерывание 30 от GPIO
	DSP_QST3_23	GPIO_INTR31	GPIO	Прерывание 31 от GPIO
	DSP_QST3_24	MAILBOX_IRQ	MAILBOX	
	DSP_QST3_25	MAILBOX_IRQW	MAILBOX	
	DSP_QST3_26	IRQ_PMU0	PMCTR	
	DSP_QST3_27	IRQ_PMU1	PMCTR	
	DSP_QST3_28	CPU0_CTIIRQ	CPU0	
	DSP_QST3_29	CPU1_CTIIRQ	CPU1	
	DSP_QST3_30	DLOCK_IRQ	L0_COMM	Прерывание от коммутатора микросхемы
	DSP_QST3_31	WDT_IRQ	WDT	Прерывание от сторожевого таймера

## 2.7 Логика сброса микросхемы

Функционально блок контроля сброса микросхемы входит в состав контроллера управления питанием PMCTR.

В микросхеме введено разделение на два типа сброса.

- Сброс по включению питания – приводит к переводу в начальное состояние всей логики микросхемы без исключения.
- «Теплый» сброс – аналогичен сбросу по включению питания, однако не приводит в начальное состояние логику отладки, трассы и таймера реального времени.

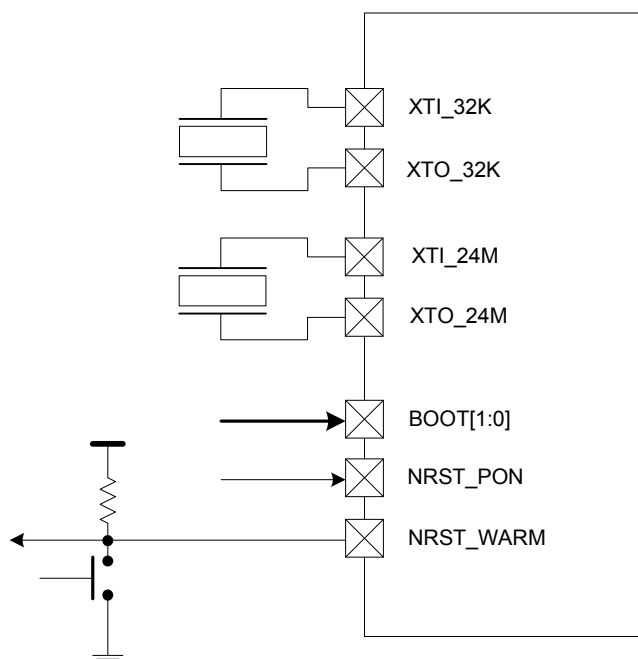


Рисунок 2.11 Внешние сигналы сброса микросхемы

Для микросхемы существует несколько источников сброса:

- Внешние выводы NRST\_PWON, NRST\_WARM;
  - Вывод NRST\_PWON является единственным источником сброса по включению питания.
  - Вывод NRST\_WARM является внешним источником «теплого» сброса, является двунаправленным и может использоваться для индикации сброса вне микросхемы. Должен быть подключен к внешнему резистору с подтяжкой к питанию. См. Рисунок 2.11.
- Программный сброс по записи в регистр SWRESET контроллера SMCTR;
- Сброс от сторожевых таймеров ядер CPU0, CPU1.
- Сигналы сброса для отдельных доменов питания при их включении от контроллера PMCTR;

Общая схема формирования сигналов сброса представлена на Рисунок 2.12.

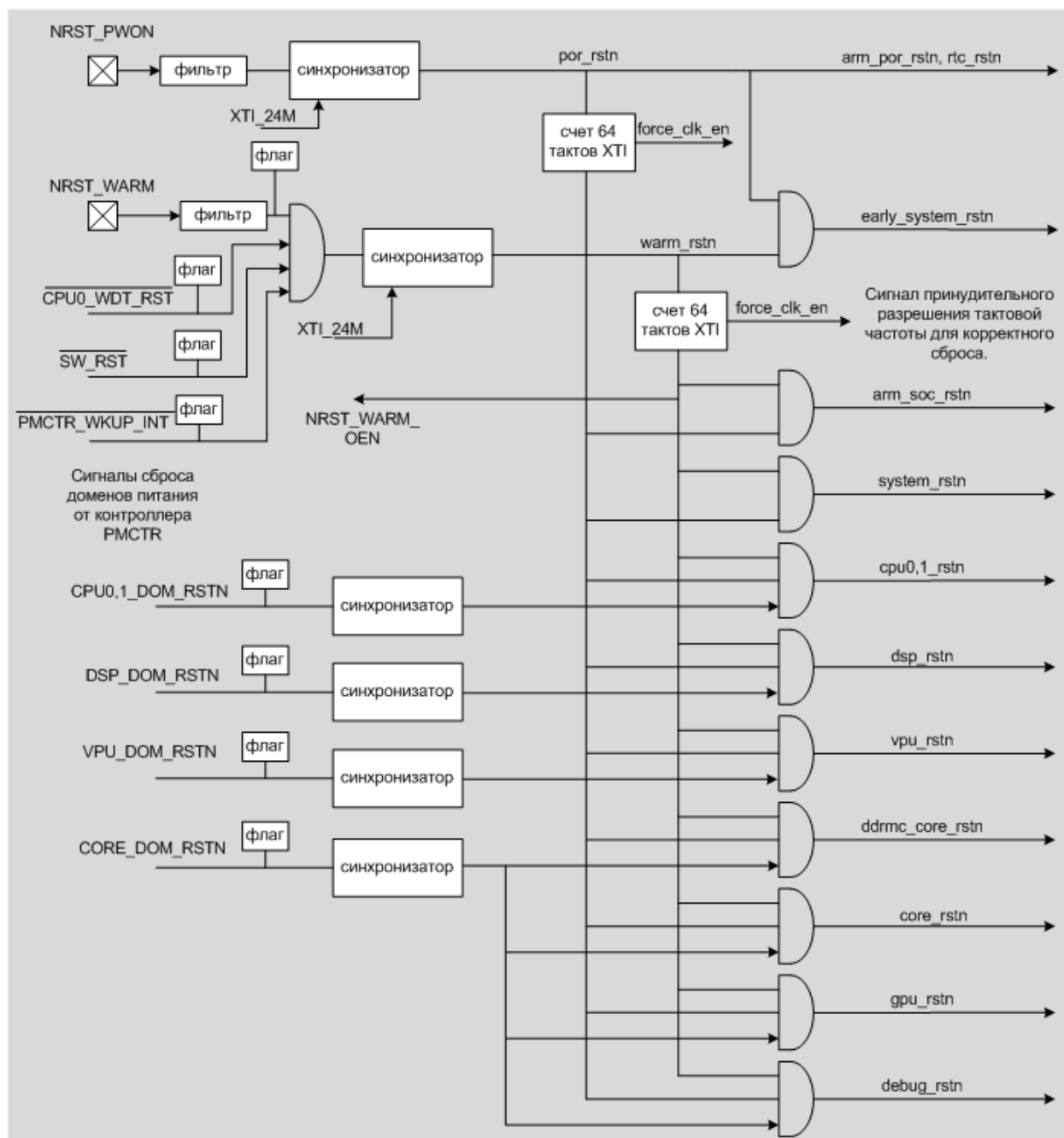
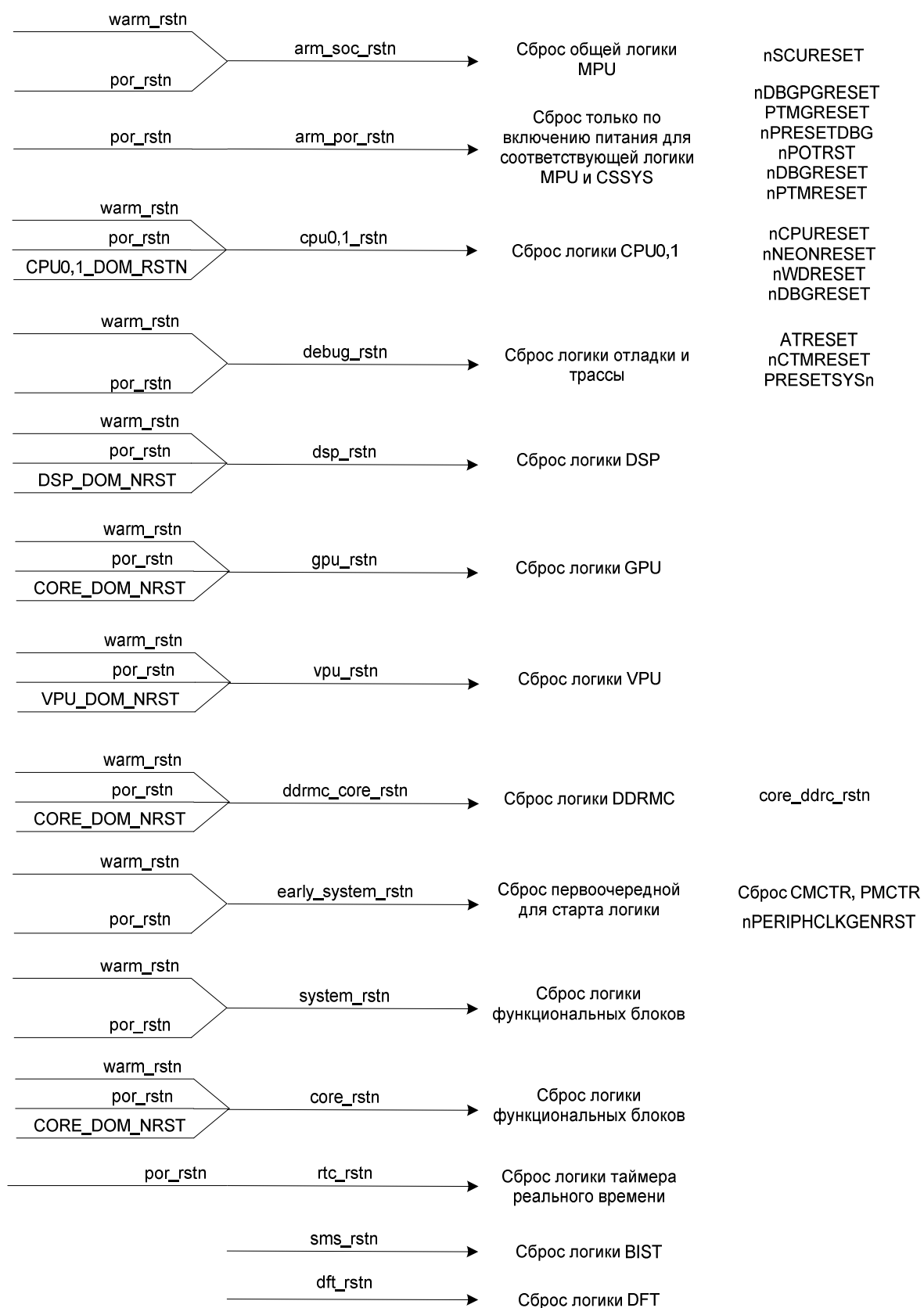


Рисунок 2.12. Схема формирования сигналов сброса в микросхеме

Конечные сигналы сброса микросхемы разъяснены на Рисунок 2.13.





**Рисунок 2.13 Перечень конечных сигналов сброса в микросхеме**

Последовательность формирования сигналов сброса при включении питания микросхемы представлена на Рисунок 2.14.

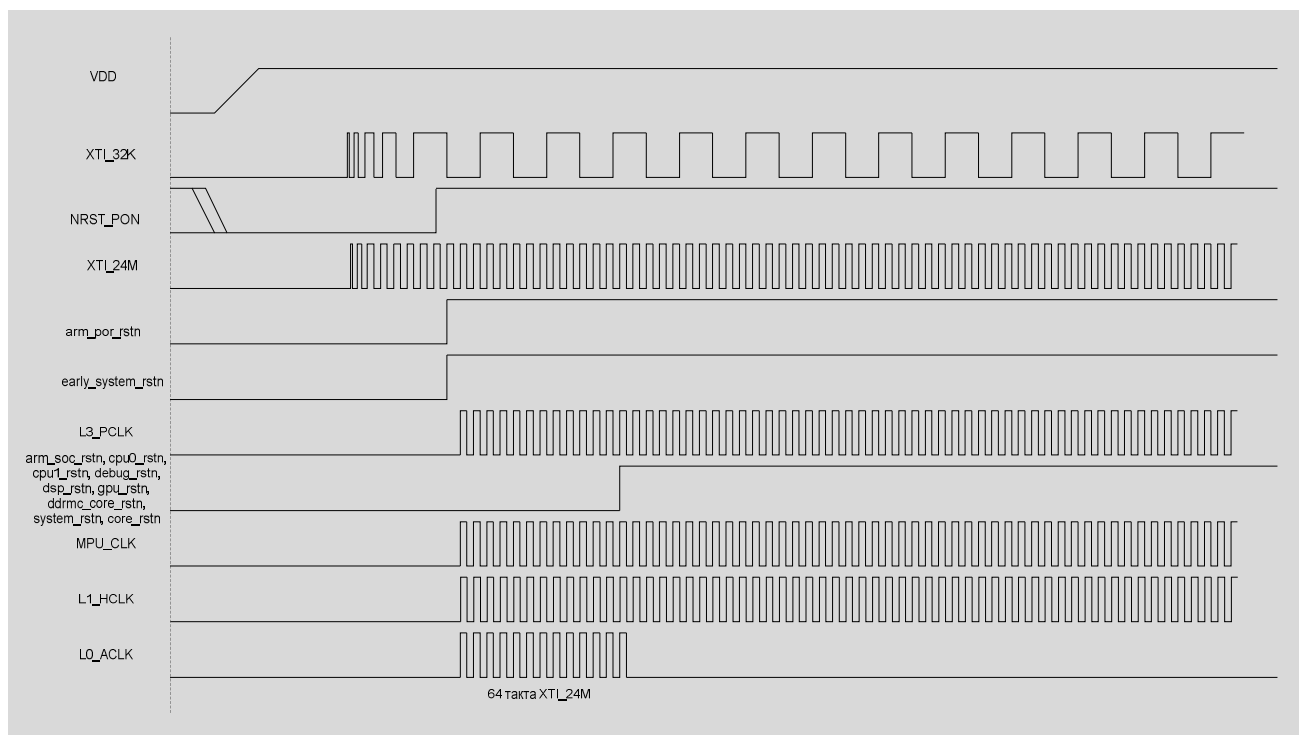


Рисунок 2.14. Последовательность формирования сигналов сброса по включению питания

## 2.8 Процедура начальной загрузки

## 2.9 Логика межпроцессорного взаимодействия в микросхеме

### 3. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Параметры корпуса микросхемы MCom-02:

- Тип корпуса: HFCBGA
- Размер корпуса (габариты): 19 x 19 мм
- Шаг по выводам: 0,5 мм
- Матрица выводов: 36 x 36
- Общее число выводов: 1296

Перечень сигналов микросхемы MCom-02 по группам, приведен в Таблица 3.1.

**Таблица 3.1 Перечень сигналов по группам**

Назначение	Число выводов
Порты внешней памяти DDRMC0, DDRMC1	138
Порт внешней памяти NFCMPORT	27
Порт внешней памяти NORMPORT	53
Порты внешней памяти SDMMC0, SDMMC1	24
Порт видео ввода VPIN	46
Порты видео вывода VPOUT	42
Порты MFBSP0, MFBSP1	20
Порт GPIO	0
Порт EMAC	26
Порт USBIC	6
Порты SWIC0, SWIC1	16
Порты I2C0, I2C1, I2C3	6
Порт I2S	8
Порты SPI0, SPI1	14
Порты UART0, UART1, UART2, UART3	12
Порт PWM	6
Интерфейс коррелятора MCC	14
Управление	20
JTAG	5
TRACE	18
Итого	499

Все неиспользуемые выводы типа «I», «IO» необходимо подключить к земле, если в этих таблицах не указано иное требование (кроме выводов шины данных D).

Выводы шины данных D подключать через резисторы к земле или электропитанию не требуется.

При сопряжении данной микросхемы с внешними устройствами, например памятью, в зависимости от параметров платы, необходимо устанавливать схемы последовательного или параллельного согласования. Необходимость их установки определяет разработчик аппаратуры самостоятельно.

### 3.1 Цифровые выводы

Таблица 3.2. Перечень цифровых выводов. DDRMC0

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR0_ADD0	AF34			Шина адреса	O	--	--	DDR0_VDDQ
DDR0_ADD1	AC36							
DDR0_ADD2	AB32							
DDR0_ADD3	AC35							
DDR0_ADD4	AF35							
DDR0_ADD5	AE32							
DDR0_ADD6	AE34							
DDR0_ADD7	AE35							
DDR0_ADD8	AE36							
DDR0_ADD9	AE33							
DDR0_ADD10	AB34							
DDR0_ADD11	AC32							
DDR0_ADD12	AC34							
DDR0_ADD13	AC33							
DDR0_ADD14	AD32							
DDR0_ADD15	AD33							
DDR0_DQ0	V33			Шина данных	I/O	--	--	DDR0_VDDQ
DDR0_DQ1	U34							
DDR0_DQ2	V34							
DDR0_DQ3	U33							
DDR0_DQ4	V36							
DDR0_DQ5	U35							

Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
DDR0_DQ6	V35							
DDR0_DQ7	U36							
DDR0_DQ8	Y36							
DDR0_DQ9	W36							
DDR0_DQ10	Y35							
DDR0_DQ11	W35							
DDR0_DQ12	Y33							
DDR0_DQ13	W33							
DDR0_DQ14	Y34							
DDR0_DQ15	W34							
DDR0_DQ16	AJ33							
DDR0_DQ17	AH34							
DDR0_DQ18	AJ34							
DDR0_DQ19	AH33							
DDR0_DQ20	AJ36							
DDR0_DQ21	AH35							
DDR0_DQ22	AJ35							
DDR0_DQ23	AH36							
DDR0_DQ24	AL36							
DDR0_DQ25	AK36							
DDR0_DQ26	AL35							
DDR0_DQ27	AK35							
DDR0_DQ28	AL33							
DDR0_DQ29	AK33							
DDR0_DQ30	AL34							
DDR0_DQ31	AK34							

Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
DDR0_CSN0	AG35			Разрешение выборки блоков внешней памяти	O	--	--	DDR0_V DDQ
DDR0_CSN1	AG36							
DDR0_RASN	AB33			Строб адреса строки	O	--	--	DDR0_V DDQ
DDR0_CASN	AF32			Строб адреса колонки	O	--	--	DDR0_V DDQ
DDR0_WEN	AB35			Разрешение записи	O	--	--	DDR0_V DDQ
DDR0_DQS0	T35			Дифференциальные сигналы строба данных	O	--	--	DDR0_V DDQ
DDR0_DQS1	T33							
DDR0_DQS2	AM35							
DDR0_DQS3	AM33							
DDR0_DQS_B0	T36			Дифференциальные сигналы строба данных	O	--	--	DDR0_V DDQ
DDR0_DQS_B1	T34							
DDR0_DQS_B2	AM36							
DDR0_DQS_B3	AM34							
DDR0_DM0	V32			Маска выбора байтов	O	--	--	DDR0_V DDQ
DDR0_DM1	W32							
DDR0_DM2	AJ32							
DDR0_DM3	AK32							
DDR0_CK	AD36			Дифференциальная тактовая частота	O	--	--	DDR0_V DDQ
DDR0_CKN	AD35							
DDR0_CKE0	AG32			Разрешение частоты	O	--	--	DDR0_V DDQ
DDR0_CKE1	AG34							
DDR0_BA0	AF36			Номер банка	O	--	--	DDR0_V DDQ
DDR0_BA1	AF33							
DDR0_BA2	AB36							
DDR0_VREF	AD34,			Референсное напряжение	I	--	--	

Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
	AH32							
DDR0_ODT0	AA34			Включение согласующей нагрузки (терминатора)	O	--	--	DDR0_V DDQ
DDR0_ODT1	AA33							
DDR0_RESET	AG33			Сигнал сброса (DDR3)	O	--	--	DDR0_V DDQ
DDR0_PZQ	Y32			Подключения резистора (240 Ом) для ZQ калибровки (DDR3)	I/O	--	--	DDR0_V DDQ
DDR0_ATO	AA32			Тестовый аналоговый вывод	O	--	--	DDR0_V DDQ
DDR0_DTO0	AA36			Тестовый цифровой вывод	O	--	--	DDR0_V DDQ
DDR0_DTO1	AA35			Тестовый цифровой вывод	O	--	--	DDR0_V DDQ

**Таблица 3.3. Перечень цифровых выводов. DDRMC1**

Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
DDR1_ADD0	AP21			Шина адреса	O	--	--	DDR1_V DDQ
DDR1_ADD1	AT24							
DDR1_ADD2	AM25							
DDR1_ADD3	AR24							
DDR1_ADD4	AR21							
DDR1_ADD5	AM22							
DDR1_ADD6	AP22							
DDR1_ADD7	AR22							
DDR1_ADD8	AT22							
DDR1_ADD9	AN22							

Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
DDR1_ADD10	AP25							
DDR1_ADD11	AM24							
DDR1_ADD12	AP24							
DDR1_ADD13	AN24							
DDR1_ADD14	AM23							
DDR1_ADD15	AN23							
DDR1_DQ0	AN29			Шина данных	I/O	--	--	DDR1_V DDQ
DDR1_DQ1	AP30							
DDR1_DQ2	AP29							
DDR1_DQ3	AN30							
DDR1_DQ4	AT29							
DDR1_DQ5	AR30							
DDR1_DQ6	AR29							
DDR1_DQ7	AT30							
DDR1_DQ8	AT27							
DDR1_DQ9	AT28							
DDR1_DQ10	AR27							
DDR1_DQ11	AR28							
DDR1_DQ12	AN27							
DDR1_DQ13	AN28							
DDR1_DQ14	AP27							
DDR1_DQ15	AP28							
DDR1_DQ16	AN18							
DDR1_DQ17	AP19							
DDR1_DQ18	AP18							
DDR1_DQ19	AN19							



Название вы- вода	Вывод на корпу- се	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/down	Пита- ние
DDR1_DQ20	AT18							
DDR1_DQ21	AR19							
DDR1_DQ22	AR18							
DDR1_DQ23	AT19							
DDR1_DQ24	AT16							
DDR1_DQ25	AT17							
DDR1_DQ26	AR16							
DDR1_DQ27	AR17							
DDR1_DQ28	AN16							
DDR1_DQ29	AN17							
DDR1_DQ30	AP16							
DDR1_DQ31	AP17							
DDR1_CSN0	AR20			Разрешение выборки блоков внешней памяти	O	--	--	DDR1_V DDQ
DDR1_CSN1	AT20							
DDR1_RASN	AN25			Строб адреса строки	O	--	--	DDR1_V DDQ
DDR1_CASN	AM21			Строб адреса колонки	O	--	--	DDR1_V DDQ
DDR1_WEN	AR25			Разрешение записи	O	--	--	DDR1_V DDQ
DDR1_DQS0	AR31			Дифференциальные сигналы строба данных	O	--	--	DDR1_V DDQ
DDR1_DQS1	AN31							
DDR1_DQS2	AR15							
DDR1_DQS3	AP15							
DDR1_DQS_B0	AT31			Дифференциальные сигналы строба данных	O	--	--	DDR1_V DDQ
DDR1_DQS_B1	AP31							
DDR1_DQS_B2	AT15							
DDR1_DQS_B3	AP15							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
DDR1_DM0	AM29			Маска выбора байтов	O	--	--	DDR1_VDDQ
DDR1_DM1	AM28							
DDR1_DM2	AM18							
DDR1_DM3	AM17							
DDR1_CK	AT23			Дифференциальная тактовая частота	O	--	--	DDR1_VDDQ
DDR1_CKN	AR23							
DDR1_CKE0	AM20			Разрешение частоты	O	--	--	DDR1_VDDQ
DDR1_CKE1	AP20							
DDR1_BA0	AT21			Номер банка	O	--	--	DDR1_VDDQ
DDR1_BA1	AN21							
DDR1_BA2	AT25							
DDR1_VREF	AM19, AP23			Референсное напряжение	I	--	--	
DDR1_ODT0	AP26			Включение согласующей нагрузки (терминатора)	O	--	--	DDR1_VDDQ
DDR1_ODT1	AN26							
DDR1_RESET	AN20			Сигнал сброса (DDR3)	O	--	--	DDR1_VDDQ
DDR1_PZQ	AM27			Подключения резистора (240 Ом) для ZQ калибровки (DDR3)	I/O	--	--	DDR1_VDDQ
DDR1_ATO	AM26			Тестовый вывод	O	--	--	DDR1_VDDQ
DDR1_DTO0	AT26				O	--	--	DDR1_VDDQ
DDR1_DTO1	AR26				O	--	--	DDR1_VDDQ

**Таблица 3.4. Перечень цифровых выводов. NANDMPORT**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
NAND_DATA0	AL1			Шина данных	I/O	8	down	VDDPST
NAND_DATA1	AL2							
NAND_DATA2	AM1							
NAND_DATA3	AM2							
NAND_DATA4	AN1							
NAND_DATA5	AN2							
NAND_DATA6	AP1							
NAND_DATA7	AP2							
NAND_DATA8	AK3							
NAND_DATA9	AK4							
NAND_DATA10	AL3							
NAND_DATA11	AL4							
NAND_DATA12	AM3							
NAND_DATA13	AM4							
NAND_DATA14	AN3							
NAND_DATA15	AN4							
NAND_RBN0	AJ5			Готовность/занятость памяти	I	--	up	VDDPST
NAND_RBN1	AK5							
NAND_ALE	AK2			Разрешение защелкивания адреса	O	8	--	
NAND_CLE	AK1			Разрешение защелкивания команды	O	8	--	VDDPST
NAND_RDN	AN5			Чтение	O	8	--	VDDPST
NAND_WRN	AJ4			Запись	O	8	--	VDDPST
NAND_CSN0	AJ0			Разрешение выборки блоков внешней памяти	O	8	--	VDDPST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
NAND_CSN1	AJ1							
NAND_DQS	AJ3			Сигнал строба данных	I/O	8	--	VDDPST

**Таблица 3.5. Перечень цифровых выводов. NORMPORT**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SMC_ADD0	T1			Шина адреса	O	8	--	VDDPST
SMC_ADD1	T2							
SMC_ADD2	R1							
SMC_ADD3	R2							
SMC_ADD4	P1							
SMC_ADD5	P2							
SMC_ADD6	N1							
SMC_ADD7	N2							
SMC_ADD8	M1	SMC_ADD8	GPIOB0 <sup>a)</sup>		I/O	8	down	VDDPST
SMC_ADD9	M2	SMC_ADD9	GPIOB1 <sup>a)</sup>					
SMC_ADD10	L1	SMC_ADD10	GPIOB2 <sup>a)</sup>					
SMC_ADD11	L2	SMC_ADD11	GPIOB3 <sup>a)</sup>					
SMC_ADD12	K1	SMC_ADD12	GPIOB4 <sup>a)</sup>					
SMC_ADD13	K2	SMC_ADD13	GPIOB5 <sup>a)</sup>					
SMC_ADD14	J1	SMC_ADD14	GPIOB6 <sup>a)</sup>					
SMC_ADD15	J2	SMC_ADD15	GPIOB7 <sup>a)</sup>					
SMC_ADD16	M3	SMC_ADD16	GPIOB8 <sup>a)</sup>					

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SMC_ADD17	M4	SMC_ADD17	GPIOB9 <sup>a)</sup>					
SMC_ADD18	L3	SMC_ADD18	GPIOB10 <sup>a)</sup>					
SMC_ADD19	L4	SMC_ADD19	GPIOB11 <sup>a)</sup>					
SMC_ADD20	K3	SMC_ADD20	GPIOB12 <sup>a)</sup>					
SMC_ADD21	K4	SMC_ADD21	GPIOB13 <sup>a)</sup>					
SMC_ADD22	J3	SMC_ADD22	GPIOB14 <sup>a)</sup>					
SMC_ADD23	J4	SMC_ADD23	GPIOB15 <sup>a)</sup>					
SMC_DATA0	H1	SMC_DATA0	GPIOB16 <sup>a)</sup>	Шина данных	I/O	8	up	VDDPST
SMC_DATA1	H2	SMC_DATA1	GPIOB17 <sup>a)</sup>					
SMC_DATA2	G1	SMC_DATA2	GPIOB18 <sup>a)</sup>					
SMC_DATA3	G2	SMC_DATA3	GPIOB19 <sup>a)</sup>					
SMC_DATA4	F1	SMC_DATA4	GPIOB20 <sup>a)</sup>					
SMC_DATA5	F2	SMC_DATA5	GPIOB21 <sup>a)</sup>					
SMC_DATA6	E1	SMC_DATA6	GPIOB22 <sup>a)</sup>					
SMC_DATA7	E2	SMC_DATA7	GPIOB23 <sup>a)</sup>					
SMC_DATA8	H3	SMC_DATA8	GPIOB24 <sup>a)</sup>					
SMC_DATA9	H4	SMC_DATA9	GPIOB25 <sup>a)</sup>					
SMC_DATA10	G3	SMC_DATA10	GPIOB26 <sup>a)</sup>					
SMC_DATA11	G4	SMC_DATA11	GPIOB27 <sup>a)</sup>					
SMC_DATA12	F3	SMC_DATA12	GPIOB28 <sup>a)</sup>					
SMC_DATA13	F4	SMC_DATA13	GPIOB29 <sup>a)</sup>					
SMC_DATA14	E3	SMC_DATA14	GPIOB30 <sup>a)</sup>					
SMC_DATA15	E4	SMC_DATA15	GPIOB31 <sup>a)</sup>					
SMC_BLSN0	N3			Строб выбора байта	O	8	--	VDDPST
SMC_BLSN1	N4							
SMC_ADV_N	N5			Строб записи адреса	O	8	--	VDDPST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SMC_OEN	R5			Сигнал разрешения чтения	O	8	--	VDDPST
SMC_CSN0	R3			Разрешение выборки блоков внешней памяти	O	8	--	VDDPST
SMC_CSN1	R4							
SMC_CLKO0	T3			Тактовая частота	O	8	--	VDDPST
SMC_CLKO1	T4							
SMC_BAA	P3			Перевод памяти в режим BAA (PSRAM)	O	8	--	VDDPST
SMC_CRE	P4			Запись в конфигурационный регистр (PSRAM)	O	8	--	VDDPST
SMC_WAIT	M5			Сигнал неготовности данных при чтении в синхронном режиме	I	--	down	VDDPST
SMC_FBCLK	T5			Частота приема данных	I	--	up	VDDPST
SMC_WEN	P5			Запись асинхронной памяти	O	8	--	VDDPST

<sup>a)</sup> Вывод общего назначения порта GPIO B

**Таблица 3.6. Перечень цифровых выводов. SDMMC0 и SDMMC1**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SDMMC0_CMD	AH2			Команда	O	--	--	VDDPST
SDMMC0_DATA0	AF4			Шина данных	I/O	--	--	VDDPST
SDMMC0_DATA1	AF3							
SDMMC0_DATA2	AF2							
SDMMC0_DATA3	AF1							
SDMMC0_DATA4	AG4							
SDMMC0_DATA5	AG3							
SDMMC0_DATA6	AG2							
SDMMC0_DATA7	AG1							
SDMMC0_CLK	AH3			Тактовая частота	O	--	--	VDDPST
SDMMC0_DET_N	AH4			Определение наличия карты	I	--	up	VDDPST
SDMMC0_18EN	AH1			Напряжение работы	O	4	--	VDDPST
SDMMC1_CMD	AE2			Команда	O	--	--	VDDPST
SDMMC1_DATA0	AC4			Шина данных	I/O	--	--	VDDPST
SDMMC1_DATA1	AC3							
SDMMC1_DATA2	AC2							
SDMMC1_DATA3	AC1							
SDMMC1_DATA4	AD4							
SDMMC1_DATA5	AD3							
SDMMC1_DATA6	AD2							
SDMMC1_DATA7	AD1							
SDMMC1_CLK	AE3			Тактовая частота	O	--	--	VDDPST
SDMMC1_DET_N	AE4			Определения наличия карты	I	--	up	
SDMMC1_18EN	AE1			Напряжение работы	O	4	--	

**Таблица 3.7. Перечень цифровых выводов. ЕМАС**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GMII_MD	AB3			Данные по интерфейсу MD	I/O	8	down	VDDPST
GMII_MDC	AA3			Тактовая частота обмена данными по интерфейсу MD	O	8	--	VDDPST
GMII_TXCLK	AB2			Тактовая частота передачи данных по интерфейсу MII	I	--	up	VDDPST
GMII_RXCLK	AB5			Тактовая частота приема данных по интерфейсу MII	I	--	up	VDDPST
GMII_TXEN	AA1			Признак передачи данных по интерфейсу MII	O	8	--	VDDPST
GMII_TXD0	Y1			Шина передаваемых данных по интерфейсу MII	O	8	--	VDDPST
GMII_TXD1	Y2							
GMII_TXD2	W1							
GMII_TXD3	W2							
GMII_TXD4	V1							
GMII_TXD5	V2							
GMII_TXD6	U1							
GMII_TXD7	U2							
GMII_RXD0	Y3			Шина принимаемых данных по интерфейсу MII	I	--	up	VDDPST
GMII_RXD1	Y4							
GMII_RXD2	W3							
GMII_RXD3	W4							
GMII_RXD4	V3							
GMII_RXD5	V5							
GMII_RXD6	U3							
GMII_RXD7	U4							
GMII_COL	AA2			Сигнал обнаружения коллизии в среде передачи	I	--	up	VDDPST



Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GMII_CRS	AA5			Сигнал наличия несущей в среде передачи	I	--	up	VDDPST
GMII_RXER	AB1			Признак обнаружения ошибки в принимаемых данных	I	--	up	VDDPST
GMII_RXDV	AB4			Признак наличия данных для приема по интерфейсу МП	I	--	up	VDDPST
GMII_TXER	AA4			Признак обнаружения ошибки в передаваемых данных	O	8	--	VDDPST

**Таблица 3.8. Перечень цифровых выводов. USBIC**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
OTG_ID	AJ13			Тип соединителя (plug judge): 0 – mini-A plug (HOST); 1 – mini B plug (DEVICE).	I	--	--	
OTG_VBUS	AK13			Уровень напряжения VBUS: 0 – напряжение VBUS < 4,4 В; 1 – напряжение VBUS >= 4,4 В.	I/O	--	--	
OTG_DP	AT12			Данные (прямой)	I/O	--	--	OTG_VDD25
OTG_DM	AR12			Данные (инверсный)	I/O	--	--	OTG_VDD25
OTG_TXR_RKL	AP12			Калибровочный выход	O	--	--	
OTG_DRV_VBUS	AN12			Включение внешнего драйвера VBUS	O	8	--	

**Таблица 3.9. Перечень цифровых выводов. SWIC0 и SWIC1.**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
SW0_DINP	C27			Вход данных положительный	I	--	--	SW0_VDD25
SW0_DINN	D27			Вход данных отрицательный	I	--	--	SW0_VDD25
SW0_SINP	C26			Вход строба положительный	I	--	--	SW0_VDD25
SW0_SINN	D26			Вход строба отрицательный	I	--	--	SW0_VDD25
SW0_DOUTP	C24			Выход данных положительный	O	--	--	SW0_VDD25
SW0_DOUTN	D24			Выход данных отрицательный	O	--	--	SW0_VDD25
SW0_SOUTP	C25			Выход строба положительный	O	--	--	SW0_VDD25
SW0_SOUTN	D25			Выход строба отрицательный	O	--	--	SW0_VDD25
SW1_DINP	A24			Вход данных положительный	I	--	--	SW1_VDD25
SW1_DINN	B24			Вход данных отрицательный	I	--	--	SW1_VDD25
SW1_SINP	A25			Вход строба положительный	I	--	--	SW1_VDD25
SW1_SINN	B25			Вход строба отрицательный	I	--	--	SW1_VDD25
SW1_DOUTP	A27			Выход данных положительный	O	--	--	SW1_VDD25
SW1_DOUTN	B27			Выход данных отрицательный	O	--	--	SW1_VDD25
SW1_SOUTP	A26			Выход строба положительный	O	--	--	SW1_VDD25
SW1_SOUTN	B26			Выход строба отрицательный	O	--	--	SW1_VDD25

**Таблица 3.10. Перечень цифровых выводов. VPOUT**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
VPOUT_VDO0	C29			Шина видеоданных	O	8	--	VDDPST
VPOUT_VDO1	D29							
VPOUT_VDO2	A29							
VPOUT_VDO3	B29							
VPOUT_VDO4	C30							
VPOUT_VDO5	D30							
VPOUT_VDO6	B30							
VPOUT_VDO7	A30							
VPOUT_VDO8	D31							
VPOUT_VDO9	C31							
VPOUT_VDO10	B31							
VPOUT_VDO11	A31							
VPOUT_VDO12	D32							
VPOUT_VDO13	C32							
VPOUT_VDO14	B32							
VPOUT_VDO15	A32							
VPOUT_VDO16	B33							
VPOUT_VDO17	A33							
VPOUT_VDO18	B34							
VPOUT_VDO19	A34							
VPOUT_VDO20	B35							
VPOUT_VDO21	A35							
VPOUT_VDO22	B36							
VPOUT_VDO23	A36							

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
VPOUT_VDEN	D28			Признак действительности видеоданных	I/O	8	up	VDDPST
VPOUT_VSYNC	B28			Кадровая синхронизация	I/O	8	up	VDDPST
VPOUT_HSYNC	C28			Строчная синхронизация	I/O	8	up	VDDPST
VPOUT_VCLK	A28			Синхронизация пикселей	I/O	8	up	VDDPST
DSI_DATAP0	C34	DSI_DATAP0	CSI1_DATAP0	Данные (прямые)	I/O	--	--	DSI_VDDAC
DSI_DATAP1	D34	DSI_DATAP1	CSI1_DATAP1					
DSI_DATAP2	E34	DSI_DATAP2	CSI1_DATAP2					
DSI_DATAP3	F34	DSI_DATAP3	CSI1_DATAP3					
DSI_DATAN0	C33	DSI_DATAN0	CSI1_DATAN0	Данные (инверсные)	I/O	--	--	DSI_VDDAC
DSI_DATAN1	D33	DSI_DATAN1	CSI1_DATAN1					
DSI_DATAN2	E33	DSI_DATAN2	CSI1_DATAN2					
DSI_DATAN3	F33	DSI_DATAN3	CSI1_DATAN3					
DSI_CLKP	G33	DSI_CLKP	CSI1_CLKP	Синхронизация (прямая)	O	--	--	DSI_VDDAC
DSI_CLKN	G34	DSI_CLKN	CSI1_CLKN	Синхронизация (инверсная)	O	--	--	DSI_VDDAC

**Таблица 3.11. Перечень цифровых выводов. VPIN**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOC0	A12	GPIOC0 <sup>a)</sup>	VPIN_VDI0	Шина видеоданных	I/O	8	up	VDDPST
GPIOC1	B12	GPIOC1 <sup>a)</sup>	VPIN_VDI1					
GPIOC2	A13	GPIOC2 <sup>a)</sup>	VPIN_VDI2					
GPIOC3	B13	GPIOC3 <sup>a)</sup>	VPIN_VDI3					
GPIOC4	A14	GPIOC4 <sup>a)</sup>	VPIN_VDI4					
GPIOC5	B14	GPIOC5 <sup>a)</sup>	VPIN_VDI5					
GPIOC6	A15	GPIOC6 <sup>a)</sup>	VPIN_VDI6					
GPIOC7	B15	GPIOC7 <sup>a)</sup>	VPIN_VDI7					
GPIOC8	A16	GPIOC8 <sup>a)</sup>	VPIN_VDI8					
GPIOC9	B16	GPIOC9 <sup>a)</sup>	VPIN_VDI9					
GPIOC10	A17	GPIOC10 <sup>a)</sup>	VPIN_VDI10					
GPIOC11	B17	GPIOC11 <sup>a)</sup>	VPIN_VDI11					
GPIOC12	A18	GPIOC12 <sup>a)</sup>	VPIN_VDI12					
GPIOC13	B18	GPIOC13 <sup>a)</sup>	VPIN_VDI13					
GPIOC14	A19	GPIOC14 <sup>a)</sup>	VPIN_VDI14					
GPIOC15	B19	GPIOC15 <sup>a)</sup>	VPIN_VDI15					
GPIOC16	C17	GPIOC16 <sup>a)</sup>	VPIN_VDI16					
GPIOC17	D17	GPIOC17 <sup>a)</sup>	VPIN_VDI17					
GPIOC18	C18	GPIOC18 <sup>a)</sup>	VPIN_VDI18					
GPIOC19	D18	GPIOC19 <sup>a)</sup>	VPIN_VDI19					
GPIOC20	C19	GPIOC20 <sup>a)</sup>	VPIN_VDI20					
GPIOC21	D19	GPIOC21 <sup>a)</sup>	VPIN_VDI21					
GPIOC22	C20	GPIOC22 <sup>a)</sup>	VPIN_VDI22					
GPIOC23	D20	GPIOC23 <sup>a)</sup>	VPIN_VDI23					

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOC24	C21	GPIOC24 <sup>a)</sup>	VPIN_VDI24					
GPIOC25	D21	GPIOC25 <sup>a)</sup>	VPIN_VDI25					
GPIOC26	C22	GPIOC26 <sup>a)</sup>	VPIN_VDI26					
GPIOC27	D22	GPIOC27 <sup>a)</sup>	VPIN_VDI27					
GPIOC28	C23	GPIOC28 <sup>a)</sup>	VPIN_VDI28					
GPIOC29	D23	GPIOC29 <sup>a)</sup>	VPIN_VDI29					
GPIOC30	A21	GPIOC30 <sup>a)</sup>	VPIN_RSTO0	Сброс CMOS сенсора	I/O	8	up	VDDPST
GPIOC31	B21	GPIOC31 <sup>a)</sup>	VPIN_RSTO1					
VPIN_PIXCLKO0	A23			Синхронизация пикселей	O	8	--	VDDPST
VPIN_PIXCLKO1	B23							
VPIN_FSYNC0	A20			Кадровая синхронизация	O	8	--	VDDPST
VPIN_FSYNC1	B20							
CSI0_DATAP0	C36			Данные (прямые)	I/O	--	--	CSI_VDDAC
CSI0_DATAP1	D36							
CSI0_DATAP2	E36							
CSI0_DATAP3	F36							
CSI0_DATAN0	C35			Данные (инверсные)	I/O	--	--	CSI_VDDAC
CSI0_DATAN1	D35							
CSI0_DATAN2	E35							
CSI0_DATAN3	F35							
CSI0_CLKP	G35			Синхронизация (прямая)	O	--	--	CSI_VDDAC
CSI0_CLKN	G36			Синхронизация (инверсная)	O	--	--	CSI_VDDAC

<sup>a)</sup> Вывод общего назначения порта GPIO C. Данные выводы могут также использоваться как тестовые (см. Таблица 3.15)

**Таблица 3.12 Перечень цифровых выводов. MFBSP0 и MFBSP1**

Название вывода	Вы- вод на кор- пусе	Функция 0	Функция 1	Назначение	Тип вы- вода	Drive	Pull up/do wn	Питание
MFBSP0_LDAT0	M33			Шина данных	I/O	8	up	VDDPST
MFBSP0_LDAT1	N33				I/O	8	up	
MFBSP0_LDAT2	M32				I/O	8	up	
MFBSP0_LDAT3	N32				I/O	8	up	
MFBSP0_LDAT4	M36				I/O	8	up	
MFBSP0_LDAT5	N36				I/O	8	up	
MFBSP0_LDAT6	M35				I/O	8	up	
MFBSP0_LDAT7	N35				I/O	8	up	
MFBSP0_LCLK	N34			Синхронизация данных	I/O	8	up	VDDPST
MFBSP0_LACK	M34			Подтверждение приема данных	I/O	8	up	VDDPST
MFBSP1_LDAT0	K33			Шина данных	I/O	8	up	VDDPST
MFBSP1_LDAT1	L33				I/O	8	up	
MFBSP1_LDAT2	K32				I/O	8	up	
MFBSP1_LDAT3	L32				I/O	8	up	
MFBSP1_LDAT4	K36				I/O	8	up	
MFBSP1_LDAT5	L36				I/O	8	up	
MFBSP1_LDAT6	K35				I/O	8	up	
MFBSP1_LDAT7	L35				I/O	8	up	
MFBSP1_LCLK	L34			Синхронизация данных	I/O	8	up	VDDPST
MFBSP1_LACK	K34			Подтверждение приема данных	I/O	8	up	VDDPST



**Таблица 3.13. Перечень цифровых выводов. Периферийные порты и управление**

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOA18	A5	GPIOA18 <sup>a)</sup>	UART0_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOA19	B5	GPIOA19 <sup>a)</sup>	UART0_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOA20	B6	GPIOA20 <sup>a)</sup>	UART0_CTSN	Запрос на прекращение передачи	I/O	8	up	VDDPST
GPIOA21	A6	GPIOA21 <sup>a)</sup>	UART0_RTSN	Запрос на передачу	I/O	8	up	VDDPST
GPIOD0	C8	GPIOD0 <sup>b)</sup>	UART1_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOD1	D8	GPIOD1 <sup>b)</sup>	UART1_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOD2	G11	GPIOD2 <sup>b)</sup>	UART1_CTSN	Запрос на прекращение передачи	I/O	8	up	VDDPST
GPIOD3	H11	GPIOD3 <sup>b)</sup>	UART1_RTSN	Запрос на передачу	I/O	8	up	VDDPST
GPIOD4	E9	GPIOD4 <sup>b)</sup>	UART2_SIN	Вход последовательных данных	I/O	8	up	VDDPST
GPIOD5	F9	GPIOD5 <sup>b)</sup>	UART2_SOUT	Выход последовательных данных	I/O	8	up	VDDPST
GPIOD6	D9	GPIOD6 <sup>b)</sup>	TIM1_TGL	ШИМ вывод таймера	I/O	16	up	VDDPST
GPIOD7	C9	GPIOD7 <sup>b)</sup>	I2S_SCLKO	Выходная частота	I/O	8	down	VDDPST
GPIOD8	B9	GPIOD8 <sup>b)</sup>	I2S_SDI	Входные данные	I/O	8	down	VDDPST
GPIOD9	A9	GPIOD9 <sup>b)</sup>	I2S_SDO0	Выходные данные	I/O	8	down	VDDPST
GPIOD10	F10	GPIOD10 <sup>b)</sup>	I2S_SDO1		I/O	8	down	
GPIOD11	G12	GPIOD11 <sup>b)</sup>	I2S_SDO2		I/O	8	down	
GPIOD12	H12	GPIOD12 <sup>b)</sup>	I2S_SDO3		I/O	8	down	
GPIOD13	E10	GPIOD13 <sup>b)</sup>	I2S_WS	Частота дискретизации	I/O	8	down	VDDPST
GPIOD14	D10	GPIOD14 <sup>b)</sup>	I2S_SCLK	Входная частота	I/O	8	down	VDDPST
GPIOD15	C10	GPIOD15 <sup>b)</sup>	SPI0_SCLK	Выходная частота	I/O	8	down	VDDPST
GPIOD16	B10	GPIOD16 <sup>b)</sup>	SPI0_TXD	Данные передачи	I/O	8	down	VDDPST
GPIOD17	A10	GPIOD17 <sup>b)</sup>	SPI0_RXD	Данные приема	I/O	8	down	VDDPST
GPIOD18	F13	GPIOD18 <sup>b)</sup>	SPI0_SSN0	Выбор устройства	I/O	8	down	VDDPST
GPIOD19	E13	GPIOD19 <sup>b)</sup>	SPI0_SSN1		I/O	8	down	

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOD20	F11	GPIOD20 <sup>б)</sup>	SPI0_SSN2		I/O	8	down	
GPIOD21	E11	GPIOD21 <sup>б)</sup>	SPI0_SSN3		I/O	8	down	
GPIOA22	C6	GPIOA22 <sup>а)</sup>	SPI1_SCLK	Выходная частота	I/O	8	down	VDDPST
GPIOA23	A7	GPIOA23 <sup>а)</sup>	SPI1_TXD	Данные передачи	I/O	8	down	VDDPST
GPIOA24	B7	GPIOA24 <sup>а)</sup>	SPI1_RXD	Данные приема	I/O	8	down	VDDPST
GPIOA25	C7	GPIOA25 <sup>а)</sup>	SPI1_SSN0	Выбор устройства	I/O	8	down	VDDPST
GPIOA26	D7	GPIOA26 <sup>а)</sup>	SPI1_SSN1		I/O	8	down	
GPIOA27	E8	GPIOA27 <sup>а)</sup>	SPI1_SSN2		I/O	8	down	
GPIOA28	F8	GPIOA28 <sup>а)</sup>	SPI1_SSN3		I/O	8	down	
GPIOA29	G10	GPIOA29 <sup>а)</sup>	I2C0_SDA	Линия данных	I/O	8	up	VDDPST
GPIOA30	H10	GPIOA30 <sup>а)</sup>	I2C0_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOA31	E7	GPIOA31 <sup>а)</sup>	TIM2_TGL	ШИМ вывод таймера	I/O	16	up	VDDPST
GPIOD22	D11	GPIOD22 <sup>б)</sup>	I2C1_SDA	Линия данных	I/O	8	up	VDDPST
GPIOD23	C11	GPIOD23 <sup>б)</sup>	I2C1_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOD24	B11	GPIOD24 <sup>б)</sup>	I2C2_SDA	Линия данных	I/O	8	up	VDDPST
GPIOD25	A11	GPIOD25 <sup>б)</sup>	I2C2_SCL	Линия синхронизации	I/O	8	up	VDDPST
GPIOA0	A1	GPIOA0 <sup>а)</sup>	TRACE_D0	Шина данных трассы	I/O	8	up	VDDPST
GPIOA1	B1	GPIOA1 <sup>а)</sup>	TRACE_D1		I/O	8	up	
GPIOA2	A2	GPIOA2 <sup>а)</sup>	TRACE_D2		I/O	8	up	
GPIOA3	B2	GPIOA3 <sup>а)</sup>	TRACE_D3		I/O	8	up	
GPIOA4	A3	GPIOA4 <sup>а)</sup>	TRACE_D4		I/O	8	up	
GPIOA5	B3	GPIOA5 <sup>а)</sup>	TRACE_D5		I/O	8	up	
GPIOA6	A4	GPIOA6 <sup>а)</sup>	TRACE_D6		I/O	8	up	
GPIOA7	B4	GPIOA7 <sup>а)</sup>	TRACE_D7		I/O	8	up	
GPIOA8	C1	GPIOA8 <sup>а)</sup>	TRACE_D8		I/O	8	up	
GPIOA9	D1	GPIOA9 <sup>а)</sup>	TRACE_D9		I/O	8	up	

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
GPIOA10	C2	GPIOA10 <sup>a)</sup>	TRACE_D10		I/O	8	up	
GPIOA11	D2	GPIOA11 <sup>a)</sup>	TRACE_D11		I/O	8	up	
GPIOA12	C3	GPIOA12 <sup>a)</sup>	TRACE_D12		I/O	8	up	
GPIOA13	D3	GPIOA13 <sup>a)</sup>	TRACE_D13					
GPIOA14	C4	GPIOA14 <sup>a)</sup>	TRACE_D14					
GPIOA15	D4	GPIOA15 <sup>a)</sup>	TRACE_D15					
GPIOA16	C5	GPIOA16 <sup>a)</sup>	TRACE_CTL	Управляющий сигнал трассы	I/O	8	down	VDDPST
GPIOA17	D5	GPIOA17 <sup>a)</sup>	TRACE_CLK	Синхронизация трассы	I/O	8	down	VDDPST
XTI_24M	AL5			Вход осциллятора 24МГц	I	--	--	ALIVE_VDD PST
XTO_24M	AM5			Выход осциллятора 24МГц	O	--	--	ALIVE_VDD PST
NRST_WARM	AT3			Сигнал «теплого» сброса микросхемы	I/O	8	up	ALIVE_VDD PST
NRST_PON	AR4			Установка исходного состояния	I	--	up	ALIVE_VDD PST
BOOT0	AR3			Источник данных при начальной загрузке программы микропроцессора после снятия сигнала сброса	I	--	down	ALIVE_VDD PST
BOOT1	AT2				I	--	down	
BOOT2	AR2				I	--	down	
NVMODE0	AR5			Индикация требуемого напряжения работы ядра микросхемы	O	8	--	ALIVE_VDD PST
NVMODE1	AT4				O	8	--	
CLKOUT	AT6			Универсальный вывод синхросигнала	O	8	--	VDDPST
WIRQ0	AT1			Wakeur прерывания	I	--	down	ALIVE_VDD PST
WIRQ1	AR1				I	--	down	
JMODE0	AT5			Выбор режима JTAG	I	--	down	SVDD SVDD
JMODE1	AR7				I	--	down	
NSYSTEM_OFF	AP5			Признак перехода системы в экономный режим	O	8	up	ALIVE_VDD PST

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
TDO	AR6			Выход данных теста (JTAG)	O	8	--	VDDPST
TCK	AM10			Тестовый тактовый сигнал (JTAG)	I	--	up	VDDPST
TRSTN	AK10			Установка исходного состояния (JTAG)	I	--	up	VDDPST
TDI	AP6			Вход данных теста (JTAG)	I	--	up	VDDPST
TMS	AN6			Выбор режима теста (JTAG)	I	--	up	VDDPST
XTI_32K	AT13			Вход осциллятора 32 КГц	OSCI	--	--	RTC_VDDAC
XTO_32K	AR13			Выход осциллятора 32 КГц	OSCO	--	--	RTC_VDDAC
RTC_WAKEUP	AK16			Запрос на выход из экононого режима от RTC таймера	O	8	down	RTC_VDDPST
RTC_ISO	AL16			Изоляция при работе в режиме глубокого сна	I	-	down	RTC_VDDPST
GLN1_I0	C15	Тестовая функция <b>Ошибка!</b> <b>Источник ссылки не найден.</b>		Сигналы с RF (радиочастотный приемник) канала 1 GLONASS	I	--	up	VDDPST
GLN1_I1	D16				I	--	up	
GLN1_Q0	C16				I	--	up	
GLN1_Q1	F17				I	--	up	
GLN2_I0	E17	Тестовая функция <b>Ошибка!</b> <b>Источник ссылки не найден.</b>		Сигналы с RF (радиочастотный приемник) канала 2 GLONASS	I	--	up	VDDPST
GLN2_I1	F18				I	--	up	
GLN2_Q0	E18				I	--	up	
GLN2_Q1	F19				I	--	up	
GPS1_I0	C13	Тестовая функция <b>Ошибка!</b> <b>Источник ссылки не найден.</b>		Сигналы с RF (радиочастотный приемник) канала GPS	I	--	up	VDDPST
GPS1_I1	D14				I	--	up	
GPS1_Q0	C14				I	--	up	
GPS1_Q1	D15				I	--	up	

Название вывода	Вывод на корпусе	Функция 0	Функция 1	Назначение	Тип вывода	Drive	Pull up/down	Питание
MCC_PPS	D13			Секундная метка	O	8	--	VDDPST
MCC_CLKIN	E19			Частота от 12 до 44 МГц с RF	I	--	up	VDDPST
GPIOD26	E14	GPIOD26 <sup>6)</sup>	PWM_OUTA0	ШИМ каналы	I/O	16	up	VDDPST
GPIOD27	F14	GPIOD27 <sup>6)</sup>	PWM_OUTA1		I/O	16	up	
GPIOD28	E12	GPIOD28 <sup>6)</sup>	PWM_OUTB0		I/O	16	up	
GPIOD29	F12	GPIOD29 <sup>6)</sup>	PWM_OUTB1		I/O	16	up	
GPIOD30	C12	GPIOD30 <sup>6)</sup> GPIOD31	PWM_TU0	Размерность рабочего хода (Trip Unit) для ШИМ	I/O	8	up	VDDPST
GPIOD31	D12		PWM_TU1		I/O	8	up	
UART3_SIN	A8			Вход последовательных данных	I	--	up	VDDPST
UART3_SOUT	B8			Выход последовательных данных	O	8	--	VDDPST

<sup>a)</sup> Вывод общего назначения порта GPIO A. Данные выводы могут также использоваться как тестовые (см. Таблица 3.15)

<sup>6)</sup> Вывод общего назначения порта GPIO D

**Таблица 3.14 Тестовые выводы**

Название выводов	Вывод на корпусе	Назначение	Тип вывода	Привязка <sup>a)</sup>
TESTCLK	AL10	Тестовый клок	I	0
TESTMODE	AT11	Сигнал выбора режима для ATPG	I	0
TESTMODE_SC	AR11	Сигнал выбора режима компрессии для ATPG	I	0
TEST_MODE_PLL	AL9	Сигнал выбора режима at-speed для ATPG	I	0
TESTSE	AM9	Сигнал разрешения сдвига цепочек для ATPG	I	0
TESTSE_PLL	AL9	Сигнал разрешения сдвига цепочек для регистров PLL для ATPG	I	0
TESTRST	AP11	Сигнал сброса для ATPG	I	0
TESTSI_PLL	AN10	Вход скан цепочки для регистров PLL	I	0
TESTSO_PLL	AP10	Выход скан цепочки для регистров PLL	O	--
DFTRAMBYP	AL6	Сигнал управления обходом L1 (в режиме ATPG=1, в остальных случаях 0)	I	0
DFTTESTMODE	AT10	Сигнал выбора режима ATPG для ARM	I	0

Название выводов	Вывод на корпусе	Назначение	Тип вывода	Привязка <sup>a)</sup>
DFTATSPEEDENABLE	AP8	Сигнал выбора режима ATPG для ARM с использование контроллера OCC(capture на частоте PLL)	I	0
DFTCLKBYPASS	AN7	Сигнал переключения клока на TESTCLK для ARM	I	0
DFTWINTEST	AL7	Сигнал выбора INTEST режима для ARM	I	0
DFTWEXTEST	AL8	Сигнал выбора EXTEST режима для ARM	I	0
DFTMAXCOMPmode	AN8	Сигнал выбора режима компрессии для ARM	I	0
DFTSE	AR10	Сигнал разрешения сдвига цепочек для ARM	I	0
DFTWSE	AT9	Сигнал разрешения сдвига цепочек wrapper для ARM	I	0
DFTCPURSTDISABLE	AM6	Сигнал отключения внутренней подсинхронизации сигналов сброса в CPU для ARM	I	0
DFTRSTDISABLE	AP7	Сигнал отключения внутренней подсинхронизации сигналов сброса иерархии для ARM	I	0
DFTCOMPBYPASS	AM7	Не используется	I	0
DFTSCANMODE	AP9	Не используется	I	0
DFTWRPCLK	AN9	Не используется	I	0
DFTATEATCLK	AR9	Тестовый клок трассы(ATB) для тестирования основного домена для ARM	I	0
DFTATEATCLKVSOC	AM8	Тестовый клок трассы(ATB) для тестирования домена VSOC для ARM	I	0
DFTATECLK	AR8	Тестовый клок для тестирования основного домена для ARM	I	0
DFTATEPCLKVSOC	AT8	Тестовый клок debug(APB) для тестирования домена VSOC для ARM	I	0
TESTEN	AJ10	сигнал разрешения MBIST в ARM (L1MBISTENABLE)	I	0
NBISTRESET	AT7	Сигнал сброса MBIST в ARM	I	0
SIGRES0	AG10	сигнал завершения теста MBIST (L1MBISTRESULT[0])	O	--
SIGRES1	AK9	сигнал ошибки теста MBIST L1MBISTRESULT[1]	O	--
SIGRES2	AJ9	сигнал передачи инструкций и данных логов для CPU0 (L1MBISTRESULT[2])	O	--
SIGRES3	AN10	сигнал передачи инструкций и данных логов для CPU1 (L1MBISTRESULT[3])	O	--
SIGRES4	AN9	сигнал сдвига данных лога (L1MBISTDSHIFT)	I	0
SIGRES5	AK8	сигнал сдвига инструкций (L1MBISTSHIFT)	I	0
SIGRES6	AJ8	сигнал запуска проверки MBIST (L1MBISTRUN)	I	0
SIGRES7	AN8	последовательный вход данных для MBIST (L1MBISTDATAIN)	I	0

<sup>a)</sup> В функциональном режиме работы микросхемы выводы необходимо установить в приведенное значение

**Таблица 3.15 Использование портов GPIOA и GPIOC в качестве тестовых выводов**

Название выводов	Вывод на корпусе	Назначение	Тип вывода
GPIOA0	A1	Вход сканирующей цепочки 1 (mpu_DFTMAXSI[1])	I
GPIOA1	B1	Вход сканирующей цепочки 2 (mpu_DFTMAXSI[2])	I
GPIOA2	A2	Вход сканирующей цепочки 3 (mpu_DFTMAXSI[3])	I
GPIOA3	B2	Вход сканирующей цепочки 4 (mpu_DFTMAXSI[4])	I
GPIOA4	A3	Вход сканирующей цепочки 5 (mpu_DFTMAXSI[5])	I
GPIOA5	B3	Вход сканирующей цепочки 6 (mpu_DFTMAXSI[6])	I
GPIOA6	A4	Вход сканирующей цепочки 7 (mpu_DFTMAXSI[7])	I
GPIOA7	B4	Вход сканирующей цепочки 8 (mpu_DFTMAXSI[8])	I
GPIOA8	C1	Вход сканирующей цепочки 9 (mpu_DFTMAXSI[9])	I
GPIOA9	D1	Вход сканирующей цепочки 10 (mpu_DFTMAXSI[10])	I
GPIOA10	C2	Вход сканирующей цепочки 11 (mpu_DFTMAXSI[11])	I
GPIOA11	D2	Вход сканирующей цепочки 12 (mpu_DFTMAXSI[12])	I
GPIOA12	C3	Вход сканирующей цепочки 13 (mpu_DFTMAXSI[13])	I
GPIOA13	D3	Вход сканирующей цепочки 14 (mpu_DFTMAXSI[14])	I
GPIOA14	C4	Вход сканирующей цепочки 15 (mpu_DFTMAXSI[15])	I
GPIOA15	D4	Вход сканирующей цепочки 16 (mpu_DFTMAXSI[16])	I
GPIOA16	C5	Вход сканирующей цепочки 17 (mpu_DFTMAXSI[17])	I
GPIOA17	D5	Вход сканирующей цепочки 18 (mpu_DFTMAXSI[18])	I
GPIOA18	A5	Вход сканирующей цепочки 19 (mpu_DFTMAXSI[19])	I
GPIOA19	B5	Вход сканирующей цепочки 20 (mpu_DFTMAXSI[20])	I
GPIOA20	B6	Вход сканирующей цепочки 21 (mpu_DFTMAXSI[21])	I
GPIOA21	A6	Вход сканирующей цепочки 22 (mpu_DFTMAXSI[22])	I
GPIOA22	C6	Вход сканирующей цепочки 23 (mpu_DFTMAXSI[23])	I
GPIOA23	A7	Вход сканирующей цепочки 24 (mpu_DFTMAXSI[24])	I
GPIOA24	B7	Вход сканирующей цепочки 25 (mpu_DFTMAXSI[25])	I
GPIOA25	C7	Вход сканирующей цепочки 26 (mpu_DFTMAXSI[26])	I
GPIOA26	D7	Вход сканирующей цепочки 27 (mpu_DFTMAXSI[27])	I
GPIOA27	E8	Вход сканирующей цепочки 28 (mpu_DFTMAXSI[28])	I
GPIOA28	F8	Вход сканирующей цепочки 29 (mpu_DFTMAXSI[29])	I
GPIOA29	G10	Вход сканирующей цепочки 30 (mpu_DFTMAXSI[30])	I
GPIOA30	H10	Вход сканирующей цепочки 31 (mpu_DFTMAXSI[31])	I

Название выводов	Вывод на корпусе	Назначение	Тип вывода
GPIOA31	E7	Вход сканирующей цепочки 32 (mpu_DFTMAXSI[32])	I
GPIOC0	A12	Выход сканирующей цепочки 1 (mpu_DFTMAXSO[1])	O
GPIOC1	B12	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[2])	O
GPIOC2	A13	Выход сканирующей цепочки 3 (mpu_DFTMAXSO[3])	O
GPIOC3	B13	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[4])	O
GPIOC4	A14	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[5])	O
GPIOC5	B14	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[6])	O
GPIOC6	A15	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[7])	O
GPIOC7	B15	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[8])	O
GPIOC8	A16	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[9])	O
GPIOC9	B16	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[10])	O
GPIOC10	A17	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[11])	O
GPIOC11	B17	Выход сканирующей цепочки 1 (mpu_DFTMAXSO[12])	O
GPIOC12	A18	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[13])	O
GPIOC13	B18	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[14])	O
GPIOC14	A19	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[15])	O
GPIOC15	B19	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[16])	O
GPIOC16	C17	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[17])	O
GPIOC17	D17	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[18])	O
GPIOC18	C18	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[19])	O
GPIOC19	D18	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[20])	O
GPIOC20	C19	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[21])	O
GPIOC21	D19	Выход сканирующей цепочки 2 (mpu_DFTMAXSO[22])	O
GPIOC22	C20	Выход сканирующей цепочки 3 (mpu_DFTMAXSO[23])	O
GPIOC23	D20	Выход сканирующей цепочки 4 (mpu_DFTMAXSO[24])	O
GPIOC24	C21	Выход сканирующей цепочки 5 (mpu_DFTMAXSO[25])	O
GPIOC25	D21	Выход сканирующей цепочки 6 (mpu_DFTMAXSO[26])	O
GPIOC26	C22	Выход сканирующей цепочки 7 (mpu_DFTMAXSO[27])	O
GPIOC27	D22	Выход сканирующей цепочки 8 (mpu_DFTMAXSO[28])	O
GPIOC28	C23	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[29])	O
GPIOC29	D23	Выход сканирующей цепочки 10 (mpu_DFTMAXSO[30])	O
GPIOC30	A21	Выход сканирующей цепочки 11 (mpu_DFTMAXSO[31])	O
GPIOC31	B21	Выход сканирующей цепочки 9 (mpu_DFTMAXSO[32])	O



**Таблица 3.16 Электропитание**

Название выводов	Назначение	Напряжение, В	Число выводов
DDR0_VDDQ, DDR1_VDDQ	Напряжение электропитания входных и выходных драйверов DDRMC0 и DDRMC1	1.2, 1.35, 1.5	32
DDR0_GNDQ, DDR1_GNDQ	Земля входных и выходных драйверов DDRMC0 и DDRMC1		36
CSI_VDDAC	Напряжение электропитания входных и выходных драйверов MIPI CSI порта VPIN	1.1	4
CSI_GNDAC	Земля входных и выходных драйверов MIPI CSI порта VPIN		4
DSI_VDDAC	Напряжение электропитания входных и выходных драйверов MIPI DSI порта VPOUT	1.1	4
DSI_GNDAC	Земля входных и выходных драйверов MIPI DSI порта VPOUT		4
SDMMC0_VDD, SDMMC1_VDD	Напряжение электропитания входных и выходных драйверов SDMMC0 и SDMMC1	1.8, 3.3	2
SDMMC0_GND, SDMMC1_GND	Земля входных и выходных драйверов SDMMC0 и SDMMC1		4
SW0_VDD11, SW1_VDD11	Напряжение электропитания цифровой части портов SWIC0 и SWIC1	1.1, 1.2	4
SW0_GND11, SW1_GND11	Земля цифровой части портов SWIC0 и SWIC1		4
SW0_VDD25, SW1_VDD25	Напряжение электропитания входных и выходных драйверов SWIC0 и SWIC1	2.5	4
SW0_GND25, SW1_GND25	Земля входных и выходных драйверов SWIC0 и SWIC1		4
OTG_VDD25	2.5 В напряжение электропитания входных и выходных драйверов порта USBIC	2.5	1
OTG_GNDAC	Земля для внутренней USBIC		1
OTG_VDD33	3.3 В напряжение электропитания входных и выходных драйверов порта USBIC	3.3	4
OTG_GNDA	Земля входных и выходных драйверов USBIC		2
ALIVE_VDD	Напряжение электропитания ядра домена ALIVE микросхемы	1.1, 1.2	4
ALIVE_VDDPST	Напряжение электропитания входных и выходных драйверов домена ALIVE микросхемы		2
RTC_VDD	Напряжение электропитания ядра домена RTC микросхемы	1.1, 1.2	2
RTC_VDDPST	Напряжение электропитания входных и выходных драйверов домена RTC микросхемы	1.8 – 3.3	2
RTC_VDDAC	Напряжение электропитания входных и выходных драйверов осциллятора XTI_32K/XTO_32K микросхемы	1.1	1
RTC_GNDAC	Земля входных и выходных драйверов осциллятора XTI_32K/XTO_32K микросхемы		1
efuse_VDDA	Напряжение электропитания eFuse		1
CPLL_VDDAC, APLL_VDDAC, SPLL_VDDAC, SW1PLL_VDDAC, SW0PLL_VDDAC, DPLL_VDDAC, VPLL_VDDAC, UPLL_VDDAC	Напряжения электропитаний блоков PLL микросхемы	1.1	8

Название выводов	Назначение	Напряжение, В	Число выводов
CPLL_GNDAC, APLL_GNDAC, SPLL_GNDAC, SW1PLL_GNDAC, SW0PLL_GNDAC, DPLL_GNDAC, VPLL_GNDAC, UPLL_GNDAC	Земли блоков PLL микросхемы		8
VDDPST	Напряжение электропитания входных и выходных драйверов цифровых выводов микросхемы	1.8 – 3.3	33
VDD	Напряжение электропитания ядра микросхемы	1.1, 1.2	147
GND	Земля ядра и входных и выходных драйверов цифровых выводов микросхемы		396
	Итого		719

### 3.2 Расположение выводов на корпусе

Расположение выводов микросхемы 1892BM14Я в корпусе HFCBGA -1296 приведена на.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	GPIOA0/T RACE_D0	GPIOA2/T RACE_D2	GPIOA4/T RACE_D4	GPIOA6/T RACE_D6	GPIOA18/ UART0_SI N	GPIOA21/ UART0_R TSN	GPIOA23/ SPI1_TXD	UART3_SI N	GPIOD9/12 S_SDO0	GPIOD17/ SPI0_RXD	GPIOD25/1 2C2_SCL	GPIOC0/V PIN_VDI0	GPIOC2/V PIN_VDI2	GPIOC4/V PIN_VDI4	GPIOC6/V PIN_VDI6	GPIOC8/V PIN_VDI8	GPIOC10/VP IN_VDI10	GPIOC12/VP IN_VDI12
B	GPIOA1/T RACE_D1	GPIOA3/T RACE_D3	GPIOA5/T RACE_D5	GPIOA7/T RACE_D7	GPIOA19/ UART0_S OUT	GPIOA20/ UART0_C TSN	GPIOA24/ SPI1_RXD	UART3_S OUT	GPIOD8/12 S_SDI	GPIOD16/ SPI0_TXD	GPIOD24/1 2C2_SDA	GPIOC1/V PIN_VDI1	GPIOC3/V PIN_VDI3	GPIOC5/V PIN_VDI5	GPIOC7/V PIN_VDI7	GPIOC9/V PIN_VDI9	GPIOC11/VP IN_VDI11	GPIOC13/VP IN_VDI13
C	GPIOA8/T RACE_D8	GPIOA10/ TRACE_D 10	GPIOA12/ TRACE_D 12	GPIOA14/ TRACE_D 14	GPIOA16/ TRACE_C TL	GPIOA22/ SPI1_SCL K	GPIOA25/ SPI1_SSN0	GPIOD0/U ART1_SIN	GPIOD7/12 S_SCLKO	GPIOD15/ SPI0_SCL K	GPIOD23/1 2C1_SCL	GPIOD30/ PWM_TU0	GPS1_I0	GPS1_Q0	GLN1_I0	GLN1_Q0	GPIOC16/VP IN_VDI16	GPIOC18/VP IN_VDI18
D	GPIOA9/T RACE_D9	GPIOA11/ TRACE_D 11	GPIOA13/ TRACE_D 13	GPIOA15/ TRACE_D 15	GPIOA17/ TRACE_C LK	GND	GPIOA26/ SPI1_SSN1	GPIOD1/U ART1_SO UT	GPIOD6/T1 M1_TGL	GPIOD14/I 2S_SCLK	GPIOD22/1 2C1_SDA	GPIOD31/ PWM_TU1	MCC_PPS	GPS1_I1	GPS1_Q1	GLN1_I1	GPIOC17/VP IN_VDI17	GPIOC19/VP IN_VDI19
E	SMC_DAT A6/GPIOB 22	SMC_DAT A7/GPIOB 23	SMC_DAT A14/GPIO B30	SMC_DAT A15/GPIO B31	GND	GND	GPIOA31/ TIM2_TGL	GPIOA27/ SPI1_SSN2	GPIOD4/U ART2_SIN	GPIOD13/I 2S_WS	GPIOD21/ SPI0_SSN3	GPIOD28/ PWM_OU TB0	GPIOD19/ SPI0_SSN1	GPIOD26/ PWM_OU TA0	VDDPST	VDDPST	GLN2_I0	GLN2_Q0
F	SMC_DAT A4/GPIOB 20	SMC_DAT A5/GPIOB 21	SMC_DAT A12/GPIO B28	SMC_DAT A13/GPIO B29	GND	GND	GND	GPIOA28/ SPI1_SSN3	GPIOD5/U ART2_SO UT	GPIOD10/I 2S_SDO1	GPIOD20/ SPI0_SSN2	GPIOD29/ PWM_OU TB1	GPIOD18/ SPI0_SSN0	GPIOD27/ PWM_OU TA1	VDDPST	VDDPST	GLN1_Q1	GLN2_I1
G	SMC_DAT A2/GPIOB 18	SMC_DAT A3/GPIOB 19	SMC_DAT A10/GPIO B26	SMC_DAT A11/GPIO B27	GND	GND	GND	GND	GND	GPIOA29/I 2C0_SDA	GPIOD2/U ART1_CT SN	GPIOD11/I 2S_SDO2	GND	GND	VDDPST	VDDPST	GND	GND
H	SMC_DAT A0/GPIOB 16	SMC_DAT A1/GPIOB 17	SMC_DAT A8/GPIOB 24	SMC_DAT A9/GPIOB 25	GND	GND	GND	GND	GND	GPIOA30/I 2C0_SCL	GPIOD3/U ART1_RT SN	GPIOD12/I 2S_SDO3	GND	GND	GND	GND	GND	GND
J	SMC_ADD 14/GPIOB6	SMC_ADD 15/GPIOB7	SMC_ADD 22/GPIOB1 4	SMC_ADD 23/GPIOB1 5	VDDPST	VDDPST	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
K	SMC_ADD 12/GPIOB4	SMC_ADD 13/GPIOB5	SMC_ADD 20/GPIOB1 2	SMC_ADD 21/GPIOB1 3	VDDPST	VDDPST	GND	GND	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND
L	SMC_ADD 10/GPIOB2	SMC_ADD 11/GPIOB3	SMC_ADD 18/GPIOB1 0	SMC_ADD 19/GPIOB1 1	VDDPST	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
M	SMC_ADD 8/GPIOB0	SMC_ADD 9/GPIOB1	SMC_ADD 16/GPIOB8	SMC_ADD 17/GPIOB9	SMC_WAI T	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
N	SMC_ADD 6	SMC_ADD 7	SMC_BLS N0	SMC_BLS N1	SMC_ADV N	VDDPST	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
P	SMC_ADD 4	SMC_ADD 5	SMC_BAA	SMC_CRE	SMC_WE N	VDDPST	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
R	SMC_ADD 2	SMC_ADD 3	SMC_CSN 0	SMC_CSN 1	SMC_OEN	VDDPST	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
T	SMC_ADD 0	SMC_ADD 1	SMC_CLK O0	SMC_CLK O1	SMC_FBC LK	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
U	GMII_TX D6	GMII_TX D7	GMII_RX D6	GMII_RX D7	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND

Рисунок 3.1. Расположение выводов на корпусе (левый верхний угол)

V	GMII_TX D4	GMII_TX D5	GMII_RX D4	GMII_RX D5	GND	GND	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
W	GMII_TX D2	GMII_TX D3	GMII_RX D2	GMII_RX D3	GND	GND	GND	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
Y	GMII_TX D0	GMII_TX D1	GMII_RX D0	GMII_RX D1	GND	GND	GND	CPLL_VD DAC	CPLL_GN DAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AA	GMII_TXE N	GMII_COL	GMII_MD C	GMII_TXE R	GMII_CRS	GND	GND	APLL_VD DAC	APLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AB	GMII_RXE R	GMII_TXC LK	GMII_MD	GMII_RX DV	GMII_RX CLK	GND	GND	SPLL_VD DAC	SPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AC	SDMMC1_ DATA3	SDMMC1_ DATA2	SDMMC1_ DATA1	SDMMC1_ DATA0	SDMMC1_ VDD	ALIVE_V DDPST	ALIVE_V DDPST	SWIPLL_ VDDAC	SWIPLL_ GNDAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AD	SDMMC1_ DATA7	SDMMC1_ DATA6	SDMMC1_ DATA5	SDMMC1_ DATA4	SDMMC1_ GND	ALIVE_V DD	ALIVE_V DD	SW0PLL_ VDDAC	SW0PLL_ GNDAC	VDD	VDD	GND	GND	VDD	VDD	GND	GND	VDD
AE	SDMMC1_ 18EN	SDMMC1_ CMD	SDMMC1_ CLK	SDMMC1_ DET	SDMMC1_ GND	ALIVE_V DD	ALIVE_V DD	DPLL_VD DAC	DPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AF	SDMMC0_ DATA3	SDMMC0_ DATA2	SDMMC0_ DATA1	SDMMC0_ DATA0	SDMMC0_ VDD	SIGRES10	SIGRES8	VPPLL_VD DAC	VPPLL_GN DAC	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND
AG	SDMMC0_ DATA7	SDMMC0_ DATA6	SDMMC0_ DATA5	SDMMC0_ DATA4	SDMMC0_ GND	SIGRES15	SIGRES14	UPLL_VD DAC	UPLL_GN DAC	SIGRES0	VDDPST	VDDPST	VDD	GND	GND	GND	GND	DDR1_VD DQ
AH	SDMMC0_ 18EN	SDMMC0_ CMD	SDMMC0_ CLK	SDMMC0_ DET	SDMMC0_ GND	SIGRES17	SIGRES16	SIGRES7	SIGRES4	SIGRES3	VDDPST	VDDPST	VDDPST	VDDPST	VDDPST	GND	GND	DDR1_VD DQ
AJ	NAND_CS N0	NAND_CS N1	NAND_D QS	NAND_W RN	NAND_RB N0	SIGRES11	SIGRES12	SIGRES6	SIGRES2	TESTEN	OTG_VDD 33	OTG_VDD 33	OTG_ID	RTC_VDD PST	GND	GND	GND	GND
AK	NAND_CL E	NAND_AL E	NAND_D ATA8	NAND_D ATA9	NAND_RB N1	SIGRES13	SIGRES9	SIGRES5	SIGRES1	TRSTN	OTG_VDD 33	OTG_VDD 33	OTG_VBU S	RTC_VDD PST	RTC_VDD	RTC_WA KEUP	GND	GND
AL	NAND_D ATA0	NAND_D ATA1	NAND_D ATA10	NAND_D ATA11	XTO 24M	DFTRAM BYP	DFTWINT EST	DFTWEXT EST	TESTMOD E PLL	TESTCLK	OTG_GND AC	OTG_GND A	RTC_GND AC	RTC_VDD AC	RTC_VDD	RTC_ISO	GND	GND
AM	NAND_D ATA2	NAND_D ATA3	NAND_D ATA12	NAND_D ATA13	XTI 24M	DFTCPUR STDISABL E	DFTCOMP BYPASS	DFTATEA TCLKVSO C	TESTSE	TCK	OTG_VDD 25	OTG_GND A	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_DM 3	DDR1_DM 2
AN	NAND_D ATA4	NAND_D ATA5	NAND_D ATA14	NAND_D ATA15	NAND_RD N	TMS	DFTCLKB YPASS	DFTMAX COMPMD E	DFTWRPC LK	TESTSI_P LL	TESTSE_P LL	OTG_DRV VBUS	DDR1_GN DQ	DDR1_GN DQ	DDR1_DQ S3	DDR1_DQ 28	DDR1_DQ 29	DDR1_DQ 16
AP	NAND_D ATA6	NAND_D ATA7	efuse_VDD A	GND	NSYSTEM OFF	TDI	DFTTRSTDI SABLE	DFTATSP EEDENAB LE	DFTSCAN MODE	TESTSO_P LL	TESTRST	OTG_TXR RKL	DDR1_GN DQ	DDR1_GN DQ	DDR1_DQ S B3	DDR1_DQ 30	DDR1_DQ 31	DDR1_DQ 18
AR	WIRQ1	BOOT2	BOOT0	NRST_PO N	NVMODE 0	TD0	JMODE1	DFTATEC LK	DFTATEA TCLK	DFTSE	TESTMOD E SC	OTG_DM	XTO 32K	DDR1_GN DQ	DDR1_DQ S2	DDR1_DQ 26	DDR1_DQ 27	DDR1_DQ 22
AT	WIRQ0	BOOT1	NRST_WA RM	NVMODE 1	JMODE0	CLKOUT	NBISTRES ET	DFTATEP CLKVSOC	DFTWSE	DFTTEST MODE	TESTMOD E	OTG_DP	XTI 32K	DDR1_GN DQ	DDR1_DQ S B2	DDR1_DQ 24	DDR1_DQ 25	DDR1_DQ 20
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18

Рисунок 3.2. Расположение выводов на корпусе (левый нижний угол)

19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36		
GPIOC14/ VPIN_VDI 14	VPIN_FSY NC0	GPIOC30/ VPIN_RST O0	GND	VPIN_PIX CLK0	SW1_DIN P	SW1_SINP	SW1_SOU TP	SW1_DOU TP	VPOUT_V CLK	VPOUT_V DO2	VPOUT_V DO7	VPOUT_V DO11	VPOUT_V DO15	VPOUT_V DO17	VPOUT_V DO19	VPOUT_V DO21	VPOUT_V DO23	A	
GPIOC15/ VPIN_VDI 15	VPIN_FSY NC1	GPIOC31/ VPIN_RST O1	GND	VPIN_PIX CLK1	SW1_DIN N	SW1_SIN N	SW1_SOU TN	SW1_DOU TN	VPOUT_V SYNC	VPOUT_V DO3	VPOUT_V DO6	VPOUT_V DO10	VPOUT_V DO14	VPOUT_V DO16	VPOUT_V DO18	VPOUT_V DO20	VPOUT_V DO22	B	
GPIOC20/ VPIN_VDI 20	GPIOC22/ VPIN_VDI 22	GPIOC24/ VPIN_VDI 24	GPIOC26/ VPIN_VDI 26	GPIOC28/ VPIN_VDI 28	SW0_DOU TP	SW0_SOU TP	SW0_SINP	SW0_DIN P	VPOUT_H SYNC	VPOUT_V DO0	VPOUT_V DO4	VPOUT_V DO9	VPOUT_V DO13	DSI_DAT AN0	DSI_DAT AP0	CSI0_DAT AN0	CSI0_DAT AP0	C	
GPIOC21/ VPIN_VDI 21	GPIOC23/ VPIN_VDI 23	GPIOC25/ VPIN_VDI 25	GPIOC27/ VPIN_VDI 27	GPIOC29/ VPIN_VDI 29	SW0_DOU TN	SW0_SOU TN	SW0_SIN N	SW0_DIN N	VPOUT_V DEN	VPOUT_V DO1	VPOUT_V DO5	VPOUT_V DO8	VPOUT_V DO12	DSI_DAT AN1	DSI_DAT AP1	CSI0_DAT AN1	CSI0_DAT AP1	D	
MCC_CLK IN	SW0_LVD S_VDD25	SW0_LVD S_GND25	SW0_LVD S_VDD11	SW0_LVD S_GND11	SW1_LVD S_VDD25	SW1_LVD S_GND25	SW1_LVD S_VDD11	SW1_LVD S_GND11	VDDPST	VDDPST	DSI_GND AC	DSI_GND AC	DSI_VDD AC	DSI_DAT AN2	DSI_DAT AP2	CSI0_DAT AN2	CSI0_DAT AP2	E	
GLN2_Q1	SW0_LVD S_VDD25	SW0_LVD S_GND25	SW0_LVD S_VDD11	SW0_LVD S_GND11	SW1_LVD S_VDD25	SW1_LVD S_GND25	SW1_LVD S_VDD11	SW1_LVD S_GND11	VDDPST	VDDPST	DSI_GND AC	DSI_GND AC	DSI_VDD AC	DSI_DAT AN3	DSI_DAT AP3	CSI0_DAT AN3	CSI0_DAT AP3	F	
GND	GND	GND	GND	GND	GND	GND	VDDPST	VDDPST	VDDPST	VDDPST	GND	GND	DSI_VDD AC	DSI_CLKP	DSI_CLK N	CSI0_CLK P	CSI0_CLK N	G	
GND	GND	GND	GND	GND	GND	GND	GND	VDDPST	VDDPST	GND	GND	GND	DSI_VDD AC	CSI_GND AC	CSI_GND AC	CSI_VDD AC	CSI_VDD AC	H	
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	CSI_GND AC	CSI_GND AC	CSI_VDD AC	CSI_VDD AC	J	
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	MFBSP1_ LDAT2	MFBSP1_ LDAT0	MFBSP1_ LACK	MFBSP1_ LDAT6	MFBSP1_ LDAT4	K
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	MFBSP1_ LDAT3	MFBSP1_ LDAT1	MFBSP1_ LCLK	MFBSP1_ LDAT7	MFBSP1_ LDAT5	L
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	MFBSP0_ LDAT2	MFBSP0_ LDAT0	MFBSP0_ LACK	MFBSP0_ LDAT6	MFBSP0_ LDAT4	M
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	MFBSP0_ LDAT3	MFBSP0_ LDAT1	MFBSP0_ LCLK	MFBSP0_ LDAT7	MFBSP0_ LDAT5	N
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	GND	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	P
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	R
VDD	GND	GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	DDR0_GN DQ S1	DDR0_DQ S0	DDR0_DQ S_B1	DDR0_DQ S0	DDR0_DQ S_B0	T
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	GND	DDR0_GN DQ 3	DDR0_DQ 1	DDR0_DQ 5	DDR0_DQ 7	DDR0_DQ 7	

Рисунок 3.3. Расположение выводов на корпусе (правый верхний угол)

GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_DM 0	DDR0_DQ 0	DDR0_DQ 2	DDR0_DQ 6	DDR0_DQ 4	V
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_DM 1	DDR0_DQ 13	DDR0_DQ 15	DDR0_DQ 11	DDR0_DQ 9	W
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_PZ Q	DDR0_DQ 12	DDR0_DQ 14	DDR0_DQ 10	DDR0_DQ 8	Y
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AT O	DDR0_OD T1	DDR0_OD T0	DDR0_DT O1	DDR0_DT O0	AA
GND	VDD	VDD	GND	GND	VDD	VDD	GND	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D2	DDR0_RA SN	DDR0_AD D10	DDR0_WE N	DDR0_BA 2	AB
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D11	DDR0_AD D13	DDR0_AD D12	DDR0_AD D3	DDR0_AD D1	AC
VDD	GND	GND	VDD	VDD	GND	GND	VDD	DDR0_VD DQ	DDR0_VD DQ	GND	GND	GND	DDR0_AD D14	DDR0_AD D15	DDR0_VR EF	DDR0_CK N	DDR0_CK	AD
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	DDR0_AD D5	DDR0_AD D9	DDR0_AD D6	DDR0_AD D7	DDR0_AD D8	AE
GND	VDD	VDD	GND	GND	VDD	VDD	GND	GND	GND	GND	GND	GND	DDR0_CA SN	DDR0_BA 1	DDR0_AD D0	DDR0_AD D4	DDR0_BA 0	AF
DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	GND	GND	GND	GND	GND	GND	DDR0_CK E0	DDR0_RE SET	DDR0_CK E1	DDR0_CS N0	DDR0_CS N1	AG
DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	DDR1_VD DQ	GND	GND	GND	GND	GND	GND	DDR0_VR EF	DDR0_DQ 19	DDR0_DQ 17	DDR0_DQ 21	DDR0_DQ 23	AH
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_DM 2	DDR0_DQ 16	DDR0_DQ 18	DDR0_DQ 22	DDR0_DQ 20	AJ
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_DM 3	DDR0_DQ 29	DDR0_DQ 31	DDR0_DQ 27	DDR0_DQ 25	AK
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DDR0_GN DQ	DDR0_DQ 28	DDR0_DQ 30	DDR0_DQ 26	DDR0_DQ 24	AL
DDR1_VR EF	DDR1_CK E0	DDR1_CA SN	DDR1_AD D5	DDR1_AD D14	DDR1_AD D11	DDR1_AD D2	DDR1_AT O	DDR1_PZ Q	DDR1_DM 1	DDR1_DM 0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR0_DQ S3	DDR0_DQ S B3	DDR0_DQ S2	DDR0_DQ S B2	AM
DDR1_DQ 19	DDR1_RE SET	DDR1_BA 1	DDR1_AD D9	DDR1_AD D15	DDR1_AD D13	DDR1_RA SN	DDR1_OD T1	DDR1_DQ 12	DDR1_DQ 13	DDR1_DQ 0	DDR1_DQ 3	DDR1_DQ S1	DDR1_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	AN
DDR1_DQ 17	DDR1_CK E1	DDR1_AD D0	DDR1_AD D6	DDR1_VR EF	DDR1_AD D12	DDR1_AD D10	DDR1_OD T0	DDR1_DQ 14	DDR1_DQ 15	DDR1_DQ 2	DDR1_DQ 1	DDR1_DQ S B1	DDR1_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	DDR0_GN DQ	AP
DDR1_DQ 21	DDR1_CS N0	DDR1_AD D4	DDR1_AD D7	DDR1_CK N	DDR1_AD D3	DDR1_WE N	DDR1_DT O1	DDR1_DQ 10	DDR1_DQ 11	DDR1_DQ 6	DDR1_DQ 5	DDR1_DQ S0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	AR
DDR1_DQ 23	DDR1_CS N1	DDR1_BA 0	DDR1_AD D8	DDR1_CK	DDR1_AD D1	DDR1_BA 2	DDR1_DT O0	DDR1_DQ 8	DDR1_DQ 9	DDR1_DQ 4	DDR1_DQ 7	DDR1_DQ S B0	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	DDR1_GN DQ	AT
19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	

Рисунок 3.4. Расположение выводов на корпусе (правый нижний угол)

## **4. ИСТОРИЯ ИЗМЕНЕНИЙ**