

Реализация фазового сдвига

Для реализации фазового сдвига используется надёжное решение для задержек в чипах Cyclone III. Фазовый сдвиг реализуется комбинацией фазового выхода VCO и временем запуска счётчика. Комбинация фазового выхода VCO и времени запуска счётчика — это очень точный метод вставки задержек, так как он базируется только на настройках счётчика, которые не зависят от процессов, напряжения и температуры.

Вы можете сдвигать фазу выходных тактов для Cyclone III PLLs либо:

- Точным разрешением, используя отводы фазы VCO
- Грубым разрешением, используя время запуска счётчика

Точное разрешение фазового сдвига достигается задействованием любых выходных счётчиков (C[4..0]) или M, чтобы использовать любую из восьми фаз VCO по отношению к поступающему такту. Это позволяет вам установить время задержки с точным разрешением. Минимальная задержка, которую вы можете вставить, используя этот метод, определяется формулой 6-1:

Equation 6-1.

$$\Phi_{\text{fine}} = \frac{T_{VCO}}{8} = \frac{1}{8f_{VCO}} = \frac{N}{8Mf_{REF}}$$

где f_{REF} это частота поступающего входного такта.

Например, если f_{REF} — 100 МГц, $N=1$ и $M=8$, то $f_{VCO}=800$ МГц, и $\Phi_{\text{fine}}=156.25$ пс. Рабочая частота PLL определяет этот фазовый сдвиг, величина зависит от частоты поступающего такта и настроек счётчика.

Грубое разрешение фазовых сдвигов реализуется задержкой старта счётчиков на предопределённое количество тактов счётчика. Вы можете выразить фазовый сдвиг формулой 6-2:

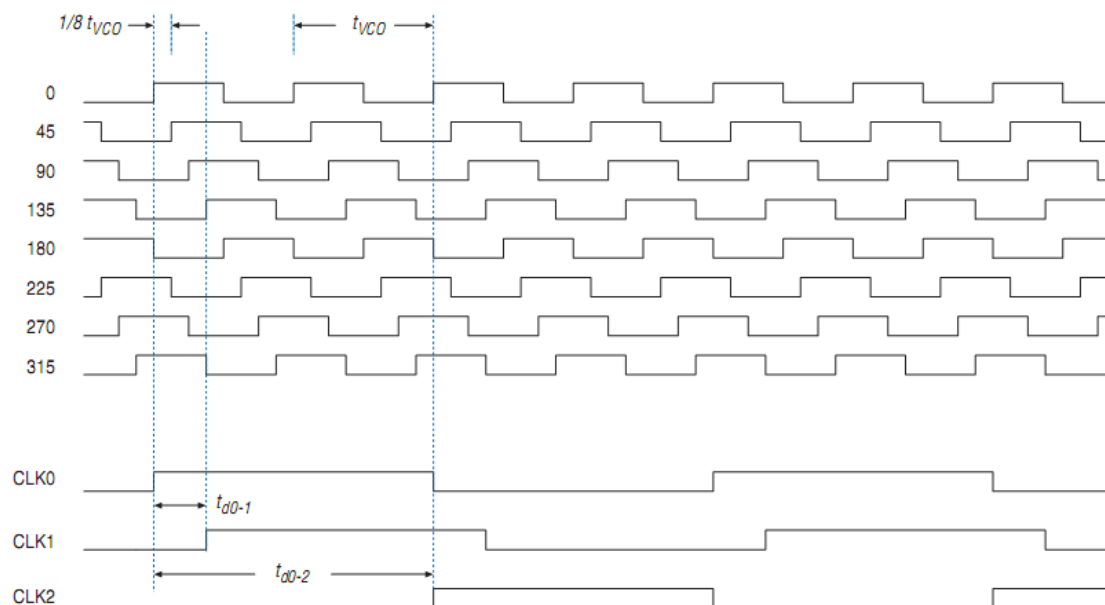
Equation 6-2.

$$\Phi_{\text{coarse}} = \frac{C-1}{f_{VCO}} = \frac{(C-1)N}{Mf_{REF}}$$

где C — это значение счёта для времени задержки счётчика (это начальная настройка в секции использования PLL отчёта компиляции в программе Quartus II). Если начальное значение равно 1, то $C-1=0^\circ$ фазового сдвига.

На рисунке 6-23 показан пример вставки фазового сдвига, с использованием точного разрешения, посредством метода отводов фазы VCO. Восемь фаз VCO показаны и выделены по отношению к поступающему такту. Для этого примера, CLK0 основывается на 0° фазе VCO и имеет значение счётчика $C=1$. Сигнал CLK1 поделен на четыре, два такта VCO для "1" и два такта для "0". CLK1 основывается на отводе фазы 135° от VCO и имеет значение счётчика $C=1$. CLK1 также поделен на четыре. В этом случае, два такта смещены на $3\Phi_{\text{fine}}$. CLK2 основан на 0° фазе VCO, но имеет значение счётчика $C=3$. Этим создаётся задержка $2\Phi_{\text{coarse}}$ (два полных периода VCO).

Figure 6–23. Delay Insertion Using VCO Phase Output and Counter Delay Time



Вы можете использовать грубый и точный фазовые сдвиги для реализации задержек тактов в чипах Cyclone III.

Чипы Cyclone III поддерживают динамический сдвиг фазы только для отводов VCO. Конфигурировать фазовый сдвиг возможно в любой момент времени. Каждый фазовый сдвиг создаётся за один период SCANCLK, позволяя вам быстро реализовывать большие фазовый сдвиги.