

15. Отладка в системе с использованием внешних логических анализаторов

Введение

Интерфейс логического анализатора Quartus II (LAI) позволяет вам исследовать поведение внутренних сигналов, используя внешний логический анализатор и минимальное количество выводов I/O FPGA, когда ваш проект запущен на полной скорости в вашем FPGA.

В этой главе используется термин "логический анализатор", подразумевающий как логические анализаторы, так и осциллографы, оснащённые цифровыми каналами, обобщая вышеупомянутое в виде анализаторов смешанных сигналов или MSO.

LAI соединяет большой набор внутренних сигналов чипа с небольшим количеством выходных выводов. Вы можете подключить эти выходные выводы к внешнему логическому анализатору с целью отладки. В LAI Quartus II внутренние сигналы группируются вместе, распределяются по сконфигурированным пользователем мультиплексорам, а затем выводятся на доступных I/O выводах вашего FPGA. Взамен имеющихся связей один в один между внутренними сигналами и выходными выводами, LAI Quartus II предоставляет вам развести множество внутренних сигналов к небольшому количеству выходных выводов. Точное количество внутренних сигналов, которые вы разводите на выходной вывод варьируется от настроек мультиплексора в LAI Quartus II.

Эта глава состоит из следующих разделов:

- "Выбор логического анализатора";
- "Отладка вашего проекта с использованием интерфейса логического анализатора" на странице 15-3;
- "Расширенные средства" на странице 15-11.

Выбор логического анализатора

Программа Quartus II предлагает следующие два основных инструмента для отладки большого количества RTL сигналов в вашем проекте:

- Встроенный логический анализатор SignalTap® II;
- Внешний логический анализатор, который соединяется с внутренними сигналами в вашем FPGA с использованием Quartus II LAI.

В таблице 15-1 описаны преимущества каждой технологии отладки.

Таблица 15-1. Сравнение встроенного логического анализатора SignalTap® II с LAI

Средство и описание	LAI	SignalTap® II
Глубина замеров У вас есть доступ к абсолютной глубине замеров с помощью внешнего логического анализатора. Во встроенном логический анализатор SignalTap® II максимальная глубина замеров устанавливается 128 Кб – это ограничение чипа. Поскольку у внешнего логического анализатора нет ограничений чипа, то можно получить абсолютную глубину замеров.	Да	Нет
Отладка временных результатов Использование внешнего логического анализатора предоставляет вам доступ к "временному" режиму, при котором разрешается отладка комбинированных потоков данных.	Да	Нет
Исполнение Вы часто ограничиваете ресурсы трассировки доступные для размещения и разводки, когда используете SignalTap® II с вашим проектом. Внешний логический анализатор добавляет минимум логики, которая снимает ограничения ресурсов для размещения и разводки.	Да	Нет
Возможность переключения SignalTap II предоставляет возможность переключения, которая уравнивает его с внешним логическим анализатором.	Да	Да
Использование выходных выводов При использовании логического анализатора SignalTap II не требуются дополнительные выходные выводы. Использование внешнего логического анализатора требует задействования дополнительных выходных выводов.	Нет	Да
Скорость получения В логическом анализаторе SignalTap II вы можете достичь скорости получения данных более 200 МГц. Вы можете достичь такой скорости получения данных с внешним логическим анализатором; однако, вам необходимо решать проблему целостности сигнала.	Нет	Да

Программа Quartus II предлагает набор инструментов отладки. Для просмотра и сравнения всех доступных систем отладки в чипе в программе Quartus II, обратитесь к "главе IV. Отладка в системе" в томе 3 Настольной книги Quartus II.

Необходимые компоненты

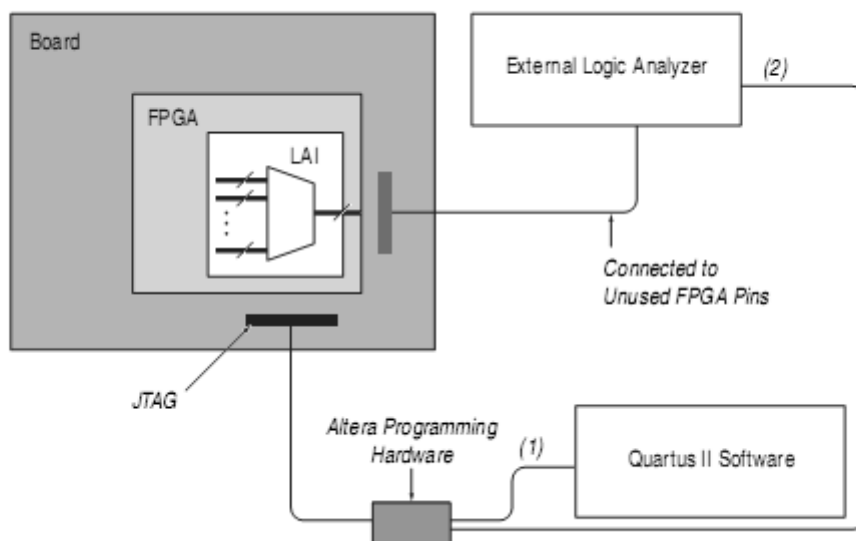
Вам необходимы следующие компоненты для выполнения анализа с использованием Quartus II LAI:

Программа Quartus II версии 5.1 и выше;

- Тестовый чип;
- Внешний логический анализатор;
- Кабель связи Altera®;
- Кабель связи между FPGA и внешним логическим анализатором.

На рисунке 15-1 показаны установки LAI и оборудования.

Figure 15–1. Logic Analyzer Interface and Hardware Setup



Примечания к рисунку 15-1:

(1) Конфигурация и контроль за LAI по порту JTAG с использованием компьютера с загруженной программой Quartus II.

(2) Конфигурация и контроль за LAI по порту JTAG с использованием поставляемых сторонних логических анализаторов. Поддержка зависит от поставщика.

Поддержка чипов FPGA

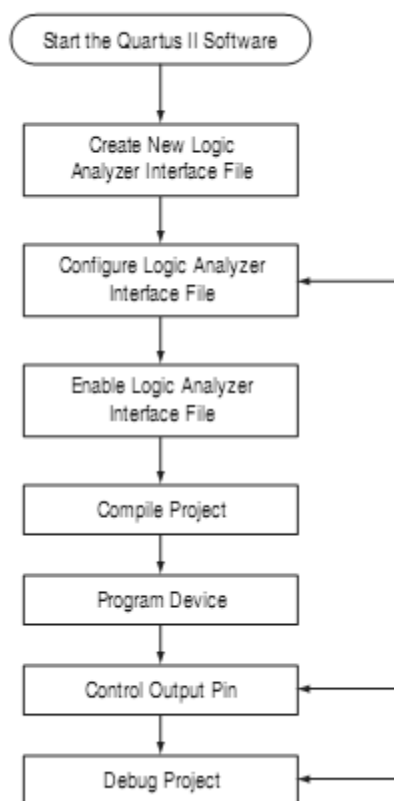
Вы можете использовать интерфейс логического анализатора Quartus II (LAI) с чипами следующих семейств:

- Arria® GX
- Stratix® серия
- Cyclone® серия
- MAX® II
- APEX™20K
- APEX II

Отладка вашего проекта с использованием интерфейса логического анализатора

На рисунке 15-2 показаны шаги, которым вам необходимо следовать для отладки вашего проекта с помощью Quartus II LAI.

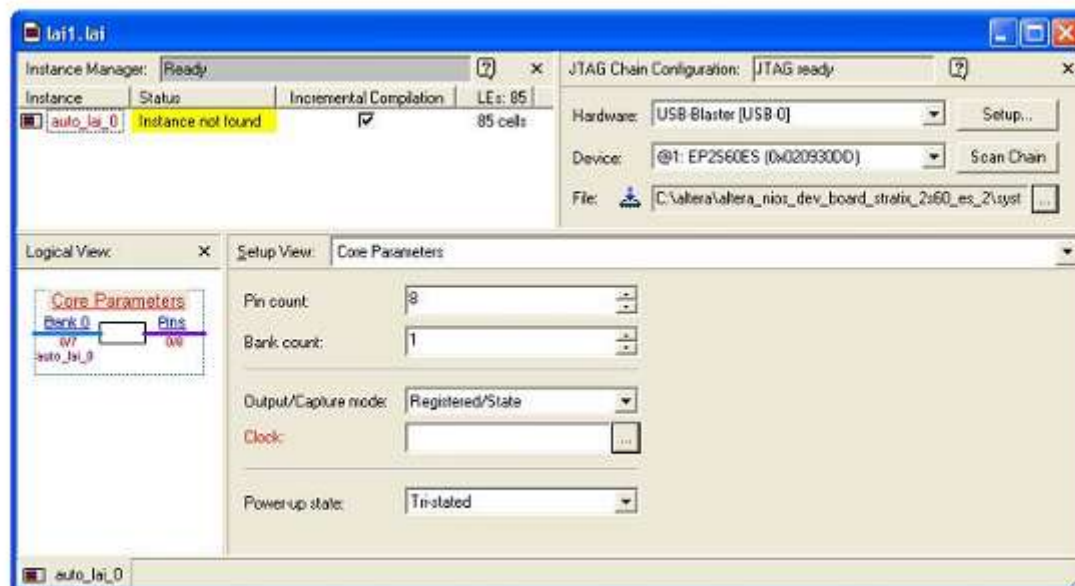
Figure 15–2. LAI Process Flow



Создание LAI файла

Файл интерфейса логического анализатора (.lai) определяет интерфейс, по которому будет построено соединение между внутренними сигналами FPGA в вашем внешнем логическом анализаторе. На рисунке 15-3 показан пример редактора .lai файла.

Figure 15–3. The LAI Editor



Для определения Quartus II LAI вы можете создать новый .lai или использовать существующий .lai файл.

Создание нового файла логического анализатора

Чтобы создать новый **.lai** файл, выполните следующие шаги:

1. В программе Quartus II, в меню **Файл** кликните **Новый**. Диалоговое окно **Новый** откроется.
2. Кликните на вкладку **Прочие файлы**.
3. Выберите **Файл интерфейса логического анализатора**.
4. Кликните **ОК**. Откроется редактор LAI. Имя файла назначается программой Quartus II (обратитесь к рисунку 15-3 на странице 15-4). Когда вы сохраняете файл, вас спрашивают об имени файла. Обратитесь к "Сохранение файла интерфейса внешнего анализатора" на странице 15-5.

Открытие существующего файла интерфейса внешнего анализатора

Для открытия существующего **.lai** файла, в меню **Инструменты** кликните **Редактор интерфейса логического анализатора**. Если нет **.lai** файла, разрешённого для текущего проекта, редактор автоматически создаст новый **.lai** файл. Если **.lai** файл уже разрешён для текущего проекта, то он откроется, когда вы выберете **Редактор интерфейса логического анализатора**.

Иначе, в меню **Файл** кликните **Открыть** и выберите **.lai** файл, который вы хотите открыть.

Сохранение файла интерфейса внешнего анализатора

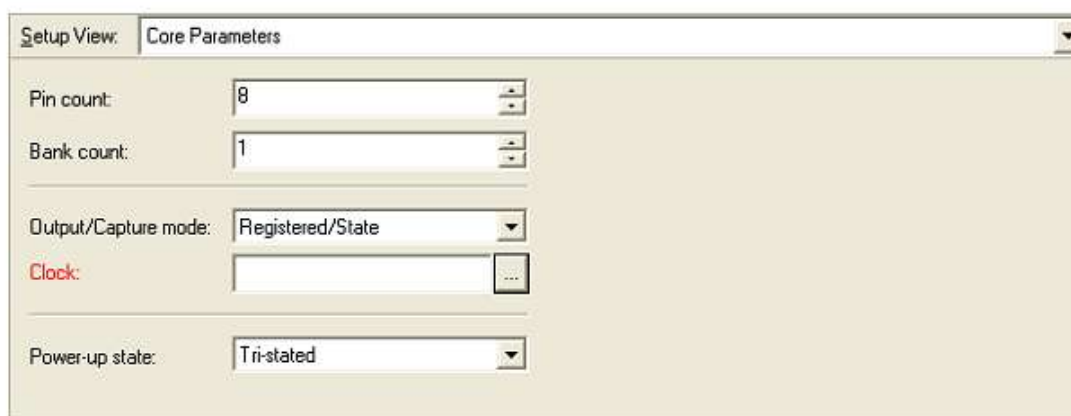
Для сохранения вашего **.lai** файла, выполните следующие шаги:

1. В программе Quartus II, в меню **Файл** кликните **Сохранить как**. Диалоговое окно **Сохранить как** откроется.
2. В строке **Файл**, введите требуемое имя файла.
3. Кликните **Сохранить**.

Конфигурирование основных параметров файла интерфейса логического анализатора

После того, как вы создадите **.lai** файл, вам необходимо будет сконфигурировать основные параметры **.lai** файла. Для конфигурирования основных параметров **.lai** файла, из списка **Вид установки** выберите **Основные параметры**. Смотрите рисунок 15-4.

Figure 15–4. Logic Analyzer Interface File Core Parameters



В таблице 15-2 приведены параметры **.lai** файла.

Таблица 15-2. Основные параметры **.lai** файла

Параметр	Описание
Счётчик выводов	Параметр счётчик выводов определяет количество выводов, которые вы хотите задействовать для вашего LAI. Выводы должны быть подключены к отладочной колодке на вашей плате. Внутри FPGA каждый вывод разведён к определённому пользователем количеству внутренних сигналов. Параметр счётчик выводов имеет диапазон от 1 до 255 выводов.
Счётчик банков	Параметр счётчик банков определяет количество внутренних сигналов, которые вы хотите подвести к каждому выводу. Например, счётчик банков означающий 8, говорит о восьми внутренних сигналах на каждый вывод. Параметр счётчик банков имеет диапазон от 1 до 255 банков.
Режим выход/захват	Параметр режим выход/захват определяет способ выполнения захвата. Вы можете выбрать две опции: Комбинационный/временной – в этом случае внутренний такт ваших внешних логических анализаторов используется для замеров данных. Поскольку комбинационных/временной способ замеряет данные асинхронно с вашим FPGA, вам необходимо определить частоту замеров, которую бы вы хотели использовать для отладки и верификации вашей системы. Этот режим полезен, если вы хотите измерить расфазировку между каналами. За дополнительной информацией о частоте замеров и скорости, на которой это может работать, обратитесь к руководству по эксплуатации вашего внешнего логического анализатора. Регистрированное/состояние – в этом случае используется сигнал из вашей тестируемой системы для определения, когда замерять. Поскольку способ регистрированное/состояние замеряет данные асинхронно с вашим FPGA, он даёт вам функциональное представление о вашем FPGA, когда тот запущен. Этот режим полезен, когда вы оцениваете функциональность вашего проекта.
Такт	Параметр Такт доступен только когда режим выход/захват установлен в регистрированное/состояние. Вам необходимо определить такт замеров в виде Основных параметров. Такт замеров может быть любым сигналом из вашего проекта. Однако, для лучших результатов, Altera рекомендует вам использовать такт на рабочей частоте большей, чем поступающие данные замеров.
Состояние включения питания	Параметр состояние включения питания определяет состояние включения питания выводов, которые вы разработали для использования с LAI. Вы можете выбрать опцию тристабильность для всех выводов, или выбрать особый банк, который вы будете использовать.

Разводка выводов файла интерфейса логического анализатора по доступным I/O выводам

Для конфигурирования параметров I/O выводов в **.lai** файле, выберите **Выводы** из списка **Вид установки** (рисунок 15-5).

Чтобы назначить положение выводов для LAI, дважды кликните на столбец **Локализация** рядом с **резервированными выводами** в столбце **Имя**. Так вы откроете **Планировщик выводов**.

За информацией о том, как пользоваться **Планировщиком выводов**, обратитесь к разделу "Планировщик выводов" в главе "Менеджер I/O" тома 2 Настольной книги Quartus II.

Figure 15-5. Logic Analyzer Interface File Pins Parameters

Pin				
Type	Index	Name	Location	IO Standard
	0	altera_reserved_lai_0_0		
	1	altera_reserved_lai_0_1		
	2	altera_reserved_lai_0_2		
	3	altera_reserved_lai_0_3		
	4	altera_reserved_lai_0_4		
	5	altera_reserved_lai_0_5		
	6	altera_reserved_lai_0_6		
	7	altera_reserved_lai_0_7		

Разводка внутренних сигналов к банкам интерфейса логического анализатора

После того, как вы определили количество используемых банков на странице настроек основных параметров, вам необходимо назначить внутренние сигналы каждому банку в LAI. Кликните стрелкой **Вид установки** и выберите **банк n** или **все банки** (рисунок 15-6).

Figure 15-6. Logic Analyzer Interface Bank Parameters

Bank 0			
Pin Index	Type	Alias	Name
0		State Clock	
1			
2			
3			
4			
5			
6			
7			

Для просмотра всех банков, кликните **Вид установки** и выберите **все банки** (рисунок 15-7).

Figure 15-7. Logic Analyzer Interface All Bank Parameters

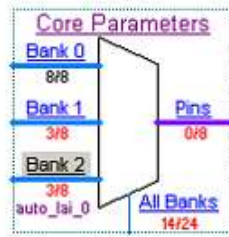
All Banks				
Bank Name	Pin Index	Type	Alias	Name
Bank 0	0			
	1			
	2			
	3			
	4			
	5			
	6			
	7			
Bank 1	0			
	1			
	2			
	3			
	4			
	5			
	6			
	7			

Использование поиска узлов

Прежде чем делать назначения банкам, в меню **Вид** выберите **Окна Утилит** и кликните **Поиск узлов**. Найдите сигналы, которые вы хотите замерять, затем перенесите сигналы из диалогового окна **Поиск узлов** в банки **Вид установки**. Когда вы добавите сигналы, используйте SignalTap II: пре-синтез для не инкрементно разведённых элементов и SignalTap II: пост-компоновка для инкрементно разведённых элементов.

Когда вы продолжите делать назначения в банке **Вид установки**, схематика вашего LAI в **Логическом виде** вашего **.lai** файла станет отображать ваши назначения (рисунок 15-8).

Figure 15–8. A Logical View of the Logic Analyzer Interface Schematic



Продолжите делать назначения для каждого банка в **Виде установки**, пока вы не добавите все внутренние сигналы, от которых вы хотели бы получить данные.

Вы можете переключаться правым кликом между видами LAI схематики и LAI установки.

Разрешение интерфейса логического анализатора перед компиляцией вашего проекта Quartus II

Компилируйте ваш проект после того, как сделаете следующие шаги:

- Сконфигурируете ваши LAI параметры;
- Разведёте LAI выводы к доступным I/O выводам;
- Разведёте внутренние сигналы к LAI банкам.

Компилирование вашего проекта Quartus II

Прежде чем компилировать ваш проект, вы должны разрешить LAI.

1. В меню **Назначения** кликните **Настройки**. Диалоговое окно **Настройки** откроется.
2. В **Категориях** кликните **Интерфейс логического анализатора**. Откроется **Интерфейс логического анализатора**.
3. Включите **Разрешить интерфейс логического анализатора**.
4. Кликните на **Имя файла интерфейса логического анализатора** и укажите полный путь к вашему **.lai** файлу.

После того, как вы определите имя вашего **.lai** файла, вам необходимо скомпилировать проект. Для компиляции проекта, в меню **Процессы** кликните **Старт компиляции**.

Чтобы проследить, что LAI должным образом компилируется с вашим проектом, раскройте иерархию в **Навигаторе проекта** (Для отображения **Навигатора проекта** в меню **Вид** выберите **Окна утилит** и кликните **Навигатор проекта**). Если LAI компилируется с вашим проектом, элементы *sld_hub* и *sld_multitap* отображаются в навигаторе проекта (рисунок 15-9).

Figure 15–9. Project Navigator

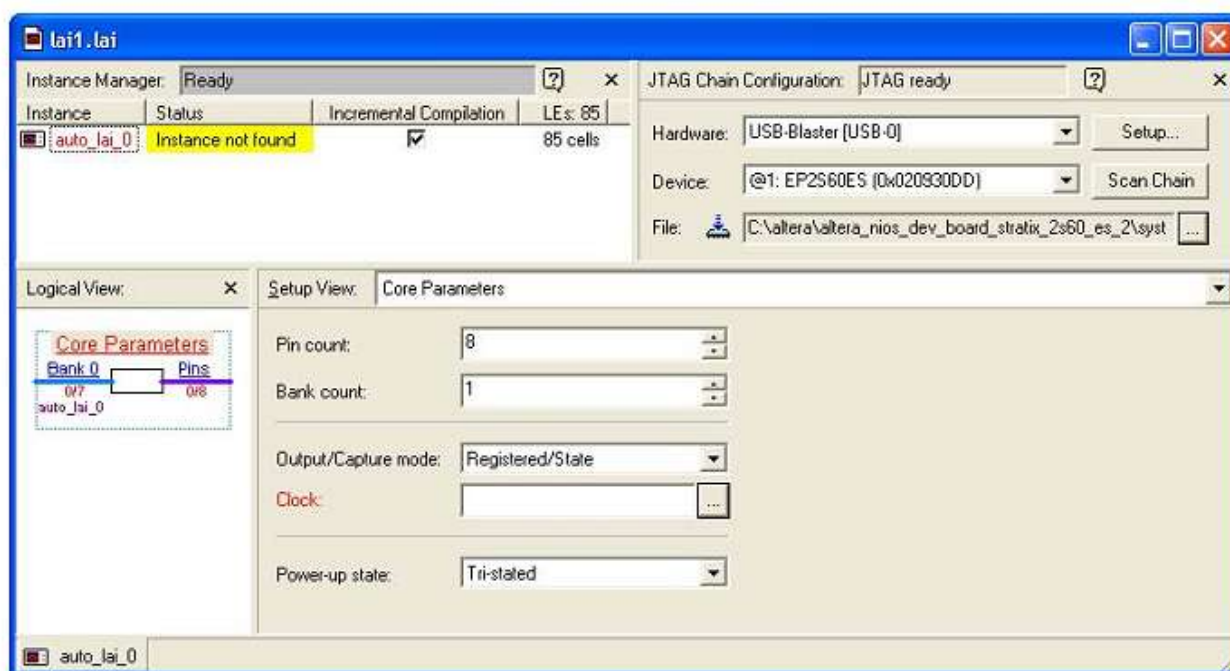
Entity	Logic Cells	LC Registers
Stratix: EP1S10B672C7		
test	136 (1)	81
sld_multitap:auto_lai_0	35 (11)	15
sld_hub:sld_hub_inst	100 (25)	65

Программирование вашего FPGA, используя интерфейс логического анализатора

После завершения компиляции, вам необходимо сконфигурировать ваш FPGA, прежде чем использовать LAI. Для конфигурирования чипа для использования совместно с LAI, выполните следующие шаги:

1. Откройте редактор **.lai** файла (рисунок 15-10).
2. В **Конфигурации цепи JTAG** кликните **Оборудование** и выберите ваше оборудование связи с чипом. Вы можете кликнуть на **Настройки**, чтобы сконфигурировать своё оборудование.
3. Кликните **Чип** и выберите чип FPGA, в который вы хотите загрузить проект (он может быть определён автоматически). Вы можете кликнуть **Сканировать цепь** для конфигурирования вашего чипа.
4. Кликните **Файл** и выберите файл объекта SRAM (**.sof**), который включает в себя **.lai** файл (он может быть определён автоматически).
5. Если требуется, включите **Инкрементную компиляцию**.
6. Сохраните **.lai** файл.
7. Кликните на иконку **Программировать чип** для программирования чипа.

Figure 15–10. The JTAG Section of the Logic Analyzer Interface File



Использование интерфейса логического анализатора с несколькими чипами

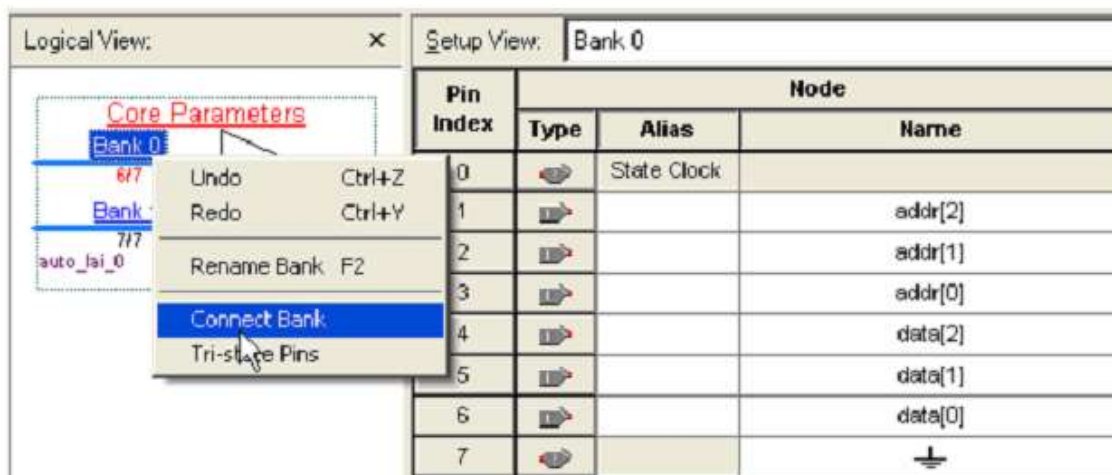
Вы можете использовать LAI с несколькими чипами в вашей цепи JTAG. Ваша цепь JTAG может состоять из чипов, которые не поддерживают LAI или не являются Altera, JTAG совместимых. Для использования LAI для более одного FPGA, создайте LAI и сконфигурируйте **.lai** файл для каждого FPGA, который вы хотите анализировать. Для выполнения анализа нескольких FPGA выполните следующие шаги:

1. Откройте программу Quartus II.
2. Создайте, сконфигурируйте и откомпилируйте **.lai** файл для каждого проекта.
3. Откройте за раз один **.lai** файл. Вы можете не открывать проект Quartus II для открытия **.lai** файла.
4. Повторите шаги со 2 по 6 в "Программирование вашего FPGA, используя интерфейс логического анализатора" на странице 15-9.
5. Кликните иконку **Программирование чипа** для программирования чипа.
6. Проконтролируйте каждый **.lai** файл независимо.

Конфигурирование банков в файле интерфейса логического анализатора

Когда вы запрограммировали ваш FPGA, вы можете проконтролировать, как банк разводится по выводам, зарезервированным в **.lai** файле. Для контроля за тем, как был разведён банк, в схематике в логическом виде, правым кликом на банк, затем кликните **Подключение банка** (рисунок 15-11).

Figure 15-11. Configuring Banks



Получение данных в вашем логическом анализаторе

Для получения данных в вашем логическом анализаторе, вам необходимо установить соединение между вашим чипом и внешним логическим анализатором.

За дополнительной информацией об этом процессе и за руководством о том, как устанавливать соединение между отлаживаемым устройством и логическими анализаторами, обратитесь к документации вашего логического анализатора.

Расширенные средства

В этой главе описаны следующие расширенные средства:

- Использование интерфейса логического анализатора в инкрементной компиляции
- Создание различных элементов интерфейса логического анализатора в одном FPGA

Использование интерфейса логического анализатора в инкрементной компиляции

Использование LAI в инкрементной компиляции позволяют вам сохранять синтез и компоновку вашего оригинального проекта, и добавлять LAI в ваш проект без перекомпиляции оригинального исходного кода.

Для использования LAI в инкрементной компиляции, выполните следующие шаги:

1. Запустите программу Quartus II.
2. Разрешите **Разделы проекта**. Для разрешения разделов, выполните следующие шаги:
 - a. В меню **Назначения**, кликните **Разделы проекта**.
 - b. В списке инкрементной компиляции выберите **Полная инкрементная компиляция**.
 - c. Создайте разделы проекта для модулей вашего проекта, и установите тип списка соединений **Пост-компоновка**.
 - d. В меню **Процессы** кликните **Старт компиляции**.
3. Разрешите инкрементную компиляцию LAI, выполнив следующие шаги:
 - a. В вашем **.lai** файле, под **Менеджером элемента**, кликните **Инкрементная компиляция**. Когда вы разрешаете инкрементную компиляцию, все существующие сигналы пре-синтеза конвертируются в сигналы пост-компоновки. LAI в инкрементной компиляции может использовать только сигналы пост-компоновки.
 - b. Добавьте узлы пост-компоновки в ваш **.lai** файл.
 - c. В меню **Процессы** кликните **Старт компиляции**.

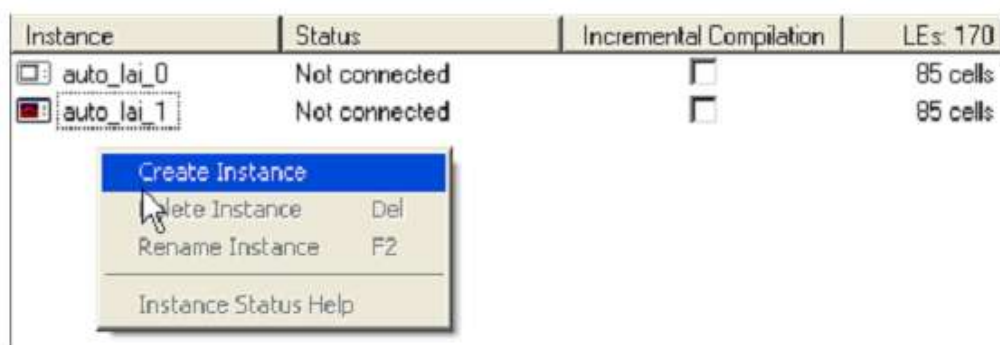
Создание различных элементов интерфейса логического анализатора в одном FPGA

LAI содержит поддержку различных интерфейсов в одном FPGA. Это средство особенно полезно, когда вы хотите создать LAI конфигурации, имеющие различные настройки. Например, вы хотите сделать один элемент LAI для выполнения анализа **Регистрированное/состояние** и создать другой элемент, который выполняет анализ **Комбинационный/временной** над тем же набором сигналов.

В другом примере возможно выполнять анализ **Регистрированное/состояние** части вашего проекта, принадлежащей к другому тактовому домену.

Для создания различных LAI, в меню **Редактировать**, кликните **Создать элемент**. По-другому, вы можете правым кликом в окне **Менеджер элементов** кликнуть **Создать элемент** (рисунок 15-12).

Figure 15–12. Creating Multiple Logic Analyzer Interface Instances in One FPGA



Выводы

Пока индустрия FPGA продолжает расширять технологии, устаревшие методы отладки должны заменяться новыми, более продуктивными. Средство LAI позволяет вам подключать множество внутренних сигналов в вашем FPGA к внешнему логическому анализатору, используя небольшое количество I/O выводов. Эта технология в программе Quartus II позволяет вам использовать богатство средств внешних логических анализаторов для отладки вашего FPGA проекта, в конечном счёте, позволяет вам разрабатывать ваш продукт в кратчайшие сроки.