



IP Ядро устройства USB 2.0. Руководство пользователя. Версия ядра - 2.4, версия документа - 2.2, дата - июнь 2009.

1. Введение

IP ядро устройства USB20HR - это совместимое с USB 2.0, основанное на оперативной памяти, ядро устройства с поддержкой 32 битного интерфейса Avalon и интерфейса ULPI. Ядро поддерживает высокоскоростную передачу (480 МБит/с) и полноскоростную передачу (12 Мбит/с). Ядро поддерживает три предварительно сконфигурированные конечные точки - Control, Bulk IN и Bulk OUT. Оно может быть сконфигурировано для использования до 15 IN/OUT конечных точек, в зависимости от потребностей разработчика. Каждая конфигурируемая конечная точка имеет контроллер конечной точки, поддерживающий прерывание, массив данных и изохорные трансферты.

Ядро является RTL проектом на языке Verilog, который реализует контроллер USB устройства в ASIC или FPGA. Ядро было оптимизировано под популярные чипы FPGA, а его функциональность была верифицирована на реальной аппаратуре. Оно предлагается в виде мегафункции Altera Quartus II (в качестве компонента SOPC Builder) и просто интегрируется в систему, сгенерированную SOPC Builder, и имеющую шину Avalon Nios II.

Это руководство разъясняет подробности работы ядра устройства USB20HR в качестве компонента Avalon слейв в Altera SOPC Builder. SOPC Builder является программным инструментом, позволяющим создавать модули системы с Nios II или множество мульти мастер модулей SOPC. Завершённый модуль системы Nios II состоит из процессора Nios II (программное ядро 32-битного RISC) и ассоциированной с ним системной периферии.

Для наборов разработчика, лишённых интерфейса USB, SLS предлагает интерфейс ULPI, совместимый с IP ядром устройства USB 2.0, интегрированный в SOPC Builder и имеющийся на плате. Уже иметь на плате - это определенный стандарт Altera Santa Cruz, поэтому ваш набор разработчика имеет интерфейс USB 2.0 без дополнительных затрат. Таким образом, используя только SOPC Builder можно создать систему с интерфейсом USB за несколько минут.

За информацией о физическом интерфейсе ULPI для USB 2.0 размещённого на плате обратитесь к [руководству пользователя](#).

Состав

Состав IP ядра устройства USB20HR следующий:

- Сертифицированное IP ядро устройства USB 2.0
- Поддержка высокоскоростной передачи (480 МБит/с) и полноскоростной передачи (12 Мбит/с)
- Поддержка интерфейса ULPI (NXP ISP 1504 PHY)
- Предварительно сконфигурированные 3 конечные точки:
 - Control
 - Bulk IN
 - Bulk OUT

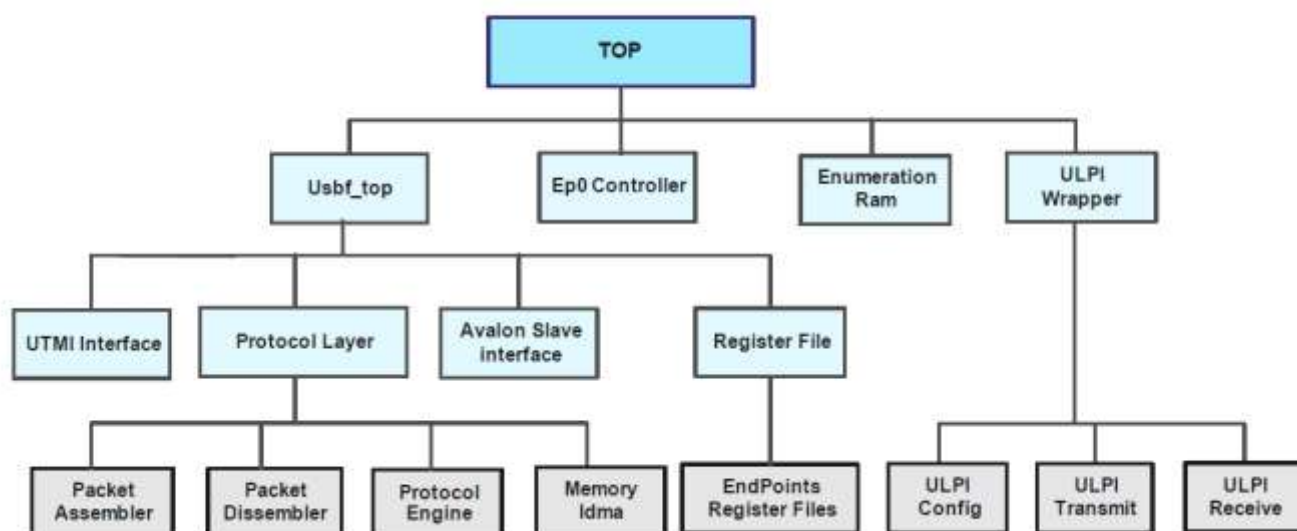
- Конфигурация до 15 конечных точек IN/OUT, имеющих изохронность и прерывание по запросу пользователя за дополнительную плату.
- Выполнение всего перечня процессов USB, контролируемых программными командами (контроль подключения USB) и CRC аппаратно.
- Совместимость с шиной Avalon.
- Реализация на Verilog RTL
- Оптимизация количества логических элементов.

Ядро SLS USB20HR с интерфейсом UTMI также доступно по специальному заказу. Свяжитесь с нами по адресу support@slscorp.com.

Иерархия проекта

Иерархия проекта и соответствующие файлы Verilog приведены на рис. 1-1.

Figure 1-1. Design Hierarchy of the USB20HR IP Core



Ресурсы ядра

В табл. 1-1 показано количество использованных ядром логических элементов.

Таблица 1-1. Общее количество использованных логических элементов

Тип	Конечные точки				Логические элементы	Биты памяти
	Control	Bulk	Iso	Int		
SLS SOPC USB интерфейс	1	2	-	-	2520	18432
Специальная конечная точка	-	1	-	-	130	0
Специальная конечная точка	-	-	1	-	130	0
Специальная конечная точка	-	-	-	1	130	0

Дальнейшая информация

За информацией о структуре директории установки IP ядра USB20HR и её содержимом, лицензии, реализации компонентов и их поддержке, обратитесь к файлу **readme.html**, расположенному в <Путь установки USB20HR>/usb20hr. Директория установки по умолчанию: C:/altera/<версия>/ip/sls.