



7. Cyclone III Device I/O Features

CIII51007-2.1

7. Средства ввода/вывода в чипах Cyclone III

Введение

Два ключевых фактора, влияющих на проект печатной платы, управляют характеристиками I/O проекта в чипе Cyclone® III. Первый — это разнообразие I/O стандартов в большинстве недорогих приложений. Второй — это важность увеличения необходимых I/O характеристик. Altera стремится объединить эти потребности проектов с простотой и гибкостью.

Гибкость I/O Cyclone III увеличилась по сравнению с предыдущим поколением недорогих FPGAs, включая все стандарты I/O, которые могут быть выбраны во всех I/O банках. Усовершенствованная поддержка оконечной схемы в чипе (ОСТ) и добавление специальных дифференциальных буферов устраняет потребность во внешних резисторах для большинства приложений, таких как интерфейсы с системным монитором. Программа Altera® Quartus® II комплектуется методом решения с мощным средством планирования выводов, которым вы можете спланировать и оптимизировать I/O систему проекта, даже до того, как будут готовы файлы проекта.

Эта глава состоит из следующих секций:

- "Элемент I/O в чипе Cyclone III"
- "Средства элемента I/O"
- "Поддержка оконечной схемы в чипе (ОСТ)"
- "Стандарты I/O"
- "Оконечная схема для I/O стандартов"
- "I/O банки"

Общее представление

Каждый I/O вывод чипа Cyclone III поступает на элемент I/O (IOE) расположенный в концах блоков массива логики (LAB) в строках и столбцах по периметру чипа Cyclone III. Выводы I/O поддерживают различные несимметричные и дифференциальные I/O стандарты. Каждый IOE состоит из двунаправленного I/O буфера и пяти регистров, для регистрирования сигналов входа, выхода и разрешения выхода. Cyclone III I/O поддерживают широкий диапазон средств, включая:

- Несимметричные I/O стандарты без и с опорным напряжением;
- Дифференциальные I/O стандарты;
- Контроль силы тока на выходе;
- Контроль программируемой скорости нарастания выходного напряжения;
- Выходы с открытым стоком;
- Схема удерживания шины;
- PCI ограничительные диоды;
- Программируемые нагрузочные резисторы в пользовательском режиме;

- Программируемые задержки на входе и выходе;
- Программируемые предискажения низковольтной дифференциальной передачи сигналов (LVDS);
- Оконечная схема в чипе с и без калибровки.

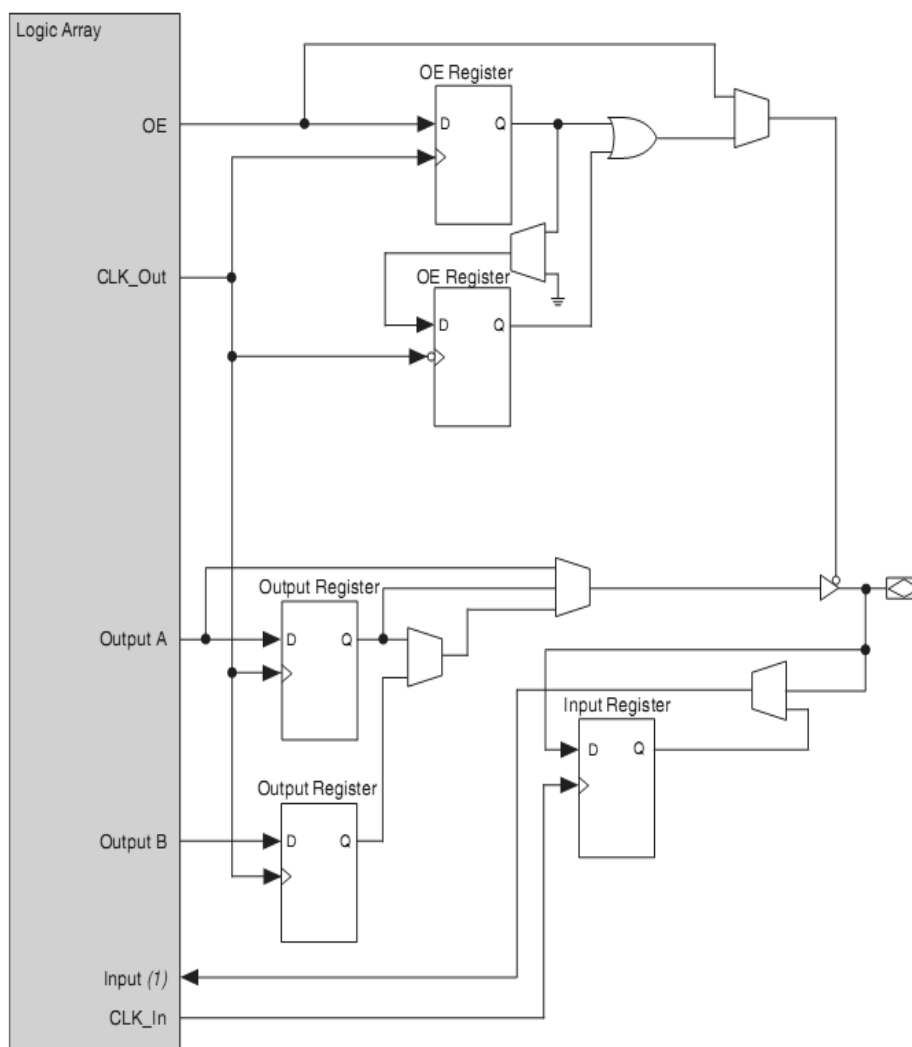
Элемент I/O в чипе Cyclone III

IOE в чипе Cyclone III состоит из двунаправленного I/O буфера и пяти регистров для полной внутренней реализации двунаправленного несимметричного передатчика.

IOE состоит из одного входного регистра, двух выходных регистров и двух регистров разрешения выходы (OE). Два выходных регистра и два OE регистра используются для DDR приложений. Вы можете использовать входные регистры для быстрого времени установки, а выходные регистры для быстрого времени такта на выход. Дополнительно, вы можете использовать OE регистры для ускорения времени разрешения такта на выход. Вы можете использовать IOEs для входных, выходных и двунаправленных путей данных.

На рисунке 7-1 показана структура IOE в чипе Cyclone III.

Рисунок 7-1. Структура IOE в чипе Cyclone III.



Примечание к рисунку 7-1:

- (1) Два возможных пути, доступны комбинационный или регистрованный входы в массив логики. Каждый путь имеет свою собственную задержку.

IOE расположены в I/O блоках по периметру чипа Cyclone III. Это даёт до четырёх IOEs в строке I/O блока и до пяти IOEs в столбце I/O блока (I/O блоки в столбцах объединяют два столбца), в зависимости от количества логических элементов или количества I/O чипа.

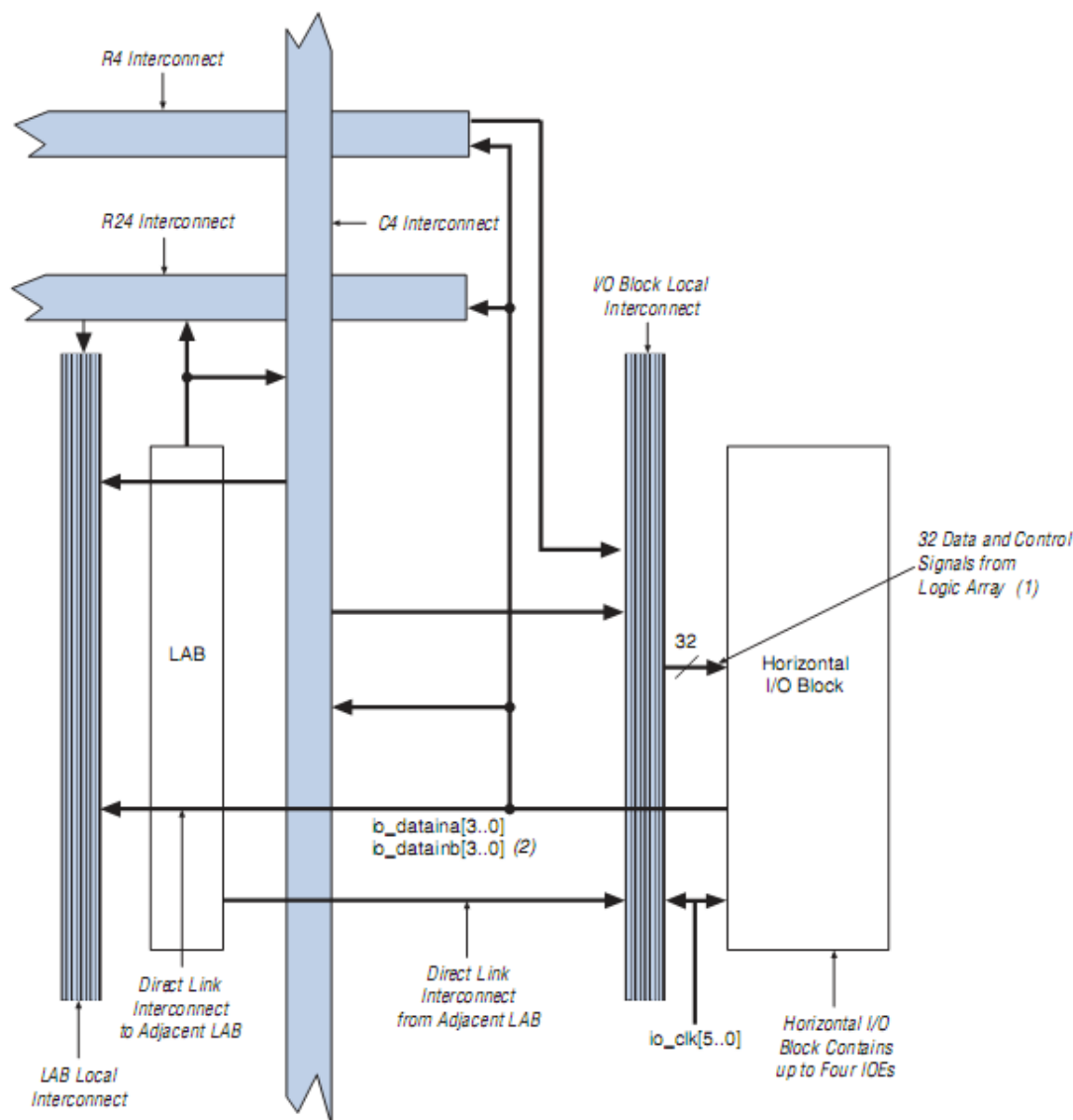
Строчные I/O блоки управляют внутренними соединениями в строках, столбцах и прямыми соединениями. Столбцовые I/O блоки управляют внутренними соединениями в столбцах.

За дополнительной информацией об архитектуре трассировки в Cyclone III обратитесь к главе "Многодорожечные внутренние соединения" в томе 1 Настольной книги чипов Cyclone III.

На рисунке 7-2 показано как подключаются строчные I/O блоки к массиву логики.

На рисунках 7-3 и 7-4 показано, как подключаются столбцовые I/O блоки к массиву логики.

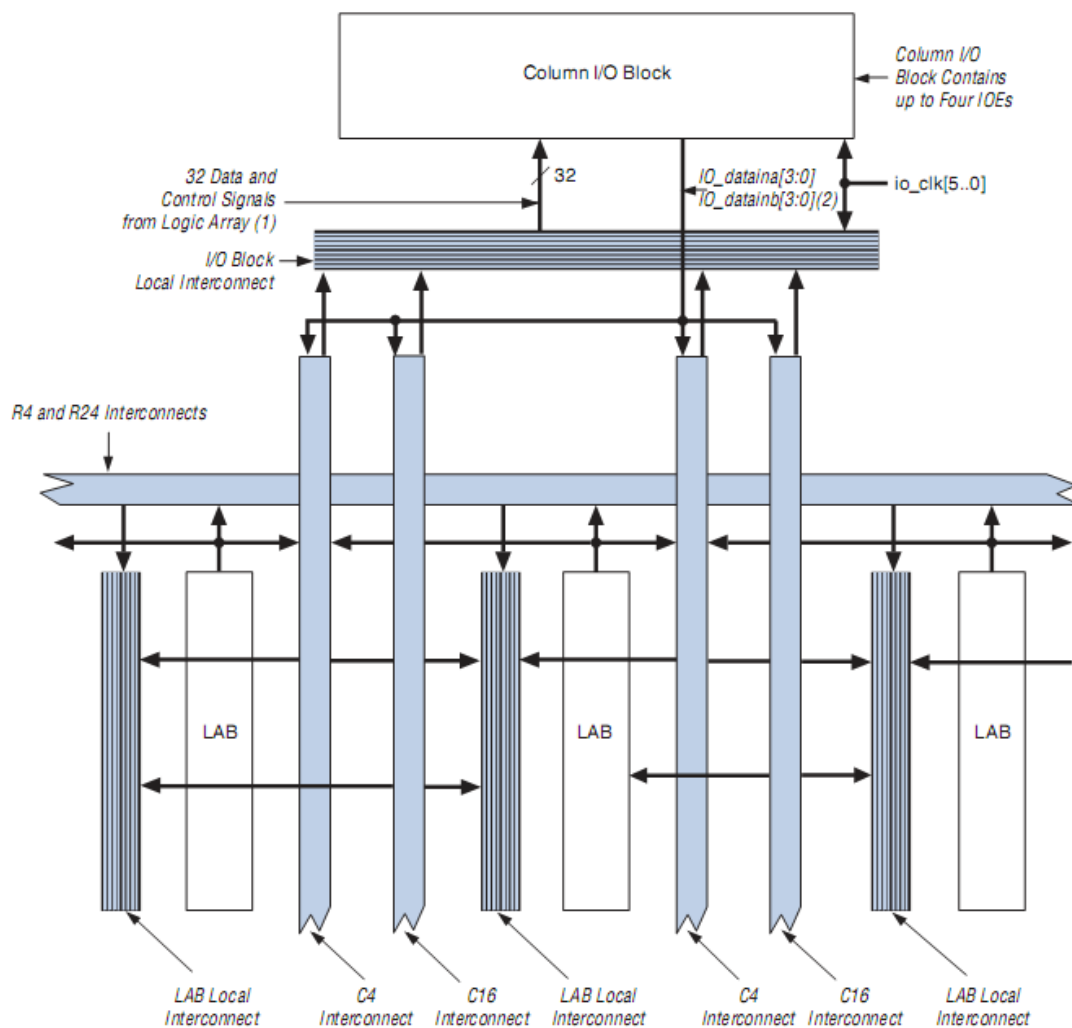
Figure 7–2. Row I/O Block Connection to the Interconnect



Примечания к рисунку 7-2:

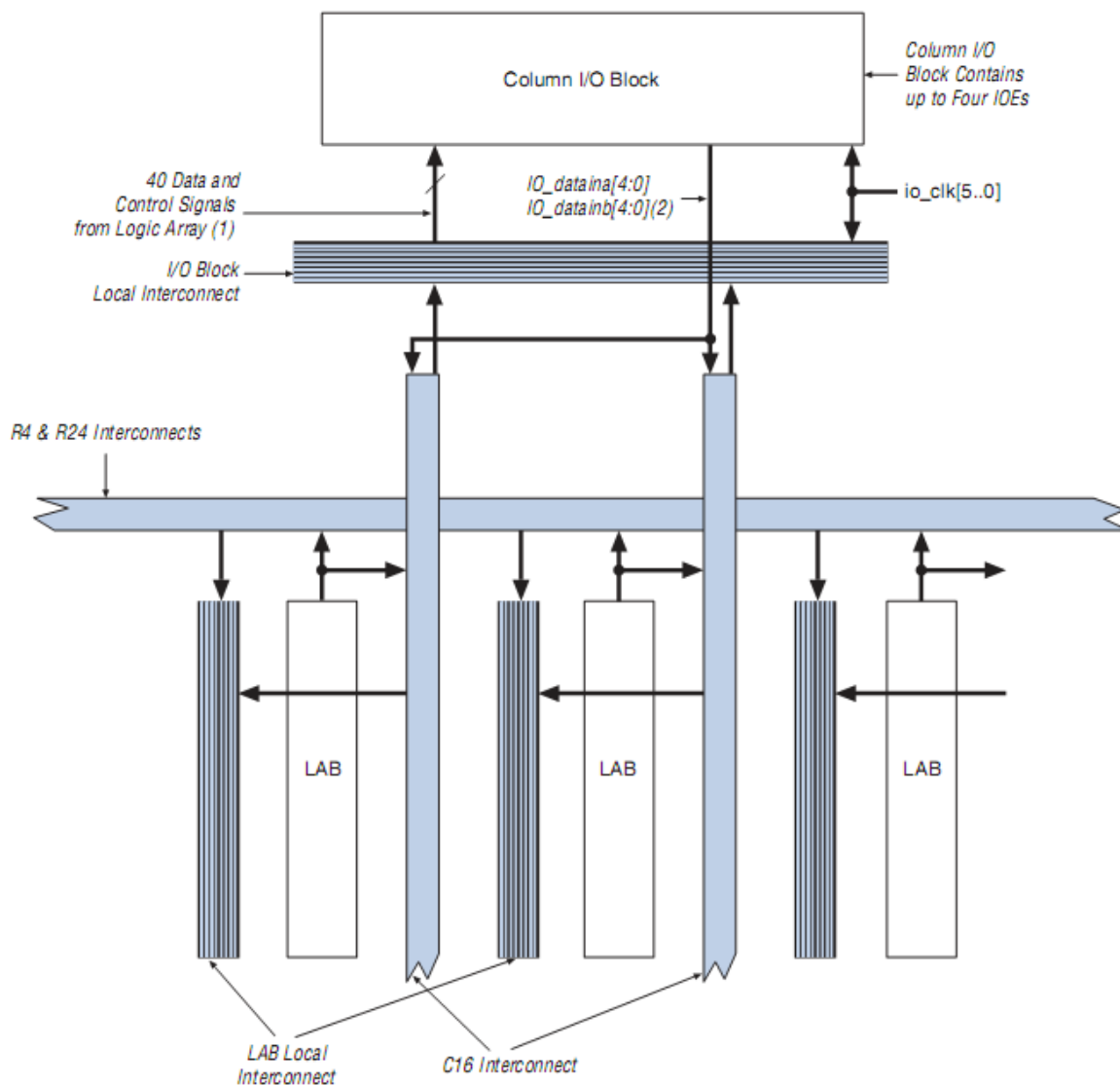
- (1) 32 сигнала данных и контроля используются для поддержки до четырёх IOEs в каждом строчном I/O блоке.
- (2) Каждый из четырёх IOEs в каждом строчном I/O блоке имеет два входа *io_datain* (комбинационных или регистрованных).

Figure 7-3. Column I/O Block Connection to the Interconnect for LE-Rich Devices (EP3C5, EP3C10, EP3C25, EP3C55, EP3C80, and EP3C120)



Примечания к рисунку 7-3:

- (1) 32 сигнала данных и контроля используются для поддержки до четырёх IOEs в двух столбцовых I/O блоках.
- (2) Каждый из четырёх IOEs в каждом столбцовом I/O блоке имеет два входа *io_datain* (комбинационных или регистрованных).

Figure 7-4. Column I/O Block Connection to the Interconnect for I/O-Rich Devices (EP3C16 and EP3C40)

Примечания к рисунку 7-4:

- (1) 40 сигналов данных и контроля используются для поддержки до пяти IOEs в двух столбцовых I/O блоках.
- (2) Каждый из пяти IOEs в каждом столбцовом I/O блоке имеет два входа io_datain (комбинационных или регистрованных).

Сигналы с выводов *datain* могут управлять массивом логики. Массив логики управляет сигналами контроля и данных, предоставляя гибкие ресурсы разводки. IOE такты в строках или столбцах ($io_clk[5..0]$) предоставляют специальные ресурсы трассировки для мало искажаемых высокоскоростных тактов. Глобальные тактовые сети генерируют IOE такты, поступающие в строчные или столбцовые I/O регионы.

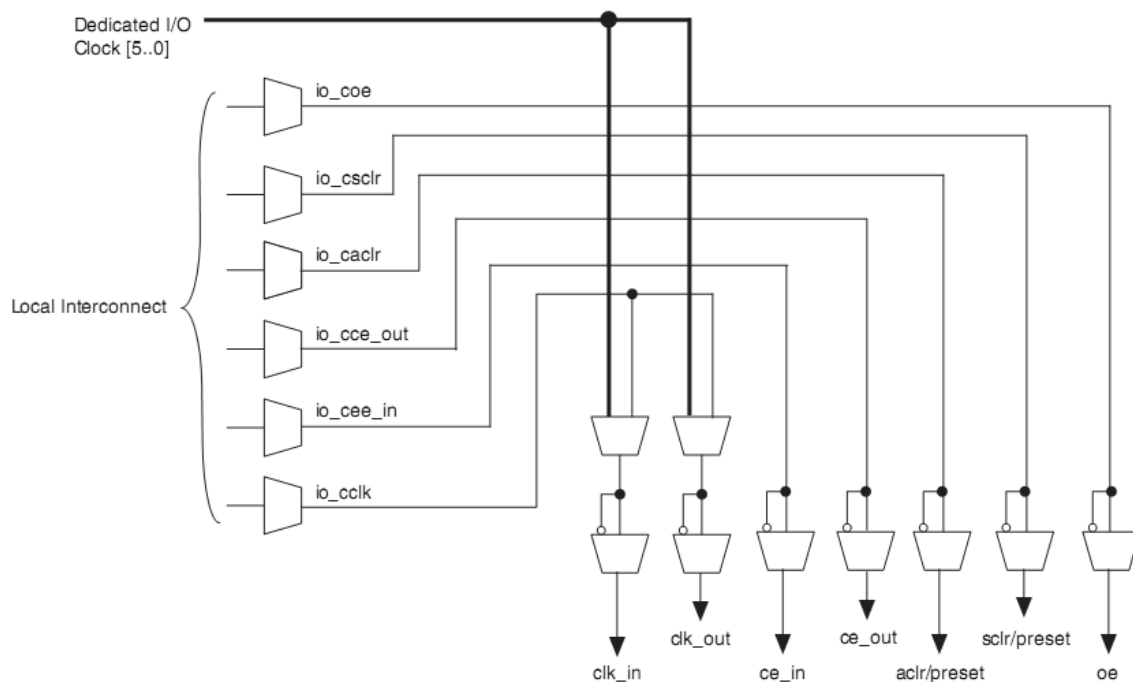
Каждый IOE имеет свой собственный сигнал выбора для следующих контрольных сигналов:

- oe
- ce_in
- ce_out

- *aclr/preset*
- *sclr/preset*
- *clk_in*
- *clk_out*

На рисунке 7-5 показан выбор контрольного сигнала.

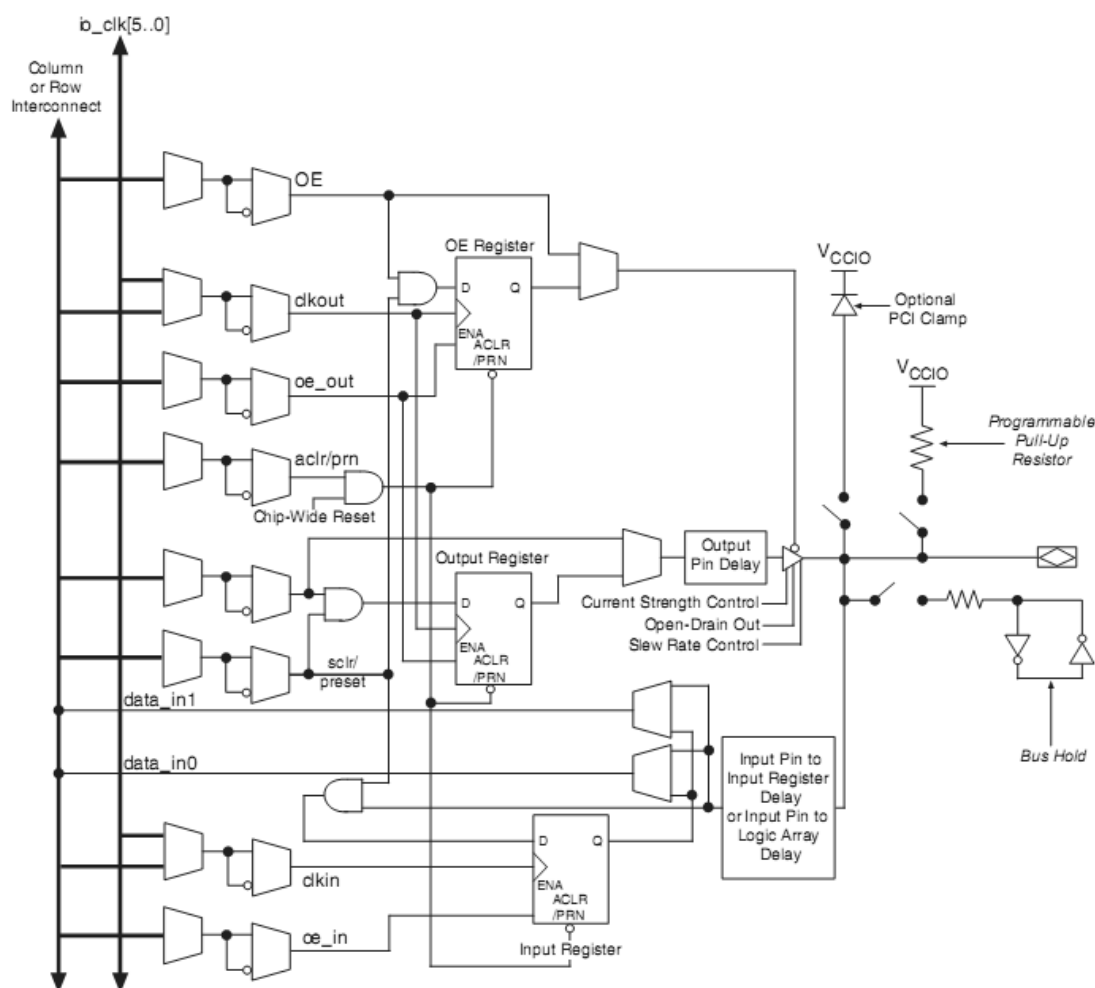
Figure 7-5. Control Signal Selection Per IOE



В двунаправленных операциях, вы можете использовать входной регистр для входных данных, которым требуется быстрое время установки. Входной регистр имеет свой собственный тактовый вход и отдельный от OE и выходного регистра вход разрешения такта. Вы можете использовать выходной регистр для данных, которым требуется быстрые характеристики такта на выход. OE регистр доступен для быстрого времени разрешения такта на выход. OE и выходной регистр используют общие источники тактов и разрешение тактов из локальных внутренних соединений ассоциированных LAB, специальных I/O тактов, или внутренних соединений в строках и столбцах. Все регистры имеют общие сигналы *sclr* и *aclr*, но каждый регистр имеет индивидуальное запрещение сигналов.

На рисунке 7-6 показан IOE в двунаправленной конфигурации.

Figure 7-6. Cyclone III IOE in a Bidirectional I/O Configuration



Средства элемента I/O

Cyclone III IOE предлагают диапазон программируемых средств для I/O вывода. Эти средства увеличивают гибкость использования I/O и предлагают альтернативу для уменьшения использования внешних дискретных компонентов, заменяя их внутренними, такими как нагрузочный резистор и диод.

Программируемая сила тока

Выходной буфер каждого вывода в чипе Cyclone III имеет программируемую силу тока для контроля основных I/O стандартов.

Следующие I/O стандарты имеют несколько уровней силы тока, которые вы сможете контролировать:

- LVTTTL
- LVCMOS
- SSTL-2 класс I и II
- SSTL-18 класс I и II
- HSTL-18 класс I и II
- HSTL-15 класс I и II

■ HSTL-12 класс I и II

За дополнительной информацией о программировании силы тока, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

В таблице 7-1 показаны возможные настройки I/O стандартов с контролем силы тока. Настройки программируемой силы тока — это ценный инструмент, помогающий уменьшить эффект одновременно переключающихся выходов (SSO) одновременно с уменьшением системного шума. Поддерживаемые настройки гарантируют, что драйвер чипа будет соответствовать спецификации по IOH и IOL соответствующего стандарта I/O.

Когда вы используете программируемую силу тока, оконечная схема в чипе (Rs OCT) не доступна.

Table 7–1. Programmable Current Strength (Note 1) (Part 1 of 3)

I/O Standard	IOH/IOL Current Strength Setting (mA)	
	Top and Bottom I/O Pins	Left and Right I/O Pins
1.2-V LVCMOS	2	2
	4	4
	6	6
	8	8
	10	10
	12	—
1.5-V LVCMOS	2	2
	4	4
	6	6
	8	8
	10	10
	12	12
	16	16
1.8-V LVTTTL/LVCMOS	2	2
	4	4
	6	6
	8	8
	10	10
	12	12
	16	16

Table 7-1. Programmable Current Strength (Note 1) (Part 2 of 3)

I/O Standard	I _{OL} /I _{OH} Current Strength Setting (mA)	
	Top and Bottom I/O Pins	Left and Right I/O Pins
2.5-V LVTTTL/LVCMOS	4	4
	8	8
	12	12
	16	16
3.0-V LVCMOS	4	4
	8	8
	12	12
	16	16
3.0-V LVTTTL	4	4
	8	8
	12	12
	16	16
3.3-V LVCMOS (2)	2	2
3.3-V LVTTTL (2)	4	4
	8	8
HSTL-12 Class I	8	8
	10	10
	12	—
HSTL-12 Class II	14	—
HSTL-15 Class I	8	8
	10	10
	12	12
HSTL-15 Class II	16	16
HSTL-18 Class I	8	8
	10	10
	12	12
HSTL-18 Class II	16	16
SSTL-18 Class I	8	8
	10	10
	12	12
SSTL-18 Class II	12	12
	16	16
SSTL-2 Class I	8	8
	12	12
SSTL-2 Class II	16	16

Table 7-1. Programmable Current Strength (Note 1) (Part 3 of 3)

I/O Standard	I_{OH}/I_{OL} Current Strength Setting (mA)	
	Top and Bottom I/O Pins	Left and Right I/O Pins
BLVDS	8, 12, 16	8, 12, 16

Примечание к таблице 7-1:

- (1) Настройки по умолчанию в программе Quartus II — это 50-Ω OCT без калибровки для всех I/O стандартов без опорного напряжения и HSTL/SSTL класса I. Настройки по умолчанию в — 25-Ω OCT без калибровки для всех I/O стандартов HSTL/SSTL класса II.
- (2) Настройки тока по умолчанию в программе Quartus II выделены шрифтом bold italic для I/O стандартов 3.3-V LVTTL и 3.3-V LVCMOS.

Для организации интерфейса чипов Cyclone III с системами 3.3-, 3.0- или 2.5-V, вы можете следовать инструкциям, предложенным в AN 447: Организация интерфейса чипов Cyclone III с I/O системами 3.3/3.0/2.5-V LVTTL/LVCMOS.

Контроль скорости нарастания выходного напряжения

Выходной буфер каждого вывода в чипе Cyclone III содержит опциональный программируемый контроль над скоростью нарастания выходного напряжения. Программа Quartus II имеет три настройки для над программируемым контролем скорости нарастания выходного напряжения - 0, 1 и 2, - где 0 — это медленная скорость, а 2 — это быстрая скорость. По умолчанию стоит — 2. Быстрая скорость нарастания даёт высокоскоростные переходные процессы для систем с высокими характеристиками. Однако, такие быстрые переходы могут создавать импульсные промехи в системе. Низкая скорость нарастания уменьшает системный шум, но вводит номинальную задержку по нарастающим и спадающим фронтам. Так как каждый I/O вывод имеет свой собственный контроль скорости нарастания выходного напряжения, вы можете задать его в базисе выводов. Контроль скорости нарастания выходного напряжения влияет на нарастающий и спадающих фронты импульса. Контроль скорости нарастания выходного напряжения доступен для несимметричных I/O стандартов с силой тока от 8 мА и выше.

Вы не сможете использовать программируемый контроль скорости нарастания выходного напряжения, если используете OCT с калибровкой.

Вы не сможете использовать программируемый контроль скорости нарастания выходного напряжения, если используете следующие I/O стандарты: 3.0-V PCI, 3.0-V PCI-X, 3.3-V LVTTL и 3.3-V LVCMOS. Доступна будет только быстрая (по умолчанию) скорость нарастания выходного напряжения.

За дополнительной информацией, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

Выходы с открытым стоком

Чипы Cyclone III имеют опциональный выход с открытым стоком (эквивалентно выходу с открытым коллектором) для каждого I/O вывода. Такой выход с открытым стоком позволяет чипу создавать контрольные сигналы на системном уровне (например, прерывания и сигналы разрешения записи), которые могут применяться различными чипами в вашей системе.

За дополнительной информацией, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

Схема удерживания шины

Каждый пользовательский I/O вывод чипа Cyclone III обладает опциональным средством удерживания шины. Схема удерживания шины оставляет сигнал на I/O выводе в последнем поступившем состоянии. Поскольку средство удерживания шины оставляет сигнал на выводе в последнем поступившем состоянии пока пока не установится следующий входной сигнал, внешние нагрузочные резисторы и резисторы утечки не требуются для удержания уровня сигнала, когда шина находится в третьем состоянии.

Схема удерживания шины отключает никуда не ведущие выводы от порога входного напряжения, при котором шум неумышленно может переключать их на высокой частоте. Вы можете выбрать это средство индивидуально для каждого вывода. Выход удерживания шины управляет сигналами, не большими, чем VCCIO, чтобы предотвратить искажения.

Если вы разрешили средство удерживания шины, чип не сможет использовать опцию программирования нагрузки. Запретите средство удерживания шины, когда I/O выводы сконфигурированы для дифференциальных сигналов. Схема удерживания шины не доступна для специальных тактовых выводов.

Схема удерживания шины активизируется только после конфигурации. Когда вы входите в пользовательский режим, схема удерживания шины устанавливает значение на выводе, зафиксированное по окончании конфигурации.

За дополнительной информацией, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

За информацией о поддерживаемом токе, протекающим через резистор, на каждом уровне напряжения VCCIO, и о токе перегрузки, используемом для идентификации следующего уровня на входе, обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги чипов Cyclone III.

Программируемый нагрузочный резистор

Каждый пользовательский I/O вывод чипа Cyclone III обладает опциональным нагрузочным резистором в пользовательском режиме. Если вы разрешили это средство для I/O выхода, нагрузочный резистор оставляет выходу уровень VCCIO банка выходных выводов.

Если вы разрешили средство программируемых нагрузочных резисторов, чип не сможет использовать средство удерживания шины. Программируемые нагрузочные регистры не поддерживаются в специальных конфигурациях, Joint Test Action Group (JTAG) и специальными тактовыми выводами.

За дополнительной информацией, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

Программируемая задержка

IOE чипов Cyclone III содержат программируемую задержку, чтобы добиться нуля времени удержания, уменьшения времени установки, увеличения времени такта на выход или задержки входного тактового сигнала.

Путь, по которому вывод прямо идёт на регистр, может потребовать программируемую задержку для достижения нуля времени удержания, тогда как путь, по которому вывод идёт на регистр через комбинационную логику, может не потребовать задержки. Программируемая задержка минимизирует время установки. Компилятор Quartus II может программировать эти задержки для автоматического уменьшения времени установки, когда осуществляет нуль времени удержания. Программируемая задержка может увеличивать задержку от регистра на вывод для выходных регистров. Каждый тактовый вывод двойного назначения создаёт программируемую задержку для глобальных тактовых сетей.

В таблице 7-2 показаны программируемые задержки для чипов Cyclone III.

Таблица 7-2. Схема программируемой задержки в чипах Cyclone III

Программируемая задержка	Логическая опция Quartus II
Входная задержка от вывода к логике	Входная задержка от вывода до логической ячейки
Входная задержка от вывода к входу регистра	Входная задержка от вывода к входу регистра
Выходная задержка вывода	Задержка от выхода регистра до выходного вывода
Входная задержка тактового вывода двойного назначения	Входная задержка от тактового вывода двойного назначения до распределителей ветвлений по выходу

Есть два пути в IOE для входа, чтобы попасть в массив логики. Каждый из двух путей имеет разную задержку. Это позволяет вам выровнять задержки от вывода до внутренних LE регистров, находящихся в разных местах на чипе. Вы устанавливаете две комбинационные задержки, используя логическую опцию программы Quartus II входной задержки от вывода до внутренних ячеек для каждого пути. Если вывод использует входной регистр, одна из задержек игнорируется, а задержка устанавливается, используя логическую опцию программы Quartus II входной задержки от вывода до входного регистра.

Регистры IOE в каждом I/O блоке используют одни и те же исходники для средств предустановки и сброса. Вы можете запрограммировать предустановку и сброс для каждого отдельного IOE, но вы не сможете использовать оба средства одновременно. Вы можете запрограммировать регистры в состояние "1" или "0" после включения питания, когда конфигурация чипа завершена. Если вы программируете при включении питания — "0", асинхронный сброс может контролировать регистр. Если вы программируете при включении питания — "1", асинхронная предустановка может контролировать регистр. Эти средства защищают от случайной активации в других чипах активного низкого уровня входа при включении питания. Если один регистр в IOE использует сигнал предустановки или сброса, все регистры в IOE должны использовать те же самые сигналы предустановки или сброса, если потребуется. В дополнении, сигнал синхронного сброса также доступен для IOE регистров.

За дополнительной информацией о том, как устанавливать входную и выходную задержки для вывода, обратитесь к главе "Оптимизация площади и времени" в томе 2 Настольной книги Quartus II.

PCI ограничительные диоды

Чипы Cyclone III имеют опциональные PCI ограничительные диоды, разрешённые для входа и выхода в каждом I/O выводе. Выводы конфигурации двойного назначения поддерживают диоды в пользовательском режиме, если определённые выводы не используются в качестве выводов конфигурации в выбранной схеме конфигурации. Например, если вы используете активную последовательную (AS) схемы конфигурации, вы не сможете использовать ограничительные диоды для выводов ASDO и nCSO по этой схеме. Специальные выводы конфигурации не поддерживают диоды в чипе.

PCI ограничительные диоды доступны для следующих стандартов:

- 3.3-VLVTTL
- 3.3-V LVCMOS
- 3.0-V LVTTTL
- 3.0-V LVCMOS
- PCI
- PCI-X

Если входные I/O стандарты 3.3-V LVTTL, 3.3-V LVCMOS, 3.0-V LVTTL, 3.3-V LVCMOS, PCI или PCI-X PCI ограничительные диоды разрешены по умолчанию в программе Quartus II.

За дополнительной информацией, обратитесь к главе "Редактор назначений" в томе 2 Настольной книги Quartus II.

За дополнительной информацией о PCI ограничительных диодах, обратитесь к AN 447: Организация интерфейса чипов Cyclone III с I/O системами 3.3/3.0/2.5-V LVTTL/LVCMOS.

Программируемые предсказания низковольтной дифференциальной передачи сигналов (LVDS)

Специальные передатчики LVDS в Cyclone III поддерживают программирование предсказаний. Программируемые предсказания используются для компенсации частотно-зависимых искажений на линии передачи. Они увеличивают амплитуду частотно-зависимых компонентов выходного сигнала, чем компенсируют высокочастотные потери на линии передачи.

Программа Quartus II две настройки для контроля предсказаний — 0 и 1 — когда 0 — предсказания отключены, а когда 1 — предсказания включены. По умолчанию стоит 1. Величина необходимых предсказаний зависит от усиления высокочастотных компонентов на линии передачи. Вам необходимо скорректировать набор настроек вашего проекта, например, сделать предсказание уменьшением амплитуды низкочастотных компонентов выходного сигнала.

За дополнительной информацией о поддержке высокоскоростных дифференциальных интерфейсов в чипах Cyclone III, обратитесь к главе "Высокоскоростные дифференциальные интерфейсы" в томе 1 Настольной книги Cyclone III.