



3. Memory Blocks in the Cyclone III Device Family

CIII51004-2.3

3. Блоки памяти в семействе Cyclone III

Семейство Cyclone® III (Cyclone III и Cyclone III LS) оборудовано структурами встроенной памяти для выполнения адресации к внутри чиповой памяти, необходимой в проектах на чипах семейства Altera® Cyclone III. Структуры встроенной памяти состоят из столбцов из блоков памяти M9K, которые вы можете конфигурировать в различные функции памяти, такие как RAM, ROM, буферы FIFO и сдвиговые регистры.

Эта глава состоит из следующих разделов:

- "Режимы работы памяти" на стр. 3-7,
- "Режимы тактирования" на стр. 3-14,
- "Ограничения при проектировании" на стр. 3-15.

Общее представление

Блоки M9K обладают следующими свойствами:

- 8,192 бит памяти в блоке (9,216 бит в блоке, включая бит паритета).
- Независимые сигналы разрешения чтения (rden) и разрешения записи (wren) для каждого порта.
- Режим упаковки, при котором блок памяти M9K может быть разделён на две однопортовой RAM по 4,5K.
- Различная конфигурация портов.
- Режимы однопортовой и простой двухпортовой памяти поддерживаются для любой ширины портов.
- Режим полной двухпортовой памяти (один на чтение и один на запись, два на чтение или два на запись).
- Разрешение байта для входа данных маскируется во время записи.
- Два контрольных сигнала разрешения такта для каждого порта (порт A и порт B).
- Файл инициализации для предзагрузки содержимого памяти в режимах RAM и ROM.

В табл. 3-1 перечислены средства, поддерживаемые памятью М9К.

Табл. 3-1. Сводная таблица средств памяти М9К

Средство	Блоки М9К
Конфигурация (ширина на глубину)	8192 × 1 4096 × 2 2048 × 4 1024 × 8 1024 × 9 512 × 16 512 × 18 256 × 32 256 × 36
Биты паритета	✓
Разрешение байта	✓
Режим упаковки	✓
Разрешение такта адреса	✓
Однопортовый режим	✓
Простой двухпортовый режим	✓
Полный двухпортовый режим	✓
Режим встроенного сдвигового регистра (1)	✓
Режим ROM	✓
Буфер FIFO (1)	✓
Поддержка простого двухпортового режима с различной шириной портов	✓
Поддержка полного двухпортового режима с различной шириной портов (2)	✓
Файл инициализации памяти (.mif)	✓
Режим смешанного тактирования	✓
Состояние при подаче питания	Выходы сброшены
Регистрирование асинхронного сброса	Чтение только регистров адреса и выходных регистров
Защёлкивание асинхронного сброса	Только выходные триггеры
Защёлкивание операций чтения или записи	Чтение и запись по нарастающему фронту
Чтение во время записи по тому же порту	Выход устанавливается Old Data или New Data (старые или новые данные)
Чтение во время записи по нескольким портам	Выход устанавливается Old Data или Don't Care (старые или не известные данные)

Примечания к табл. 3-1:

- (1) Для реализации контрольной логики FIFO буферам и встроенным сдвиговым регистрам необходима внешняя логика на логических элементах (LE).
- (2) Не доступно для ширины данных x32 и x36.

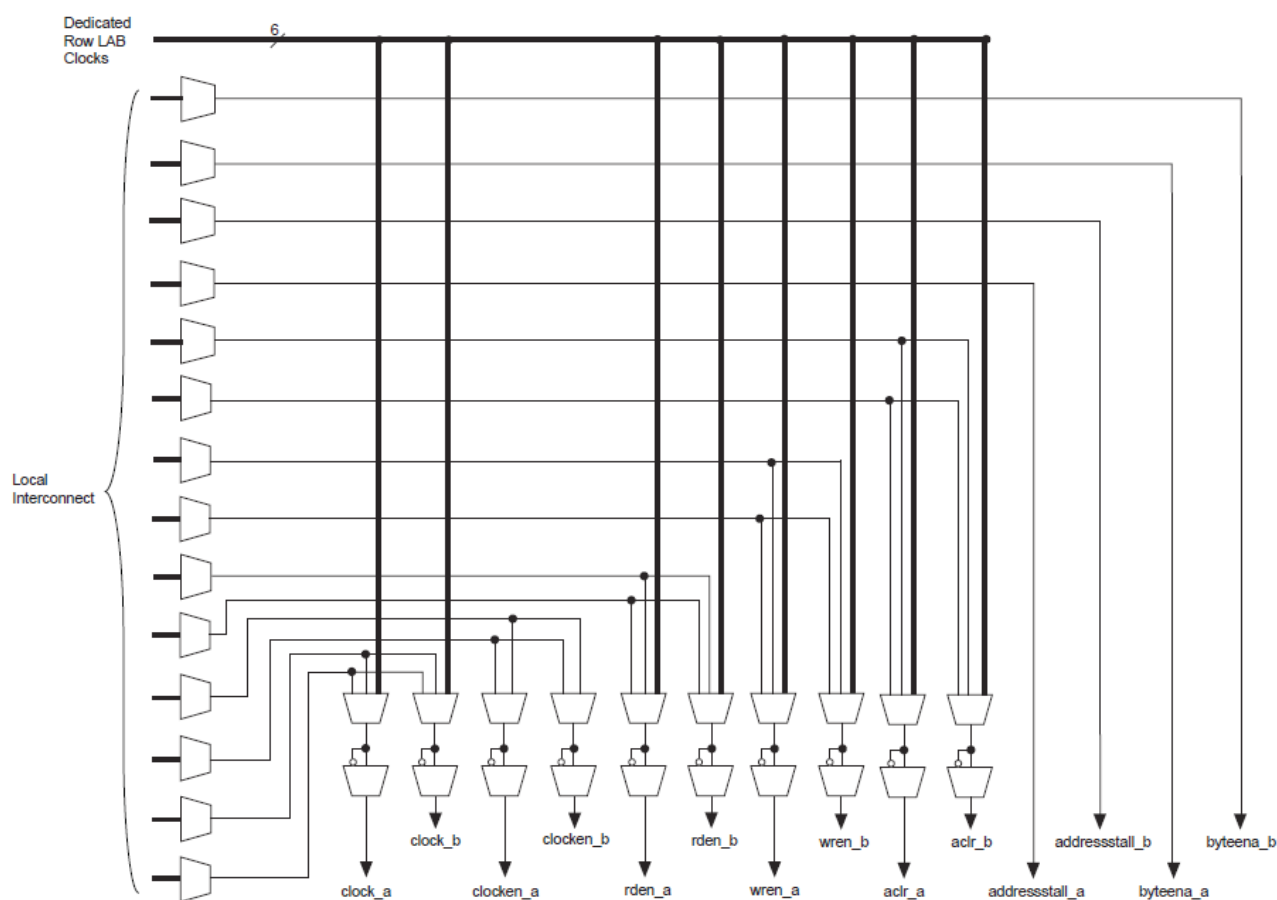
За информацией о количестве блоков М9К в чипах семейства Cyclone III обратитесь к главе ["Общее представление о семействе Cyclone III"](#).

Контрольные сигналы

Контрольный сигнал разрешения такта (clock-enable) контролирует тактовый вход входного и выходного регистра, и весь блок памяти M9K. Этот сигнал запрещает такты, таким образом, блок памяти M9K не принимает никакой фронт тактовых импульсов и не может выполнять никакую операцию.

Контрольные сигналы rden и wren контролируют операции чтения и записи для каждого порта блоков памяти M9K. Вы можете запретить сигналы rden и wren независимо друг от друга, чтобы сэкономить энергию, пока их работа не требуется.

На рис. 3-1 показаны сигналы тактовый, сброса и контроля регистра, реализованные в блоке памяти M9K семейства Cyclone III.

Figure 3-1. M9K Control Signal Selection**Поддержка бита паритета**

Проверка паритета для детектирования ошибки возможна при использовании бита паритета совместно с ресурсами внутренней логики. Блоки памяти M9K в чипах семейства Cyclone III поддерживают бит паритета для каждого хранимого байта. Вы можете использовать этот бит либо как бит паритета, либо как дополнительный бит данных. Над этим битом не выполняется функция паритета.

Поддержка разрешения байта

Блоки памяти М9К в чипах семейства Cyclone III поддерживают разрешение байта, которое маскирует входные данные так, чтобы записывались байты, выбранные специальной функцией. Не записанные данные удерживают последнее записанное значение. Сигналы `wren` совместно с сигналами разрешения байта (`byteena`) контролируют операцию записи в RAM блок. Значение по умолчанию для сигнала `byteena` - 1 (разрешено), в этом случае запись контролируется только сигналами `wren`. Регистры `byteena` не имеют порта сброса. Блоки М9К поддерживают разрешение байта, когда порт записи имеет ширину $\times 16$, $\times 18$, $\times 32$ или $\times 36$ бит.

Разрешение байта работает в одном режиме, при котором LSB сигнала `byteena` связан с наименьшим значащим байтом шины данных. Например, если `byteena` = 01 и вы используете блок RAM в режиме $\times 18$, то `data[8..0]` - разрешено, а `data[17..0]` - запрещено. Соответственно, если `byteena` = 11, то `data[8..0]` и `data[17..0]` - разрешено. Разрешение байта используется активная 1.

В табл. 3-2 представлена секция байта.

Table 3-2. `byteena` for Cyclone III Device Family M9K Blocks (1)

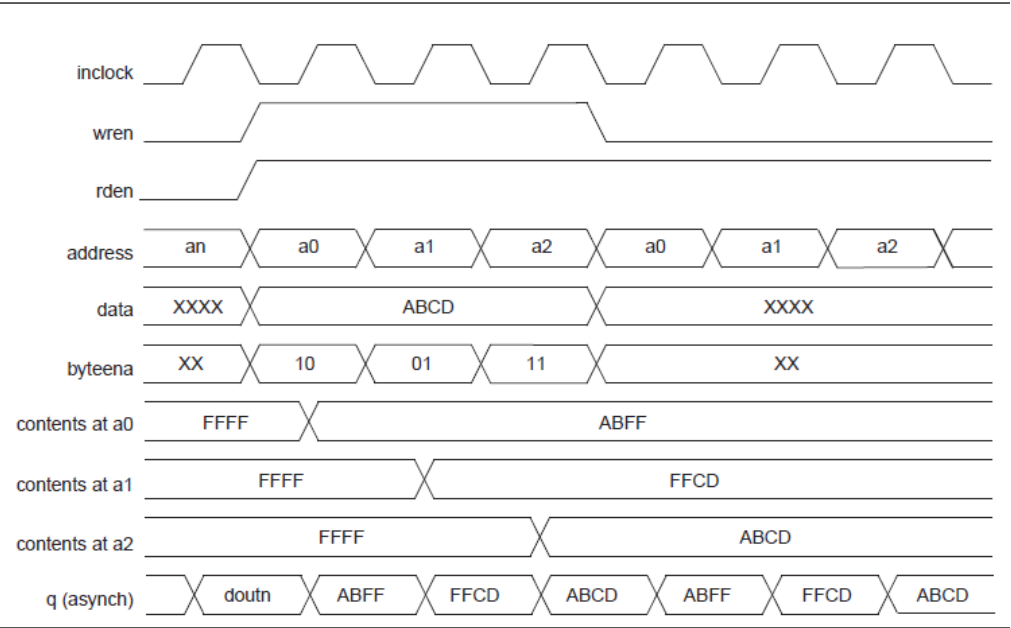
<code>byteena[3..0]</code>	Affected Bytes			
	<code>datain $\times 16$</code>	<code>datain $\times 18$</code>	<code>datain $\times 32$</code>	<code>datain $\times 36$</code>
[0] = 1	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	—	—	[23..16]	[26..18]
[3] = 1	—	—	[31..24]	[35..27]

Примечание к табл. 3-2.

(1) Возможна любая комбинация разрешения байта.

На рис. 3-2 показано, как сигналы `wren` и `byteena` контролируют работу RAM.

Figure 3-2. Cyclone III Device Family `byteena` Functional Waveform (1)



Примечание к рис. 3-2.

(1) На этих временных диаграммах выбран режим **New Data** (Новые данные).

Когда бит `byteena` сбрасывается во время цикла записи, старые данные из памяти появляются на соответствующем выходе данных. Когда бит `byteena` устанавливается во время цикла записи, выход соответствующего байта данных зависит от настроек, выбранных в программе Quartus® II. Эти настройки могут быть: обновить данные или оставить старые.

Поддержка режима упаковки

Блоки памяти M9K семейства Cyclone III поддерживают режим упаковки. Вы можете реализовать два блока однопортовой памяти в одном блоке M9K, если будете следовать рекомендациям:

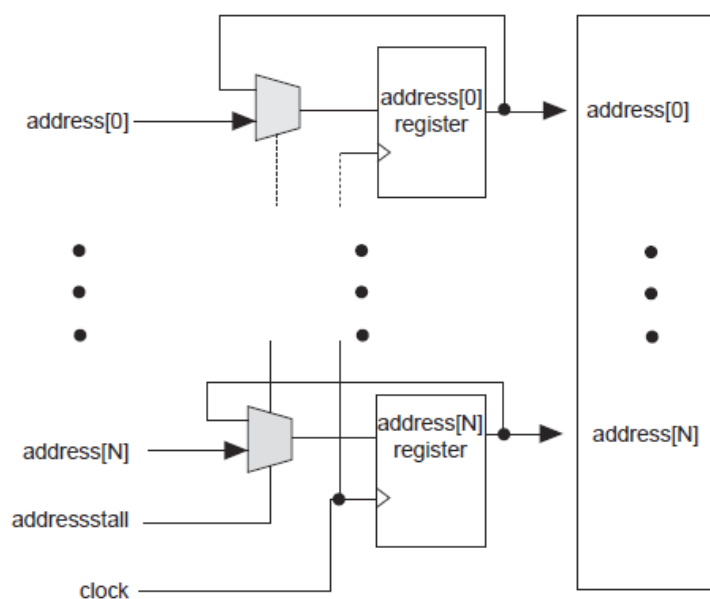
- Каждый из двух независимых блоков памяти должен иметь размер, меньший или равный половине размера блока M9K. Максимальная ширина данных для каждого независимого блока - 18 бит.
- Каждый из блоков однопортовой памяти должен быть сконфигурирован в одноканальный режим. За дополнительной информацией обратитесь к главе "Одноканальный режим" на стр. 3-8 и к главе "Одноканальный режим" на стр. 3-15.

Поддержка разрешения такта адреса

Блоки памяти M9K семейства Cyclone III поддерживают активный 0 для сигнала разрешения такта адреса, который удерживает предыдущее значение адреса, пока сигнал `addressstall` находится в 1 (`addressstall = '1'`). Когда вы сконфигурируете блоки памяти M9K в двухпортовый режим, каждый порт будет иметь собственный независимый сигнал разрешения такта адреса.

На рис. 3-3 показана блок-схема для сигнала разрешения такта адреса. Сигнал с выхода регистра адреса возвращается на его вход, используя мультиплексор. Выход мультиплексора выбирается сигналом разрешения такта адреса (`addressstall`).

Figure 3–3. Cyclone III Device Family Address Clock Enable Block Diagram



Сигнал разрешения такта адреса обычно используется для улучшения эффективности приложений для кэша памяти во время промаха кэша. Значение по умолчанию для сигнала разрешения такта адреса - 0.

На рис. 3-4 и 3-5 показаны временные диаграммы сигнала разрешения такта при операциях чтения и записи.

Figure 3–4. Cyclone III Device Family Address Clock Enable During Read Cycle Waveform

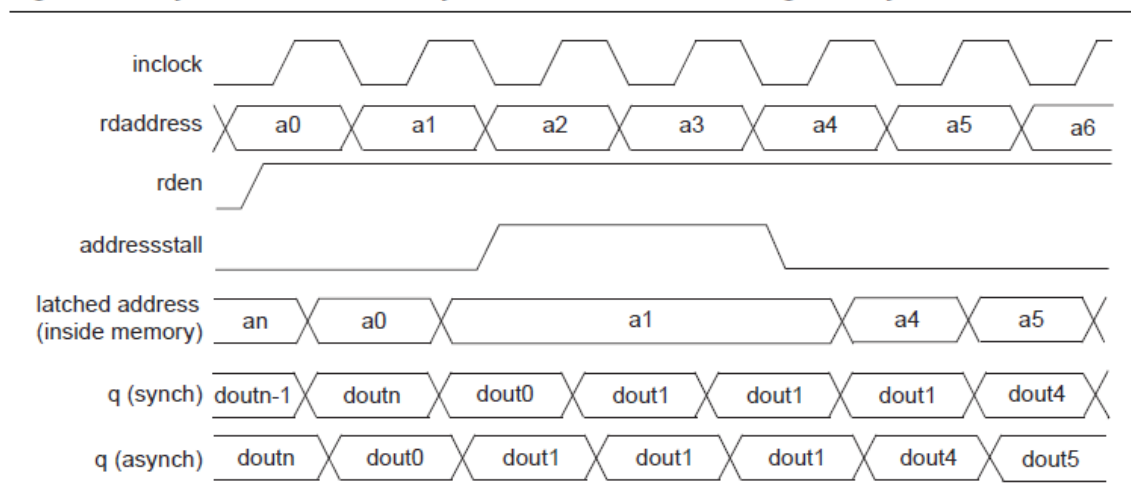
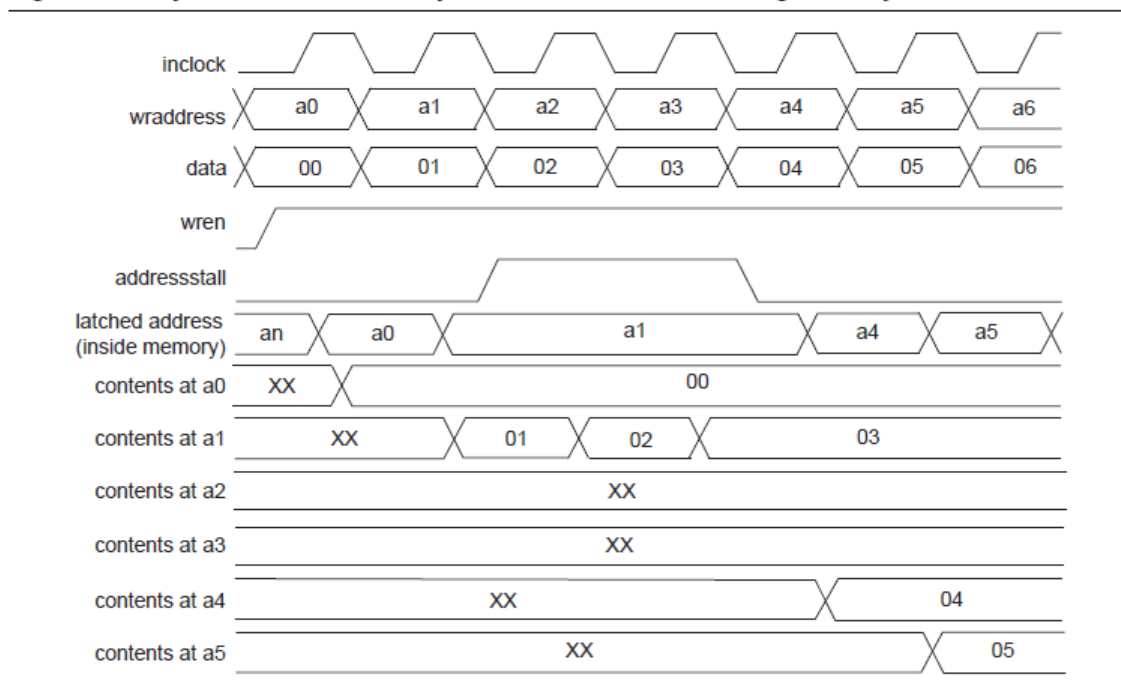


Figure 3–5. Cyclone III Device Family Address Clock Enable During Write Cycle Waveform



Поддержка смешанной ширины

Блоки памяти М9К поддерживают смешанную ширину данных. Когда вы используете простую двухпортовую, полную двухпортовую память или режим FIFO, поддержка различной ширины данных позволяет вам читать и записывать в блок М9К данные различной ширины. За подробной информацией о различной ширине данных, поддерживаемой каждым режимом памяти, обратитесь к главе "Режимы работы памяти" на стр. 3-7.

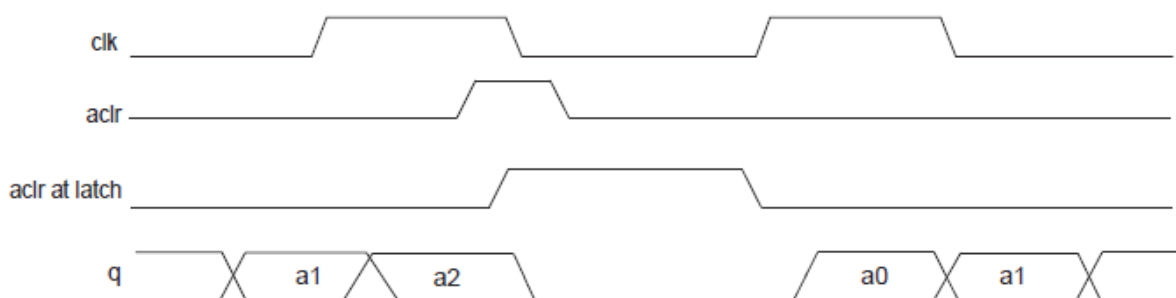
Асинхронный сброс

Семейство Cyclone III поддерживает асинхронный сброс только для регистров адреса чтения, выходных регистров и выходных защёлок. Входные регистры, не относящиеся к регистрам адреса чтения, не поддерживаются. Когда сброс применяется к выходным регистрам, эффект от применения асинхронного сброса сразу заметен. Если ваша RAM не использует выходные регистры, вы можете сбрасывать выходы RAM, используя средство асинхронного сброса выходных защёлок.

Установка асинхронного сброса в регистре адреса чтения во время операции чтения может повредить содержимое памяти.

На рис. 3-6 показана временная диаграмма работы средства асинхронного сброса.

Figure 3–6. Output Latch Asynchronous Clear Waveform



Вы можете выбрать разрешение асинхронного сброса в соответствии с логикой поведения памяти, воспользовавшись Quartus II RAM MegaWizard™ Plug-In Manager.

За дополнительной информацией обратитесь к "[Руководству пользователя по внутренней памяти \(RAM и ROM\)](#)".

Существуют три способа сброса регистров в блоке M9K:

- включить питание чипа,
- использовать сигнал `aclr` только для выходных регистров,
- установить сигнал сброса уровня чипа, используя опцию **DEV_CLRn**.