

## I/O требования

Для полного анализа проекта, все временные требования должны быть определены. Это означает определение внутренних временных требований, так же как и внешних временных требований. С помощью внешних временных требований, интерфейс I/O или периферии FPGA может быть сверен с некоторой системной спецификацией. Временной анализатор Quartus II TimeQuest поддерживает два вида моделирования внешней задержки: входная и выходная.

I/O требования должны определяться после ограничения всех тактов в проекте. Также, когда определяются I/O требования, виртуальные выводы должны иметь ссылку в ограничениях.

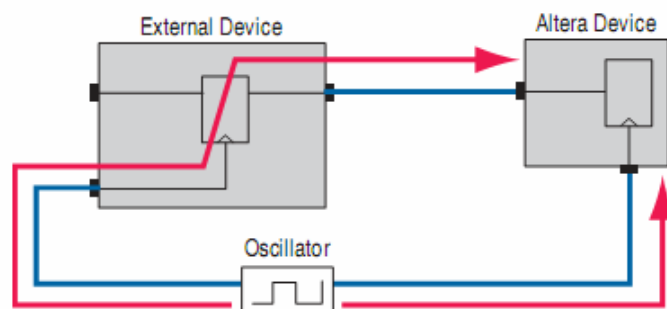
Каждые входные или выходные требования должны быть определены после тактовых ограничений.

### Входные требования

Входные требования позволяют определить все внешние задержки, относящиеся к FPGA. Требования необходимо установить для всех входных портов в проекте.

Используйте SDC команду *set\_input\_delay* для определения требований к внешней входной задержке. Команда *set\_input\_delay* должна быть связана с виртуальным тактом с помощью опции *-clock*. Виртуальный такт определяет такт запуска для входного порта. Такт защёлки внутри чипа, который захватывает входные данные, будет определён автоматически, поскольку все такты в чипе уже определены. На рисунке 8-3 показан пример входной задержки связанной с виртуальным тактом.

**Figure 8–3. Set Input Delay**



### Выходные требования

Выходные требования позволяют определить все внешние задержки, исходящие от FPGA. Требования необходимо установить для всех выходных портов в проекте.

Используйте команду *set\_output\_delay* для определения требований к внешней выходной задержке. Команда *set\_output\_delay* должна быть связана с виртуальным тактом с помощью опции *-clock*. Виртуальный такт определяет такт защёлки для выходного порта. Такт запуска внутри чипа, который запускает выходные данные, будет определён автоматически, поскольку все такты в чипе уже определены. На рисунке 8-4 показан пример выходной задержки связанной с виртуальным тактом.

**Figure 8-4.** Output Delay

