



2. System Interconnect Fabric for Memory-Mapped Interfaces

QII54003-10.0.0

2. Система структуры внутренних соединений для интерфейсов с распределением в памяти

Система структуры внутренних соединений для интерфейсов с распределением в памяти – это структура внутренних соединений с высокой пропускной способностью для подключения компонентов, использующих интерфейс Avalon® с распределением в памяти (Avalon-MM). Система структуры внутренних соединений, потребляя немного логики, даёт большую гибкость и более высокую производительность, нежели обычная системная шина общего назначения. Это структура перекрёстных соединений, а не тристабильная шина или шина переключений тактовых доменов. В этой главе описываются функции системы структуры внутренних соединений для интерфейсов с распределением в памяти, а также реализация этих функций.

Описание верхнего уровня

Система структуры внутренних соединений – это набор внутренних соединений и логических ресурсов, соединяющих Avalon-MM мастер со слейв компонентами системы. SOPC Builder генерирует систему структуры внутренних соединений в соответствии с потребностями компонентов системы. Система структуры внутренних соединений – это набор деталей системы. Она гарантирует, что сигналы будут корректно разведены между мастером и слейвом, пока порты будут удовлетворять требованиям "Спецификации интерфейса Avalon". Эта глава представляет информацию в следующих секциях:

- "Декодирование адреса" на странице 2-4
- "Мультиплексирование пути данных" на странице 2-5
- "Вставка состояния ожидания" на странице 2-5
- "Конвейерное чтение трансфертов" на странице 2-6
- "Динамический размер шины и собственное выравнивание адресов" на странице 2-7
- "Арбитраж систем мультимастер" на странице 2-9
- "Адаптеры пакетов" на странице 2-14
- "Прерывания" на странице 2-15
- "Распределение сброса" на странице 2-16

За подробной информацией об интерфейсе Avalon-MM обратитесь к "Спецификации интерфейса Avalon".

Система структуры внутренних соединений для интерфейсов с распределением в памяти поддерживает следующие свойства:

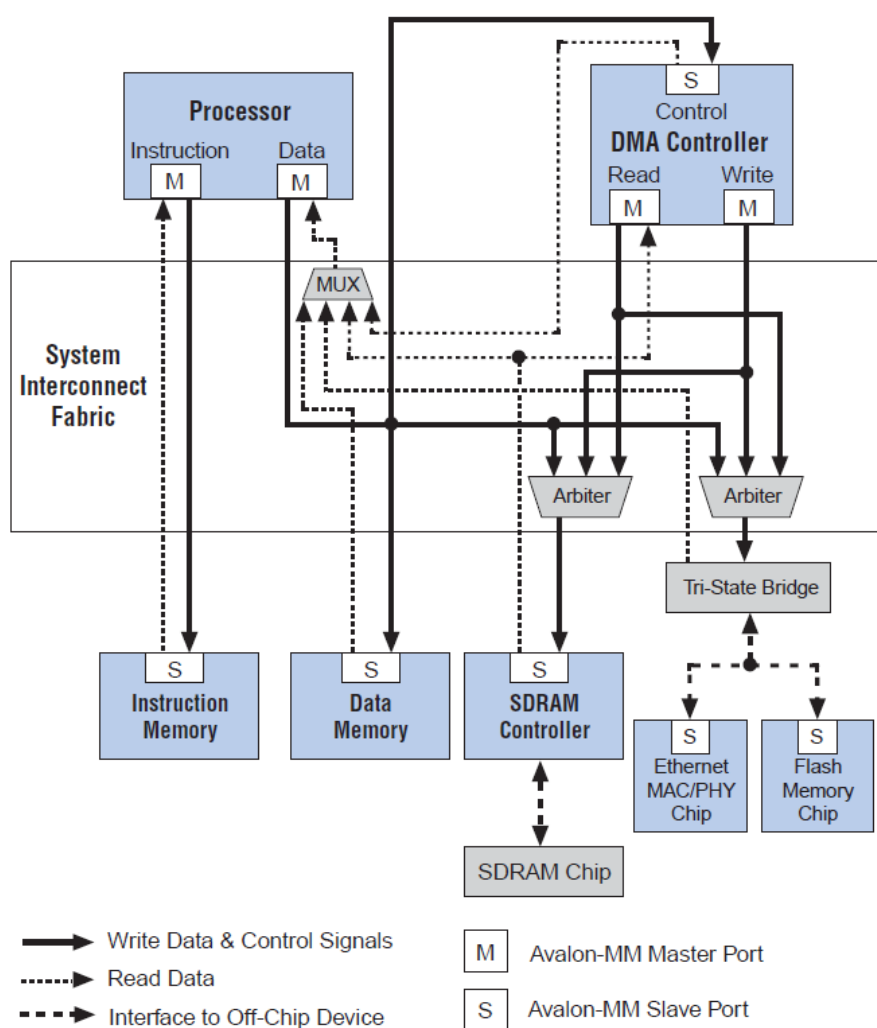
- Любое количество компонентов мастер и слейв. Взаимосвязь мастер-слейв может быть один и один, один и много, много и один или много и много.

- Компоненты на чипе.
- Интерфейс с устройствами вне чипа.
- Различную ширину данных для мастера и слейва.
- Работу компонентов в различных тактовых доменах.
- Использование компонентами различных портов Avalon-MM.

На рис. 2-1 показана простая блок-схема системы структуры внутренних соединений на примере системы с распределением в памяти с несколькими мастерами.

Все рисунки в этой главе упрощены, чтобы показать только главное в обсуждаемой функции. Полная система структуры внутренних соединений будет изменена, так что пути адреса, данных и контроля в дальнейшем будут показаны только одной фигурой.

Figure 2-1. System Interconnect Fabric—Example System



SOPC Builder поддерживает компоненты с различными интерфейсами Avalon-MM, такими как компонент процессора, показанный на рис. 2-1. Поскольку SOPC Builder может создать систему структуры внутренних соединений для подключения компонентов с другими интерфейсами, вы можете создать комплексные интерфейсы, дающие большую функциональность, нежели один интерфейс Avalon-MM. Например,

вы можете создать компонент с два различных Avalon-MM слейва, каждый из которых ассоциирован с интерфейсом прерываний.

Система структуры внутренних соединений может подключаться к любой комбинации компонентов, пока каждый интерфейс может адаптироваться к "Спецификации интерфейса Avalon". Она может, например, подключить систему, состоящую только из двух компонентов с однонаправленным потоком данных между ними. Интерфейсы Avalon-MM подходят к передачам по случайному адресу, например к памяти или встроенной периферии.

Генерирование системы структуры внутренних соединений – основная задача SOPC Builder. В большинстве случаев, вам не нужно изменять сгенерированный HDL; однако, понимание принципов работы HDL может помочь вам разрабатывать системы мультимастер, минимизируя влияние разрешений на быстродействие системы.

Основы реализации

Система структуры внутренних соединений реализует частичную поперечную структуру внутренних соединений, которая предусматривает параллельные пути между мастером и слейвом. Система структуры внутренних соединений состоит из синхронной логики и ресурсов трассировки внутри FPGA.

Для каждого интерфейса компонента, система структуры внутренних соединений управляет трансфертами по Avalon-MM и интерфейсом с сигналами подключенного компонента. Мастер и слейв интерфейсы могут иметь различные сигналы, а система структуры внутренних соединений вырабатывает для них некоторую адаптацию. В пути между мастером и слейвом система структуры внутренних соединений должна установить регистры для временной синхронизации, конечные автоматы для установления последовательности событий, или совсем ничего, в зависимости от требований определённых интерфейсов.

За подробной информацией обратитесь к главе "Оптимизация проекта Avalon-MM" в настольной книге встроенных проектов.

Функции системы структуры внутренних соединений

Система структуры внутренних соединений реализует следующие функции:

- "Декодирование адреса" на странице 2-4
- "Мультиплексирование пути данных" на странице 2-5
- "Вставка состояния ожидания" на странице 2-5
- "Конвейерное чтение трансфертов" на странице 2-6
- "Динамический размер шины и собственное выравнивание адресов" на странице 2-7
- "Арбитраж систем мультимастер" на странице 2-9
- "Адаптеры пакетов" на странице 2-14
- "Прерывания" на странице 2-15
- "Распределение сброса" на странице 2-16

Поведение этих функций в отдельной системе SOPC Builder зависит от разработки компонентов в системе и от настроек, сделанных в SOPC Builder. Оставшиеся секции этой главы описывают реализацию этих функций в SOPC Builder.

Декодирование адреса

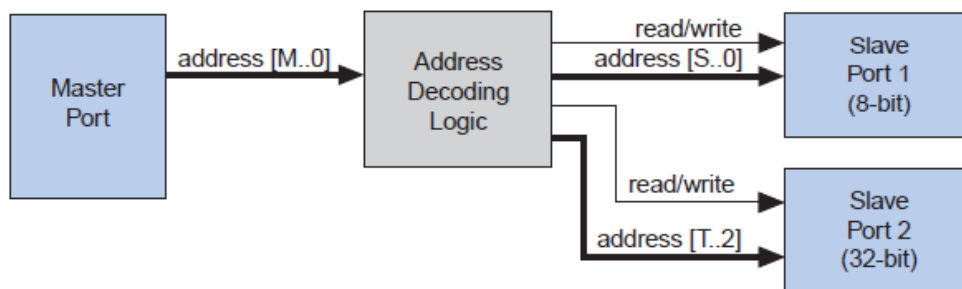
Логика декодирования адреса в системе структуры внутренних соединений отправляет нужный адрес каждому слейву. Логика декодирования адреса упрощает разработку компонента следующими способами:

- Система структуры внутренних соединений выбирает слейв всякий раз, когда к нему адресуется мастер. Слейв компоненты не требуют декодирования адреса, чтобы определить, что они выбраны.
- Слейв адреса должным образом устанавливаются в слейв интерфейсе.
- Изменение адресного пространства системной памяти не влечёт за собой редактирование HDL.

На рис. 2-2 показана блок-схема логики декодирования адреса для одного мастера и двух слейвов. Отдельная логика декодирования адреса генерируется для каждого мастера в системе.

Как показано на рис. 2-2, логика декодирования адреса обрабатывает разницу между шириной мастер адреса ($\langle M \rangle$) и индивидуальной шириной слейв адресов ($\langle S \rangle$ и $\langle T \rangle$). Она отводит только нужные биты мастер адреса для доступа к словам в каждом адресном пространстве слейва.

Figure 2-2. Block Diagram of Address Decoding Logic



В SOPC Builder, логика конфигурируемых пользователем направлений декодирования адреса, контролируется настройкой **Base** в списке активных компонентов на вкладке **System Contents**, как показано на рис. 2-3.

Figure 2-3. Base Settings in SOPC Builder Control Address Decoding

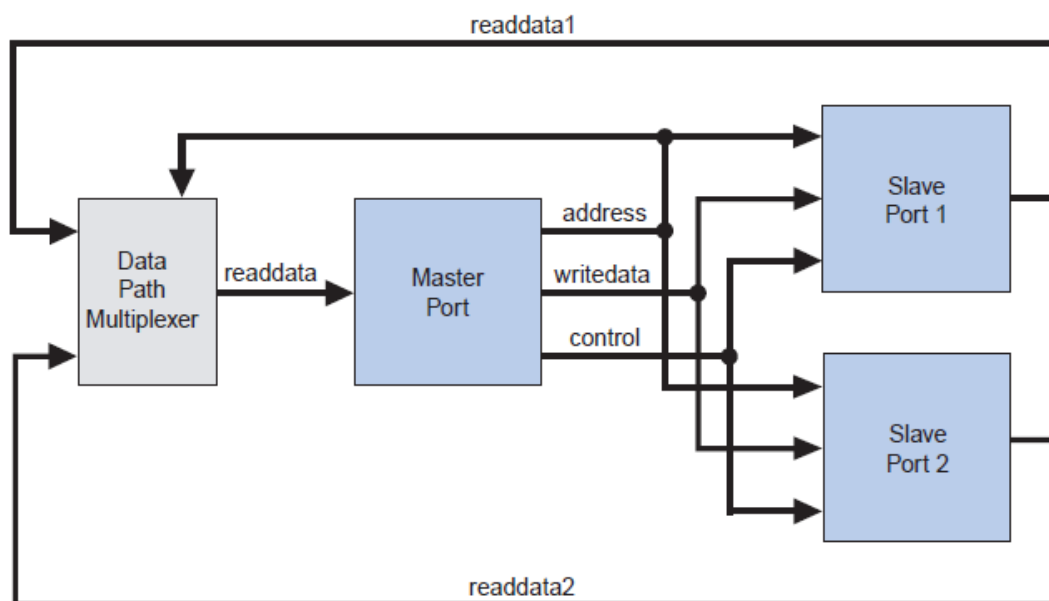
Module Name	Description	Base	End	IRQ
<input type="checkbox"/> cpu	Nios II Proces...			
instruction_master	Master port			
data_master	Master port			
jtag_debug_mod...	Slave port	0x02120000	0x021207FF	
<input checked="" type="checkbox"/> ext_flash	Flash Memory...	0x00000000	0x007FFFFFFF	
<input checked="" type="checkbox"/> ext_ram	IDT71V416 S...	0x02000000	0x020FFFFFFF	
<input checked="" type="checkbox"/> ext_ram_bus	Avalon Tri-St...			
<input checked="" type="checkbox"/> button_pio	PIO (Parallel I/O)	0x02120860	0x0212086F	2
<input checked="" type="checkbox"/> high_res_timer	Interval timer	0x02120820	0x0212083F	3

Мультиплексирование пути данных

Логика мультиплексирования пути данных (Datapath multiplexing logic) в системе структуры внутренних соединений проводит сигнал `writedata` (запись данных) от предоставленного мастера до выбранного слейва, а также сигнал `readdata` (чтение данных) от выбранного слейва обратно к запрашивающему мастеру.

На рис. 2-4 показана блок-схема логики мультиплексирования пути данных для одного мастера и двух слейвов. SOPC Builder генерирует отдельную логику мультиплексирования пути данных для каждого мастера в системе.

Figure 2-4. Block Diagram of Datapath Multiplexing Logic



В SOPC Builder генерация логики мультиплексирования пути данных задаётся на панели коллекций во вкладке **System Contents**.