



## 5. Clock Networks and PLLs in the Cyclone III Device Family

CIII51006-4.0

### 5. Тактовые сети и PLL в семействе Cyclone III

Эта глава описывает иерархию тактовых сетей и системы фазовой автоподстройки частоты (PLL) с расширенными средствами в семействе Cyclone® III (чипы Cyclone III и Cyclone III LS).

Эта глава состоит из следующих параграфов:

- "Тактовые сети" на стр. 5-1,
- "PLL в чипах семейства Cyclone III" на стр. 5-9,
- "Режимы обратной связи тактового сигнала" на стр. 5-11,
- "Аппаратные средства" на стр. 5-15,
- "Программируемая полоса частот" на стр. 5-22,
- "Реализация фазового сдвига" на стр. 5-22,
- "Каскадирование PLL" на стр. 5-24,
- "Реконфигурация PLL" на стр. 5-26,
- "Синхронизация в широком диапазоне" на стр. 5-33,
- "Спецификация PLL" на стр. 5-33.

#### Тактовые сети

Семейство Cyclone III имеет до 16 специальных тактовых выводов (CLK[15..0]), которые управляют глобальными тактовыми сигналами (GCLK). Семейство Cyclone III поддерживает четыре специальных тактовых вывода на каждой стороне чипа, за исключением чипов EP3C5 и EP3C10. Чипы EP3C5 и EP3C10 имеют только по четыре тактовых вывода на левой и правой стороне чипа.

За дополнительной информацией о количестве сетей GCLK в каждом конкретном чипе, обратитесь к главе ["Общее представление о семействе Cyclone III"](#)

#### Сети GCLK

GCLK охватывают весь чип, и подаются на все квадранты чипа. Все ресурсы чипа (I/O элементы, блоки массивов логики (LAB), специальные блоки умножителей и блоки памяти M9K) могут использовать в качестве источников тактового сигнала GCLK. Используйте это ресурсы для контрольных сигналов, таких как разрешение такта и сброс, поступающих с внешнего вывода. Внутренняя логика может также использовать GCLK для: внутренне сгенерированных GCLK, асинхронного сброса, разрешения такта и прочих контрольных сигналов с большим ветвлением.

В табл. 5-1 показано подключение источников тактового сигнала к сетям GCLK.

Table 5–1. Cyclone III Device Family GCLK Network Connections (Part 1 of 2)

GCLK Network Clock Sources	GCLK Networks <sup>(1)</sup>																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
CLK0/DIFFCLK_0p	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK1/DIFFCLK_0n	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK2/DIFFCLK_1p	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK3/DIFFCLK_1n	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CLK4/DIFFCLK_2p	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
CLK5/DIFFCLK_2n	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
CLK6/DIFFCLK_3p	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—	—	—	—	—	—
CLK7/DIFFCLK_3n	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
CLK8/DIFFCLK_5n <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓	—	—	—	—	—
CLK9/DIFFCLK_5p <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—
CLK10/DIFFCLK_4n <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓	—	—	—	—	—
CLK11/DIFFCLK_4p <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
CLK12/DIFFCLK_7n <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	✓
CLK13/DIFFCLK_7p <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—
CLK14/DIFFCLK_6n <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	✓
CLK15/DIFFCLK_6p <sup>(2)</sup>	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—
PLL1_C0 <sup>(3)</sup>	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL1_C1 <sup>(3)</sup>	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL1_C2 <sup>(3)</sup>	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL1_C3 <sup>(3)</sup>	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL1_C4 <sup>(3)</sup>	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PLL2_C0 <sup>(3)</sup>	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL2_C1 <sup>(3)</sup>	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—	—	—	—	—
PLL2_C2 <sup>(3)</sup>	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
PLL2_C3 <sup>(3)</sup>	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—	—
PLL2_C4 <sup>(3)</sup>	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—	—	—	—
PLL3_C0	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—	—
PLL3_C1	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—	—	—	—	—
PLL3_C2	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—	—
PLL3_C3	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—	—
PLL3_C4	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—	—	—	—
PLL4_C0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓	—

Table 5–1. Cyclone III Device Family GCLK Network Connections (Part 2 of 2)

GCLK Network Clock Sources	GCLK Networks <sup>(1)</sup>																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
PLL4_C1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	✓
PLL4_C2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—	—
PLL4_C3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓	—
PLL4_C4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	✓
DPCLK0	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK1	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK7 <sup>(4)</sup> CDPCLK0, or CDPCLK7 <sup>(2), (5)</sup>	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK2 <sup>(4)</sup> CDPCLK1, or CDPCLK2 <sup>(2), (5)</sup>	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK5 <sup>(4)</sup> DPCLK7 <sup>(2)</sup>	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK4 <sup>(4)</sup> DPCLK6 <sup>(2)</sup>	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK6 <sup>(4)</sup> CDPCLK5, or CDPCLK6 <sup>(2), (5)</sup>	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
DPCLK3 <sup>(4)</sup> CDPCLK4, or CDPCLK3 <sup>(2), (5)</sup>	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—	—	—	—	—	—
DPCLK8	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
DPCLK11	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
DPCLK9	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
DPCLK10	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	—	—	—	—	—
DPCLK5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
DPCLK2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
DPCLK4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
DPCLK3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓

Примечание к табл. 5-1:

(1) Чипы EP3C5 и EP3C10 имеют сети GCLK только с 0 по 9.

(2) Эти выводы применимы ко всем чипам семейства Cyclone III за исключением EP3C5 и EP3C10.

(3) Чипы EP3C5 и EP3C10 имеют только 1 и 2 PLL.

(4) Этот вывод применим только к чипам EP3C5 и EP3C10.

(5) Только один из двух CDPCLK выводов может поступать на блок контроля тактов. Вы можете использовать другой вывод в качестве обычного I/O вывода.

Если вы не используете специальные выводы для управления GCLK, то вы можете использовать их в качестве входов общего назначения, поступающих в массивы логики. Однако, если вы используете их в качестве входных выводов общего назначения, то вы лишены для них поддержки I/O регистра и должны использовать вместо I/O регистра регистры из логического элемента (LE).

За дополнительной информацией о том, как подключать тактовые сигналы и выводы PLL, обратитесь к [Cyclone III Device Family Pin Connection Guidelines](#) на сайте Altera.

### Блок контроля тактов

Блок контроля тактов управляет сетями GCLK. Блоки контроля тактов располагаются на каждой стороне чипа, рядом со специальным выводом входного тактового сигнала. Сети GCLK оптимизированы для внесения минимальной расфазировки и задержки.

В табл. 5-2 представлены источники сигналов, которые могут быть направлены в блок контроля тактов, где они будут выбраны для направления в сети GCLK.

**Табл. 5-2. Входы блока контроля тактов**

Вход	Описание
Специальный вход тактового сигнала	Вывод специального входа тактового сигнала может управлять через предоставляемые GCLK тактовыми или глобальными сигналами, такими как синхронный и асинхронный сброс, предустановка или разрешение такта.
I/O вход тактового сигнала двойного назначения (DPCLK и CDPCLK)	Выводы I/O DPCLK и CDPCLK являются двунаправленными двух функциональными выводами, которые используются для сигналов с высоким ветвлением по выходу через GCLK, например, для сигналов протоколов, сигналов TRDY и IRDY для PCI. Блок контроля тактов, в котором задействованы входы с I/O выводов тактового сигнала двойного назначения, не использоваться для управления входами PLL.
Выходы PLL	Выходы счётчика PLL могут поступать в GCLK сети.
Внутренняя логика	Вы можете управлять сетями GCLK посредством разводки массива логики, чтобы предоставить внутренним логическим элементам (LE) пути распространения сигнала с высоким ветвлением по выходу и малой расфазировкой. Блок контроля тактов, входы которого задействованы внутренней логикой, не может использоваться для управления входами PLL.

В семействе Cyclone III специальные выводы входов тактовых сигналов, выходы счётчика PLL, входы I/O тактового сигнала двойного назначения и внутренняя логика - все могут выдавать сигналы для GCLK посредством блока контроля такта.

Обычные I/O выводы не могут управлять портом входного тактового сигнала PLL.

Выход блока контроля такта поступает в соответствующую сеть GCLK. Сеть GCLK может управлять входом PLL, если входы блока контроля такта являются выходами другой PLL или специальными выводами входов тактовых сигналов. Блоки контроля такта являются периферией чипа; в чипах семейства Cyclone III может быть до 20 блоков контроля такта.

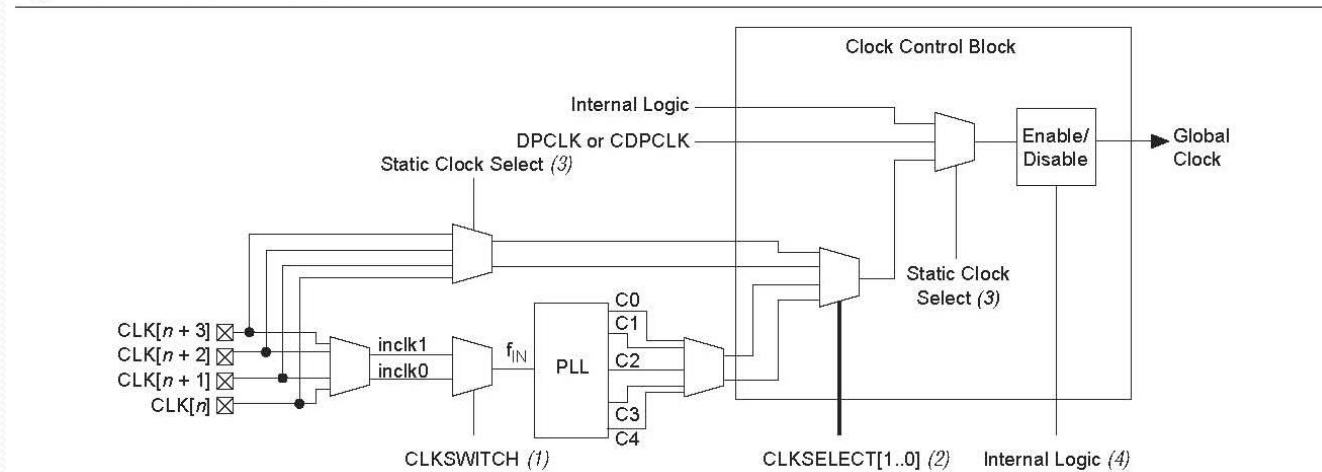
Блок контроля такта имеет две функции:



- Динамический выбор источника тактового сигнала для GCLK (не применимо для DPCLK или CDPCLK и входа внутренней логики).
- Выключение питания сети GCLK (динамическое разрешение или запрет).

На рис. 5–1 показан блок контроля такта.

Figure 5–1. Clock Control Block



**Примечания к рис. 5-1:**

- (1) Сигнал CLKSWITCH может быть задан либо в файле конфигурации, либо динамически изменяться при использовании средства ручного переключения PLL. Выход мультиплексора является входным тактовым сигналом ( $f_{IN}$ ) для PLL.
- (2) Сигналы CLKSELECT[1..0] поступают с внутренней логики и используются для динамического выбора источника тактового сигнала для сети GCLK, когда чип находится в пользовательском режиме.
- (3) Сигналы Static Clock Select (статического выбора тактового сигнала) задаются в файле конфигурации. Поэтому динамический контроль их, когда чип находится в пользовательском режиме, не возможен.
- (4) Вы можете использовать Internal Logic (внутреннюю логику) для разрешения или запрета сети GCLK в пользовательском режиме.

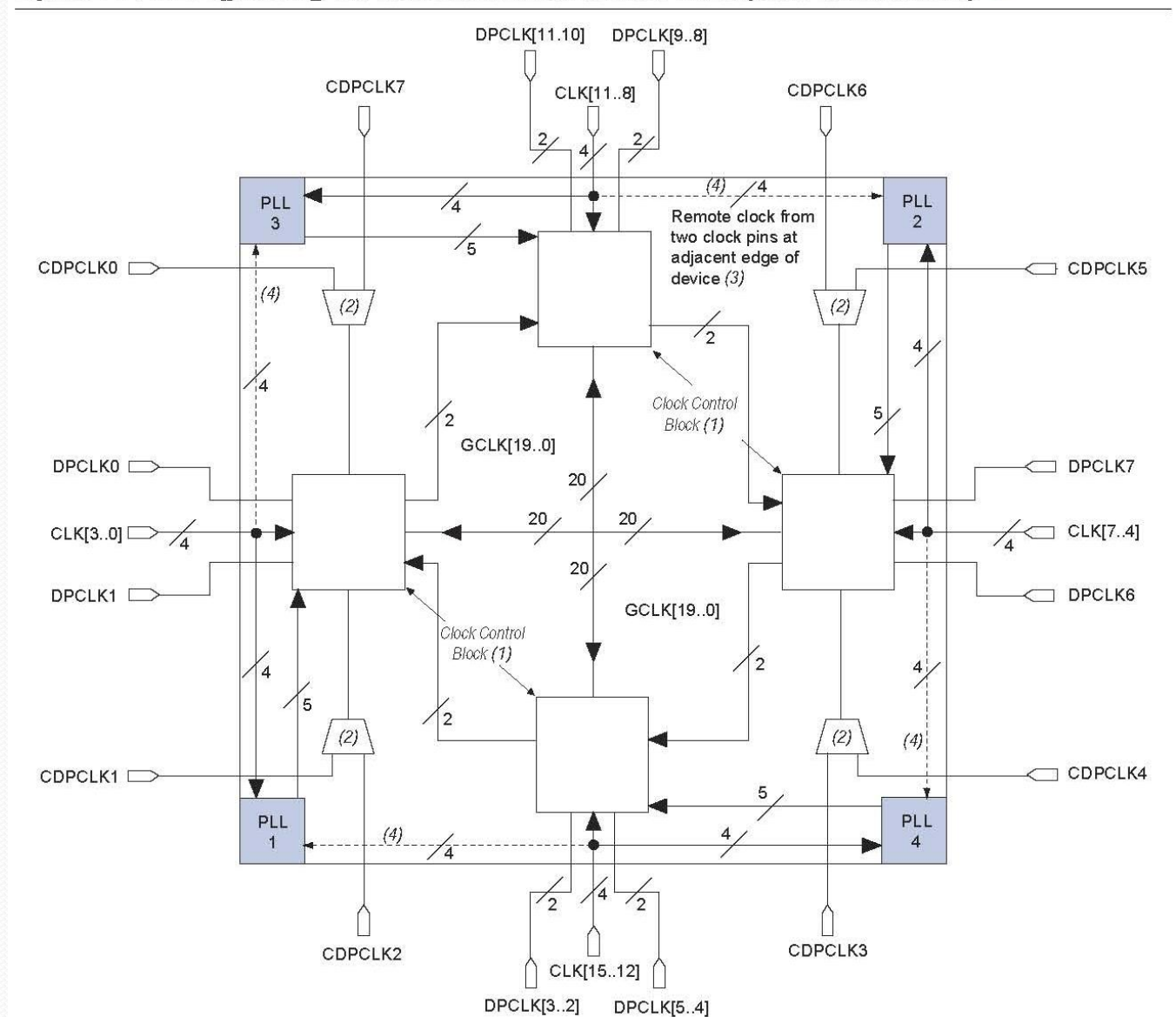
Каждая PLL генерирует пять тактовых сигналов посредством счётчиков  $s[4..0]$ . Два из них могут поступать в сеть GCLK через блок контроля тактов, как это показано на рис. 5-1.

За дополнительной информацией о том, как использовать блок контроля тактов в программе Quartus® II обратитесь к руководству пользователя [Clock Control Block \(ALTCLKCTRL\) Megafunction](#).

**Генерирование источников тактовых сигналов для сетей GCLK**

На рис. 5-2 показано расположение на кристаллах семейства Cyclone III различной плотности PLL, входов тактовых сигналов и блоков контроля такта.

**Figure 5–2. PLL, CLK[], DPCLK[], and Clock Control Block Locations in the Cyclone III Device Family (1)**

**Примечания к рис. 5-2:**

- (1) По пять блоков контроля такта с каждой стороны чипа.
- (2) Только один из угловых выводов CDPCLK в каждом углу может попадать в блок контроля такта одновременно. Вы можете использовать остальные выходы CDPCLK в качестве I/O выводов общего назначения.
- (3) Внешние тактовые сигналы не могут поступать на эту PLL.
- (4) Специальные пути тактовых сигналов могут идти на эту PLL. Однако эти пути не могут быть полностью скомпенсированы.

Входы пяти блоков контроля такта на каждой стороне должны быть выбраны из следующих источников тактового сигнала:

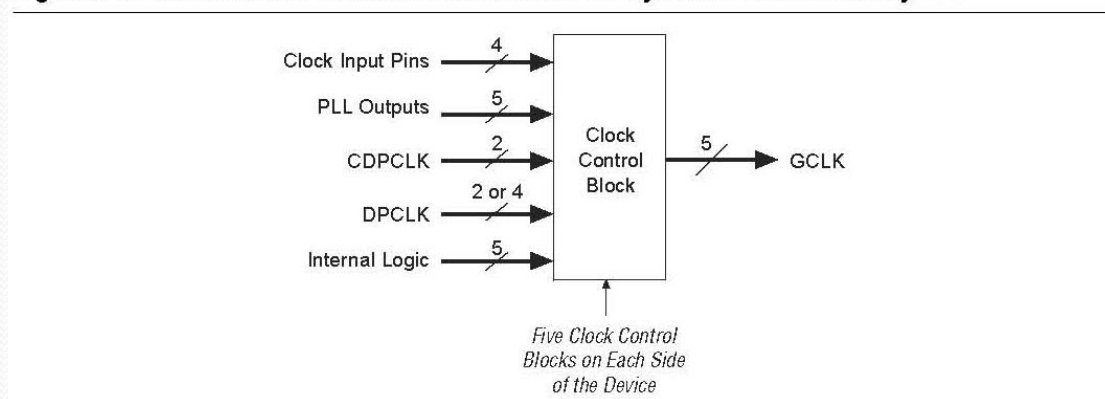
- четырёх выводов входов тактового сигнала (Clock Input Pins),
- пяти выходов счётчиков PLL (PLL Outputs),
- двух выводов DPCLK и двух выводов CDPCLK на левой и правой стороне чипа, и четырёх выводов DPCLK и двух выводов CDPCLK на верхней и нижней стороне чипа,
- пяти сигналов от внутренней логики (Internal Logic).

Из этих источников тактовых сигналов, перечисленных выше, только два вывода входов тактового сигнала, два выхода PLL, один вывод DPCLK или CDPCLK и один источник от внутренней логики могут поступать в любой блок контроля тактов, как это показано на рис. 5-1 на стр. 5-5.

Из этих пяти входов любого блока контроля такта, два вывода входов тактового сигнала и два выхода PLL могут динамически сменяться для управления GCLK. Блок контроля такта поддерживает статический выбор сигнала от внутренней логики.

На рис. 5-3 показана упрощённая версия пяти блоков контроля такта для каждой стороны периферии чипа семейства Cyclone III.

**Figure 5-3. Clock Control Blocks on Each Side of the Cyclone III Device Family** (1)



**Примечание к рис. 5-3:**

- (1) На левой и правой стороне чипа имеется два вывода DPCLK; на верхней и нижней стороне чипа имеется четыре вывода DPCLK.

### Выключение питания сети GCLK

Вы можете запретить сети GCLK в чипе семейства Cyclone III (выключить питание), используя для этого статические или динамические методы. В статическом методе, биты конфигурации, заданные в файле конфигурации, сгенерированным программой Quartus II, автоматически запрещает все неиспользуемые сети GCLK. Средство динамического запрещения или разрешения позволяет внутренней логике контролировать разрешение или запрещение сетей GCLK в чипе семейства Cyclone III.

Когда тактовая сеть запрещена, вся логика, подчиняемая этой сети, переводится в выключенное состояние, что снижает общее потребление чипа. Эта функция не зависит от PLL и может применяться непосредственно к тактовой сети, как это показано на рис. 5-1 на стр. 5-5.

Вы можете задать источники входного тактового сигнала и сигналы `clkena` для мультиплексоров GCLK в программе Quartus II с помощью мегафункции `ALTCLKCTRL`.

За дополнительной информацией обратитесь к руководству пользователя [Clock Control Block \(ALTCLKCTRL\) Megafunction](#).

## Сигналы clkena

Семейство Cyclone III поддерживает сигналы clkena на уровне сети GCLK. Это позволяет вам закрывать вентиль этого тактового сигнала, даже если используется PLL. После возобновления разрешения для выхода тактового сигнала, PLL не требуется период синхронизации или разблокирования, поскольку схема выключает вентиль тактового сигнала на уровне сети тактового сигнала. К тому же, PLL может оставаться заблокированной независимо от сигналов clkena, поскольку они не влияют на счётчики в петле обратной связи.

На рис. 5-4 показано, как реализован сигнал clkena.

**Figure 5-4. clkena Implementation**

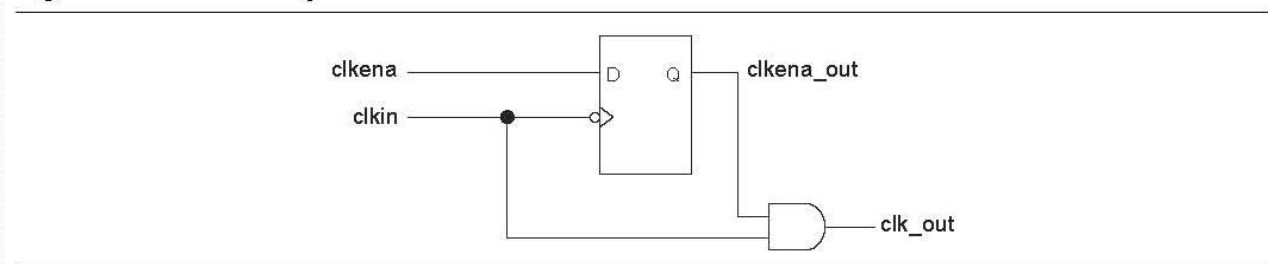
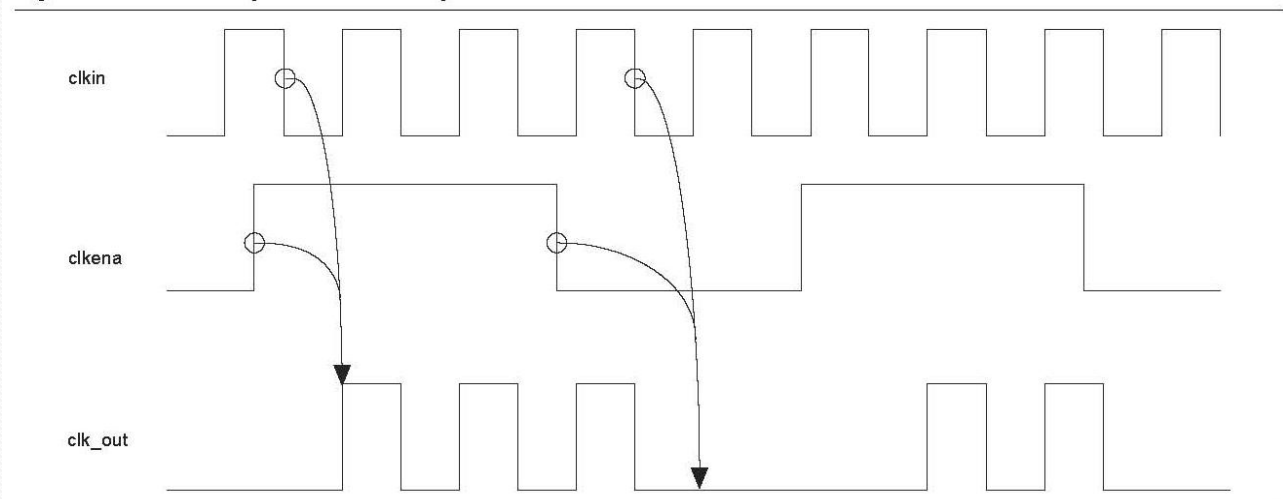


Схема clkena, контролирующая путь от выхода C0 PLL до выходного вывода реализована с двумя регистрами вместо одного, показанного на рис. 5-4.

На рис. 5-5 показан пример временных диаграмм для разрешения выхода тактового сигнала. Сигнал clkena защёлкивается по спадающему фронту тактового сигнала (clkin).

Это средство очень полезно для приложений, требующих низкое энергопотребление или режим сна.

**Figure 5-5. clkena Implementation: Output Enable**



Сигнал clkena также запрещает выходы тактового сигнала, если система не толерантна к отклонению частоты во время синхронизации работы PLL.

Altera рекомендует использовать сигналы clkena при переключении источника тактового сигнала для PLL или для сети GCLK. Порядок действий должен быть следующим:

1. Запретить первый выходной тактовый сигнал, сняв разрешение сигнала clkena.
2. Переключиться на второй тактовый сигнал, используя динамический выбор сигналов в блоке контроля тактов.



---

3. Позволить пропуск нескольких тактовых циклов второго тактового сигнала, прежде чем восстановить сигнал `clkena`. Точное количество тактовых циклов, которые необходимо пропустить перед разрешением второго тактового сигнала, зависит от проекта. Вы можете создать собственную логику для получения безошибочных переключений между различными источниками тактовых сигналов.