

### 3.1.1 Использование шаблонов языка Verilog

Синтаксис языка Verilog иногда бывает сложно вспомнить. Для решения этой проблемы, в текстовом редакторе предусмотрена коллекция шаблонов языка Verilog. Шаблоны содержат примеры описания различных конструкций языка: операторов, модуля, блока *always* и т.д. Для того, чтобы просмотреть шаблоны, выберите **Редактирование > Вставить шаблон > Verilog HDL**.