



8. External Memory Interfaces in the Cyclone III Device Family

CIII51009-2.3

8. Интерфейс с внешней памятью в чипах Cyclone III

Введение

В дополнении к большому запасу внутри чиповой памяти, семейство Cyclone® III (чипы Cyclone III и Cyclone III LS) могут запросто связываться с большим набором внешней памяти, включая DDR2 SDRAM, DDR SDRAM и QDR II SRAM. Чипы внешней памяти — это важные компоненты системы в широком диапазоне обработки изображений, хранении, связи и встроенных приложений общего назначения.

Altera® рекомендует вам конструировать все интерфейсы со внешней памятью DDR2 или DDR SDRAM с использованием мегафункции Altera ALTMEMPHY. Вы можете реализовать функцию контроллера с использованием контроллеров памяти DDR2 или DDR SDRAM, контроллеров сторонних разработчиков или пользовательский контроллер под требования уникальных приложений. Чипы семейства Cyclone III поддерживают электрические характеристики интерфейса QDR II, но Altera не обладает контроллером или мегафункцией на физическом уровне (PHY) для интерфейса QDR II.

В этой главе содержится описание аппаратного интерфейса для внешних интерфейсов с памятью, доступных в семействе чипов Cyclone III.

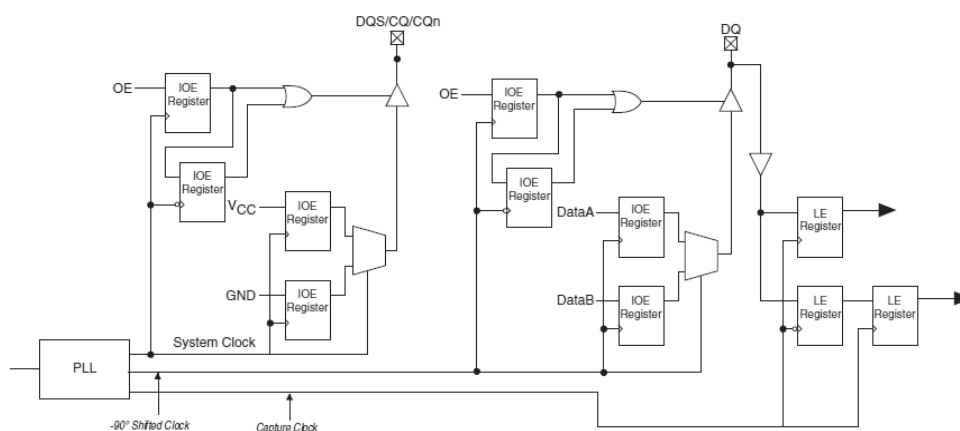
Эта глава состоит из следующих секций:

- "Семейство чипов Cyclone III. Интерфейс с памятью. Поддержка выводов" на странице 8-2
- "Семейство чипов Cyclone III. Интерфейс с памятью. Средства" на странице 8-10

За дополнительной информацией о спецификации системных характеристик внешней памяти, рекомендации по разводке на плате, временному анализу, симуляции и отладке обратитесь к http://www.altera.com/literature/lit-external-memory-interface.jsp?GSA_pos=1&WT.oss_r=1&WT.oss=external%20memory%20interface%20handbook

На рисунке 8-1 показана блок схема типового пути данных интерфейса с внешней памятью в семействе чипов Cyclone III.

Figure 8-1. Cyclone III Device Family External Memory Data Path (Note 1)



Примечание к рисунку 8-1:

(1) Все такты, показанные здесь, глобальные.

Семейство чипов Cyclone III. Интерфейс с памятью. Поддержка выводов

Чипы семейства Cyclone III используют следующие выводы для интерфейса с внешней памятью: данные (DQ), строб данных (DQS), такты, командные и адресные. Некоторые интерфейсы с памятью используют вывод маски данных (DM) или вывод выбора байта записи (BWS#) для разрешения маскирования данных. В этой секции описано, каким образом чипы семейства Cyclone III поддерживают эти различные выводы.

Выводы данных и тактов/стробов данных

В чипах семейства Cyclone III выводы данных для интерфейса с внешней памятью называются D для записываемых данных, Q для читаемых данных, или DQ, применяемый для выводов чтения и записи. Стробы чтения данных или такты чтения называются выводами DQS. В зависимости от стандарта с внешней памятью, DQ и DQS являются двунаправленными сигналами (в DDR2 и DDR SDRAM) или однонаправленными сигналами (в QDR II SRAM). Подключайте двунаправленные DQ сигналы данных к одинаковым выводам DQ в чипах семейства Cyclone III. Для однонаправленных D или Q сигналов, подключайте сигналы чтения данных к одной группе DQ выводов, а сигналы записи данных к другой группе DQ выводов.

В QDR II SRAM, группа Q чтения данных должна размещаться в отдельном VREF банке, в отличие от группы D записи данных, командных или адресных выводов.

В чипах семейства Cyclone III, DQS используется только в режиме записи интерфейсов DDR2 и DDR SDRAM. Чипы семейства Cyclone III игнорируют DQS как строб чтения данных, поскольку PHY внутренне генерирует такт захвата чтения для режима чтения. Однако, вам необходимо подключить вывод DQS к сигналу DQS интерфейсов DDR2 и DDR SDRAM, или к сигналу CQ в интерфейсе QDR II SRAM.

Чипы семейства Cyclone III не поддерживают дифференциальные стробовые выводы, которые являются опциональным средством в чипах DDR2 SDRAM.

Когда вы используете контроллер памяти Altera MegaCore®, PHY подвергается обработке под вас. За дополнительной информацией о путях данных интерфейса памяти обратитесь к разделу "Литература: Интерфейсы с внешней памятью" на сайте Altera.

ALTMEMPHY — это самонастраиваемая мегафункция, специально предназначенная для упрощения реализации путей чтения данных в различных интерфейсах памяти. Средство самонастраиваемости ALTMEMPHY обеспечивает простоту в использовании, оптимизируя фазу тактов и частоты во время процесса, наборы напряжения и температуры (PVT). Вы можете сэкономить глобальные тактовые ресурсы в чипах семейства Cyclone III, используя мегафункцию ALTMEMPHY, потому что не требуется разводить DQS сигналы по глобальным тактовым шинам (т.к. DQS игнорируется при захвате чтения). Проблем с ресинхронизацией не возникает, поскольку не происходит перехода от такта домена памяти (DQS) в системных доменах для захвата данных DQ.

Все I/O банки в чипах семейства Cyclone III могут поддерживать сигналы DQ и DQS для шины DQ в режимах $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$ и $\times 36$. Интерфейсы DDR2 и DDR SDRAM используют режим $\times 8$ группы DQS независимо от ширины интерфейса. Для расширения интерфейса, вы должны использовать несколько групп $\times 8$ DQ для достижения нужной ширины.

В режимах $\times 9$, $\times 18$ и $\times 36$ пара дополнительных DQS выводов (CQ и CQ#) подводится к DQ выводам 9, 18 или 36 в группе соответственно, для поддержки одного, двух или четырёх бит паритета и соответствующих бит данных. Режимы $\times 9$, $\times 18$ и $\times 36$ поддерживают интерфейс памяти QDR II. CQ# - это инвертированный сигнал такта чтения, который подключается к дополнительному выводу строба данных. Вы можете использовать некоторые неиспользуемые DQ выводы в качестве обычных пользовательских I/O выводов, если они не используются для сигналов интерфейса с памятью.

В таблице 8-1 содержится количество групп DQS или DQ, поддерживаемых на каждой стороне чипа Cyclone III.

Table 8-1. Cyclone III Device DQS and DQ Bus Mode Support for Each Side of the Device (Part 1 of 4)

Device	Package	Side	Number $\times 8$ Groups	Number $\times 9$ Groups	Number $\times 16$ Groups	Number $\times 18$ Groups	Number $\times 32$ Groups	Number $\times 36$ Groups
EP3C5	144-pin EQFP (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	164-pin MBGA (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	256-pin FineLine BGA/256-pin Ultra FineLine BGA (1)	Left (4), (5)	1	1	0	0	—	—
		Right (4), (6)	1	1	0	0	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
EP3C10	144-pin EQFP (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	164-pin MBGA (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	256-pin FineLine BGA/256-pin Ultra FineLine BGA (1)	Left (4), (5)	1	1	0	0	—	—
		Right (4), (6)	1	1	0	0	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—

Table 8-1. Cyclone III Device DQS and DQ Bus Mode Support for Each Side of the Device (Part 2 of 4)

Device	Package	Side	Number ×8 Groups	Number ×9 Groups	Number ×16 Groups	Number ×18 Groups	Number ×32 Groups	Number ×36 Groups
EP3C16	144-pin EQFP (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	164-pin MBGA (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	240-pin PQFP (1)	Left (4), (7)	1	1	0	0	—	—
		Right (3), (4)	1	0	0	0	—	—
		Top	1	1	0	0	—	—
		Bottom	1	1	0	0	—	—
	256-pin FineLine BGA/256-pin Ultra FineLine BGA (1)	Left (4), (5)	1	1	0	0	—	—
		Right (4), (6)	1	1	0	0	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	484-pin FineLine BGA/484-pin Ultra FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	4	2	2	2	1	1
		Bottom	4	2	2	2	1	1
EP3C25	144-pin EQFP (1)	Left	0	0	0	0	—	—
		Right	0	0	0	0	—	—
		Top (2)	1	0	0	0	—	—
		Bottom (3), (4)	1	0	0	0	—	—
	240-pin PQFP (1)	Left (4), (7)	1	1	0	0	—	—
		Right (3), (4)	1	0	0	0	—	—
		Top	1	1	0	0	—	—
		Bottom	1	1	0	0	—	—
	256-pin FineLine BGA/256-pin Ultra FineLine BGA (1)	Left (4), (5)	1	1	0	0	—	—
		Right (4), (6)	1	1	0	0	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	324-pin FineLine BGA (1)	Left	2	2	1	1	—	—
		Right (8)	2	2	1	1	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—

Table 8–1. Cyclone III Device DQS and DQ Bus Mode Support for Each Side of the Device (Part 3 of 4)

Device	Package	Side	Number ×8 Groups	Number ×9 Groups	Number ×16 Groups	Number ×18 Groups	Number ×32 Groups	Number ×36 Groups
EP3C40	240-pin PQFP	Left (4), (7)	1	1	0	0	0	0
		Right (3), (4)	1	0	0	0	0	0
		Top	1	1	0	0	0	0
		Bottom	1	1	0	0	0	0
	324-pin FineLine BGA	Left	2	2	1	1	0	0
		Right (8)	2	2	1	1	0	0
		Top	2	2	1	1	0	0
		Bottom	2	2	1	1	0	0
	484-pin FineLine BGA/484-pin Ultra FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	4	2	2	2	1	1
		Bottom	4	2	2	2	1	1
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1
EP3C55	484-pin FineLine BGA/484-pin Ultra FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	4	2	2	2	1	1
		Bottom	4	2	2	2	1	1
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1
EP3C80	484-pin FineLine BGA/484-pin Ultra FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	4	2	2	2	1	1
		Bottom	4	2	2	2	1	1
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1

Table 8-1. Cyclone III Device DQS and DQ Bus Mode Support for Each Side of the Device (Part 4 of 4)

Device	Package	Side	Number ×8 Groups	Number ×9 Groups	Number ×16 Groups	Number ×18 Groups	Number ×32 Groups	Number ×36 Groups
EP3C120	484-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	4	2	2	2	1	1
		Bottom	4	2	2	2	1	1
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1

Примечания к таблице 8-1:

- (1) Этот корпус чипа не поддерживает режимы ×32 или ×36.
- (2) На верхней стороне чипа, выводы RUP, RDN, PLLCLKOUT3n и PLLCLKOUT3p разделяют DQ или DM до величины группы ×8 DQ. Вы не сможете использовать эти группы, если уже используете выводы RUP и RDN для калибровки оконечной схемы в чипе (OCT), или если вы используете PLLCLKOUT3n и PLLCLKOUT3p.
- (3) Нет DM выводов, поддерживаемых для этих групп.
- (4) Выводы RUP и RDN разделяют выводы DQ. Вы не сможете использовать эти группы, если уже используете выводы RUP и RDN для калибровки оконечной схемы в чипе (OCT).
- (5) Группа ×8 DQ должна быть сформирована в банке 2.
- (6) Группа ×8 DQ должна быть сформирована в банке 5.
- (7) Нет DM и BWS# выводов, поддерживаемых для этих групп.
- (8) Выводы RUP разделяют выводы DQ до величины группы ×9 или ×18 DQ. Вы не сможете использовать эти группы, если уже используете выводы RUP и RDN для калибровки оконечной схемы в чипе (OCT).

В таблице 8-2 содержится количество групп DQS или DQ, поддерживаемых на каждой стороне чипа Cyclone III LS.

Table 8-2. Cyclone III LS Device DQS and DQ Bus Mode Support for Each Side of the Device (Note 1) (Part 1 of 2)

Device	Package	Side	Number of ×8 Groups	Number of ×9 Groups	Number of ×16 Groups	Number of ×18 Groups	Number of ×32 Groups	Number of ×36 Groups
EP3CLS70	484-pin FineLine BGA/ 484-pin Ultra FineLine BGA (2)	Left	2	2	1	1	—	—
		Right	2	2	1	1	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1

Table 8-2. Cyclone III LS Device DQS and DQ Bus Mode Support for Each Side of the Device (Note 1) (Part 2 of 2)

Device	Package	Side	Number of ×8 Groups	Number of ×9 Groups	Number of ×16 Groups	Number of ×18 Groups	Number of ×32 Groups	Number of ×36 Groups
EP3CLS100	484-pin FineLine BGA/ 484-pin Ultra FineLine BGA (2)	Left	2	2	1	1	—	—
		Right	2	2	1	1	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1
EP3CLS150	484-pin FineLine BGA (2)	Left	2	2	1	1	—	—
		Right	2	2	1	1	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1
EP3CLS200	484-pin FineLine BGA (2)	Left	2	2	1	1	—	—
		Right	2	2	1	1	—	—
		Top	2	2	1	1	—	—
		Bottom	2	2	1	1	—	—
	780-pin FineLine BGA	Left	4	2	2	2	1	1
		Right	4	2	2	2	1	1
		Top	6	2	2	2	1	1
		Bottom	6	2	2	2	1	1

Примечания к таблице 8-2:

- (1) Это предварительное количество, пока незаконченные характеристики.
 (2) В этом корпусе чипа не поддерживаются режимы x32 или x36.

За дополнительной информацией об описании корпусов, обратитесь к странице "Спецификация корпусов чипа".

Выводы DQS представлены в таблице выводов Cyclone III и Cyclone III LS как DQSXY, где X показывает номер DQS группы, а Y — показывает, что группа расположена на верхней (Т), нижней (В), левой (L) или правой (R) стороне чипа. Также и соответствующие DQ выводы обозначаются как DQXY, где X показывает номер DQ группы, а Y — показывает, что группа расположена на верхней (Т), нижней (В), левой (L) или правой (R) стороне чипа. Например, DQS2Т означает, что DQS вывод относится к группе 2, расположенной на верхней части чипа. Также и для соответствующего DQ вывода будет DQ2Т.

Каждая DQ группа ассоциирована с соответствующими выводами DQS, как определено в таблицах выводов Cyclone III и Cyclone III LS; например:

■ Для DDR2 или DDR SDRAM, ×8 DQ группа выводов DQ3B[7:0] ассоциирована с выводами DQS3B (тот же индекс группы 3B)

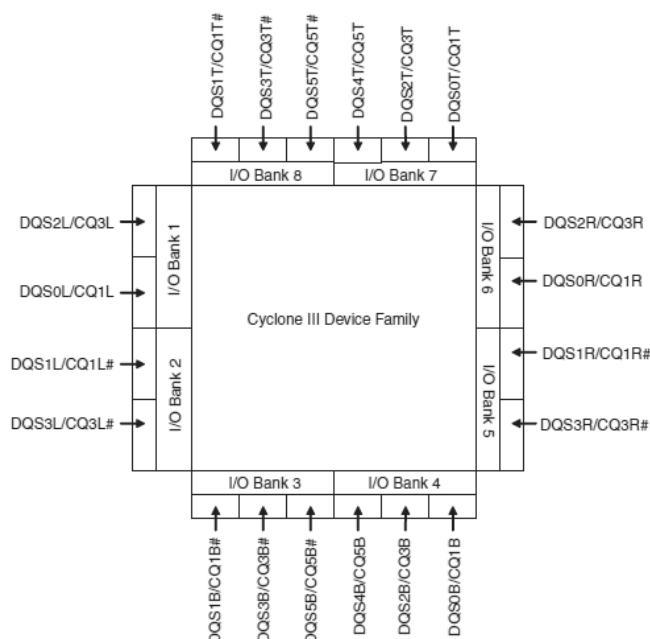
■ Для QDR II SRAM, ×9 Q группа чтения данных выводов DQ3L[8..0] ассоциирована с выводами DQS2L/CQ3L и DQS3L/CQ3L# (тот же индекс группы 3L)

Программа Quartus® II выдаёт предупреждение об ошибке, если DQ группа не размещена должным образом с ассоциированным с ней DQS.

На рисунке 8-2 показано расположение и нумерация выводов DQS, DQ или CQ# в I/O банках чипов Cyclone III.

Для поддержки интерфейса с памятью в чипах Cyclone III, на каждой стороне должен размещаться только один интерфейс.

Figure 8–2. DQS, CQ, or CQ# Pins in Cyclone III Device Family I/O Banks (Note 1)

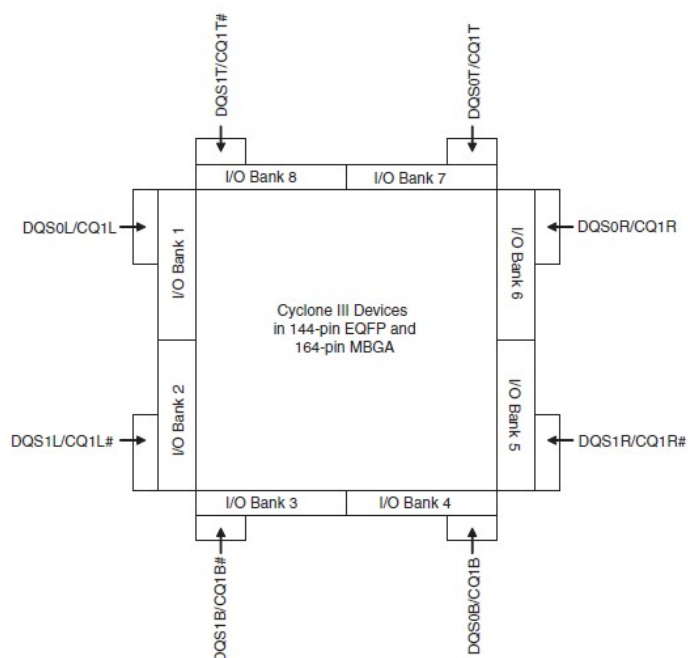


Примечание к рисунку 8-2:

(1) Размещение выводов DQS, CQ или CQ# на этой схеме применяется для всех корпусов в семействе Cyclone III, за исключением 144-выводных EQFP и 164-выводных MBGA.

На рисунке 8-3 показано расположение и нумерация выводов DQS, DQ или CQ# в I/O банках чипов Cyclone III только для 144-выводных EQFP и 164-выводных MBGA.

Figure 8-3. DQS, CQ, or CQ# Pins for Devices in the 144-Pin EQFP and 164-Pin MBGA Packages



В чипах семейства Cyclone III, режим ×9 использует те же выводы DQ и DQS, что и режим ×8, и один дополнительный вывод DQ, который используется как обычный I/O вывод в режиме ×8. Режим ×18 использует те же выводы DQ и DQS, что и режим ×16, и два дополнительных вывода DQ, которые используются как обычные I/O выводы в режиме ×16. Также режим ×36 использует те же выводы DQ и DQS, что и режим ×32, и четыре дополнительных вывода DQ, которые используются как обычные I/O выводы в режиме ×32. Если вы не используете их как выводы DQ и DQS, то выводы интерфейса памяти могут применяться как обычные I/O выводы.