

### **Поддержка mini-LVDS I/O стандарта в чипах Cyclone III**

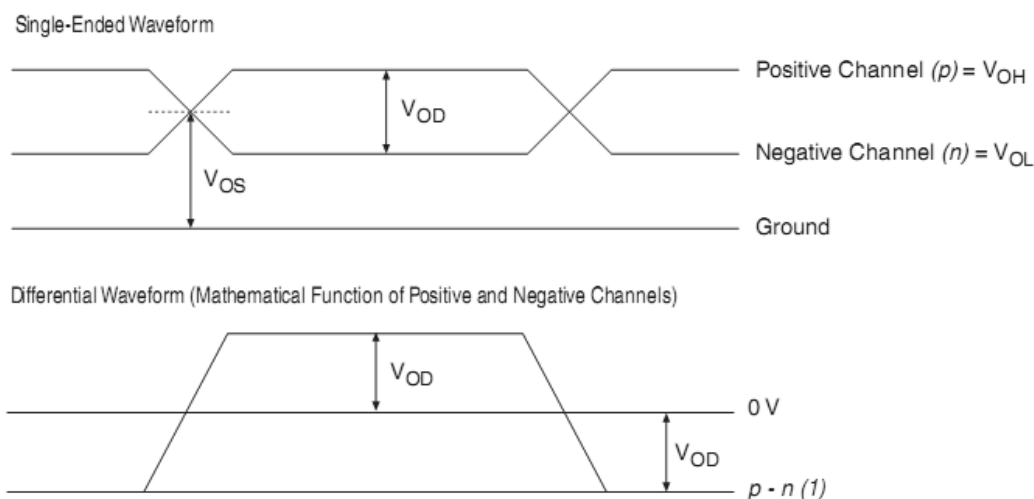
Спецификация mini-LVDS определяет его использование в приложениях от чипа к чипу между временным контролером и драйвером столбцов на панельных экранах. Чипы Cyclone III соответствуют спецификации интерфейса mini-LVDS Texas Instruments и поддерживают стандарт выхода mini-LVDS. Все I/O банки чипов Cyclone III поддерживают стандарт выхода mini-LVDS. Левый и правый I/O банки поддерживают специальные mini-LVDS передатчики, работающие на скоростях до 400 Мбит/с. На верхнем и нижнем I/O банках, mini-LVDS передатчики поддерживаются с

использованием внешних резисторов, они также могут работать на скоростях до 400 Мбит/с. Стандарт mini-LVDS не требует входного опорного напряжения; однако, ему требуется внешний согласующий резистор 100  $\Omega$  между двумя сигналами на входном буфере.

За электрическими характеристиками I/O стандарта mini-LVDS обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

На рисунке 8-12 приведены временные диаграммы выходных сигналов mini-LVDS передатчика.

**Figure 8-12.** Transmitter Output Signal Level Waveforms for Mini-LVDS



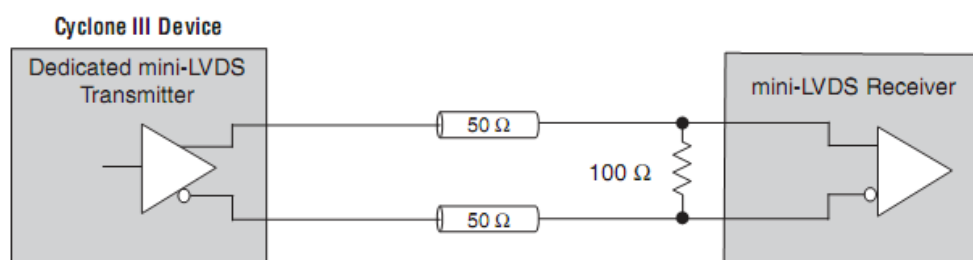
Примечание к рисунку 8-12:

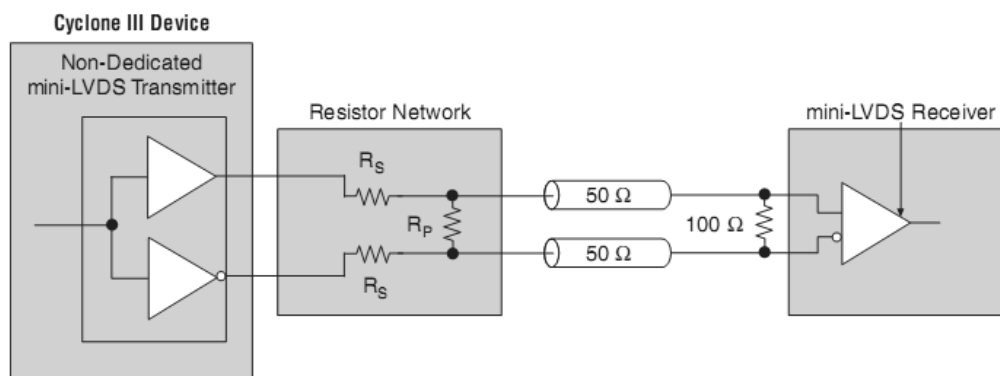
- (1) Временные диаграммы  $p - n$  это функции положительного ( $p$ ) и отрицательного ( $n$ ) каналов.

### Проектирование mini-LVDS

Также как и в RSDS, не требуется внешних цепей резисторов, когда используются специальные выходные буферы mini-LVDS в левом и правом I/O банках. На рисунке 8-13 показан mini-LVDS интерфейс на специальном выходном буфере. Для неспециальных выходных буферов в верхнем и нижнем I/O банках, цепь внешних резисторов необходима, как показано на рисунке 8-14. Номинал резисторов выбирается из формулы 8-1.

**Figure 8-13.** mini-LVDS Interface with Dedicated Output Buffer on the Left and Right I/O Banks



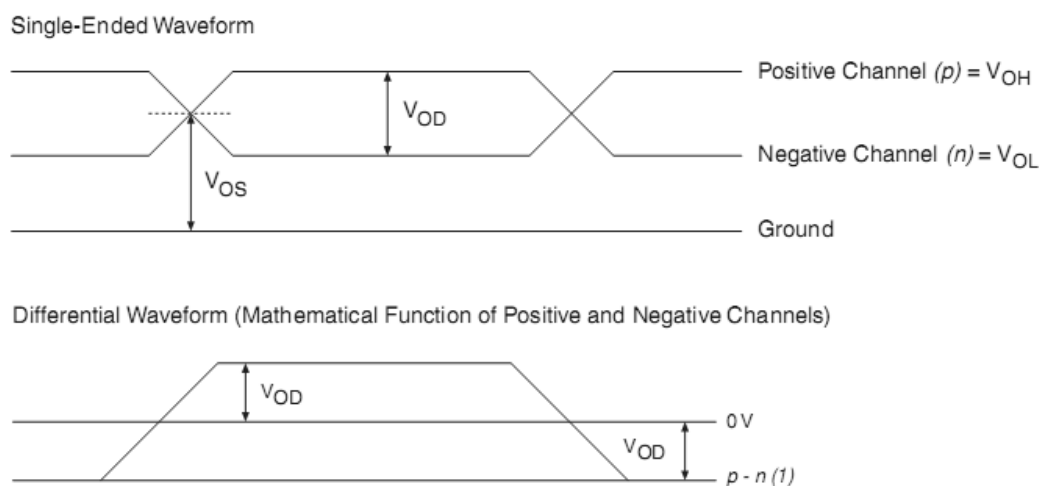
**Figure 8–14.** mini-LVDS Interface with External Resistor Network on the Top and Bottom I/O Banks (Note 1)**Note to Figure 8–14:**(1)  $R_S = 120 \Omega$ ;  $R_P = 170 \Omega$ 

### Поддержка PPDS I/O стандарта в чипах Cyclone III

Спецификация PPDS определяет его использование в приложениях от чипа к чипу между временным контролером и драйвером столбцов на панельных экранах, например LCD мониторы и LCD телевизоры. Чипы Cyclone III соответствуют спецификации интерфейса PPDS корпорации National Semiconductor и поддерживают стандарт выхода PPDS. Все I/O банки чипов Cyclone III поддерживают стандарт выхода PPDS. Левый и правый I/O банки поддерживают специальные PPDS передатчики, которые могут работать на скоростях до 440 Мбит/с. На верхнем и нижнем I/O банках, PPDS передатчики поддерживаются с использованием внешних резисторов, они также могут работать на скоростях до 440 Мбит/с. Стандарт PPDS не требует входного опорного напряжения; однако, ему требуется внешний согласующий резистор 100  $\Omega$  между двумя сигналами на входном буфере.

За электрическими характеристиками I/O стандарта PPDS обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

На рисунке 8-15 приведены временные диаграммы выходных сигналов RSDS передатчика.

**Figure 8–15.** Transmitter Output Signal Level Waveforms for PPDS

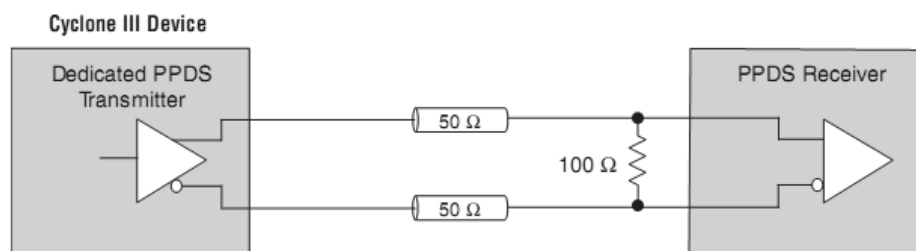
Примечание к рисунку 8-15:

- (1) Временные диаграммы  $p - n$  это функции положительного ( $p$ ) и отрицательного ( $n$ ) каналов.

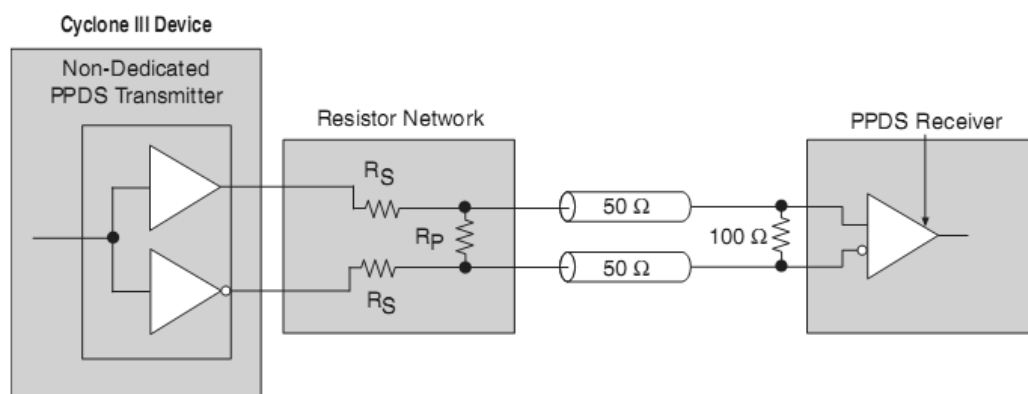
## Проектирование PPDS

Также как в RSDS и в mini-LVDS, не требуется внешних цепей резисторов, когда используются специальные выходные буферы PPDS в левом и правом I/O банках. На рисунке 8-16 показан PPDS интерфейс на специальном выходном буфере. Для неспециальных выходных буферов в верхнем и нижнем I/O банках, цепь внешних резисторов необходима, как показано на рисунке 8-17. Номинал резисторов выбирается из формулы 8-1.

**Figure 8–16.** PPDS Interface with Dedicated Output Buffer on the Left and Right I/O Banks



**Figure 8–17.** PPDS Interface with External Resistor Network on the Top and Bottom I/O Banks



**Note to Figure 8–17:**

(1)  $R_S = 120\ \Omega$ ;  $R_P = 170\ \Omega$

## Поддержка LVPECL I/O стандарта в чипах Cyclone III

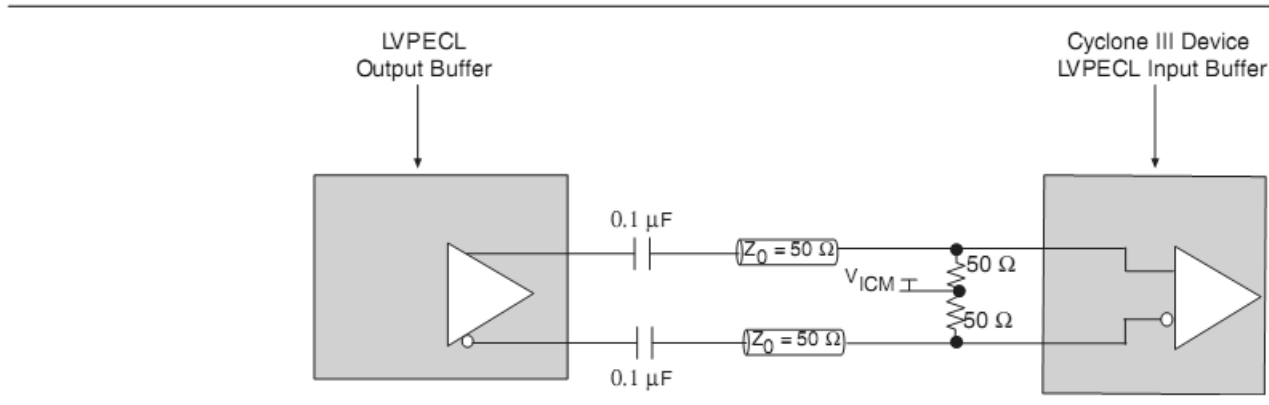
LVPECL I/O стандарт — это стандарт дифференциального интерфейса, которому требуется 2,5 В VCCIO. Этот стандарт используется в приложениях, охватывающих видеографику, телекоммуникации, передачу данных и распределение тактов. Высокоскоростной I/O стандарт LVPECL с низковольтным переходом использует положительную цепь питания. Чипы Cyclone III поддерживают стандарт входа LVPECL только на специальных входных выводах тактового сигнала. Стандарт LVPECL не требует входного опорного напряжения; однако, ему требуется внешний согласующий резистор 100 Ω между двумя сигналами на входном буфере.

За электрическими характеристиками I/O стандарта LVPECL обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

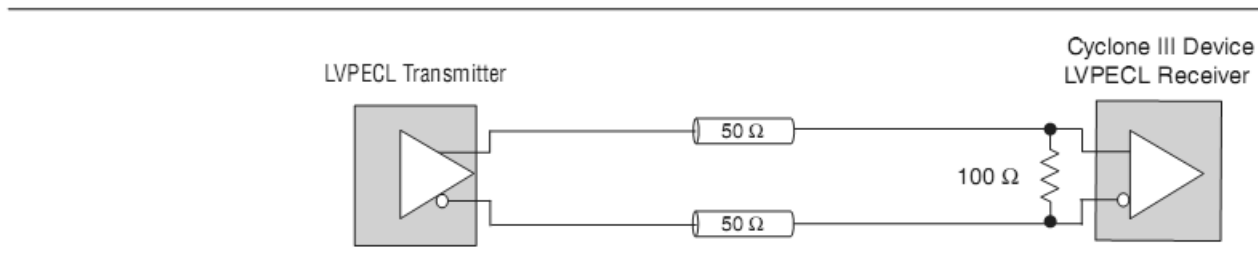
Требуется AC соединение, когда общий уровень напряжения LVPECL на выходном буфере выше, чем общий уровень напряжения на входе LVPECL в Cyclone III.

На рисунке 8-18 показана AC соединённая оконечная схема. Резистор  $50\ \Omega$ , используемый на конце приёмника, находится снаружи чипа. DC соединённый LVPECL поддерживается, если выход LVPECL имеет общий уровень напряжения со входным буфером Cyclone III (смотри рисунок 8-19).

**Figure 8–18.** LVPECL AC-Coupled Termination



**Figure 8–19.** LVPECL DC-Coupled Termination



## Поддержка дифференциального SSTL I/O стандарта в чипах Cyclone III

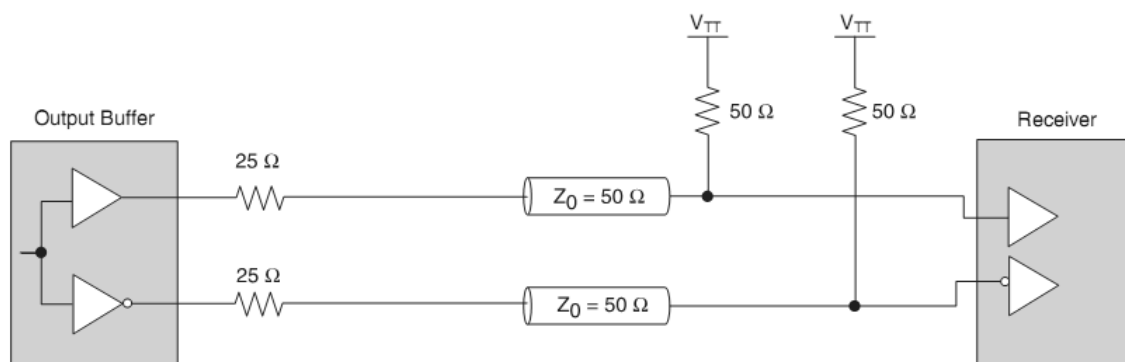
Дифференциальный SSTL I/O стандарт — это стандарт шины памяти, используемый в приложениях, таких как высокоскоростной интерфейс удвоенной скорости передачи данных (DDR) SDRAM. Дифференциальный SSTL I/O стандарт в спецификациях AC и DC, похож на спецификацию несимметричного SSTL. Стандарту требуется два дифференциальных входа с внешним опорным напряжением ( $V_{REF}$ ), а также внешнее напряжение оконечной схемы ( $V_{TT}$ ), равное  $0.5 \times V_{CCIO}$ , к которому подключаются нагрузочные резисторы. Чипы Cyclone III поддерживают дифференциальные SSTL-2 и SSTL-18 I/O стандарты. Источник выходного напряжения 2,5 В требуется для дифференциального SSTL-2, а источник выходного напряжения 1,8 В — для дифференциального SSTL-18. Дифференциальный выход стандарта SSTL поддерживается только на выводах PLL#\_CLKOUT, использующих два несимметричных SSTL выходных буфера (PLL#\_CLKOUTp и PLL#\_CLKOUTn), запрограммированных в обратной полярности.

Дифференциальные входы стандарта SSTL поддерживаются только на выводах глобальных тактов (GCLK), когда они обрабатываются как дифференциальные входы для двух несимметричных SSTL и декодируют только один из них.

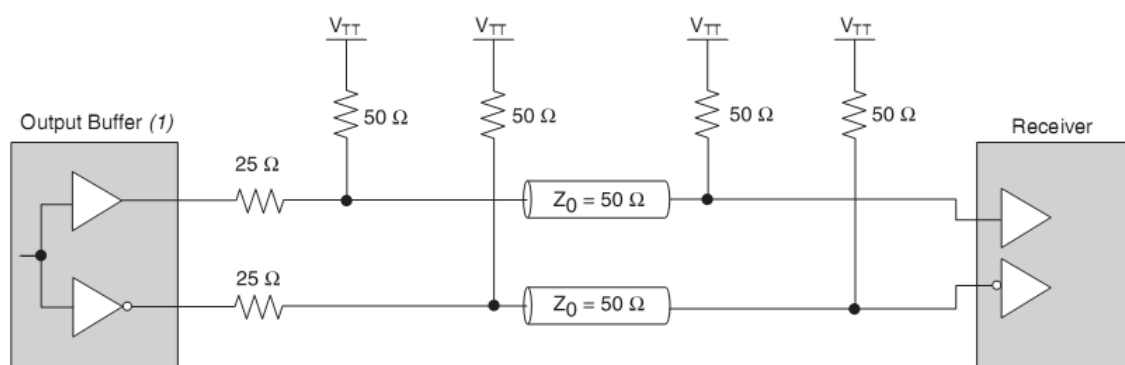
За дополнительной информацией о характеристиках передачи сигналов SSTL обратитесь к главе "Средства ввода/вывода в чипах Cyclone III" в томе 1 и к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

На рисунках 8-20 и 8-21 показаны дифференциальные интерфейсы SSTL класс I и II соответственно.

**Figure 8–20.** Differential SSTL Class I Interface



**Figure 8–21.** Differential SSTL Class II Interface



Примечание к рисунку 8-21:

(1) Вывод такта PLL не поддерживает дифференциальный I/O стандарт SSTL-18 класс II

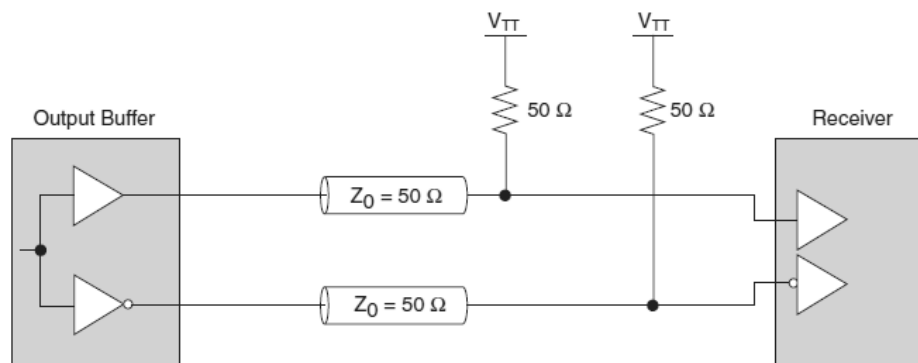
### Поддержка дифференциального HSTL I/O стандарта в чипах Cyclone III

Дифференциальный HSTL I/O стандарт используется для приложений, разработанных для работы в диапазоне переключений напряжения HSTL логики от 0 до 1,2 В; от 0 до 1,5 В; от 0 до 1,8 В. Чипы Cyclone III поддерживают дифференциальные HSTL-18, HSTL-15 и HSTL-12 I/O стандарты. AC и DC спецификация дифференциального HSTL такая же как и спецификация несимметричного HSTL. Дифференциальный вход стандарта HSTL доступен только на выводах GCLK, при этом дифференциальные входы обрабатываются как два несимметричных HSTL, и только один из них декодируется. Дифференциальный выход стандарта HSTL поддерживается только на выводах PLL#\_CLKOUT, использующих два несимметричных HSTL выходных буфера (PLL#\_CLKOUTp и PLL#\_CLKOUTn), запрограммированных в обратной полярности. Стандарту требуется два дифференциальных входа с внешним опорным напряжением (VREF), а также внешнее напряжение оконечной схемы (VTT), равное  $0.5 \times VCCIO$ , к которому подключаются нагрузочные резисторы.

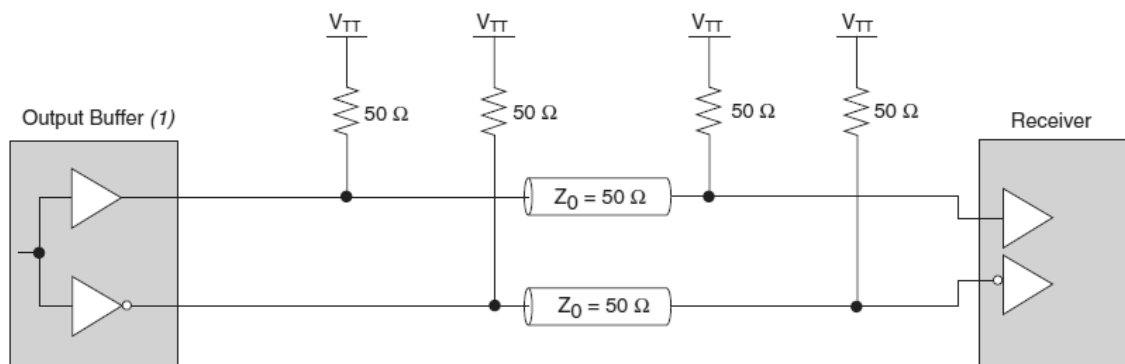
За дополнительной информацией о характеристиках передачи сигналов HSTL обратитесь к главе "Средства ввода/вывода в чипах Cyclone III" в томе 1 и к главе "DC и характеристики переключений" в томе 2 Настольной книги Cyclone III.

На рисунках 8-22 и 8-23 показаны дифференциальные интерфейсы HSTL класс I и II соответственно.

**Figure 8–22.** Differential HSTL Class I Interface



**Figure 8–23.** Differential HSTL Class II Interface



Примечание к рисунку 8-23:

(1) Чипы Cyclone III не поддерживают интерфейс HSTL класс II для выходов. Он поддерживается только для входов на выводах GCLK.