

## Ограничения при проектировании

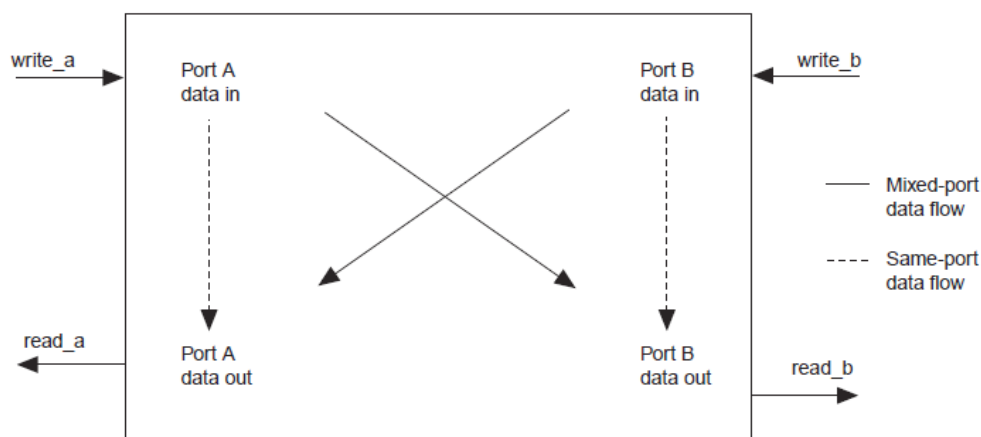
В этой главе описывается проектирование с блоками памяти M9K.

### Операции чтения во время записи

В параграфах "Режим чтения во время записи по одному порту" и "Режим чтения во время записи по смешанным портам" на стр. 3-16 описывается функционирование различных конфигураций RAM при чтении по адресу во время операции записи по тому же адресу.

Существуют два процесса чтения во время записи данных: по одному порту и по смешанным портам. На рис. 3-14 показано, чем различаются эти процессы.

**Figure 3–14. Cyclone III Device Family Read-During-Write Data Flow**



### Режим чтения во время записи по одному порту

Этот режим применяется к однопортовой RAM или к одному порту полной двухпортовой RAM. В режиме чтения во время записи по одному порту на выходе данных возможны два варианта: режим **New Data** (новые данные) (или проточный) и режим **Old Data** (старые данные). В режиме **New Data** новые данные доступны по растущему фронту того же тактового цикла, при котором они были записаны. В режиме **Old Data** на выходах RAM отображаются старые данные по этому адресу, которые были перед процессом записи. Когда используется режим **New Data** вместе с byteena, вы можете контролировать выходы RAM. Когда byteena в 1, данные, записываемые в память, попадают на выход (проточный режим). Когда byteena в 0, немаскируемые данные не записываются в память, а на выходах памяти появляются старые данные. Следовательно, выход может быть комбинацией новых и старых данных в зависимости от byteena.

На рис. 3-15 и 3-16 показан пример временных диаграмм процесса чтения во время записи для обоих режимов **New Data** и **Old Data** соответственно.

Figure 3-15. Same Port Read-During Write: New Data Mode

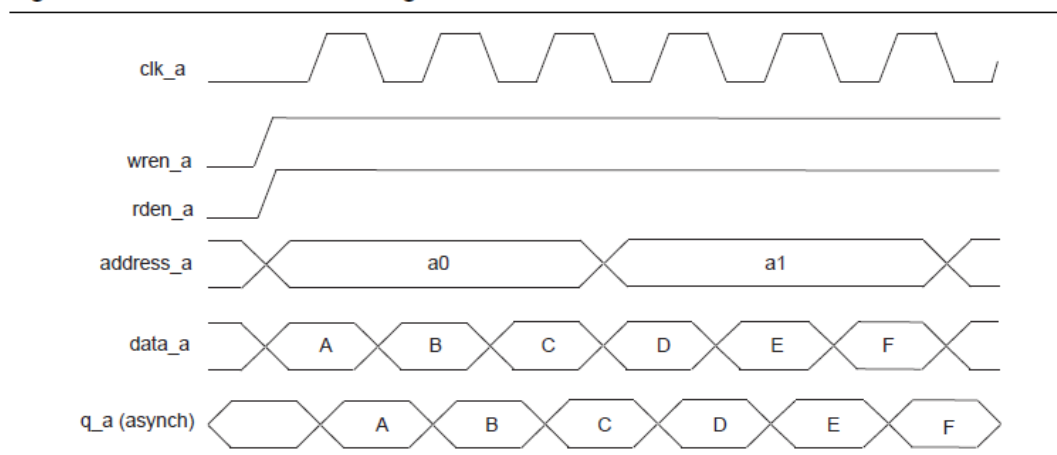
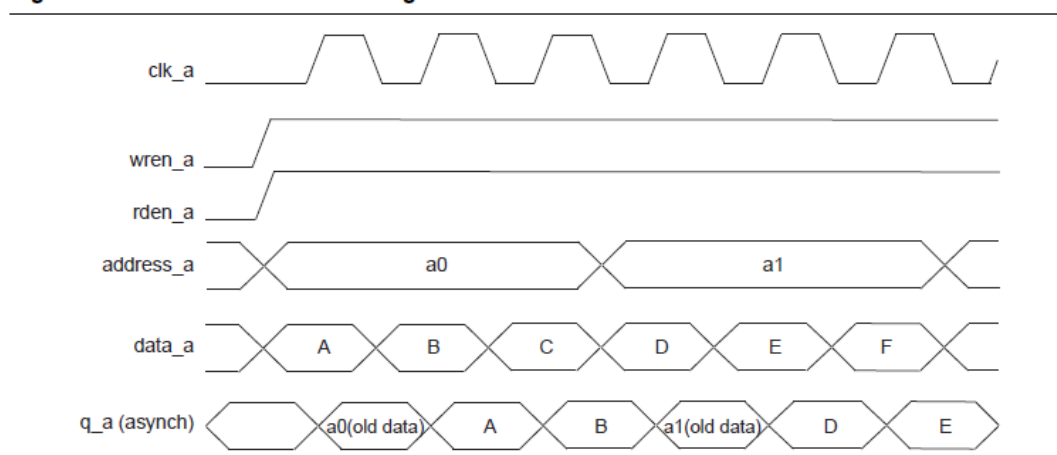


Figure 3-16. Same Port Read-During Write: Old Data Mode



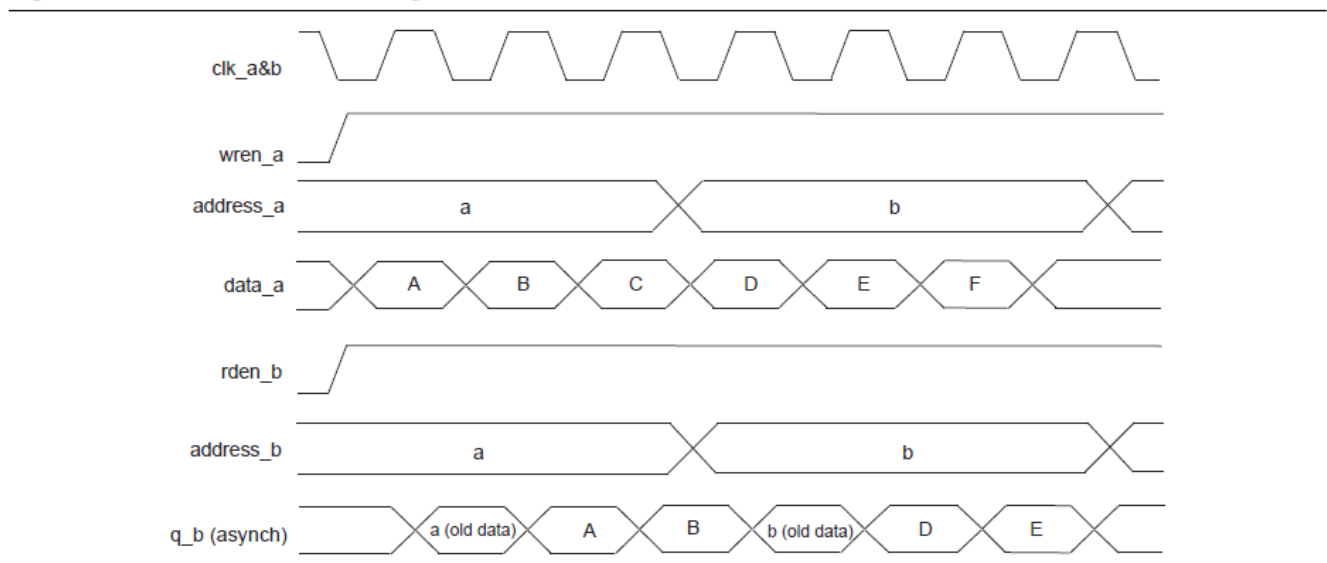
### Режим чтения во время записи по смешанным портам

Этот режим применим к RAM в простом или полном двухпортовом режиме, когда по одному порту происходит чтение, а по другому порту запись по тому же адресу и тому же тактовому циклу.

В этом режиме вы также можете выбрать два варианта: режим **Old Data** (старые данные) или режим **Don't Care** (неопределённые данные). В режиме **Old Data** операция чтения во время записи к различным портам вызывает на выходах RAM отображения старых данных по этому адресу. В режиме **Don't Care** та же операция отображает на выходах RAM неопределённые значения.

За подробной информацией о том, как реализовать подобное поведение, обратитесь к [руководству пользователя внутренней памяти \(RAM и ROM\)](#).

На рис. 3-17 показан пример временной диаграммы процесса чтения во время записи для смешанных портов для режима **Old Data**. В режиме **Don't Care** значение старых данных заменяется на неопределённое.

**Figure 3–17. Mixed Port Read-During-Write: Old Data Mode**

Для операций чтения во время записи с двумя тактовыми сигналами, зависимость между тактами определяет поведение на выходе памяти. Если вы используете один тактовый сигнал для обоих тактовых входов, на выходе появляются старые данные по выбранному адресу. Однако если вы используете разные тактовые сигналы, на выходе неопределённые данные во время операции чтения во время записи по смешанным портам. Это неопределённое значение может быть либо старыми данными, либо новыми данными по этому адресу, в зависимости от того, что появилось раньше на входе - сигнал чтения или записи.

### Разрешение конфликтов

Когда вы используете блоки памяти M9K в режиме полной двухпортовой памяти, возможно появление двух операций записи по одному адресу. Поскольку в блоках памяти M9K не предусмотрена схема разрешения конфликтов, то по этому адресу могут быть записаны неопределённые данные. Поэтому вы должны установить логику разрешения конфликтов снаружи блока памяти M9K.

#### **Состояние при подаче питания и инициализация памяти**

Выходы блока памяти M9K семейства Cyclone III при подаче питания находятся в нуле (сброшены) в зависимости от того используются или нет выходные регистры. Все блоки памяти M9K поддерживают инициализацию с помощью файла **.mif**. Вы можете создавать **.mif** файлы в программе Quartus II и задействовать их в RAM MegaWizard Plug-In Manager во время инсталляции памяти в ваш проект. Даже если память прединициализирована (например, **.mif** файлом), при подаче питания её выходы окажутся сброшенными. Только последующая операция чтения после подачи питания даст на выходе прединициализированные значения.

За подробной информацией о **.mif** файлах обратитесь к [руководству пользователя внутренней памяти \(RAM и ROM\)](#).

#### **Управление питанием**

Сигналы разрешения такта для блоков памяти M9K семейства Cyclone III позволяют вам контролировать тактирование каждого блока памяти M9K, что позволяет уменьшить энергопотребление. Используйте сигнал **rden**, чтобы контролировать операцию чтения, только когда эта операция необходима. Если в вашем проекте не требуется операция чтения во время записи, уменьшите энергопотребление, сняв сигнал **rden** во время операции записи или в любой период, когда к памяти нет обращения. Программа Quartus II автоматически выключает все неиспользуемые блоки памяти M9K, чтобы сэкономить на статическом энергообеспечении.

---

3. Блоки памяти в семействе Cyclone III .....	3-1
Общее представление .....	3-1
Контрольные сигналы .....	3-3
Поддержка бита паритета .....	3-3
Поддержка разрешения байта .....	3-4
Поддержка режима упаковки .....	3-5
Поддержка разрешения такта адреса .....	3-5
Поддержка смешанной ширины .....	3-6
Асинхронный сброс .....	3-7
Режимы работы памяти .....	3-7
Однопортовый режим .....	3-8
Простой двухпортовый режим .....	3-9
Полный двухпортовый режим .....	3-11
Режим сдвигового регистра .....	3-12
Режим ROM .....	3-13
Режим буфера FIFO .....	3-13
Режимы тактирования .....	3-14
Режим независимого тактирования .....	3-14
Режим тактирования I/O .....	3-14
Режим тактирования чтения или записи .....	3-15
Однотактовый режим .....	3-15
Ограничения при проектировании .....	3-15
Операции чтения во время записи .....	3-15
Режим чтения во время записи по одному порту .....	3-16
Режим чтения во время записи по смешанным портам .....	3-16
Разрешение конфликтов .....	3-17
Состояние при подаче питания и инициализация памяти .....	3-18
Управление питанием .....	3-18