



## 3. MultiTrack Interconnect in Cyclone III Devices

CIII51003-1.3

### 3. Многодорожечные внутренние соединения в чипах Cyclone III

#### Введение

В этой главе приводится подробная информация об архитектуре сетей трассировки в чипах Cyclone III. В этом документе разъясняется устройство соединений между функциональными блоками в чипах Cyclone III.

#### Многодорожечные внутренние соединения

В чипах архитектуры Cyclone III соединения между LEs, блоками памяти M9K, встроенными умножителями и I/O чипа осуществляются по структурам многодорожечных внутренних соединений, выполненных по технологии DirectDrive. Многодорожечные внутренние соединения состоят из непрерывных, оптимизированных по характеристикам линий трассировки, используемых для внешних и внутренних соединений на разных скоростях с блоками проекта. Компилятор Quartus II автоматически распределяет критические пути по быстрым внутренним соединениям, для улучшения характеристик проекта.

Технология DirectDrive — это детерменистская технология разводки, она обеспечивает одинаковое использование ресурсов трассировки при реализации некоторых небольших функций внутри чипа. Многодорожечные внутренние соединения и технология DirectDrive существенно упрощают процесс интеграции базовых блоков проекта, исключая циклы повторной оптимизации, возникающие после изменений и дополнений в проекте.

Многодорожечные внутренние соединения состоят из строк (прямые соединения, R4 и R24) и из столбцов (цепь регистра, C4 и C16), охватывающих фиксированные дистанции. Структура линий трассировки с фиксированной длительностью ресурсов во всех чипах позволяет предполагать и повторять рабочие характеристики во время миграции проекта между чипами семейства различной плотности.

#### Внутренние соединения в строках

Внутренние соединения в строках разводят сигналы к и от блоков массива логики (LABs), петли защёлкивания фазы (PLLs), блоков памяти M9K и встроенных умножителей внутри одной строки.

Ресурсы строк состоят из:

- Прямолинейных внутренних соединений между LABs и соседними блоками;
- Внутренних соединений R4, пересекающих блок влево и вправо;
- Внутренних соединений R24 — высокоскоростных соединений, пересекающих весь чип.

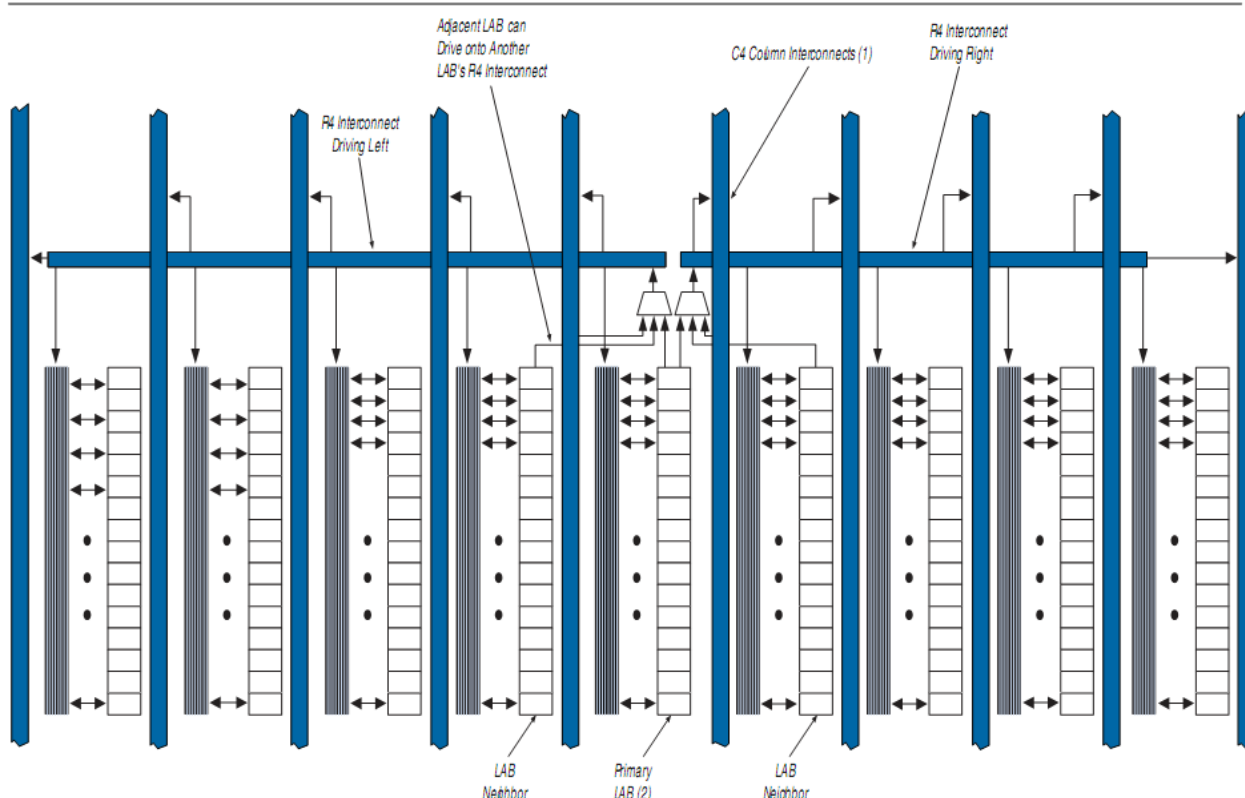
Прямолинейные внутренние соединения позволяют направлять в локальные внутренние соединения блока сигналы от соседних блоков слева и справа. Прямолинейные внутренние соединения создают коммуникации между соседними блоками без использования ресурсов внутренних соединений в строках.

Внутренние соединения R4 связывают четыре LABs, три LABs и один блок памяти M9K, или три LABs и один встроенный умножитель слева или справа от исходного LAB. Эти ресурсы могут быть использованы для скоростных соединений в строках в четырёх блоковом LAB регионе. Каждый LAB

имеет собственный набор внутренних соединений R4, направляемых влево и вправо. Внутренние соединения R4 могут управлять и могут управляться LABs, блоками памяти M9K, встроенными умножителями, PLLs и элементами входа/ выхода в строках (IOEs). Для сопряжения LAB, первый LAB или соседний LAB (рисунок 3-1) могут управлять доступными внутренними соединениями R4. Для внутренних соединений, идущих направо, первый LAB и его соседний правый могут управлять внутренним соединением. Для внутренних соединений, идущих налево, первый LAB и его соседний левый могут управлять внутренним соединением. Внутренние соединения R4 могут поступать на другие внутренние соединения R4 для расширения области LABs, на которые они могут поступать. Внутренние соединения R4 могут поступать на внутренние соединения R24, C4 и C16 для сопряжения двух строк.

На рисунке 3-1 показаны внутренние соединения R4 на выходе LAB.

**Figure 3-1.** R4 Interconnect Connections (Note 1),(2),(3)



Примечания к рисунку 3-1:

- (1) Внутренние соединения C4 могут поступать на внутренние соединения R4.
- (2) Эта структура повторяется для каждого LAB в строке LAB.
- (3) Внутренние соединения в строках R24 охватывают 24 LABs и являются скоростными ресурсами для длинных соединений в строках между несоседними LABs, блоками памяти M9K, выделенными умножителями и строчными IOEs. Внутренние соединения в строках R24 подводятся к другим внутренним соединениям в строках или столбцах на каждом четвёртом LAB. Внутренние соединения в строках R24 подводятся к локальным внутренним соединениям LAB через внутренние соединения R4 и C4, и не могут идти прямо в локальные внутренние соединения LAB. Внутренние соединения R24 могут поступать на внутренние соединения R24, R4, C16 и C4.

## Внутренние соединения в столбцах

Внутренние соединения в столбцах работают похоже на внутренние соединения в строках.

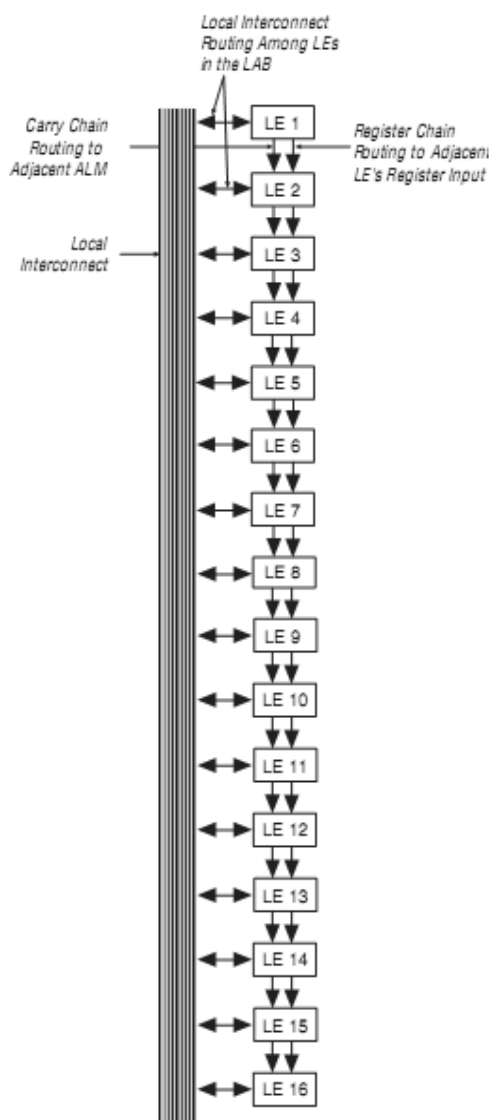
Каждый столбец LABs обслуживается определённым столбцом внутренних соединений, который разводит вертикально сигнал к и от блоков массива логики (LABs), блоков памяти М9К и встроенных умножителей и I/O элементов в строках и столбцах. Ресурсы столбцов состоят из:

- Внутреннего соединения цепи регистра внутри LAB;
- Внутреннего соединения C4 охватывающего дистанцию из четырёх блоков вверх или вниз;
- Внутреннего соединения C16 для высокоскоростной вертикальной трассировки через чип.

Чипы семейства Cyclone III имеют усовершенствованную структуру внутренних соединений внутри LABs для разводки выходов логического элемента (LE) на вход LE, используя быстрое соединение посредством цепи регистра. Соединение цепью регистра позволяет напрямую подключить выход регистра одного LE с входом регистра следующего LE в LAB для реализации быстрых сдвиговых регистров. Компилятор Quartus® II автоматически находит оптимальное сочетание баланса ресурсов и характеристик.

На рисунке 3-2 показаны внутренние соединения цепи регистра.

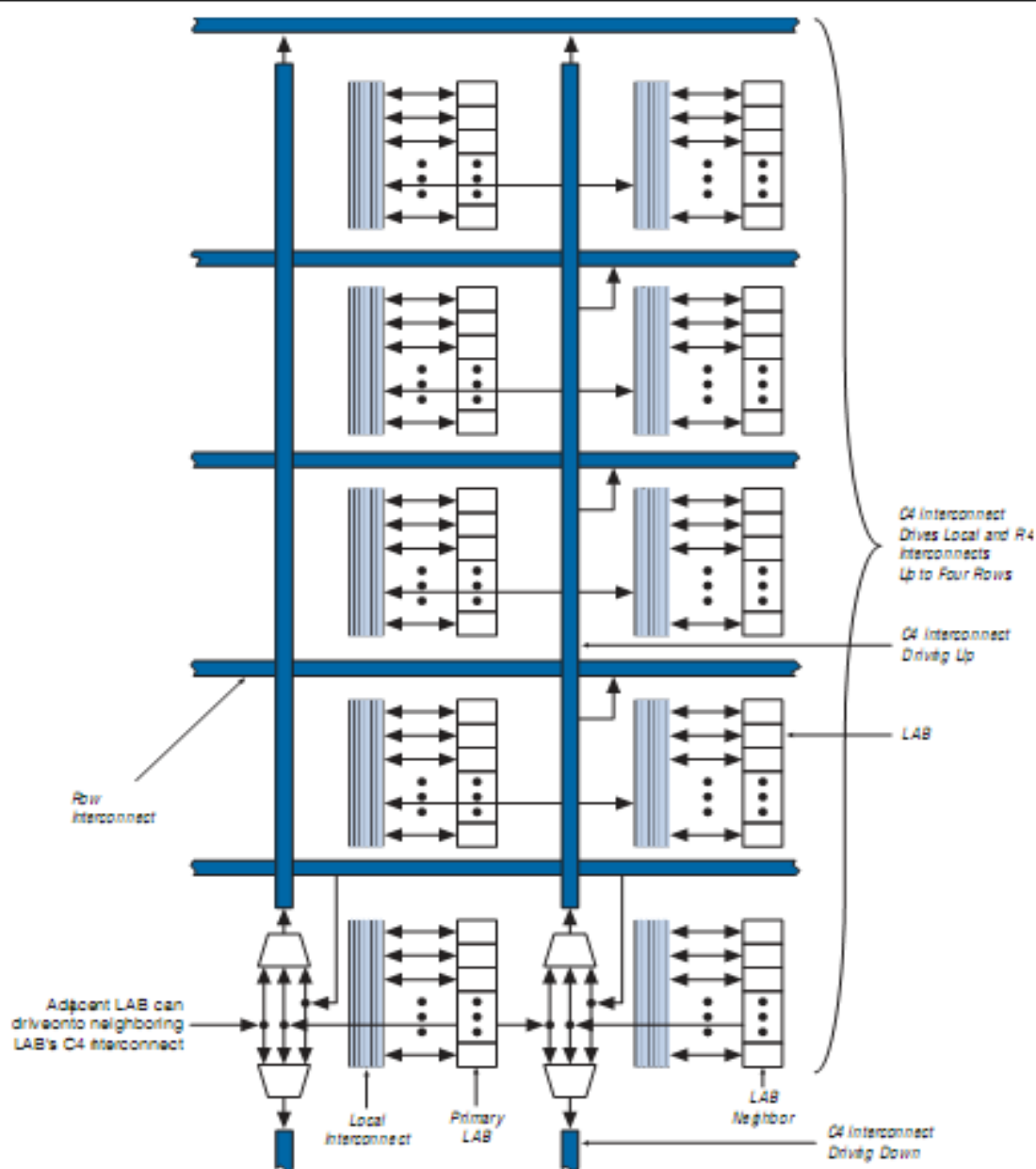
**Figure 3-2.** Register Chain Interconnects



Внутренние соединения C4 охватывают четыре блока сверху или снизу от исходного LAB, блока памяти M9K или встроенного умножителя. Каждый LAB, блок памяти M9K или встроенный умножитель имеет свой собственный набор внутренних соединений C4, которые направляются вверх или вниз. Внутренние соединения C4 могут управлять и могут управляться всеми типами архитектурных блоков, включая блоки памяти M9K, блоки встроенных умножителей и элементов I/O в столбцах и строках. Внутренние соединения C4 могут управляться двумя соседними LABs или блоками (рисунок 3-3). Внутренние соединения C4 могут использовать два блока для увеличения их размера, и использовать блоки слева или справа для соединений между столбцами.

На рисунке 3-3 показаны внутренние соединения C4 на выходе LAB в столбце.

Figure 3-3. C4 Interconnect Connections (Note 1), (2)



Примечания к рисунку 3-3:

- (1) Каждое внутреннее соединение C4 может идти либо вверх, либо вниз четыре строки.
- (2) Внутренние соединения C16 охватывают в длину 16 LABs и являются скоростными ресурсами для длинных соединений в столбцах между LABs, блоками памяти M9K, выделенными умножителями и IOEs. Внутренние соединения в столбцах C16 подводятся к другим внутренним соединениям в строках или столбцах на каждом четвёртом LAB. Внутренние соединения в столбцах C16 подводятся к локальным внутренним соединениям LAB через внутренние соединения R4 и C4, и не могут идти прямо в локальные внутренние соединения LAB. Внутренние соединения C16 могут поступать на внутренние соединения R24, R4, C16 и C4.

## Разводка чипа

Все встроенные блоки сообщаются с массивом логики подобно интерфейсу LAB-to-LAB. Каждый блок (например, память М9К, встроенный умножитель или PLL) подключается ко внутренним соединениям в столбцах и строках и имеет локальные регионы внутренних соединений, управляемые внутренними соединениями в столбцах и строках. Эти блоки имеют также прямолинейные внутренние соединения для быстрой связи с соседними LAB.

В таблице 3-1 показана схема разводки чипа Cyclone III.

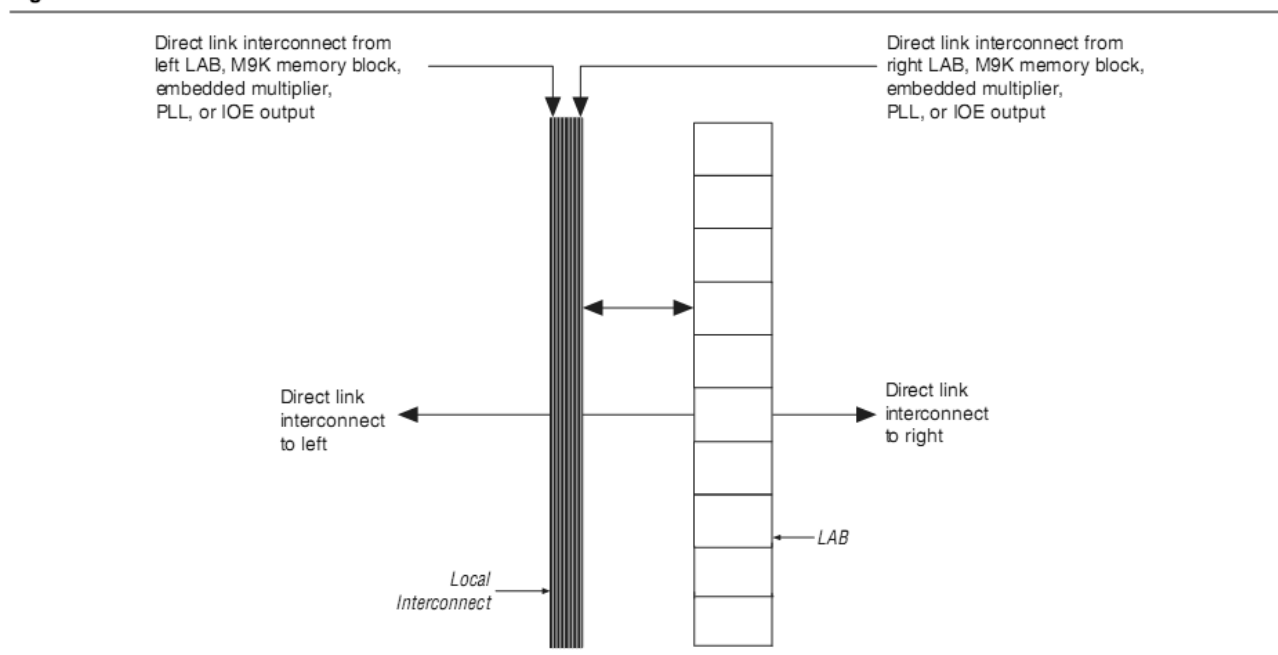
Исходный	Назначение											
	Цепь регистра	Локальное внутреннее соединение	Прямолинейные внутренние соединения	R4	R24	C4	C16	LE	М9К	Встроенные умножители	IOE строчный	IOE столбец
Цепь регистра	-	-	-	-	-	-	-	Да	-	-	-	-
Локальное внутреннее соединение	-	-	-	-	-	-	-	Да	Да	Да	Да	Да
Прямолинейные внутренние соединения	-	Да	-	-	-	-	-	-	-	-	-	-
R4	-	Да	-	Да	Да	Да	Да	-	-	-	-	-
R24	-	-	-	Да	Да	Да	Да	-	-	-	-	-
C4	-	Да	-	Да	Да	Да	Да	-	-	-	-	-
C16	-	-	-	Да	Да	Да	Да	-	-	-	-	-
LE	Да	Да	Да	Да	-	Да	-	-	-	-	-	-
М9К	-	Да	Да	Да	-	Да	-	-	-	-	-	-
Встроенные умножители	-	Да	Да	Да	-	Да	-	-	-	-	-	-
IOE строчный	-	-	-	-	-	Да	Да	-	-	-	-	-
IOE столбец	-	-	Да	Да	Да	Да	-	-	-	-	-	-

## Локальные внутренние соединения LAB

Локальные внутренние соединения LAB управляют LEs внутри того же LAB. Локальные внутренние соединения LAB управляются из внутренних соединений в строках и столбцах и с выходов LE внутри того же LAB. Соседние блоки слева и справа могут также управлять локальными внутренними соединениями LABs через прямолинейные внутренние соединения. Средство прямолинейные внутренние соединения уменьшает использование внутренних соединений в строках и столбцах, предоставляя лучшие рабочие характеристики и гибкость. Каждый LE может управлять 48 LEs посредством быстрых локальных и прямолинейных внутренних соединений.

На рисунке 3-4 показаны прямолинейные внутренние соединения.

**Figure 3-4.** Direct Link Connection



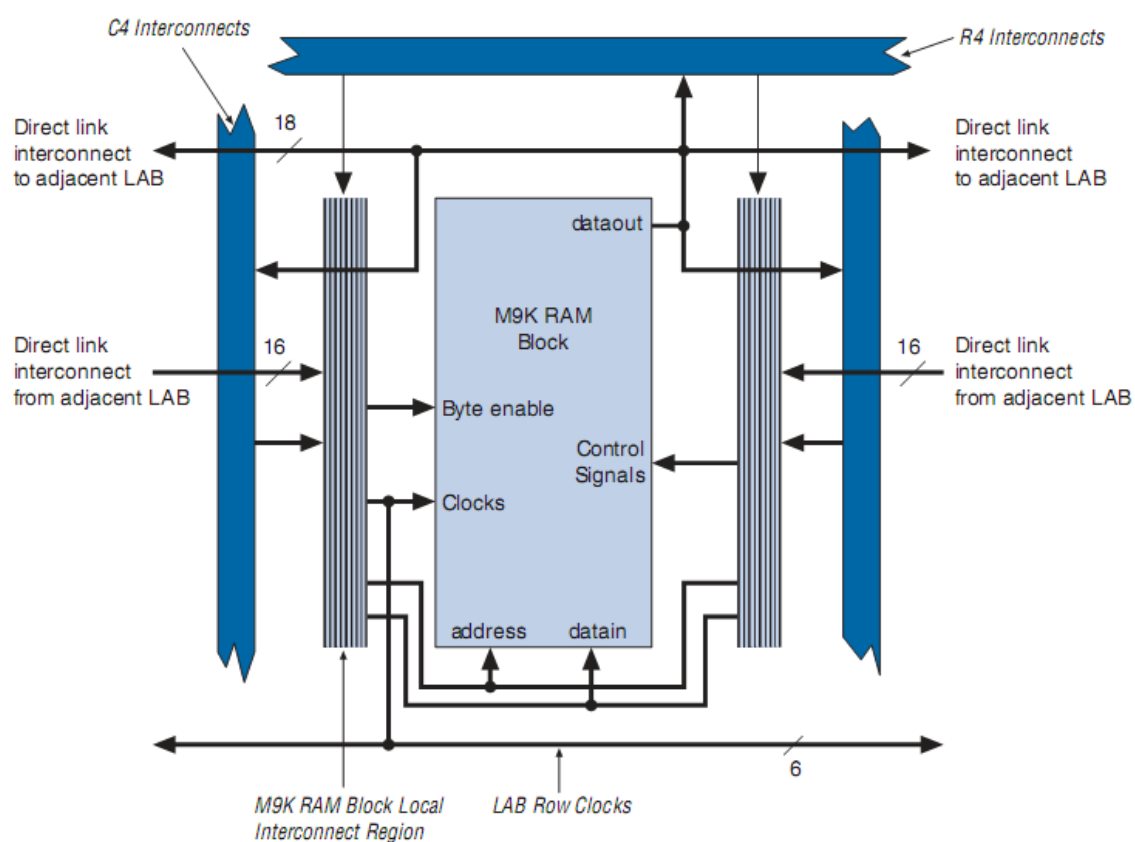
За дополнительной информацией о LABs и LEs в чипах Cyclone III обратитесь к главе "Логические элементы и блоки массивов логики" в томе 1 Настольной книги чипов Cyclone III.

## Интерфейс разводки М9К

Внутренние соединения R4, C4 и прямолинейные от соседних LABs или блоков управляют локальными внутренними соединениями блока М9К. Блок М9К сопрягается с LABs или блоками либо слева, либо справа через ресурсы в строках, или со столбцами LAB с левой или с правой стороны через ресурсы в столбцах. До 16 прямолинейных входных соединений в блок М9К доступны из левого соседнего LAB, а другие 16 доступны из правого соседнего LAB. Выходы блока М9К могут быть подключены к левому и правому LABs через 18 прямолинейных внутренних соединений.

На рисунке 3-5 показано сопряжение блока М9К с массивом логики.

**Figure 3–5.** M9K RAM Block LAB Row Interface



За дополнительной информацией о встроенной памяти в чипах Cyclone III обратитесь к главе "Блоки памяти" в томе 1 Настольной книги чипов Cyclone III.

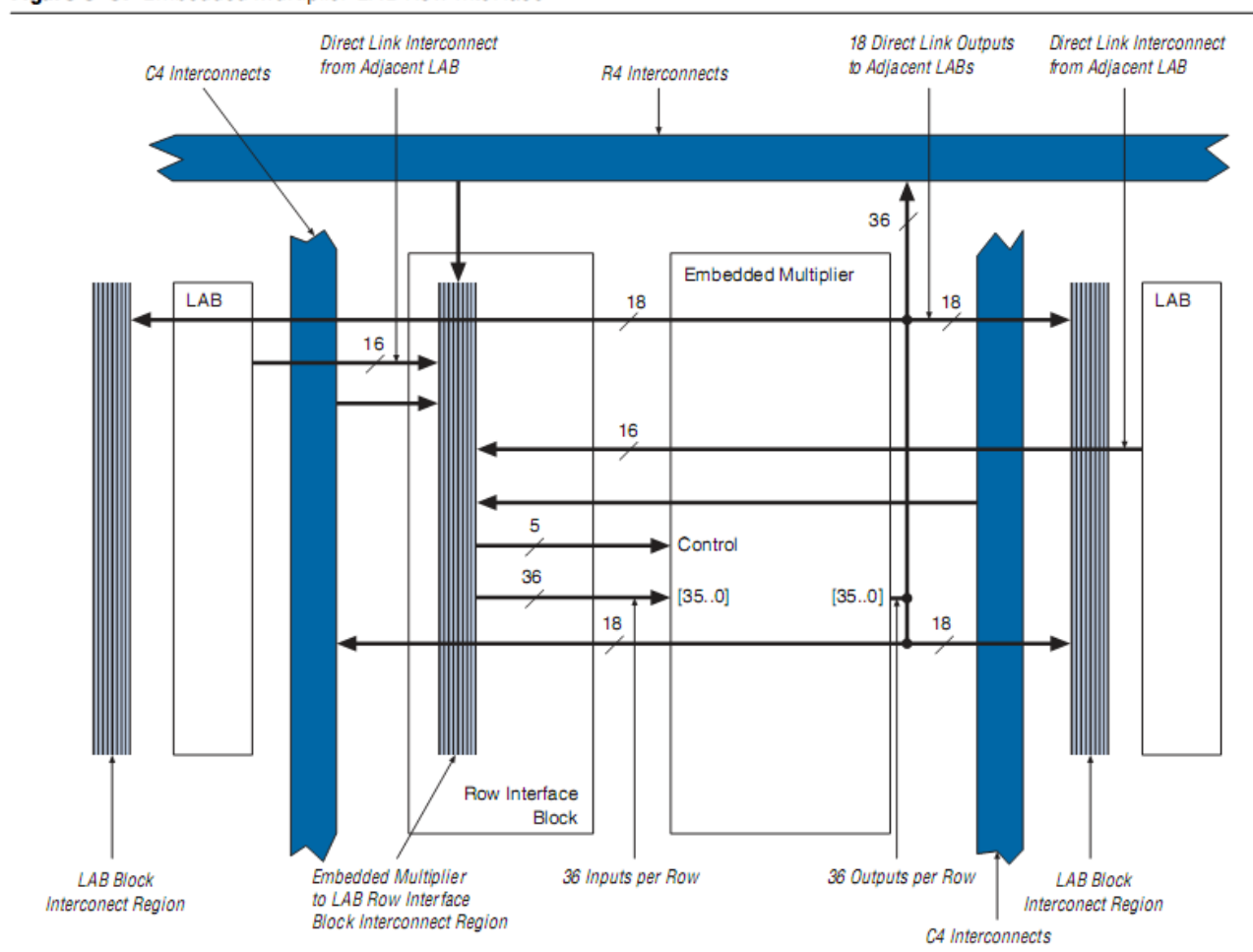
### Интерфейс разводки встроенных умножителей

Внутренние соединения R4, C4 и прямолинейные от соседних LABs или блоков управляют локальными внутренними соединениями встроенных умножителей. Встроенные умножители сопрягаются с LABs либо слева, либо справа через ресурсы в строках, или со столбцами LAB с левой или с правой стороны через ресурсы в столбцах. До 16 прямолинейных входных соединений во встроенные умножители доступны из левого соседнего LAB, а другие 16 доступны из правого соседнего LAB. Выходы встроенных умножителей могут быть подключены к левому и правому LABs через 18 прямолинейных внутренних соединений.

На рисунке 3-6 показано сопряжение встроенных умножителей с массивом логики.



**Figure 3-6. Embedded Multiplier LAB Row Interface**



Существует пять динамических входа контрольных сигналов, поступающих на встроенный умножитель:

- *signa*
- *signb*
- *clk*
- *clkena*
- *aclr*

Сигналы *signa* и *signb* регистрируются, чтобы создать путь входного сигнала данных. Сигналы *clk*, *clkena* и *aclr* поступают на все регистры внутри одного встроенного умножителя.

За дополнительной информацией о встроенных умножителях в чипах Cyclone III обратитесь к главе "Встроенные умножители" в томе 1 Настольной книги чипов Cyclone III.

## Заключение

Чипы Cyclone III предлагают быстрые и оптимальные по характеристикам внутренние соединения между LEs, блоками памяти M9K, встроенными умножителями и I/O выводами чипа. Программа Quartus II предлагает полностью соответствующие внутренние соединения для вашего проекта, для получения оптимальных рабочих характеристик.

## Оглавление

Введение.....	3-1
Многодорожечные внутренние соединения.....	3-1
Внутренние соединения в строках.....	3-1
Внутренние соединения в столбцах.....	3-2
Разводка чипа.....	3-6
Локальные внутренние соединения LAB.....	3-7
Интерфейс разводки M9K.....	3-7
Интерфейс разводки встроенных умножителей.....	3-8
Заключение.....	3-10