

## Cyclone III PLL

### Описание аппаратных средств Cyclone III PLL

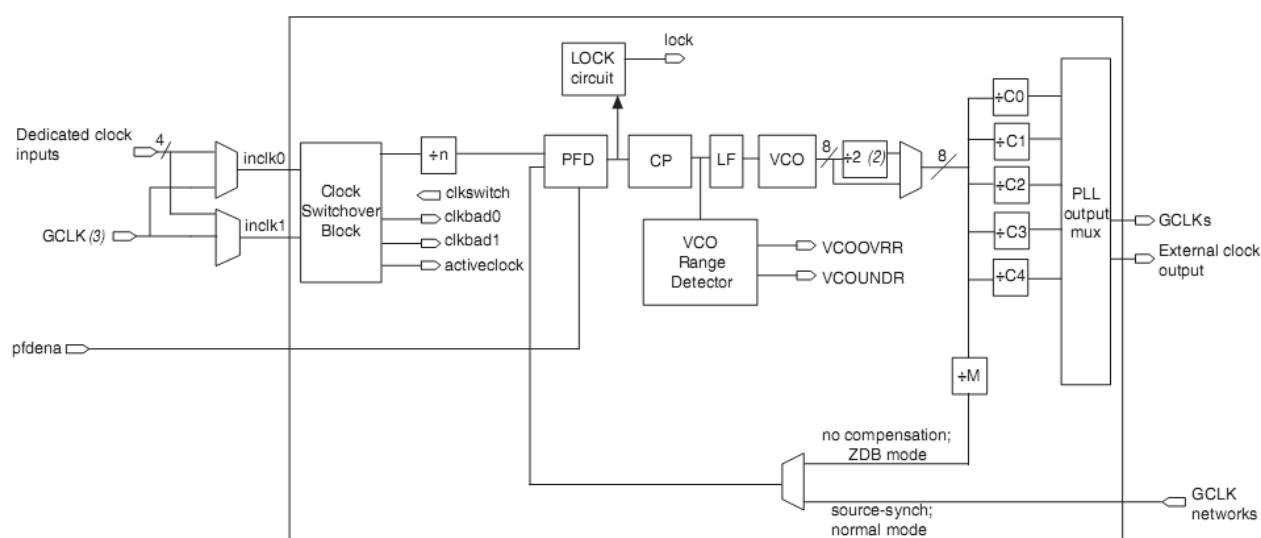
Чипы Cyclone III содержат до четырёх PLLs с расширенными средствами управления тактами. Главная задача PLL — это синхронизация фазы и частоты внутренних или внешних тактов по отношению к входному такту. Весь набор компонентов, из которых состоит PLL, служат для достижения выравнивания фазы.

Cyclone III PLLs выравнивают нарастающий фронт входного такта по отношению к выходному такту, используя детектор фаза-частота (PFD). Спецификация рабочих циклов определяет фронт спада. PFD создаёт сигналы *вверх* или *вниз*, которые использует генератор, управляемый напряжением (VCO) для выработки более высокой или более низкой частоты. Выход PFD идёт на генератор подкачки и контурный фильтр, которые создают контрольное напряжение установки частоты VCO. Если PFD вырабатывает сигнал *вверх*, то частота VCO увеличивается. Сигнал *вниз* уменьшает частоту VCO. PFD вырабатывает эти сигналы *вверх* или *вниз* для изменения генератора подкачки. Если генератор подкачки передаёт сигнал *вверх*, то он направляет ток в контурный фильтр. Соответственно, если передаёт сигнал *вниз*, то ток уходит из контурного фильтра.

Контурный фильтр конвертирует сигналы *вверх* или *вниз* в напряжение смещения VCO. Контурный фильтр также удаляет сбои из генератора подкачки и предотвращает выбросы напряжения, которые фильтруют джиттер в VCO. Напряжение из контурного фильтра определяет скорость работы VCO. Вычитающий счётчик (M) в петле обратной связи увеличивает частоту VCO по сравнению с поступающей частотой тактов. Частота VCO ( $f_{VCO}$ ) эквивалентна (M) периоду поступающего входного такта ( $f_{REF}$ ). Поступающий входной такт ( $f_{REF}$ ) по отношению к PFD эквивалентен входному такту ( $f_{IN}$ ) делённому на предварительном масштабируемом счётчике. Поэтому, выходной такт ( $f_{FB}$ ) применительно к одному входу PFD защёлкивается по  $f_{REF}$ , которая применяется к другому входу PFD.

Выход VCO из PLL может идти на пять пост-масштабируемых счётчиков (C[4..0]). Эти пост-масштабируемые счётчики позволяют PLL создавать набор гармонично связанных частот. На рисунке 6-8 показана упрощённая блок-схема главных компонентов Cyclone III PLL.

**Figure 6-8.** Cyclone III PLL (Note 1)



Примечания к рисунку 6-8:

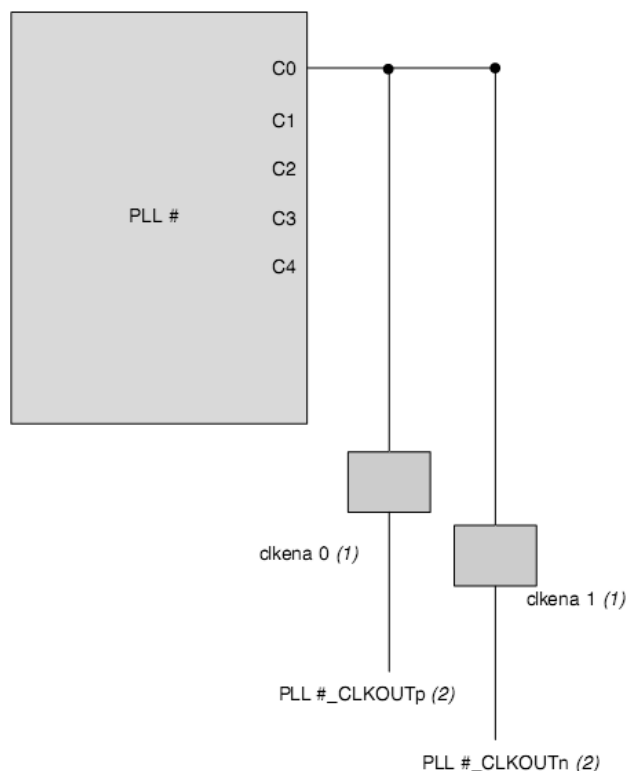
- (1) Каждый исходный такт может приходить с любого из четырёх тактовых выводов, расположенных на той же стороне чипа, что и PLL.
- (2) Это пост-масштабируемый счётчик K VCO.
- (3) На этот входной порт может поступать глобальный такт от специального вывода или от блока контроля тактов, если на блок контроля тактов поступает сигнал с другой PLL или глобальный такт от специального вывода. Внутренне сгенерированный глобальный сигнал не может идти на PLL.

Пост-масштабируемый счётчик K VCO используется для деления поддерживаемого диапазона VCO на два. Частота VCO выдаваемая в программе Quartus II в общей секции PLL отчёта о компиляции основывается на соответствующем значении пост-масштабируемого счётчика. Поэтому, если пост-масштабируемый счётчик имеет значение 2, частота в отчёте может быть меньше, чем определённая в спецификации  $f_{VCO}$  в главе "DC и характеристики переключения" в томе 2 Настольной книги чипов Cyclone III.

## Внешние тактовые выходы

Каждая PLL в чипе Cyclone III поддерживает один несимметричный тактовый выход (или одну дифференциальную пару). Только выход счётчика C0 может идти на специальные выходы внешнего такта, как показано на рисунке 6-9, без прохождения через GCLK. Выходы других счётчиков идут на другие I/O выводы через GCLK.

**Figure 6–9.** External Clock Outputs for PLLs



Примечания к рисунку 6-9:

- (1) Эти сигналы разрешения внешних тактов доступны только при использовании мегафункции ALTCLKCTRL.
- (2) Выводы PLL#\_CLKOUTp и PLL#\_CLKOUTn — это двунаправленные I/O выводы, которые могут быть использованы для выхода одного несимметричного или одного дифференциального такта.

Каждый вывод дифференциальной пары сдвинут по фазе на 180°. Программа Quartus II размещает вентиль "НЕ" в проекте перед элементом I/O для реализации фазы 180° по отношению к другому выводу в паре. Пара тактовых выводов поддерживает тот же самый стандарт I/O, что и стандарт выходных выводов (в верхнем и нижнем банках), например LVDS, LVPECL, дифференциальный HSTL и дифференциальный SSTL.

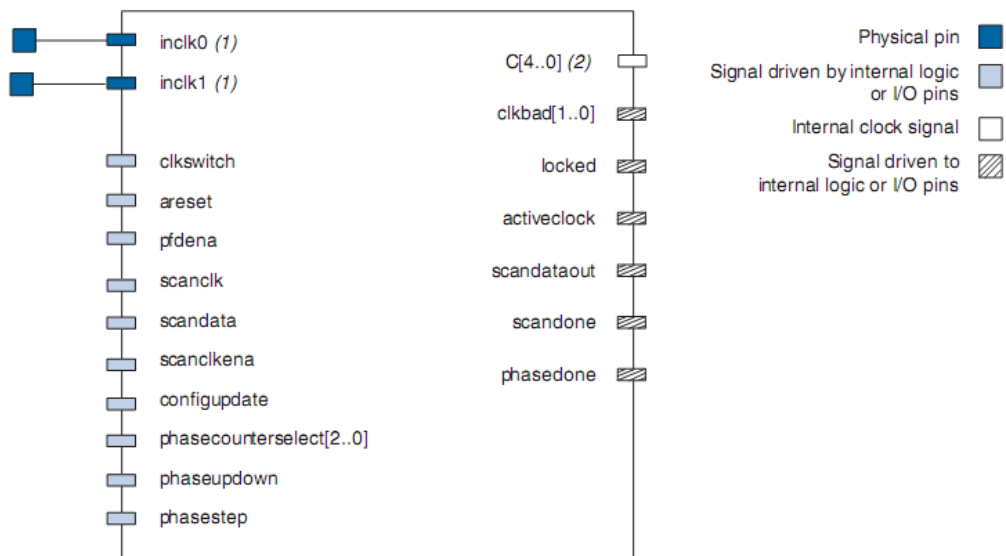
Чтобы определить, какой стандарт I/O поддерживается входным и выходным выводами PLL, обратитесь к главе "Средства I/O чипа Cyclone III" в томе 1 Настольной книги чипов Cyclone III.

Cyclone III PLLs могут также выводить сигнал на обычный I/O вывод посредством GCLK. Вы можете также использовать выходные тактовые выходы в качестве главных I/O выводов, если вам не нужно внешнее тактирование PLL.

## Описание программных средств Cyclone III PLL

Мегафункция ALTPLL в программе Quartus II разрешает Cyclone III PLLs. На рисунке 6-10 показаны порты Cyclone III PLL так, как они названы в мегафункции ALTPLL в программе Quartus II.

**Figure 6–10.** Cyclone III PLL Ports



Примечания к рисунку 6-10:

- (1) На этот входной порт `inclk0` или `inclk1` может поступать один из четырёх тактовых выводов, расположенных на той же стороне чипа, что и PLL. На этот входной порт может поступать сигнал с выхода другой PLL, глобальный такт от специального вывода или от блока контроля тактов, если на блок контроля тактов поступает сигнал с другой PLL или глобальный такт от специального вывода. Внутренне сгенерированный глобальный сигнал не может идти на PLL.
- (2) Вы можете выводить в GCLK (`C[4..0]`) или на специальные выходы внешнего такта (только `C0`).

За дополнительной информацией о реконфигурации портов PLL в реальном времени и динамическом сдвиге фазы, обратитесь к главе "Реконфигурация PLL" на странице 6-30. В таблицах 6-6 и 6-7 описаны основные порты PLL.

Таблица 6-6 Входные сигналы PLL (часть 1 из 2)

Порт	Описание	Источник	Назначение
<code>Inclk0</code>	Тактовый вход PLL	Специальный тактовый вход или GCLK (1)	Схема переключения такта
<code>inclk1</code>	Тактовый вход PLL	Специальный тактовый вход или GCLK (1)	Схема переключения такта
<code>clkswitch</code>	Сигнал переключения используется для инициализации внешнего тактового устройства переключения. Активный 1.	Логический массив	Схема переключения PLL
<code>areset</code>	Сигнал используется для сброса PLL, пересинхронизируются все выходы счётчиков. Активный 1.	Логический массив	Главный контролирующий сигнал

Таблица 6-6 Входные сигналы PLL (часть 2 из 2)

Порт	Описание	Источник	Назначение
pfdena	Разрешает выходы с детектора фазы и частоты. Активный 1.	Логический массив	PFD

Примечание к таблице 6-6:

- (1) На блок контроля тактов тактовой сети должны поступать сигналы, идущие от другой PLL или от вывода входа внешнего такта.

Таблица 6-7. Выходные сигналы PLL

Порт	Описание	Источник	Назначение
c[4..0]	Выходы счётчиков PLL ведут в GCLK или на выход чипа	счётчик PLL	Внутренние или внешние такты (только C0)
clkbad[1..0]	Сигналы-индикаторы, когда входной такт долго не переключается. clkbad1 показывает статус inclk1, clkbad0 показывает статус inclk0. 0=хорошо, 1=плохо.	Схема переключения PLL	Логический массив
locked	Защёлка выхода со схемы детектирования защелки. Активный 1.	Детектор защелки PLL	Логический массив
activeclock	Сигнал-индикатор, какой такт (0=inclk0 или 1=inclk1) поступает в PLL. Если сигнал 0, то поступает inclk0. Если сигнал 1, то поступает inclk1.	Мультиплексор тактов PLL	Логический массив