

## Поддержка оконечной схемы в чипе (ОСТ)

Средство ОСТ чипов Cyclone III предназначено для согласования входного сопротивления I/O и оконечной схемы. ОСТ помогает предотвратить отражения и получить чистый сигнал, за счёт минимизации необходимости во внешних резисторах для корпусов многочисленных массивов сетки шариков (BGA). Чипы Cyclone III имеют I/O драйверы в чипе для согласования входного сопротивления и последовательной оконечной схемы в чипе для несимметричных выходов и двунаправленных выводов.

Когда вы используете последовательную оконечную схему в чипе, программирование силы тока не возможно.

Существует два пути реализации ОСТ схемы в чипах Cyclone III:

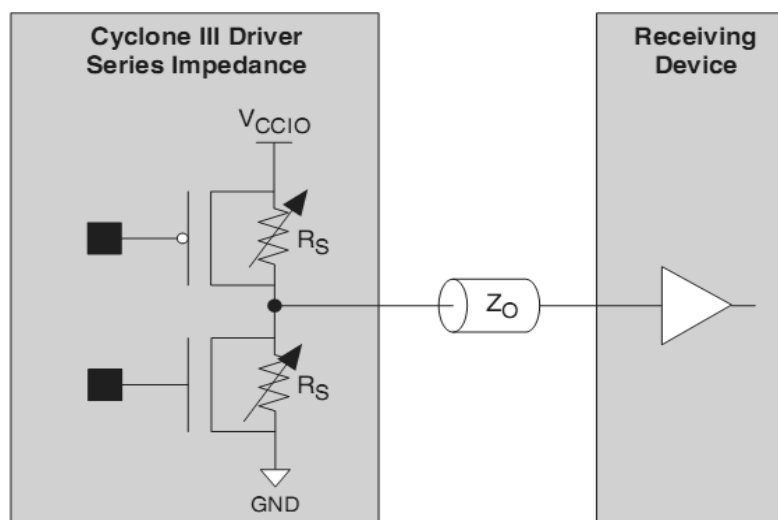
- ОСТ с калибровкой и
- ОСТ без калибровки.

### Оконечная схема в чипе с калибровкой

Чипы Cyclone III поддерживают оконечную последовательную схему с калибровкой во всех банках. Оконечная последовательная схема с калибровкой сравнивает общее сопротивление I/O буфера с внешними резисторами  $25\ \Omega \pm 1\%$  или  $50\ \Omega \pm 1\%$ , подключенными к выводам RUP и RDN, и динамически вычисляет импеданс I/O буфера (как показано на рисунке 7-7).

$R_s$ , показанный на рисунке 7-7, - это внутренний импеданс транзисторов, образующих I/O буфер.

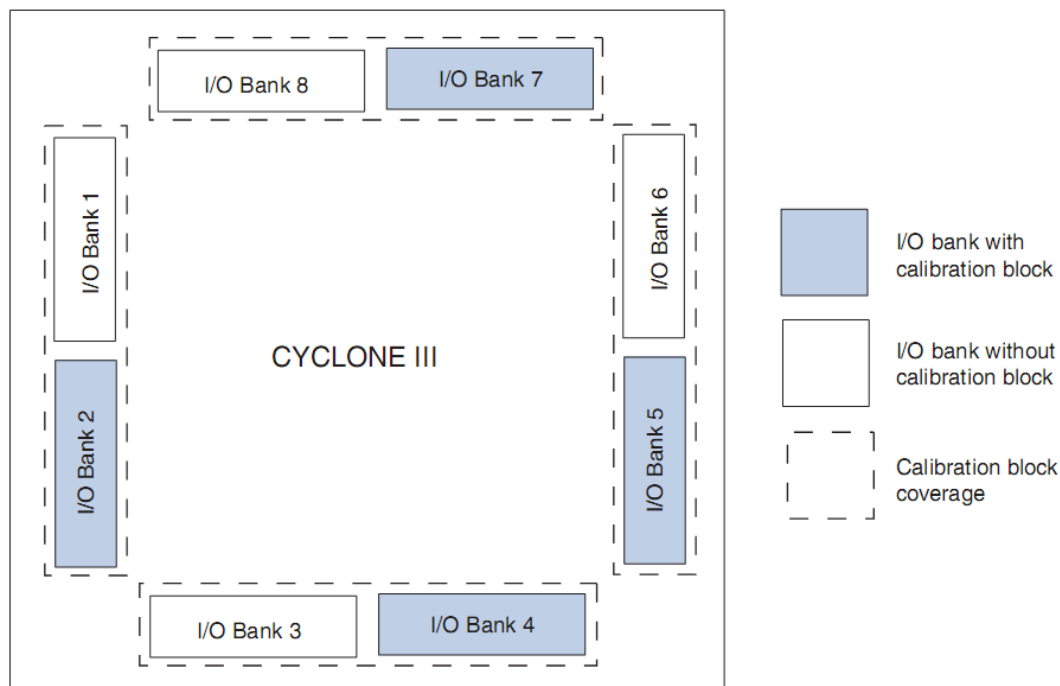
**Figure 7-7.** Cyclone III On-Chip Series Termination with Calibration



ОСТ с калибровкой достигается использованием схемы блока калибровки ОСТ. Существует один калибровочный блок в банках 2, 4, 5 и 7. Каждый калибровочный блок поддерживает каждую сторону I/O банков. Поскольку два I/O банка используют один калибровочный блок, оба банка должны иметь одно VCCIO, если в обоих банках разрешена ОСТ калибровка. Если два соседних банка имеют различные VCCIO, калибровка будет разрешена только для банка, в котором расположен блок калибровки ОСТ.

На рисунке 7-8 показан главный вид размещения калибровочных блоков ОСТ.

**Figure 7-8.** Cyclone III OCT Block Placement

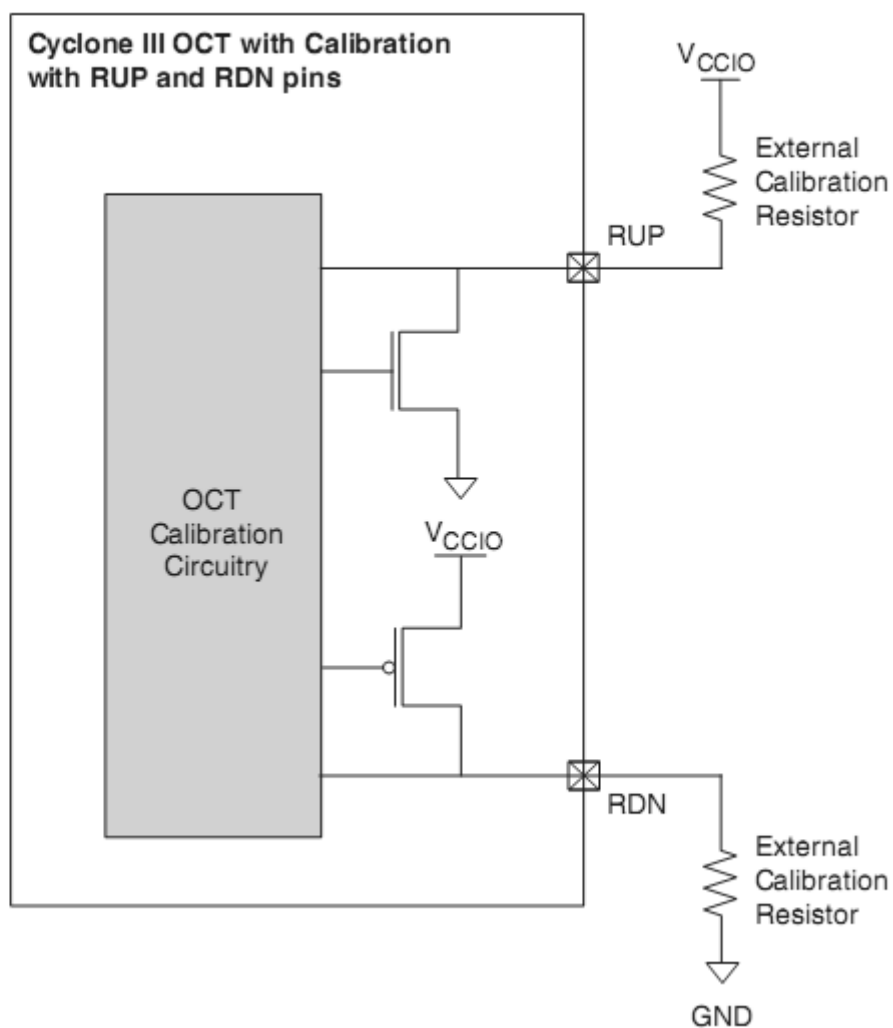


Каждый блок калибровки имеет пару выводов RUP и RDN. Когда используется калибровка оконечной последовательной схемы, вывод RUP подключается к VCCIO через внешний резистор  $25\ \Omega \pm 1\%$  или  $50\ \Omega \pm 1\%$ . Вывод RDN подключается к GND через внешний резистор  $25\ \Omega \pm 1\%$  или  $50\ \Omega \pm 1\%$ , для значений оконечной последовательной схемы  $25\ \Omega$  или  $50\ \Omega$  соответственно. Внешние резисторы сравниваются со внутренними резисторами на компараторах. Результирующий выход компараторов используется блоком OCT калибровки для динамического вычисления импеданса буфера.

Во время калибровки, сопротивления на выводах RUP и RDN меняются. Для достижения максимально точного тока через внешние калибровочные резисторы, допускайте минимальное сопротивление  $0\ \Omega$  на выводах RUP и RDN во время калибровки.

На рисунке 7-9 показаны установки внешних калибровочных резисторов на выводах RUP и RDN, и ассоциированная схема калибровки OCT.

**Figure 7–9.** Cyclone III On-Chip Series Termination with Calibration Setup



Выводы RUP и RDN переходят в третье состояние, когда калибровка завершена или не запущена. Эти два I/O вывода двойного назначения могут функционировать как обычные I/O, если вы не используете схему калибровки.

В таблице 7-3 приведены I/O стандарты, поддерживающие согласование входного сопротивления и последовательную оконечную схему.

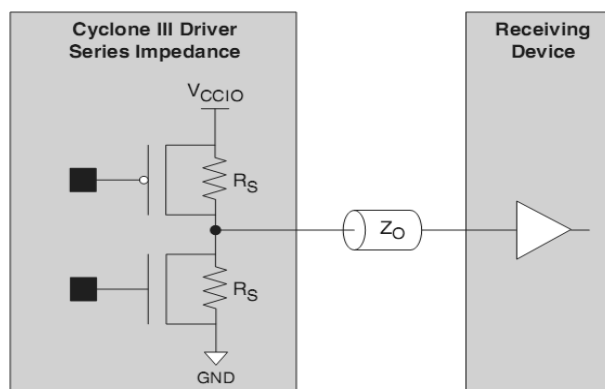
**Table 7-3.** Selectable I/O Drivers for On-Chip Termination with Calibration

I/O Standard	On-Chip Series Termination with Calibration Setting, in ohms ( $\Omega$ )	
	Row I/O	Column I/O
3.0-V LVTTTL	50	50
	25	25
3.0-V LVCMOS	50	50
	25	25
2.5-V LVTTTL/ LVCMOS	50	50
	25	25
1.8-V LVTTTL/ LVCMOS	50	50
	25	25
1.5-V LVCMOS	50	50
	25	25
1.2-V LVCMOS	50	50
	—	25
SSTL-2 Class I	50	50
SSTL-2 Class II	25	25
SSTL-18 Class I	50	50
SSTL-18 Class II	25	25
HSTL-18 Class I	50	50
HSTL-18 Class II	25	25
HSTL-15 Class I	50	50
HSTL-15 Class II	25	25
HSTL-12 Class I	50	50
HSTL-12 Class II	—	25

### Оконечная схема в чипе без калибровки

Чипы Cyclone III поддерживают драйвер согласования импеданса с импедансом передающей линии, который обычно 25 или 50  $\Omega$ . Когда используется выходной драйвер, оконечная схема устанавливает драйвер согласования на 25 или 50  $\Omega$ . Чипы Cyclone III также поддерживают I/O драйвер последовательной оконечной схемы ( $R_S = 50 \Omega$ ) для SSTL-2 и SSTL-18.

На рисунке 7-10 показаны несимметричные I/O стандарты для OCT без калибровки.  $R_S$  показывает внутренний импеданс транзисторов.

**Figure 7–10.** Cyclone III On-Chip Series Termination without Calibration

Все I/O банки и I/O выводы поддерживают согласование импеданса и последовательную оконечную схему. Специальные конфигурационные выводы и выводы JTAG не поддерживают согласование импеданса или последовательную оконечную схему.

В таблице 7-4 представлены I/O стандарты, поддерживающие согласование импеданса и последовательную оконечную схему.

**Table 7–4.** Selectable I/O Drivers for On-Chip Termination without Calibration (Part 1 of 2)

I/O Standard	On Chip Series Termination without Calibration Setting, in ohms ( $\Omega$ )	
	Row I/O	Column I/O
3.0-V LVTTTL	50	50
	25	25
3.0-V LVCMOS	50	50
	25	25
2.5-V LVTTTL/LVCMOS	50	50
	25	25
1.8-V LVTTTL/LVCMOS	50	50
	25	25
1.5-V LVCMOS	50	50
	25	25
1.2-V LVCMOS	50	50
	—	25
SSTL-2 Class I	50	50
SSTL-2 Class II	25	25
SSTL-18 Class I	50	50
SSTL-18 Class II	25	25
HSTL-18 Class I	50	50
HSTL-18 Class II	25	25
HSTL-15 Class I	50	50
HSTL-15 Class II	25	25

**Table 7–4.** Selectable I/O Drivers for On-Chip Termination without Calibration (Part 2 of 2)

I/O Standard	On Chip Series Termination without Calibration Setting, in ohms ( $\Omega$ )	
	Row I/O	Column I/O
HSTL-12 Class I	50	50
HSTL-12 Class II	—	25

Оконечная последовательная схема поддерживается в любом I/O банке. VCCIO и VREF должны быть совместимы со всеми I/O выводами, чтобы позволить окончную последовательную схему в выбранном I/O банке. Стандарты I/O, которые поддерживают различные значения Rs, должны размещаться в одном I/O банке, а его VCCIO и VREF не должны конфликтовать.

Согласование импеданса реализуется с использованием свойств выходного драйвера и подчиняется изменению основных величин, зависит от процессов, напряжения и температуры.

За дополнительной информацией о спецификации допустимых отклонений, обратитесь к главе "DC и характеристики переключений" в томе 2 Настольной книги чипов Cyclone III.