

### ***Добавление встроенного логического анализатора SignalTap® II в ваш проект***

Поскольку встроенный логический анализатор SignalTap II размещается в логике вашего чипа, он должен быть добавлен к вашему проекту FPGA в виде отдельной части проекта. Существует два способа для создания встроенного логического анализатора SignalTap II и добавления его в ваш проект для отладки:

- Создайте **.stp** файл и используйте Редактор SignalTap II для конфигурирования частей логического анализатора;

или

■ Создайте и сконфигурируйте **.stp** файл с помощью менеджера плагинов MegaWizard и разместите его в вашем проекте.

## Создание и разрешение файла SignalTap II

Для создания встроенного логического анализатора, используйте существующий **.stp** файл или создайте новый файл. После того, как файл создан или выбран, вам нужно разрешить его использование в проекте.

### Создание файла SignalTap II

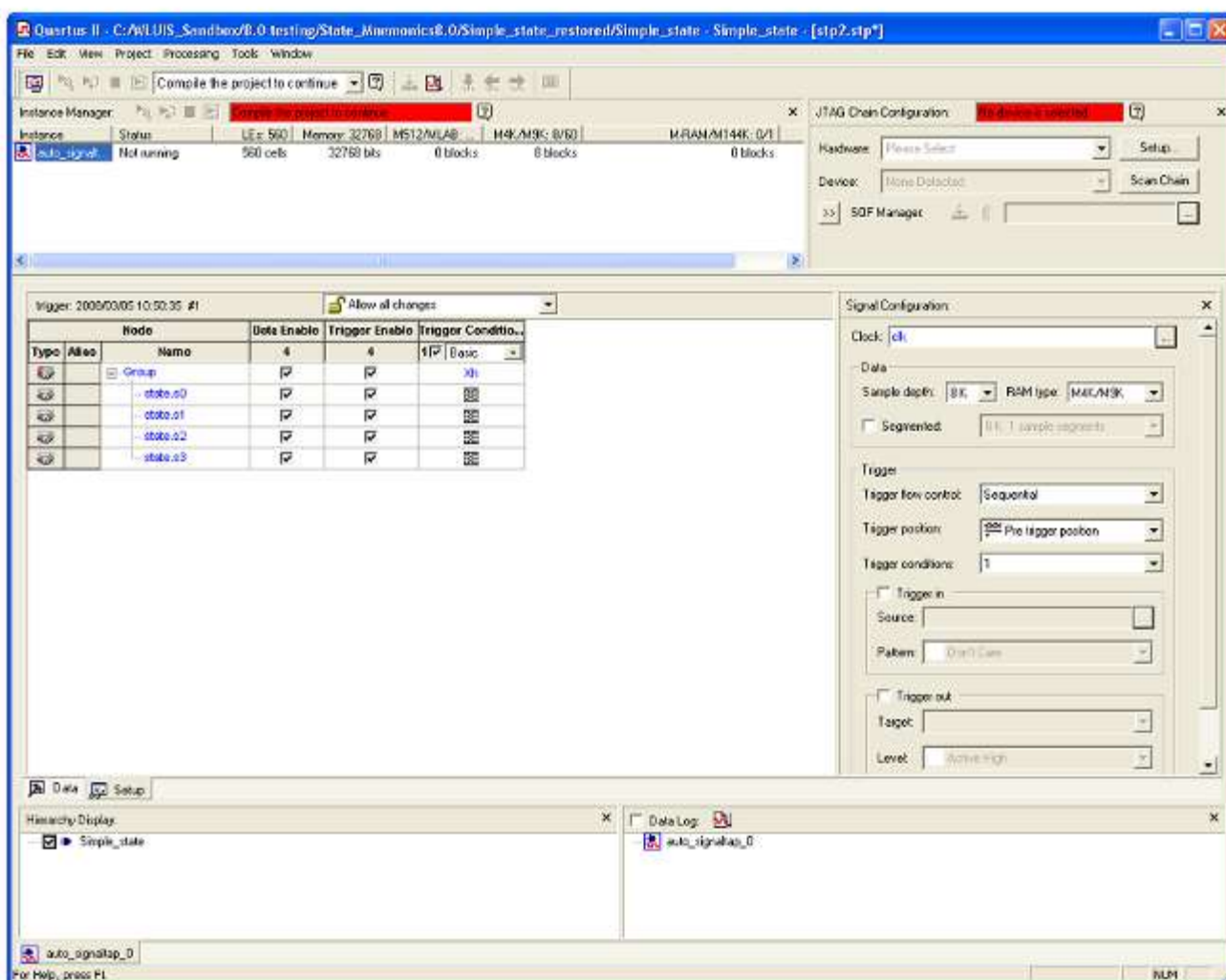
Файл **.stp** содержит настройки встроенного логического анализатора SignalTap II и полученные данные для наблюдения и анализа. Для создания нового **.stp** файла выполните следующие шаги:

1. В меню **Файл** кликните **Новый**.
2. В диалоговом окне **Новый** кликните на вкладку **Другие файлы** и выберите файл встроенного логического анализатора SignalTap II.
3. Кликните **ОК**.

Для открытия существующего **.stp** файла, уже ассоциированного с вашим проектом, в меню **Инструменты** кликните на **Логический анализатор SignalTap II**. Этот метод может быть использован и для создания нового **.stp** файла, если нет ассоциированного с проектом **.stp** файла.

Для открытия существующего **.stp** файла в меню **Файл** кликните **Открыть** и выберите **.stp** файл (рисунок 14-4).

Figure 14–4. SignalTap II Editor



### Разрешение или запрещение файла SignalTap II в текущем проекте

Когда вы сохраняете новый **.stp** файл, программа Quartus II спрашивает вас, хотите ли вы разрешить файл для текущего проекта. Конечно вы можете добавить этот файл вручную, сменить выбранный **.stp** файл или полностью запретить логический анализатор, выполнив следующие шаги:

1. В меню **Назначения** кликните **Настройки**. Откроется диалоговое окно **Настройки**.
2. В списке **Категории** выберите **Логический анализатор SignalTap II**. Откроется страничка **Логический анализатор SignalTap II**.
3. Включите **Разрешить логический анализатор SignalTap II**. Выключите эту опцию для запрещения логического анализатора и полного удаления его из проекта.
4. На вкладке **Файл SignalTap II** введите имя **.stp** файла, который вы хотите включить в проект или найдите его и выделите имя файла.
5. Кликните **ОК**.

## Встраивание нескольких анализаторов в один FPGA

Редактор SignalTap II имеет поддержку добавления нескольких логических анализаторов, используя один .stp файл. Это средство прекрасно подходит для создания уникального логического анализатора для каждого тактового домена в проекте.

Для создания нескольких логических анализаторов, в меню **Редактировать** кликните **Создать элемент** или правым кликом в окне **Менеджера элементов** затем кликнуть **Создать элемент**.

Вы можете конфигурировать отдельно каждый элемент логического анализатора SignalTap II. Иконка в **Менеджере элементов** для текущего активного элемента, доступного для конфигурации, отображается синим прямоугольником. Для конфигурации различных элементов, дважды кликните на иконку или имя любого элемента в **Менеджере элементов**.

## Мониторинг ресурсов, используемых встроенным логическим анализатором SignalTap II

Встроенный логический анализатор SignalTap II имеет оценщика ресурсов, который подсчитывает логические ресурсы и используемую память для каждого элемента логического анализатора. Более того, поскольку основная потребность в использовании ресурсов чипа для логического анализатора является использование памяти, оценщик ресурсов отчитывается об отношении использования общей памяти в вашем проекте к общей доступной памяти, основываясь на результате последней компиляции. Оценщик ресурсов выдаёт предупреждение, если возможна ошибка "не скомпоновать".

Вы можете посмотреть использование ресурсов для каждого элемента логического анализатора и все ресурсы в столбцах части **Менеджера элементов** в **Редакторе SignalTap II**. Используйте это средство когда захотите узнать, что ваш проект задействует немного ресурсов.

Величина логического элемента, выдаваемая в оценщике использованных ресурсов может отличаться на величину не более 10% от реально использованных ресурсов.

В таблице 14-2 показано использование памяти М4К встроенным логическим анализатором SignalTap II для списка чипов в зависимости от ширины и глубины отсчёта.

**Таблица 14-2.** Использование блоков М4К встроенным логическим анализатором SignalTap II для чипов Stratix® II, Stratix, Stratix GX, and Cyclone® (Примечание 1)

Сигналы(ширина)	Отсчёты (глубина)			
	256	512	2,048	8,192
8	< 1	1	4	16
16	1	2	8	32
32	2	4	16	64
64	4	8	32	128
256	16	32	128	512

Примечание к таблице 14-2

(1) Когда вы конфигурируете встроенный логический анализатор SignalTap II, Менеджер элементов сообщает об оценке битов памяти и логических элементов, требуемых для получения нужной конфигурации.

## Использование менеджера плагинов MegaWizard для создания вашего встроенного логического анализатора

Вы можете создать элемент встроенного логического анализатора SignalTap II, используя менеджер плагинов MegaWizard. Менеджер плагинов MegaWizard генерирует HDL файл, который вы размещаете в своём проекте.

Процесс основных триггеров состояний, средство отладки конечных автоматов и средство классификации хранилищ не поддерживаются, когда менеджер плагинов MegaWizard используется для создания встроенного логического анализатора. Эти средства описываются в следующих разделах:

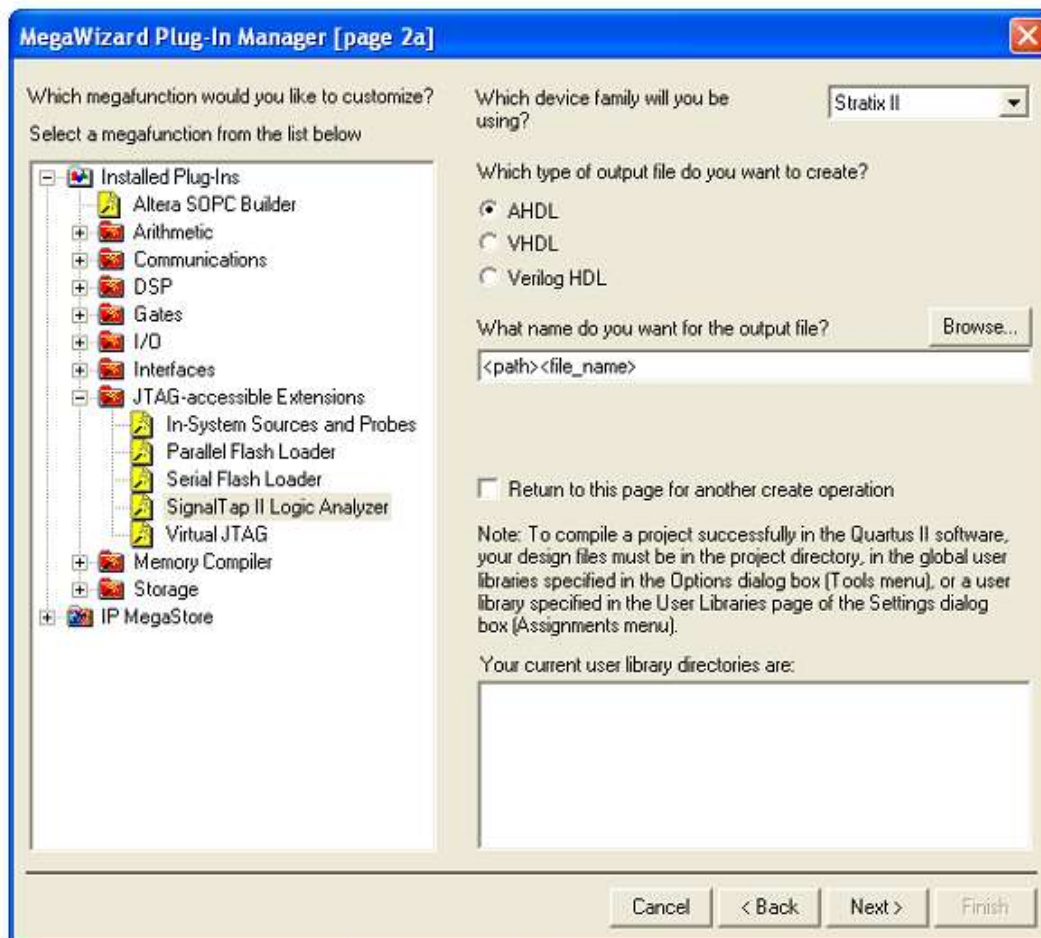
- "Добавление регистров состояний конечного автомата" на странице 14-20;
- "Использование средства классификации памяти" на странице 14-25;
- "Различные триггеры состояний" на странице 14-38.

### Создание HDL описания с использованием менеджера плагинов MegaWizard

Программа Quartus II позволяет вам запросто создавать ваши мегафункции встроенного логического анализатора SignalTap II, используя менеджер плагинов MegaWizard. Для размещения мегафункции SignalTap II выполните следующие шаги:

1. В меню **Инструменты** кликните **менеджер плагинов MegaWizard**. Откроется первая страница менеджера плагинов MegaWizard.
2. Выберите **Создать новую вариацию мегафункции**.
3. Кликните **Далее**.
4. В списке **инсталлированных плагинов** разверните папку **Доступные расширения JTAG** и выберите встроенный логический анализатор SignalTap II. Выберите тип выходного файла и введите нужное имя мегафункции SignalTap II. Вы можете выбрать в качестве типа выходного файла AHDL (.tdf), VHDL (.vhd) или Verilog HDL (.v) (рисунок 14-5).

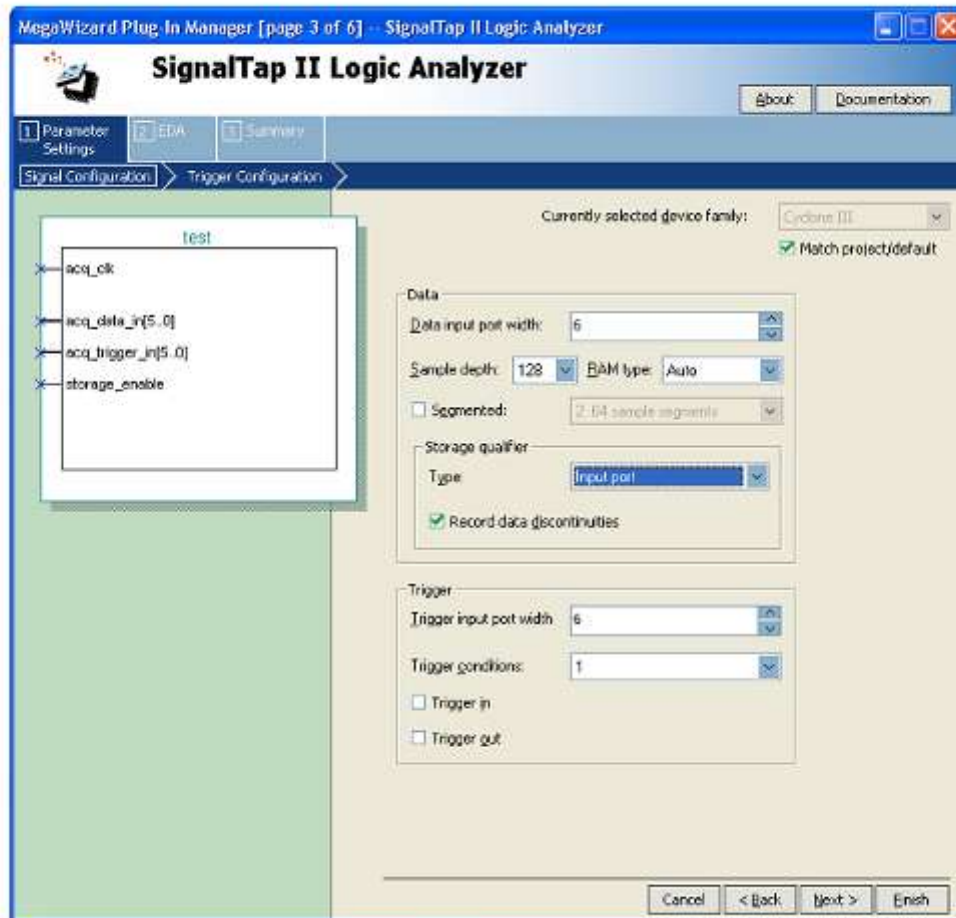
**Figure 14–5.** Creating the SignalTap II Embedded Logic Analyzer in the MegaWizard Plug-In Manager



5. Кликните **Далее**.
6. Сконфигурируйте анализатор, выбрав глубину отсчётов, тип памяти, ширину входного порта данных, уровни триггеров, ширину входного порта триггера, разрешение для внешнего *in* или *out* триггера, разрешение для сегментированного буфера памяти и разрешение для **Классификатора памяти** для несегментированного буфера (рисунок 14-6).

За информацией об этих настройках обратитесь к главе "Конфигурирование встроенного логического анализатора SignalTap II" на странице 14-14 и к главе "Определение триггеров" на странице 14-33.

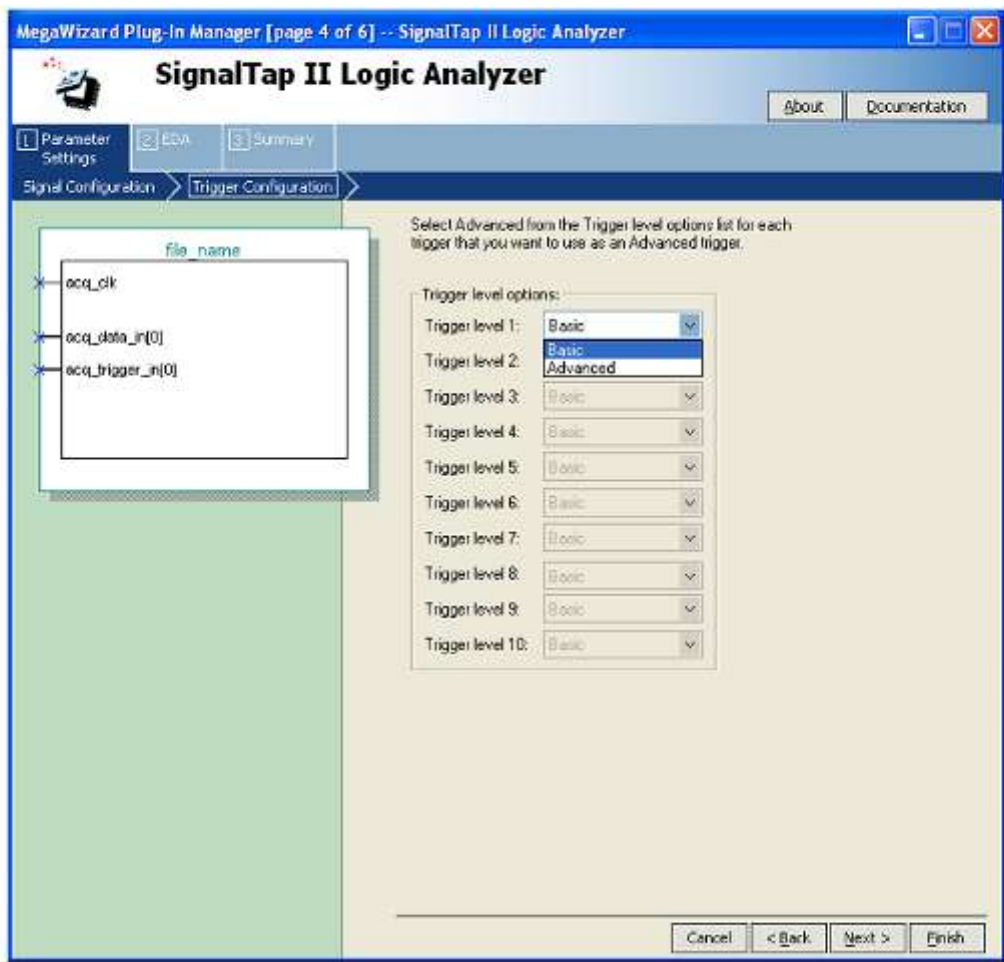
**Figure 14–6.** Select Embedded Logic Analyzer Parameters



7. Кликните **Далее**.
8. Установите **уровень триггеров**, выбрав **базовый** или **расширенный** (рисунок 14-7). Если вы выбираете **расширенный** для некоторых уровней триггеров, на следующей странице менеджера плагинов MegaWizard показывается **Редактор расширенных состояний триггера**. Вы можете сконфигурировать выражение расширений триггера, используя число сигналов, которые вы распределяете по ширине входного порта триггера.

Вы не можете определять включение триггера, используя менеджер плагинов MegaWizard. Обратитесь к главе "Определение триггеров" на странице 14-33, чтобы изучить, как можно использовать **.stp** файл.

Figure 14–7. MegaWizard Basic and Advanced Trigger Options



9. На заключительной странице менеджера плагинов MegaWizard выберите некоторые дополнительные файлы, которые вы хотите создать и кликните **Финиш**, чтобы создать HDL описание встроенного логического анализатора SignalTap II.

За информацией об опции настроек конфигурации в менеджере плагинов MegaWizard обратитесь к главе "Конфигурирование встроенного логического анализатора SignalTap II" на странице 14-14. За информацией об определении триггеров и к главе "Определение триггеров" на странице 14-33.

**Порты мегафункции SignalTap II**

В таблице 14-3 содержится информация о портах мегафункции SignalTap II.  
За более свежей информацией о портах и параметрах для этой мегафункции обратитесь к последней версии помощи в Quartus II.

Таблица 14-3. Порты мегафункции SignalTap II (часть 1 из 2)

Имя порта	Тип	Обязательность	Описание
acq_data_in	ВХОД	нет	Этим устанавливаются сигналы, описывающие сигналы, отображаемые в логическом анализаторе SignalTap II.
acq_trigger_in	ВХОД	нет	Этим устанавливаются сигналы, описывающие сигналы триггеров в анализаторе.



**Таблица 14-3.** Порты мегафункции SignalTap II (часть 2 из 2)

Имя порта	Тип	Обязательность	Описание
acq_clk	вход	да	Этот порт описывает тактовый сигнал, который логический анализатор SignalTap II использует для захвата данных.
trigger_in	вход	нет	Это сигнал триггера в логическом анализаторе SignalTap II.
trigger_out	выход	нет	Этот сигнал разрешён, когда произошло событие триггера.
storage_enable	вход	нет	Этот сигнал используется для разрешения транзакции записи в буфер сбора данных.

### Размещение встроенного логического анализатора SignalTap II в вашем HDL коде

Добавьте код из файлов, которые были сгенерированы менеджером плагинов MegaWizard в ваш проект, разведите сигналы в вашем проекте к соответствующим портам мегафункции SignalTap II. Вы можете установить до 127 анализаторов в вашем проекте, или сколько позволит компоновка в вашем FPGA. После того, как вы добавили **.stp** файл в ваш HDL файл, скомпилируйте проект Quartus II для компоновки логических анализаторов в выбранном FPGA.

Для захвата и наблюдения данных, создайте **.stp** файл из вашего выходного файла HDL SignalTap II. Чтобы сделать это, в меню **Файл** выберите **Создать/Обновить** и кликните **Создать файл SignalTap II из элементов проекта**.

**Внимание.** Если вы делаете некоторые изменения в вашем проекте или в элементе SignalTap II, пересоздайте или обновите **.stp** файл, используя команду **Создать/Обновить**. Этим вы гарантируете, что **.stp** файл всегда согласован с элементом SignalTap II в вашем проекте. Если **.stp** файл не согласован с элементом SignalTap II в вашем проекте, вы не сможете контролировать встроенный логический анализатор SignalTap II после того, как он будет запрограммирован в ваш чип.

За информацией об согласовании **.stp** файла с программируемыми элементами SignalTap II обратитесь к главе "Программирование выбранного чипа или чипов" на странице 14-59.