6 Определение временных ограничений

Программа Quartus II позволяет определить временные ограничения для разработанной схемы.

1. Откройте **Временной анализатор TimeQuest**, кликнув на **Инструменты** > **Временной анализатор TimeQuest**, или на иконку в панели. На рисунке 31 показан интерфейс временного анализатора TimeQuest. Это очень мощный инструмент для создания, управления и анализа временных ограничений, а также для быстрого выполнения временной верификации проекта. В главе 4, компилятор определил Fmax как 439,37 МГц, что соответствует минимальному периоду 2,2760 нс. Допустим, что требуется работа схемы на частоте 450 МГц. Для этого, нам необходимо использовать временной анализатор TimeQuest для создания файла **SDC** (файл ограничения проекта Synopsys), в котором будут содержаться ограничения для тактового сигнала.

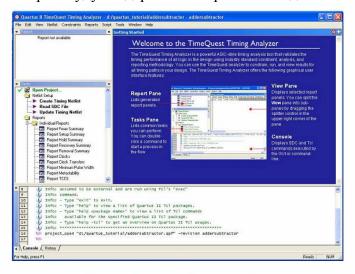


Figure 31: TimeQuest Timing Analyzer.

В окне временного анализатора TimeQuest дважды кликните на **Создать временной список соединений**, под заголовком **Задачи**. Временной список соединений генерируется из базы данных, созданных в процессе компиляции. Затем кликните на меню **Ограничения** > **Создать такты**, чтобы получить окно, как на рисунке 32. Определите имя такта, который будет ограничиваться. Это имя будет использовано при создании других временных ограничений. В этом примере, мы назвали такт "CLOCK". Т.к. мы хотим, чтобы наша схема работала на частоте 450 МГц, устанавливаем период такта 2,22 нс в поле **Период**. Уточним, какому действующему тактовому сигналу будут применяться эти ограничения, для этого, кликнем на кнопку "..." рядом с полем **Цели** в окне **Создание тактов**, чтобы получить всплывающее окно, как на рисунке 33.

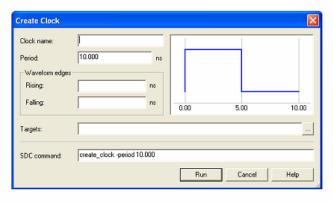


Figure 32: Create clock constraints.

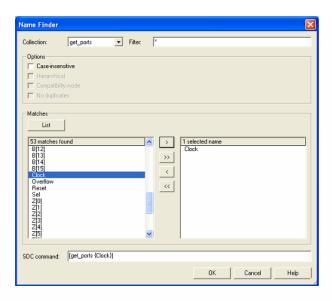


Figure 33: Choose target clock.

Кликнем на кнопку **Список** слева посередине, чтобы получить список всех портов. Выберем *Clock* из списка доступных портов и кликнем на кнопку >, чтобы получить окно, как на рисунке 33. Этим мы указываем временному анализатору TimeQuest на необходимость ограничить порт *Clock* согласно определённому нами периоду. Внимание, в больших проектах с большим количеством портов, вы можете вводить имя порта в поле **Фильтр**, расположенном в правом верхнем углу, чтобы сократить число портов во время поиска. Кликните **ОК**, чтобы вернуться в диалоговое окно, как на рисунке 34.

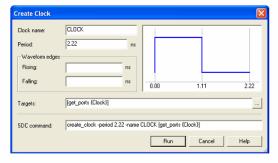


Figure 34: Complete clock constraint.

В поле **Команда SDC**, внизу диалогового окна на рисунке 34, вы можете наблюдать фактическую строку команды, которая будет записана в файл **SDC**. Здесь просто: создается тактовый сигнал с периодом 2,22 нс, называемый "CLOCK" и ассоциированный с портом *Clock*. Кликните **Пуск**, чтобы вернуться в окно, как на рисунке 31. Выберите **Ограничения** > **Запись файла SDC**, чтобы сохранить файл *addersubtractor.sdc* в директории проекта *quartus_tutorial*. Закройте окно временного анализатора TimeQuest, чтобы вернуться в основное окно программы Quartus II.

2. В основном окне программы Quartus II кликните Назначения > Настройки временного анализатора, выберите Использовать временной анализатор TimeQuest во время компиляции. Раскройте категорию Настройки временного анализатора, и кликните на Временной анализатор TimeQuest, чтобы получить окно, как на рисунке 35. Сейчас вы можете добавить созданный файл SDC к проекту. Кликните на кнопку "..." рядом с полем Имя файла SDC и выберите addersubtractor.out.sdc, который является файлом SDC, созданным с помощью временного анализатора TimeQuest. Кликните Открыть, чтобы вернуться в окно, как на рисунке 35, затем кликните Добавить, чтобы ассоциировать файл SDC с текущим проектом. Затем кликните ОК, чтобы вернуться к основному окну программы Quartus II.

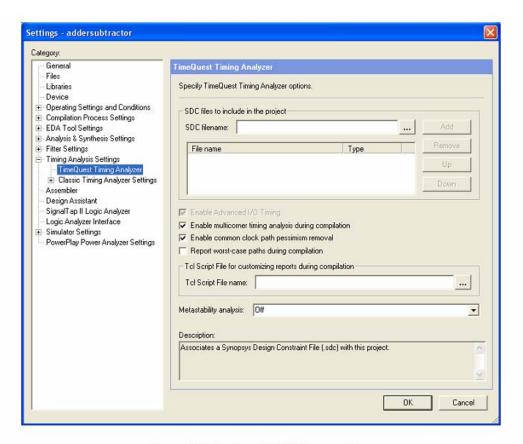


Figure 35: Adding SDC file to project.

Компилятор Quartus II содержит исполняемый элемент **Компоновщик**, который размещает разработанную схему в доступных логических элементах чипа и генерирует необходимые монтажные соединения для реализации схемы. Это сложный процесс, занимающий значительное время, особенно, если задана большая схема и претензионное значение Fmax. Это время можно сократить, установив допустимые значения Fmax. Одновременно, можно установить уровень завершения компоновки.

3. В основном окне программы Quartus II кликните **Назначения** > **Настройки** > **Настройки Компоновщика**, чтобы раскрылось окно, как на рисунке 36. Можно задать три различных уровня завершения компоновки. Выбрав **Автоподбор**, компоновщик будет останавливаться, как только будет достигнута первая адекватная реализация компоновки. Выбрав **Быстрый подбор**, компоновщик сократит время компиляции, при этом снизив значение Fmax. Выбрав **Стандартный подбор**, компоновщик сделает наилучшее расположение элементов, при котором удается улучшить пользовательские ограничения насколько это возможно, соответственно увеличив время компиляции. Кликните **ОК** и перекомпилируйте проект.

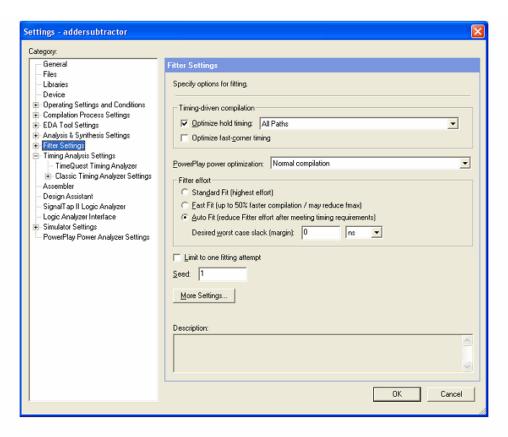


Figure 36: Fitter settings.

4. Новые результаты времени показаны на рисунке 37. Новая Fmax – 457,67 МГц, которая теперь отвечает установленным ограничениям.

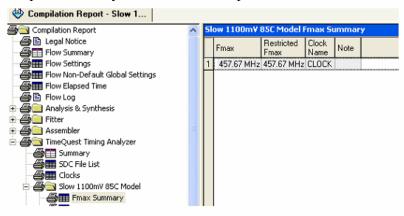


Figure 37: New timing results.

Евраничивается максимальной задержкой определённого пути. Чтобы посмотреть этот критический путь, откройте Временной анализатор TimeQuest. Под заголовком Задачи, выберите Индивидуальные отчёты > Временные отчёты, затем дважды кликните на них. Появится диалоговое окно, как на рисунке 38. В расположенных друг под другом окнах, называемых Такты от и Такты к, выберите "CLOCK", потому что именно это имя мы использовали, когда создавали файл SDC. Используйте число 10, в поле Количество путей в отчёте, расположенном в секции Пути, чтобы получить окно, как на рисунке 38. Кликните на кнопку Временной отчёт, чтобы запустить анализ. По завершению анализа, показывается временной отчёт, похожий на рисунок 39.

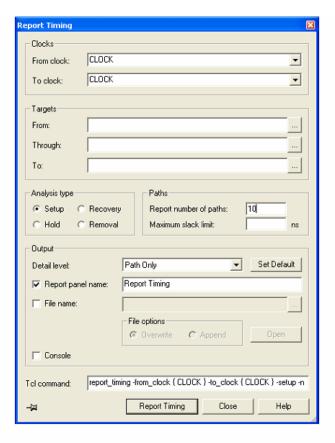


Figure 38: Create timing report.

В окне **Временной отч**ёт показаны десять путей с наибольшей задержкой в вашей схеме. Мы видим, что критический путь начинается от *SelR* и заканчивается на *Overflow*. В первом столбце окна показан временной резерв (slack) для каждого пути, который характеризует величину задержки, которая может быть добавлена к этому пути, без превышения установленных временных ограничений. В нижней части окна показаны элементы пути и приращение задержки на каждой стадии пути.

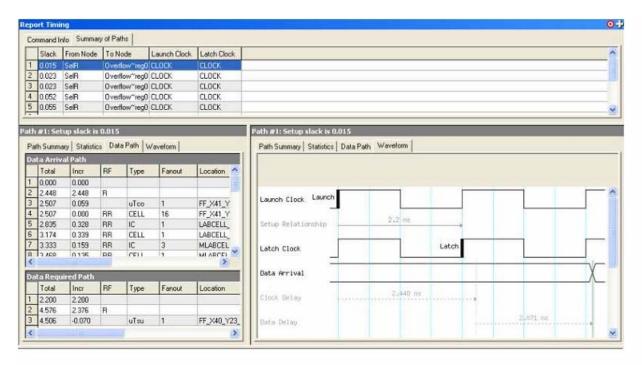


Figure 39: Critical path.