



1. Cyclone III Device Family Overview

CIII51001-2.3

1. Общее представление о семействе Cyclone III

Семейство чипов Cyclone® III представляет собой уникальную комбинацию высокой функциональности, низкого энергопотребления и низкой стоимости. Взяв за основу технологический процесс низкого потребления (LP) от компании Taiwan Semiconductor Manufacturing Company (TSMC), оптимизацию кристалла и программных средств для достижения минимального энергопотребления, семейство Cyclone III предлагает идеальное решение для ваших больших, низко потребляющих и чувствительных к цене приложений. В соответствии с уникальными потребностями проекта, семейство Cyclone III выпускается в двух вариантах:

- Cyclone III - с низким потреблением, высокой функциональностью и низкой стоимостью,
- Cyclone III LS - FPGA с низким потреблением и защитой.

С плотностью компонентов от 5 000 до 200 000 логических элементов (LE) и от 0,5 до 8 Мегабит (Mb) памяти при потреблении менее ¼ Ватта статичной потребляемой мощности, семейство Cyclone III делает осуществимыми ваши расчёты на энергопотребление. Чипы Cyclone III LS являются первыми, в которых реализован набор защитных средств на уровне кристалла, программы и интеллектуальной собственности (IP) на платформе низко потребляющего и высоко функционального FPGA. Набор защитных средств защищает IP от вмешательства, реверсивного проектирования и клонирования. Дополнительно, семейство Cyclone III LS поддерживает разделение проекта, которое позволяет вам создать резерв в чип, чтобы уменьшить размер, плотность и энергопотребление вашего приложения.

Эта глава состоит из следующих секций:

- "Средства семейства Cyclone III" на стр. 1-1
- "Архитектура семейства Cyclone III" на стр. 1-6
- "Справочная информация и для заказа" на стр. 1-12

Средства семейства Cyclone III

Семейство чипов Cyclone III предлагает следующие средства:

FPGA с малым энергопотреблением

- Малое энергопотребление за счёт использования технологического процесса с малым энергопотреблением TSMC и энергосберегающего процесса проектирования Altera®.
- Работа с малыми энергозатратами обладает следующими преимуществами:
 - Увеличенный срок службы для портативных приборов,
 - Уменьшенная стоимость или полное отсутствие охлаждающей системы,
 - Работа в термически неблагоприятных средах.

-
- Поддержка горячей замены

Средство защиты проекта

Чипы Cyclone III LS обладают следующими средствами защиты проекта:

- Защита конфигурации использует расширенный стандарт шифрования (AES) с 256-битным энергозависимым ключом.
- Архитектура разводки оптимизирована для процесса разделения проекта в программе Quartus II.
 - Процесс разделения проекта является физической и функциональной изоляцией между разделами проекта.
- Возможность запрета JTAG порта.
- Цикловой индикатор детектора ошибок (ED):
 - Предоставляет индикацию прохождения или непрохождения на каждый ED цикл.
 - Предоставляет видимость умышленного или неумышленного изменения битов конфигурации оперативной памяти (CRAM).
- Возможность выполнения обнуления для сброса содержимого FPGA логики, внутренней памяти CRAM и AES ключа.
- Внутренний генератор позволяет средства мониторинга системы и контроля состояния.

Увеличенная системная интеграция

- Высокое отношение памяти к логике и умножителей к логике.
- Большое количество I/O для чипов малой и средней плотности.
 - Настраиваемая скорость нарастания выходного напряжения I/O для достижения целостности сигнала.
 - Поддержка I/O стандартов LVTTTL, LVCMOS, SSTL, HSTL, PCI, PCI-X, LVPECL, шины LVDS (BLVDS), LVDS, mini-LVDS, RSDS и PPDS.
 - Поддержка средства калибровки многозначной внутри чиповой оконечной схемы (OCT) для устранения разброса значений процесса, напряжения и температуры (PVT).
- Четыре схемы фазовой автоподстройки частоты (PLL) на один чип предоставляют устойчивое средство управления и синтеза тактовых сигналов для чипа, управление внешним тактовым сигналом и I/O интерфейсами.
 - Пять выходов для каждой PLL.
 - Каскадируемость для сохранения I/O, упрощения PCB разводки и уменьшения джиттера.
 - Динамическая реконфигурация для изменения фазового сдвига, множителя или/и делителя частоты, а также входной частоты без реконфигурирования устройства.
- Удалённое обновление системы без помощи внешнего контроллера.
- Схема специального циклического проверки избыточного кода для детектирования единичного события нарушения (SEU).
- Встраиваемый процессор Nios® II для семейства Cyclone III, предлагает низкую стоимость решений для собственных встраиваемых процессов.

Volume 1: 1. Cyclone III Device Family Overview

1. Общее представление о семействе Cyclone III

Перевод: Егоров А.В., 2012 г.

- Большая коллекция подготовленных и проверенных IP ядер от Altera и партнёров программы Altera Megafunction Partners Program (AMPP).
- Поддержка высокоскоростных интерфейсов с внешней памятью, таких как DDR, DDR2, SDR SDRAM и QDR II SRAM.
- Авто-калибровка PHY средств облегчает процесс достижения временных ограничений и убирает разброс параметров с помощью PVT для интерфейсов DDR, DDR2 и QDR II SRAM.

Семейство Cyclone III поддерживает вертикальную миграцию, которая позволяет вам мигрировать с вашего чипа на другие чипы с такими же специальными выводами, выводами конфигурирования и выводами питания для некоторых корпусов смежных по плотности. Это позволяет оптимизировать чипы по плотности и стоимости вашего проекта.

В табл. 1-1 отображаются средства семейства Cyclone III.

Table 1-1. Cyclone III Device Family Features

Family	Device	Logic Elements	Number of M9K Blocks	Total RAM Bits	18 x 18 Multipliers	PLLs	Global Clock Networks	Maximum User I/Os
Cyclone III	EP3C5	5,136	46	423,936	23	2	10	182
	EP3C10	10,320	46	423,936	23	2	10	182
	EP3C16	15,408	56	516,096	56	4	20	346
	EP3C25	24,624	66	608,256	66	4	20	215
	EP3C40	39,600	126	1,161,216	126	4	20	535
	EP3C55	55,856	260	2,396,160	156	4	20	377
	EP3C80	81,264	305	2,810,880	244	4	20	429
	EP3C120	119,088	432	3,981,312	288	4	20	531
Cyclone III LS	EP3CLS70	70,208	333	3,068,928	200	4	20	429
	EP3CLS100	100,448	483	4,451,328	276	4	20	429
	EP3CLS150	150,848	666	6,137,856	320	4	20	429
	EP3CLS200	198,464	891	8,211,456	396	4	20	429

Volume 1: 1. Cyclone III Device Family Overview

1. Общее представление о семействе Cyclone III

Перевод: Егоров А.В., 2012 г.

В табл. 1-2 представлены опции корпусов, I/O выводов и количество дифференциальных каналов в семействе Cyclone III.

Table 1–2. Cyclone III Device Family Package Options, I/O pin and Differential Channel Counts (1), (2), (3), (4), (5)

Family	Package	E144 (7)	M164	P240	F256	U256	F324	F484	U484	F780
Cyclone III (8)	EP3C5	↑ 94, 22	↑ 106, 28	—	↑ 182, 68	↑ 182, 68	—	—	—	—
	EP3C10	94, 22	106, 28	—	182, 68	182, 68	—	—	—	—
	EP3C16	84, 19	↓ 92, 23	↑ 160, 47	168, 55	168, 55	—	↑ 346, 140	↑ 346, 140	—
	EP3C25	↓ 82, 18	—	148, 43	↓ 156, 54	↓ 156, 54	↑ 215, 83	—	—	—
	EP3C40	—	—	↓ 128, 26	—	—	↓ 195, 61	331, 127	331, 127	↑ 535, 227 (6)
	EP3C55	—	—	—	—	—	—	327, 135	327, 135	377, 163
	EP3C80	—	—	—	—	—	—	295, 113	↓ 295, 113	429, 181
	EP3C120	—	—	—	—	—	—	↓ 283, 106	—	↓ 531, 233
Cyclone III LS	EP3CLS70	—	—	—	—	—	—	↑ 294, 113	↑ 294, 113	↑ 429, 181
	EP3CLS100	—	—	—	—	—	—	294, 113	↓ 294, 113	429, 181
	EP3CLS150	—	—	—	—	—	—	226, 87	—	429, 181
	EP3CLS200	—	—	—	—	—	—	↓ 226, 87	—	↓ 429, 181

Примечания к табл. 1-2:

- (1) Для каждого корпуса чипа первый номер показывает количество I/O выводов, второй номер показывает количество дифференциальных каналов.
- (2) За подробной информацией о спецификации корпусов чипов обратитесь на страницу [Cyclone III Package and Thermal Resistance](#).
- (3) Количество I/O выводов приведено по максимуму (сюда включены входные выводы под тактовые сигналы), учитываются все выводы, которые могут быть задействованы комбинационной логикой выбранного чипа.
- (4) Все корпуса доступны как в бессвинцовых, так и в свинцовых вариантах.
- (5) Вертикальная миграция не доступна между чипами Cyclone III и Cyclone III LS.
- (6) Чип EP3C40 в корпусе F780 поддерживает ограниченную вертикальную миграцию. Максимальное количество пользовательских I/O выводов ограничено 510, если вы разрешили миграцию на EP3C120 и используете I/O стандарты подачи опорного напряжения. Если вы не используете I/O стандарты подачи опорного напряжения, вы сможете увеличить максимальное количество I/O.
- (7) Корпус E144 имеет открытую площадку снизу корпуса. Эта открытая площадка является площадкой заземления и должна быть подключена к земле на вашей PCB плате. Используйте эту площадку в качестве электрического соединения, а не в качестве теплоотвода.
- (8) Все чипы Cyclone III в корпусах UBGA поддерживаются программой Quartus II версии 7.1 SP1 и старше, за исключением чипа EP3C16 в корпусе UBGA, который поддерживается версией 7.2 и старше.

Volume 1: 1. Cyclone III Device Family Overview**1. Общее представление о семействе Cyclone III**

Перевод: Егоров А.В., 2012 г.

В табл. 1-3 приведены размеры корпусов чипов семейства Cyclone III.

Table 1-3. Cyclone III Device Family Package Sizes

Family	Package	Pitch (mm)	Nominal Area (mm ²)	Length x Width (mm × mm)	Height (mm)
Cyclone III	E144	0.5	484	22 × 22	1.60
	M164	0.5	64	8 × 8	1.40
	P240	0.5	1197	34.6 × 34.6	4.10
	F256	1.0	289	17 × 17	1.55
	U256	0.8	196	14 × 14	2.20
	F324	1.0	361	19 × 19	2.20
	F484	1.0	529	23 × 23	2.60
	U484	0.8	361	19 × 19	2.20
	F780	1.0	841	29 × 29	2.60
Cyclone III LS	F484	1.0	529	23 × 23	2.60
	U484	0.8	361	19 × 19	2.20
	F780	1.0	841	29 × 29	2.60

В табл. 1-4 показана градация чипов Cyclone III по скорости.

Table 1-4. Cyclone III Device Family Speed Grades (Part 1 of 2)

Family	Device	E144	M164	P240	F256	U256	F324	F484	U484	F780
Cyclone III	EP3C5	C7, C8, I7, A7	C7, C8, I7	—	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	—	—	—	—
	EP3C10	C7, C8, I7, A7	C7, C8, I7	—	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	—	—	—	—
	EP3C16	C7, C8, I7, A7	C7, C8, I7	C8	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	—	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	—
	EP3C25	C7, C8, I7, A7	—	C8	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	—	—	—
	EP3C40	—	—	C8	—	—	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	C6, C7, C8, I7, A7	C6, C7, C8, I7
	EP3C55	—	—	—	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	C6, C7, C8, I7
	EP3C80	—	—	—	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	C6, C7, C8, I7
	EP3C120	—	—	—	—	—	—	C7, C8, I7	—	C7, C8, I7

Volume 1: 1. Cyclone III Device Family Overview

1. Общее представление о семействе Cyclone III

Перевод: Егоров А.В., 2012 г.

Table 1–4. Cyclone III Device Family Speed Grades (Part 2 of 2)

Family	Device	E144	M164	P240	F256	U256	F324	F484	U484	F780
Cyclone III LS	EP3CLS70	—	—	—	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7
	EP3CLS100	—	—	—	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7
	EP3CLS150	—	—	—	—	—	—	C7, C8, I7	—	C7, C8, I7
	EP3CLS200	—	—	—	—	—	—	C7, C8, I7	—	C7, C8, I7

В табл. 1-5 представлены схемы конфигурирования чипов Cyclone III.

Table 1–5. Cyclone III Device Family Configuration Schemes

Configuration Scheme	Cyclone III	Cyclone III LS
Active serial (AS)	✓	✓
Active parallel (AP)	✓	—
Passive serial (PS)	✓	✓
Fast passive parallel (FPP)	✓	✓
Joint Test Action Group (JTAG)	✓	✓

Архитектура семейства Cyclone III

Семейство Cyclone III имеет набор определённых заказных средств, оптимизированных для портативных применений, которые варьируются по плотности, памяти, встроенным умножителям и опциям I/O. Семейство Cyclone поддерживают множество интерфейсов с внешней памятью и протоколами I/O, используемыми обычно в крупных проектах.

Средства программы Quartus II и параметризованные IP ядра облегчают для вас использование интерфейсов и протоколов в семействе Cyclone III.

В следующих секциях приводится общее описание средств семейства Cyclone III.

Логические элементы и блоки массивов логики

Блок массива логики (LAB) состоит из 16 логических элементов (LE) и контрольного блока над модулем LAB. LE является наименьшим элементом логики в архитектуре семейства Cyclone III. Каждый логический элемент имеет четыре входа, четырёх входную таблицу преобразования (LUT), регистр и выходную логику. Четырёх входная таблица преобразования (LUT) - это генератор функции, который может реализовать любую функцию с четырьмя переменными.

За дополнительной информацией о LE и LAB обратитесь к главе ["Логические элементы и блоки массивов логики в чипах Cyclone III"](#).

Блоки памяти

Каждый блок памяти М9К в семействе Cyclone III имеет 9 Кбит внутри чиповой памяти, которая может работать на частоте до 315 МГц для чипов Cyclone III и до 274 МГц для чипов Cyclone III LS. Структура внутренней памяти состоит из столбцов блоков памяти М9К, которые вы сможете сконфигурировать как RAM, FIFO буферы или ROM. Блоки памяти семейства Cyclone III оптимизированы для применения в приложениях, таких как, обработка быстро чередующихся пакетов, программа для встроенного процессора и хранение внутренних данных.

Программа Quartus II позволяет вам воспользоваться преимуществами использования блоков памяти М9К при помощи инсталляции мастера специальной мегафункции или с помощью прямого синтеза из вашего VHDL или Verilog кода.

Блоки памяти М9К поддерживают режимы работы однопортовой, упрощённой двухпортовой и полностью двухпортовой памяти. Однопортовая и упрощённая двухпортовая память поддерживаются со всеми комбинациями ширины портов данных: $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$ и $\times 36$. Полностью двухпортовая память поддерживает комбинацию ширины портов данных: $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$ и $\times 18$.

За дополнительной информацией о блоках памяти обратитесь к главе ["Блоки памяти в чипах Cyclone III"](#).

Встроенные умножители и поддержка цифровых сигнальных процессоров

Чипы семейства Cyclone III поддерживают до 288 блоков встроенных умножителей, а чипы Cyclone III LS поддерживают до 396 блоков встроенных умножителей. Каждый блок поддерживает один умножитель 18×18 бит или два умножителя 9×9 бит.

Программа Quartus II содержит мегафункции, которые используются для контроля над режимами работы блоков встроенных умножителей, созданными с пользовательскими параметрами.

Умножители могут быть получены прямо из VHDL или Verilog пользовательского кода. В дополнение к встроенным умножителям, чипы семейства Cyclone III обладают комбинацией внутрочиповых ресурсов и внешних интерфейсов, создавая идеальные условия для увеличения рабочих характеристик, уменьшения стоимости системы и снижения энергопотребления систем цифровых сигнальных процессоров (DSP). Вы можете использовать только чип семейства Cyclone III или в качестве сопроцессора DSP устройства для оптимизации соотношения стоимости к рабочим характеристикам всей DSP системы. Семейство Cyclone III имеет поддержку DSP систем с помощью следующих средств:

- Ядра DSP IP:
 - Общие функции DSP процессов, такие как фильтр с конечной импульсной характеристикой (КИХ-фильтр) (FIR), быстрое преобразование Фурье (БПФ) (FFT) и генератор с числовым программным управлением (NCO).
 - Наборы функций для общей обработки динамических и статических видео изображений.
- Набор готовых к применению примеров проектов.
- Инструмент интерфейса DSP Builder между программой Quartus II и средами MathWorks Simulink и MATLAB design.
- Оценочные платы DSP.

За подробной информацией о встроенных умножителях и поддержки цифровых сигнальных процессоров обратитесь к главе ["Встроенные умножители в чипах Cyclone III"](#).

Тактовые сети и PLL

Чипы семейства Cyclone III содержат 20 глобальных тактовых сетей. Сигналы для глобальных тактовых сетей вы можете подавать со специальных тактовых выводов, тактовых выводов двойного назначения, пользовательской логики и PLL. Чипы семейства Cyclone III могут иметь до четырёх PLL с пятью выходами для каждой PLL, чтобы гарантировать чёткое управление и синтез тактовых сигналов. Вы можете использовать PLL для управления тактовыми сигналами внутри чипа, управления внешними системными тактовыми сигналами и I/O интерфейсами.

Вы можете динамически реконфигурировать PLL в чипах семейства Cyclone III для того, чтобы производить авто калибровку интерфейсов с внешней памятью во время работы устройства. Это средство позволяет поддерживать несколько входов источников сигналов частоты и соответствующие требования по умножению, делению и фазовому сдвигу частоты. PLL в чипах семейства Cyclone III могут быть включены каскадно, чтобы генерировать до десяти внутренних тактовых сигналов и двух внешних тактовых сигналов от одного задающего внешнего тактового сигнала.

За дополнительной информацией обратитесь к технической информации для чипов [Cyclone III](#), [Cyclone III LS](#) и к главе ["Тактовые сети и PLL в чипах Cyclone III"](#).

Средства I/O (ввода/вывода)

Чипы семейства Cyclone III имеют 11 I/O банков. Все I/O банки поддерживают одиночные и дифференциальные стандарты I/O, перечисленные в табл. 1-6.

Табл. 1-6 Поддержка стандартов I/O семейством Cyclone III

Тип I/O	Стандарт
Одиночный I/O	LVTTL, LVCMOS, SSTL, HSTL, PCI, PCI-X
Дифференциальный I/O	SSTL, HSTL, LVPECL, BLVDS, LVDS, mini-LVDS, RSDS, PPDS

В семействе Cyclone III I/O также поддерживают программируемое удержание шины, программируемые нагрузочные резисторы, программируемую задержку, программируемую мощность, программируемую скорость нарастания выходного напряжения для оптимизации целостности сигнала и обеспечения горячей замены.

Семейство Cyclone III поддерживает калибруемую внутри чиповую оконечную схему (RS OCT) или драйвер согласования импеданса (Rs) для одиночных I/O стандартов с одним OCT калибровочным блоком на каждой стороне.

За дополнительной информацией обратитесь к главе ["Средства ввода/вывода в чипах Cyclone III"](#).

Высокоскоростные дифференциальные интерфейсы

Семейство Cyclone III поддерживает высокоскоростные дифференциальные интерфейсы, такие как BLVDS, LVDS, mini-LVDS, RSDS и PPDS. Высокоскоростные I/O стандарты, обеспечивающие высокую пропускную способность данных, в чипах Cyclone III задействуют относительно небольшое количество I/O выводов, что идеально для недорогих приложений. Специальные дифференциальные выходные драйверы в левых и правых I/O банках передают данные на скоростях до 875 Мбит/с для чипов Cyclone III и до 740 Мбит/с для чипов Cyclone III LS, при этом подключения внешних резисторов не требуется. Это сохраняет место на PCB плате и упрощает

разводку. Верхние и нижние I/O банки поддерживают дифференциальную передачу (с дополнительной схемой с внешним резистором), скорость данных до 640 Мбит/с для чипов Cyclone III и Cyclone III LS.

За дополнительной информацией обратитесь к главе "[Высокоскоростные дифференциальные интерфейсы в чипах Cyclone III](#)".

Автокалибровка интерфейсов с внешней памятью

Семейство Cyclone III поддерживает популярные типы внешней памяти, такие как DDR, DDR2, SDR SDRAM и QDR II SRAM. Интерфейс с памятью DDR2 SDRAM поддерживает скорость передачи до 400 Мбит/с для чипов Cyclone III и до 333 Мбит/с для чипов Cyclone III LS. Интерфейсы с памятью поддерживаются со всех сторон чипов семейства Cyclone III. Семейство Cyclone III имеет ОСТ, выходные регистры DDR и программируемую DQ группу шириной от 8 до 36 бит, чтобы позволить быстро и качественно реализовывать различные стандарты памяти.

Мегафункция автокалибровки доступна в программе Quartus II для физического уровня интерфейсов с памятью DDR и QDR. Эта мегафункция выгодно оптимизирует структуру чипов Cyclone III, упрощает достижение временных ограничений и даёт воспользоваться преимуществом динамической реконфигурации PLL в чипах Cyclone III для калибровки PVT изменений.

За дополнительной информацией обратитесь к главе "[Интерфейс с внешней памятью в чипах Cyclone III](#)".

Поддержка стандартных встраиваемых процессоров

Чтобы быстро и просто создать проект системного уровня с использованием чипов семейства Cyclone III, вы можете подобрать 32-битное ядро процессора: Freescale® V1 Coldfire, ARM® Cortex M1 или Altera Nios® II, - и использовать его совместно с более чем 50 других IP блоков библиотеки в составе инструмента сборщика системы на программируемом чипе (SOPC Builder). Инструмент SOPC Builder является инструментом разработки в программе Altera Quartus II, он реализует интеграцию в систему на чипе FPGA IP блоков. Инструмент SOPC Builder автоматически генерирует логику внутренних соединений и создаёт тестовый стенд (testbench) для функциональной верификации, экономя время разработки.

Семейство Cyclone III расширяет возможности устаревших встраиваемых процессоров за счёт набора периферии, памяти, I/O. Один или несколько встраиваемых процессоров Nios II разработанных в чипах семейства Cyclone III могут дать дополнительную производительность или полностью заменить устаревшие встраиваемые процессоры в вашей системе. Совместное использование семейства Cyclone III и Nios II позволяет уменьшить стоимость, увеличить рабочие характеристики процессорных решений, что в совокупности увеличит жизненный цикл вашего продукта и ускорит его выход на рынок по сравнению со стандартными решениями.

Для встраиваемых процессоров Freescale и ARM требуется отдельная лицензия.

Горячая замена и включение после сброса

Семейство Cyclone III поддерживает горячую замену (hot socketing) (также известную как горячее включение (hot plug-in) или hot swap) и последовательность включения без необходимости использования внешних чипов. Вы можете вставлять или вынимать платы с одним или несколькими чипами Cyclone III во время работы системы без каких-либо нежелательных эффектов для работающей системной шины или для платы, устанавливаемой в систему.

Свойство горячей замены позволяет вам использовать FPGA на печатных платах со смешанным питанием для чипов 3.3, 2.5, 1.8, 1.5 и 1.2 В. Средство горячей замены в семействе Cyclone III устраняет необходимость соблюдения последовательности включения для прочих чипов на плате для корректной работы FPGA.

За дополнительной информацией о горячей замене и включении после сброса обратитесь к главе "[Горячая замена и включение после сброса в чипах семейства Cyclone III](#)".

SEU смягчение

Чипы семейства Cyclone III LS имеют встроенную схему детектирования ошибок для проверки повреждения данных из-за ошибок в программе в ячейках CRAM. Это средство позволяет прочитать и верифицировать содержимое CRAM для сравнения со значением CRC, вычисленным при конфигурировании. Программа Quartus II активизирует встроенный 32-битный проверочный блок CRC, являющийся частью чипа Cyclone II LS.

За дополнительной информацией о SEU (нарушение единичного события) смягчением обратитесь к главе "[SEU смягчение в чипах семейства Cyclone III](#)".

JTAG тестирование методом периферийного сканирования

Семейство Cyclone III поддерживает стандарт JTAG IEEE Std. 1149.1. Архитектура тестирования методом периферийного сканирования (BST) предлагает возможность тестирования соединений выводов без использования физических пробников, а также получать функциональные данные, если чип работает нормально. Ячейки периферийного сканирования в чипах семейства Cyclone III могут направлять сигналы на выводы или получать данные от выводов или сигналы от массивов логики. Данные для тестирования последовательно сдвигаются в ячейки периферийного сканирования. Полученные данные последовательно сдвигаются на выход и во внешней среде сравниваются с ожидаемыми результатами. В дополнение к BST вы можете использовать контроллер IEEE Std. 1149.1 для встроенной реконфигурации (ICR) чипа Cyclone III LS.

За дополнительной информацией о JTAG тестировании методом периферийного сканирования обратитесь к главе "[IEEE 1149.1 \(JTAG\) тестирование методом периферийного сканирования в чипах семейства Cyclone III](#)".

Поддержка программы Quartus II

Программа Quartus II - это ведущая программа проектирования по своим характеристикам и производительности. Это оптимальный пакет разработки для CPLD, FPGA и ASIC в этой отрасли. Программа Quartus II включает в себя интегрированную среду разработки для ускорения процессов проектирования на системном уровне и плавную интеграцию с ведущими программными инструментами и процессами сторонних производителей.

Чипы семейства Cyclone III LS имеют разделение на физическом и функциональном уровне между разделами проекта, критичными к защите информации. Чипы Cyclone III LS предлагают изоляцию между разделами проекта. Это означает, что ошибки на чипе не распространяются от одного раздела к другому, независимо от того, являются они преднамеренными или нет. Процесс разделения проекта в программе Quartus II содействует созданию отдельных регионов в чипах Cyclone III LS под чётким контролем над разводкой в и между регионами LogicLock. Для простоты

использования, процесс разделения интегрирован в существующий процесс инкрементной компиляции.

За дополнительной информацией о средствах программы Quartus II обратитесь к [Настольной книге Quartus II](#).

Конфигурирование

Чипы семейства Cyclone III используют ячейки SRAM для хранения данных о конфигурации. Конфигурационные данные загружаются в чип Cyclone III каждый раз при включении питания. Недорогим решением для конфигурирования является использование чипов последовательной флеш памяти семейства Altera EPCS, а также решения на базе параллельной флеш памяти. Такие решения дают гибкость для приложений общего назначения и возможность получить специфическую конфигурацию и необходимое время пробуждения приложения. Семейство Cyclone III поддерживает следующие схемы конфигурирования: AS, PS, FPP и JTAG. Схема конфигурирования AP поддерживается только в чипах Cyclone III.

За дополнительной информацией обратитесь к главе "[Конфигурирование, защита проекта и удалённое обновление системы в чипах Cyclone III](#)".

Удалённое обновление системы

Семейство Cyclone III поддерживает удалённое обновление системы без внешнего контроллера. Свойство удалённого обновления системы в семействе Cyclone III позволяет обновлять системы из удалённого источника. Программная логика (либо встраиваемый процессор Nios II, либо пользовательская логика), размещённая в Cyclone III может загружать новый образ конфигурации из удалённого источника, сохранять его в конфигурационной памяти и управлять специальной схемой удалённого обновления системы для запуска цикла реконфигурации. Специальная схема выполняет проверку на ошибки во время и после процесса конфигурирования, а также может возвращать из состояния ошибки, восстанавливая сохранённый образ конфигурации. Специальная схема также предлагает информацию по статусу ошибки. Семейство Cyclone III поддерживает удалённое обновление системы только по AS и AP схемам конфигурирования.

За дополнительной информацией обратитесь к главе "[Конфигурирование, защита проекта и удалённое обновление системы в чипах Cyclone III](#)".

Защита проекта

Семейство Cyclone III LS имеет средство защиты проекта, которое играет важную роль в больших и ответственных проектах в конкурирующих военных и коммерческих средах. Задействовав шифрование потока битов конфигурации и средства против вмешательства (anti-tamper), чипы Cyclone III LS защищают ваш проект от копирования, реверсивного проектирования и вмешательства. Защита конфигурации в чипах Cyclone III LS использует AES с 256-битным защитным ключом.

За дополнительной информацией обратитесь к главе "[Конфигурирование, защита проекта и удалённое обновление системы в чипах Cyclone III](#)".

Справочная информация и для заказа

На рис. 1-1 и 1-2 показаны коды заказа для чипов Cyclone III и Cyclone III LS.

Figure 1–1. Cyclone III Device Packaging Ordering Information

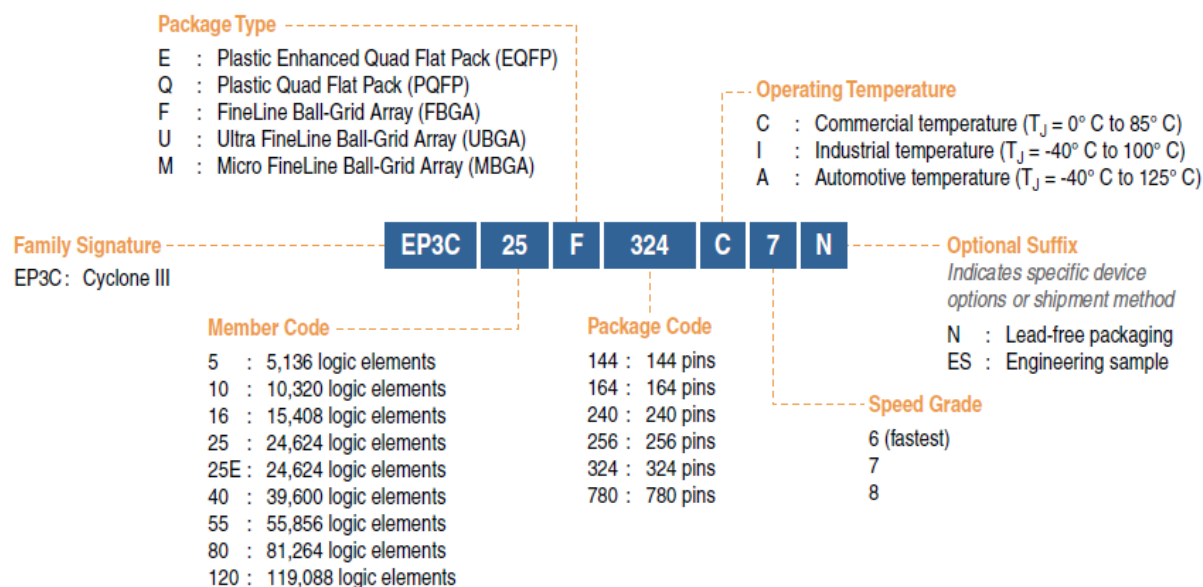
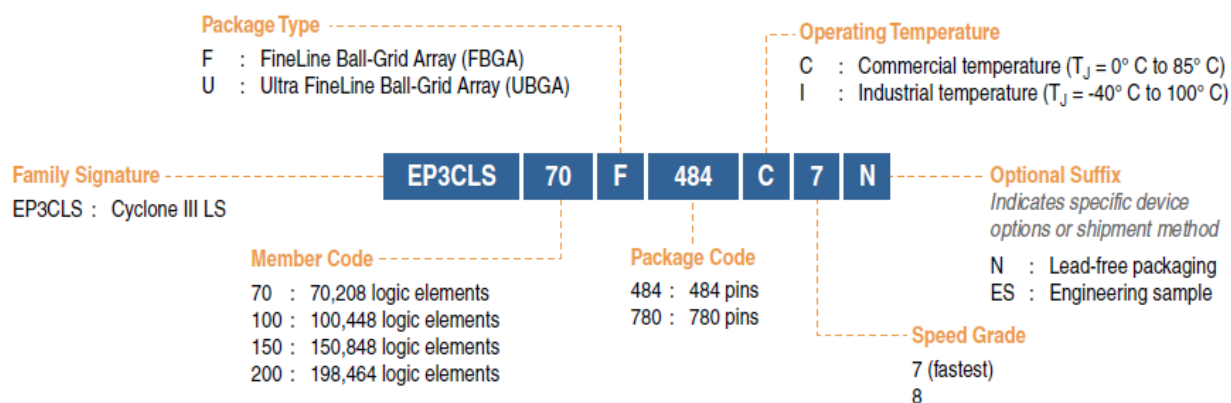


Figure 1–2. Cyclone III LS Device Packaging Ordering Information



1. Общее представление о семействе Cyclone III	1-1
Средства семейства Cyclone III	1-1
FPGA с малым энергопотреблением	1-1
Средство защиты проекта	1-2
Увеличенная системная интеграция	1-2
Архитектура семейства Cyclone III	1-6
Логические элементы и блоки массивов логики	1-6
Блоки памяти	1-7
Встроенные умножители и поддержка цифровых сигнальных процессоров	1-7
Тактовые сети и PLL	1-8
Средства I/O (ввода/вывода)	1-8
Высокоскоростные дифференциальные интерфейсы	1-8
Автокалибровка интерфейсов с внешней памятью	1-9
Поддержка стандартных встраиваемых процессоров	1-9
Горячая замена и включение после сброса	1-9
SEU смягчение	1-10
JTAG тестирование методом периферийного сканирования	1-10
Поддержка программы Quartus II	1-10
Конфигурирование	1-11
Удалённое обновление системы	1-11
Защита проекта	1-11
Справочная информация и для заказа	1-12