

Опциональные выводы: паритета, DM и кодирования коррекции ошибок

Чипы семейства Cyclone III поддерживают паритет в режимах $\times 9$, $\times 18$ и $\times 36$. Один бит паритета доступен для каждых восьми битов на выводах данных. Вы можете использовать любой из DQ выводов под паритет в чипах семейства Cyclone III, поскольку выводы паритета обрабатываются и конфигурируются также как и DQ выводы.

Выводы DM требуются только для записи в чипы DDR2 и DDR SDRAM. Чипы QDR II SRAM используют сигнал BWS# для выбора байта для записи в память. Низкий уровень сигнала на выводе DM или BWS# показывает, что запись правильная. Перевод сигнала на выводе DM или BWS# показывает, что память маскирует DQ сигналы. Каждая группа сигналов DQS и DQ имеет один вывод DM. Также как и выходные сигналы DQ, сигналы DM тактируются сдвинутым по фазе на -90° тактом.

В чипах семейства Cyclone III, выводы DM предписаны выходным выводам чипа. Компоновщик Quartus II рассматривает выводы DQ и DM в группе DQS наравне при выполнении размещения. Предназначенные выводы DQ и DM — это привелегированные выводы.

Большинство чипов DDR2 SDRAM и DDR SDRAM поддерживают кодирование коррекции ошибок (ECC) — метод детектирования и автоматической коррекции ошибок при передаче данных. В 72-х битовой DDR2 SDRAM или DDR SDRAM есть восемь выводов ECC и 64 вывода данных. Подключайте выводы DDR2 и DDR SDRAM ECC к разным группам DQS и DQ в чипах семейства Cyclone III. Контроллеру памяти потребуется дополнительная логика для кодирования и декодирования ECC данных.

Адресные и контрольные/командные выводы

Сигналы адреса и контрольные или командные сигналы обычно посылаются на одной скорости данных. Вы можете использовать любой из пользовательских I/O выводов во всех I/O банках чипов семейства Cyclone III для генерации сигналов адреса и контрольных или командных сигналов для чипа памяти.

Чипы семейства Cyclone III не поддерживают QDR II SRAM, разбитые на две части.

Тактовые выводы памяти

В интерфейсах памяти DDR2 and DDR SDRAM сигналы тактов памяти (CK и CK#) используются для захвата сигналов адреса и контрольных и командных сигналов. Точно также и чипы QDR II SRAM используют такты записи (K и K#) для захвата сигналов адреса и команд. Сигналы CK/CK# и K/K# генерируются похожими на стробы записи данных, с использованием DDIO регистров в чипах семейства Cyclone III.

Выводы CK/CK# должны размещаться на дифференциальных I/O выводах и не могут размещаться в тех же столбцах или строках, что и DQ выводы.

Семейство чипов Cyclone III. Интерфейс с памятью. Средства

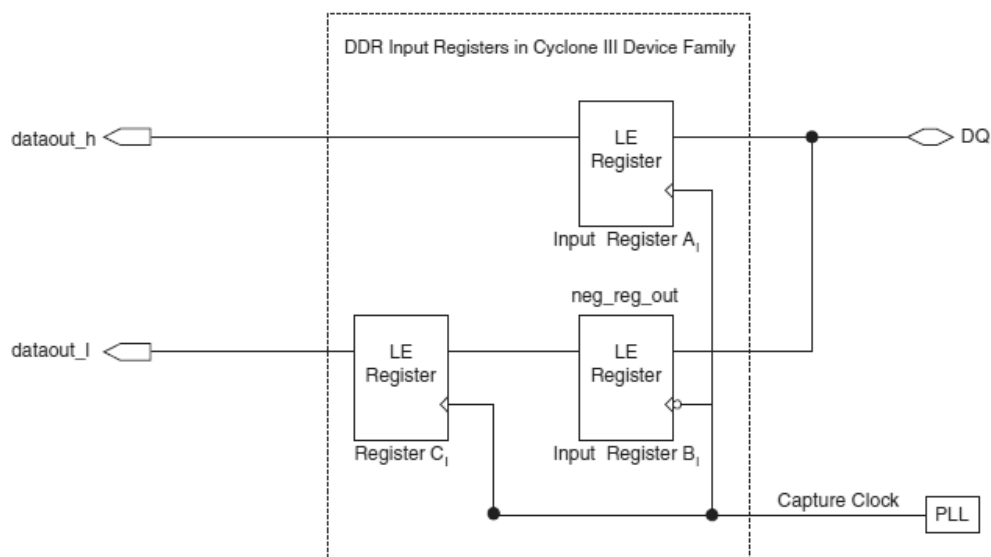
В этой секции описываются интерфейсы памяти чипов семейства Cyclone III, включая входные регистры DDR, выходные регистры DDR, OCT и петлю защёлкивания фазы (PLLs).

Входные регистры DDR

Входные регистры DDR реализуются на трёх логических элементах (LE) регистров для каждого DQ вывода. Эти логические элементы располагаются в блоке массива логики (LAB) рядом с входным выводом DDR.

На рисунке 8-4 показаны входные регистры в чипах Cyclone III.

Figure 8-4. Cyclone III Device Family DDR Input Registers



Данные DDR сначала поступают на два регистра, входной регистр AI и входной регистр BI.

- Входной регистр AI захватывает данные DDR на нарастающем фронте тактов
- Входной регистр BI захватывает данные DDR на спадающем фронте тактов
- Регистр CI выравнивает данные по системному такту

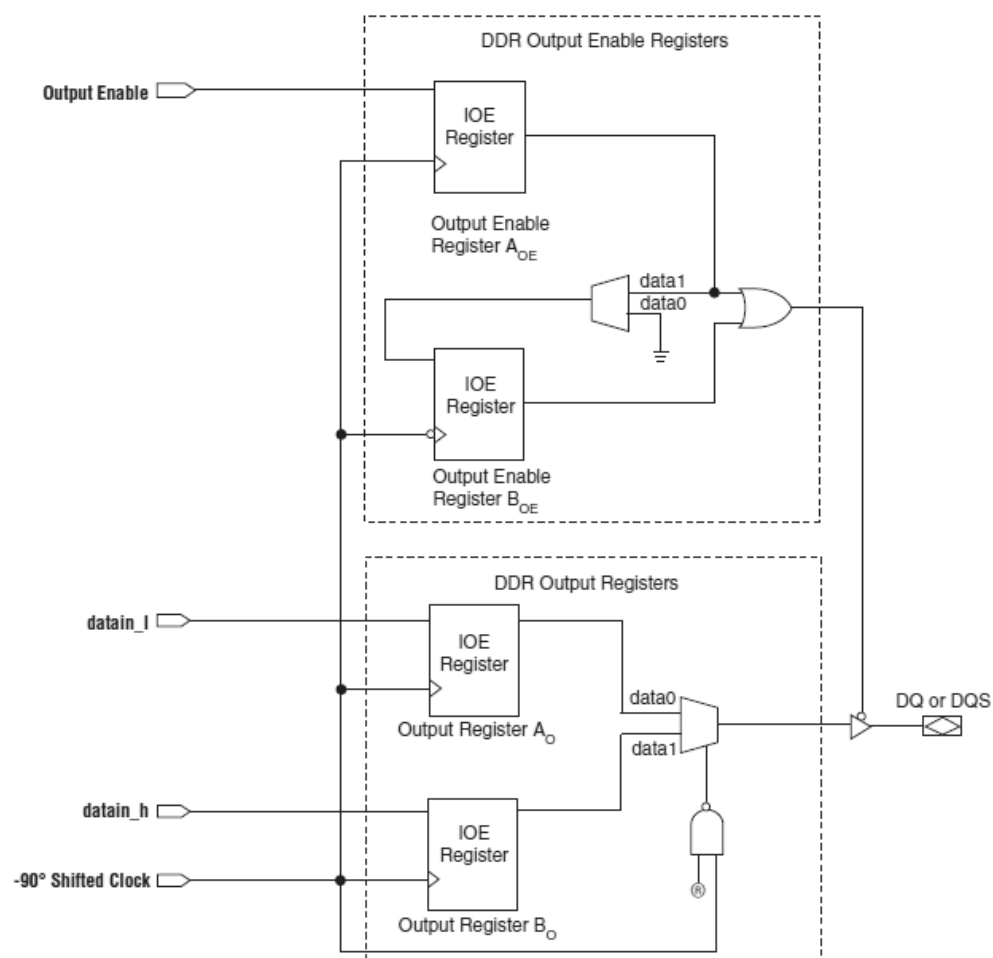
Данные от входного регистра DDR поступают на два регистра sync_reg_h и sync_reg_l, затем данные обычно передаются в блок FIFO для синхронизации двух потоков данных по нарастающему фронту системного такта. Поскольку такт захвата чтения генерируется в PLL, сигнал стробирования данных чтения (DQS или CQ) не используется во время операции чтения в чипах семейства Cyclone III; поэтому заключение не применяется в этом случае.

Выходные регистры DDR

Специальный блок записи DDIO реализован на путях выхода DDR и разрешения выхода.

На рисунке 8-5 показано, как реализован специальный блок записи DDIO в регистрах I/O элемента (IOE).

Figure 8–5. Cyclone III Device Family Dedicated Write DDIO



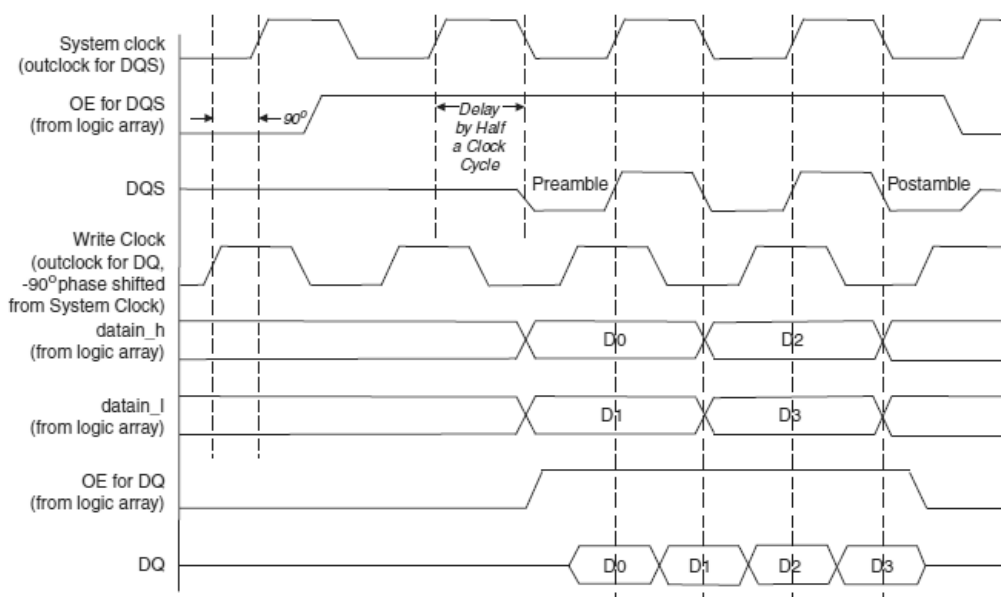
Два выходных регистра DDR расположены в блоке I/O элемента (IOE). Два последовательных потока данных, подводимых через `datain_l` и `datain_h`, поступают на два регистра, выходные регистры `AO` и `BO`, соответственно, по одному фронту такта. Выход регистра `AO` захватывается по спадающему фронту такта, когда выход регистра `BO` захватывается по нарастающему фронту такта. Выходы регистров мультиплексируются общим тактом и поступают на выходной вывод DDR на удвоенной скорости передачи.

Путь разрешения выхода DDR похож по своей структуре на путь выхода DDR в блоке IOE. Второй регистр разрешения выхода создаёт преамбулу для строба `DQS` в интерфейсе с внешней памятью DDR. Активный ноль регистра разрешения выхода переводит вывод в высоко импедансное состояние на половину тактового цикла, удовлетворяя спецификации преамбулы `DQS` записи во внешнюю память.

За дополнительной информацией об IOE регистрах в чипах семейства Cyclone III, обратитесь к главе "Средства ввода/вывода в чипах Cyclone III".

На рисунке 8-6 показан второй регистр разрешения выхода, переводящий DQS в высокоимпедансное состояние на половину тактового цикла во время операции записи.

Figure 8–6. Extending the OE Disable by Half a Clock Cycle for a Write Transaction (Note 1)



Примечание к рисунку 8-6:

- (1) Временные диаграммы отображают результат симуляции. Сигнал OE в активном нуле на чипе. Однако, программа Quartus II переводит его в активную единицу и автоматически добавляет инвертор перед входом D в AOE регистре.

OCT

Чипы семейства Cyclone III поддерживают калибровку оконечной схемы на чипе (RS OCT) в обоих вертикальных и горизонтальных I/O банках. Чтобы использовать OCT, вы должны использовать выводы RUP и RDN для каждого контрольного блока RS OCT (один на каждой стороне). Вы можете использовать блок калибровки OCT для калибровки одного вида оконечной схемы с одним VCCIO, подводимым к этой стороне.

За дополнительной информацией о блоке калибровки OCT в чипах семейства Cyclone III, обратитесь к главе "Средства ввода/вывода в чипах Cyclone III".

PLL

Для организации интерфейса с внешней памятью используется PLL для генерации системного такта памяти, такта записи, такта захвата и такта ядра логики. Системный такт генерирует сигналы записи DQS, команды и адрес. Такт записи сдвинут на -90° от системного такта и генерирует сигналы DQ во время записи. Вы можете использовать средство реконфигурации PLL для калибровки фазового сдвига захвата чтения, чтобы сбалансировать временной запас установки и удержания.

PLL реализуется в мегафункции ALTMEMPHY. Все выходы PLL используются, когда мегафункция ALTMEMPHY применяется для интерфейса с внешней памятью.

Для дополнительной информации о том, как используются выходы PLL мегафункцией ALTMEMPHY, обратитесь к разделу "Литература: Интерфейсы с внешней памятью" на сайте Altera.

За дополнительной информацией о PLL в чипах семейства Cyclone III, обратитесь к главе "Тактовые сети и PLLs в чипах Cyclone III".