

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			REFCLK_GXBL1F_CHTp					M28				
1F			REFCLK_GXBL1F_CHTn					M27				
1F			GXBL1F_TX_CH5n					B31				
1F			GXBL1F_TX_CH5p					B32				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					C29				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					C30				
1F			GXBL1F_TX_CH4n					D31				
1F			GXBL1F_TX_CH4p					D32				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					E29				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					E30				
1F			GXBL1F_TX_CH3n					F31				
1F			GXBL1F_TX_CH3p					F32				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					G29				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					G30				
1F			GXBL1F_TX_CH2n					H31				
1F			GXBL1F_TX_CH2p					H32				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					J29				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					J30				
1F			GXBL1F_TX_CH1n					C33				
1F			GXBL1F_TX_CH1p					C34				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					K31				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					K32				
1F			GXBL1F_TX_CH0n					E33				
1F			GXBL1F_TX_CH0p					E34				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					L29				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					L30				
1F			REFCLK_GXBL1F_CHBp					P28				
1F			REFCLK_GXBL1F_CHBn					P27				
1E			REFCLK_GXBL1E_CHTp					T28				
1E			REFCLK_GXBL1E_CHTn					T27				
1E			GXBL1E_TX_CH5n					G33				
1E			GXBL1E_TX_CH5p					G34				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					M31				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					M32				
1E			GXBL1E_TX_CH4n					J33				
1E			GXBL1E_TX_CH4p					J34				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					N29				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					N30				
1E			GXBL1E_TX_CH3n					L33				
1E			GXBL1E_TX_CH3p					L34				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					P31				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					P32				
1E			GXBL1E_TX_CH2n					N33				
1E			GXBL1E_TX_CH2p					N34				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					R29				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					R30				
1E			GXBL1E_TX_CH1n					R33				
1E			GXBL1E_TX_CH1p					R34				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					T31				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					T32				
1E			GXBL1E_TX_CH0n					U33				
1E			GXBL1E_TX_CH0p					U34				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					U29				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					U30				
1E			REFCLK_GXBL1E_CHBp					V28				
1E			REFCLK_GXBL1E_CHBn					V27				
1D			REFCLK_GXBL1D_CHTp					Y28				
1D			REFCLK_GXBL1D_CHTn					Y27				
1D			GXBL1D_TX_CH5n					W33				
1D			GXBL1D_TX_CH5p					W34				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					V31				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					V32				
1D			GXBL1D_TX_CH4n					AA33				
1D			GXBL1D_TX_CH4p					AA34				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					W29				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					W30				
1D			GXBL1D_TX_CH3n					AC33				
1D			GXBL1D_TX_CH3p					AC34				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					Y31				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					Y32				
1D			GXBL1D_TX_CH2n					AE33				
1D			GXBL1D_TX_CH2p					AE34				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AA29				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AA30				
1D			GXBL1D_TX_CH1n					AG33				
1D			GXBL1D_TX_CH1p					AG34				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AB31				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AB32				
1D			GXBL1D_TX_CH0n					AJ33				
1D			GXBL1D_TX_CH0p					AJ34				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AC29				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AC30				
1D			REFCLK_GXBL1D_CHBp					AB28				
1D			REFCLK_GXBL1D_CHBn					AB27				
1C			REFCLK_GXBL1C_CHTp					AD28				
1C			REFCLK_GXBL1C_CHTn					AD27				
1C			GXBL1C_TX_CH5n					AL33				
1C			GXBL1C_TX_CH5p					AL34				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AD31				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AD32				
1C			GXBL1C_TX_CH4n					AN33				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_TX_CH4p					AN34				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					AE29				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					AE30				
1C			GXBL1C_TX_CH3n					AH31				
1C			GXBL1C_TX_CH3p					AH32				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					AF31				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					AF32				
1C			GXBL1C_TX_CH2n					AK31				
1C			GXBL1C_TX_CH2p					AK32				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					AG29				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					AG30				
1C			GXBL1C_TX_CH1n					AM31				
1C			GXBL1C_TX_CH1p					AM32				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					AJ29				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					AJ30				
1C			GXBL1C_TX_CH0n					AP31				
1C			GXBL1C_TX_CH0p					AP32				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					AL29				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					AL30				
1C			REFCLK_GXBL1C_CHBp					AF28				
1C			REFCLK_GXBL1C_CHBn					AF27				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	D19	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	C19	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	B20	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	B21	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	A21	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	B22	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	A20	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	A19	DQS1	DQSn0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	B18	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	A18	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	D17	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	C18	DQ1	DQ0	DQSn0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	D20	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	C20	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	C22	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	D22	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	E19	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	F19	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	D21	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	E21	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	F20	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	G20	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	E18	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	E17	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	H19	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	J19	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	G17	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	F18	DQS4	DQ2	DQ1	DQSn0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	H18	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	G18	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	F21	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	G21	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	H17	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	J17	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	H20	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	J20	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	M20	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	L20	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	L19	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	K19	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	J21	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	K21	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	L21	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	M21	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	L18	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	K18	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	M18	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	M17	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	C23	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	B23	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	A26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	B26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	B27	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	C27	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	D24	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	C24	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	A25	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	B25	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	A24	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	A23	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	C25	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	D25	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	D26	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	E26	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	F23	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	E22	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	D27	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	E27	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	F24	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	F25	DQ11	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	E24	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	E23	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	F26	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	G26	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	J22	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	H22	DQSn12	DQ6	DQ3	DQSn1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	H23	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	H24	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	G25	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	H25	DQSn13	DQSn6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	G22	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	G23	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	G27	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	H27	DQ13	DQ6	DQSn3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	K22	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	K23	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	M23	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	L23	DQSn14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	J26	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	J27	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	J25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	K25	DQSn15	DQSn7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	J24	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	K24	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	L24	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	M24	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No	AD25	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No	AE24	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes	AH27	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes	AJ27	DQSn16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No	AH26	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No	AJ26	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes	AF25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes	AG25	DQSn17	DQSn8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No	AH25	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO			LVDS2J_5p	No	AJ25	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes	AD24	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes	AC24	DQ17	DQ8	DQSn4/CQ4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No	AM27	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No	AN27	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes	AP27	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes	AP26	DQSn18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No	AK26	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No	AK27	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes	AM26	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes	AM25	DQSn19	DQSn9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No	AN25	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No	AP25	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes	AL26	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes	AL27	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No	AP24	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No	AN24	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes	AL25	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes	AL24	DQSn20	DQ10	DQ5	DQSn2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No	AP22	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No	AP21	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes	AN22	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes	AM22	DQSn21	DQSn10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No	AN23	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No	AM23	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes	AP20	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes	AN20	DQ21	DQ10	DQSn5/CQ5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No	AE23	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No	AF24	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes	AG23	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes	AF23	DQSn22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No	AK24	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No	AJ24	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes	AH24	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes	AH23	DQSn23	DQSn11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO			LVDS2J_23n	No	AK23	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No	AL23	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes	AK22	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes	AJ22	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO			LVDS2I_7n	No	AP19	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO			LVDS2I_7p	No	AN19	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO			LVDS2I_8n	Yes	AL19	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO			LVDS2I_8p	Yes	AK19	DQSn26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO			LVDS2I_9n	No	AJ21	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO			LVDS2I_9p	No	AK21	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes	AM21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes	AL21	DQSn27	DQSn13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO			LVDS2I_11n	No	AM20	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I		LVDS2I_11p	No	AL20	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n		LVDS2I_12n	Yes	AJ19	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p		LVDS2I_12p	Yes	AJ20	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n		LVDS2I_13n	No	AH22	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p		LVDS2I_13p	No	AG22	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO			LVDS2I_14n	Yes	AD22	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO			LVDS2I_14p	Yes	AC22	DQSn28	DQ14	DQ7	DQSn3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No	AF20	DQ28	DQ14	DQ7	DQ3

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No	AG21	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO			LVDS2I_16n	Yes	AH20	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO			LVDS2I_16p	Yes	AG20	DQS29	DQS14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO			LVDS2I_17n	No	AF21	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO			LVDS2I_17p	No	AE22	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO			LVDS2I_18n	Yes	AD20	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO			LVDS2I_18p	Yes	AC20	DQ29	DQ14	DQS7/CQ7	DQ3
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	AK13	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	AL13	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	AP17	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	AP16	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	AP15	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	AN15	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	AM13	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	AN13	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	AP12	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	AN12	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	AP14	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	AN14	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	AN18	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	AM18	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	AN17	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AM17	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	AK14	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	AL14	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	AM16	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	AL16	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	AL18	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	AK18	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	AL15	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	AM15	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	AH19	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	AH18	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	AH14	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	AJ14	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	AH17	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	AG17	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	AK17	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	AJ17	DQS61	DQSn30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	AH15	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	AJ15	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR	LVDS2A_18n	Yes	AK16	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST	LVDS2A_18p	Yes	AJ16	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY	LVDS2A_19n	No	AE17	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0	LVDS2A_19p	No	AE16	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE	LVDS2A_20n	Yes	AF16	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1	LVDS2A_20p	Yes	AG16	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No	AE18	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No	AD19	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes	AE19	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes	AF19	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No	AG18	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No	AF18	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes	AD17	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes	AC17	DQ63	DQ31	DQ15	DQ7
3F	47	VREFB3FN0	IO			LVDS3F_1n	No	M13	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO			LVDS3F_1p	No	L13	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO			LVDS3F_2n	Yes	H13	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO			LVDS3F_2p	Yes	G13	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO			LVDS3F_3n	No	F13	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO			LVDS3F_3p	No	E13	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO			LVDS3F_4n	Yes	K13	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO			LVDS3F_4p	Yes	K12	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO			LVDS3F_5n	No	J12	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO			LVDS3F_5p	No	H12	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO			LVDS3F_6n	Yes	G11	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO			LVDS3F_6p	Yes	G12	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO			LVDS3F_7n	No	E12	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO			LVDS3F_7p	No	D12	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO			LVDS3F_8n	Yes	C13	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO			LVDS3F_8p	Yes	C12	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO			LVDS3F_9n	No	E11	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO			LVDS3F_9p	No	F11	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n		LVDS3F_10n	Yes	B12	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1		LVDS3F_10p	Yes	B11	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO			LVDS3F_11n	No	B10	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F		LVDS3F_11p	No	C10	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n		LVDS3F_12n	Yes	D10	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p		LVDS3F_12p	Yes	D11	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n		LVDS3F_13n	No	A9	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p		LVDS3F_13p	No	A8	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO			LVDS3F_14n	Yes	A11	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO			LVDS3F_14p	Yes	A10	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n		LVDS3F_15n	No	B8	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0		LVDS3F_15p	No	C8	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO			LVDS3F_16n	Yes	E9	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO			LVDS3F_16p	Yes	E8	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO			LVDS3F_17n	No	C9	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO			LVDS3F_17p	No	D9	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO			LVDS3F_18n	Yes	B7	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO			LVDS3F_18p	Yes	C7	DQ85	DQ42	DQS21/CQ21	DQ10

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3F	11	VREFB3FN0	IO			LVDS3F_19n	No	A6	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO			LVDS3F_19p	No	B6	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO			LVDS3F_20n	Yes	D7	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO			LVDS3F_20p	Yes	D6	DQSn86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO			LVDS3F_21n	No	C4	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO			LVDS3F_21p	No	D4	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO			LVDS3F_22n	Yes	A4	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO			LVDS3F_22p	Yes	A3	DQSn87	DQSn43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO			LVDS3F_23n	No	A5	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO			LVDS3F_23p	No	B5	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO			LVDS3F_24n	Yes	C5	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO			LVDS3F_24p	Yes	D5	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3ENO	IO			LVDS3E_1n	No	J11	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3ENO	IO			LVDS3E_1p	No	K11	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3ENO	IO			LVDS3E_2n	Yes	F10	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3ENO	IO			LVDS3E_2p	Yes	G10	DQSn88	DQ44	DQ22	DQ11
3E	43	VREFB3ENO	IO			LVDS3E_3n	No	F9	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3ENO	IO			LVDS3E_3p	No	F8	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3ENO	IO			LVDS3E_4n	Yes	H10	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3ENO	IO			LVDS3E_4p	Yes	J10	DQSn89	DQSn44/CQ44	DQ22	DQ11
3E	39	VREFB3ENO	IO			LVDS3E_5n	No	H8	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3ENO	IO			LVDS3E_5p	No	H9	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3ENO	IO			LVDS3E_6n	Yes	G7	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3ENO	IO			LVDS3E_6p	Yes	G8	DQ89	DQ44	DQSn22/CQ22	DQ11
3E	35	VREFB3ENO	IO			LVDS3E_7n	No	B3	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3ENO	IO			LVDS3E_7p	No	C3	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3ENO	IO			LVDS3E_8n	Yes	E4	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3ENO	IO			LVDS3E_8p	Yes	F4	DQSn90	DQ45	DQ22	DQ11
3E	31	VREFB3ENO	IO			LVDS3E_9n	No	E6	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3ENO	IO			LVDS3E_9p	No	E7	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3ENO	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes	D2	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3ENO	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes	E2	DQSn91	DQSn45/CQ45	DQ22	DQ11
3E	27	VREFB3ENO	IO			LVDS3E_11n	No	E3	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3ENO	IO	RZQ_3E		LVDS3E_11p	No	F3	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3ENO	IO	CLK_3E_1n		LVDS3E_12n	Yes	F5	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3ENO	IO	CLK_3E_1p		LVDS3E_12p	Yes	F6	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3ENO	IO	CLK_3E_0n		LVDS3E_13n	No	G6	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3ENO	IO	CLK_3E_0p		LVDS3E_13p	No	G5	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3ENO	IO			LVDS3E_14n	Yes	H2	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3ENO	IO			LVDS3E_14p	Yes	H3	DQSn92	DQ46	DQ23	DQSn11/CQ11
3E	19	VREFB3ENO	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No	D1	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3ENO	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No	E1	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3ENO	IO			LVDS3E_16n	Yes	G3	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3ENO	IO			LVDS3E_16p	Yes	G2	DQSn93	DQSn46/CQ46	DQ23	DQ11
3E	15	VREFB3ENO	IO			LVDS3E_17n	No	H4	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3ENO	IO			LVDS3E_17p	No	H5	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3ENO	IO			LVDS3E_18n	Yes	F1	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3ENO	IO			LVDS3E_18p	Yes	G1	DQ93	DQ46	DQSn23/CQ23	DQ11
3E	11	VREFB3ENO	IO			LVDS3E_19n	No	J9	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3ENO	IO			LVDS3E_19p	No	K9	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3ENO	IO			LVDS3E_20n	Yes	L10	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3ENO	IO			LVDS3E_20p	Yes	L9	DQSn94	DQ47	DQ23	DQ11
3E	7	VREFB3ENO	IO			LVDS3E_21n	No	H7	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3ENO	IO			LVDS3E_21p	No	J6	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3ENO	IO			LVDS3E_22n	Yes	J7	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3ENO	IO			LVDS3E_22p	Yes	K8	DQSn95	DQSn47/CQ47	DQ23	DQ11
3E	3	VREFB3ENO	IO			LVDS3E_23n	No	L11	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3ENO	IO			LVDS3E_23p	No	M11	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3ENO	IO			LVDS3E_24n	Yes	M10	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3ENO	IO			LVDS3E_24p	Yes	N10	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DNO	IO			LVDS3D_1n	No	R9	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DNO	IO			LVDS3D_1p	No	T9	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DNO	IO			LVDS3D_2n	Yes	T8	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DNO	IO			LVDS3D_2p	Yes	U8	DQSn96	DQ48	DQ24	DQ12
3D	43	VREFB3DNO	IO			LVDS3D_3n	No	U7	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DNO	IO			LVDS3D_3p	No	V7	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DNO	IO			LVDS3D_4n	Yes	T10	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DNO	IO			LVDS3D_4p	Yes	U10	DQSn97	DQSn48/CQ48	DQ24	DQ12
3D	39	VREFB3DNO	IO			LVDS3D_5n	No	V8	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DNO	IO			LVDS3D_5p	No	V9	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DNO	IO			LVDS3D_6n	Yes	W9	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DNO	IO			LVDS3D_6p	Yes	W10	DQ97	DQ48	DQSn24/CQ24	DQ12
3D	35	VREFB3DNO	IO			LVDS3D_7n	No	P9	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DNO	IO			LVDS3D_7p	No	N9	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DNO	IO			LVDS3D_8n	Yes	P7	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DNO	IO			LVDS3D_8p	Yes	N7	DQSn98	DQ49	DQ24	DQ12
3D	31	VREFB3DNO	IO			LVDS3D_9n	No	R7	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DNO	IO			LVDS3D_9p	No	R8	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DNO	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes	M8	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DNO	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes	N8	DQSn99	DQSn49/CQ49	DQ24	DQ12
3D	27	VREFB3DNO	IO			LVDS3D_11n	No	L8	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DNO	IO	RZQ_3D		LVDS3D_11p	No	K7	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DNO	IO	CLK_3D_1n		LVDS3D_12n	Yes	P6	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DNO	IO	CLK_3D_1p		LVDS3D_12p	Yes	R6	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DNO	IO	CLK_3D_0n		LVDS3D_13n	No	L6	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DNO	IO	CLK_3D_0p		LVDS3D_13p	No	K6	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DNO	IO			LVDS3D_14n	Yes	M7	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DNO	IO			LVDS3D_14p	Yes	M6	DQSn100	DQ50	DQ25	DQSn12/CQ12
3D	19	VREFB3DNO	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No	L5	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DNO	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No	M5	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DNO	IO			LVDS3D_16n	Yes	J5	DQSn101	DQSn50/CQn50	DQ25	DQ12

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	16	VREFB3DN0	IO			LVDS3D_16p	Yes	J4	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO			LVDS3D_17n	No	N5	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO			LVDS3D_17p	No	N4	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO			LVDS3D_18n	Yes	K4	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO			LVDS3D_18p	Yes	L4	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO			LVDS3D_19n	No	M3	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO			LVDS3D_19p	No	M2	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO			LVDS3D_20n	Yes	N3	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO			LVDS3D_20p	Yes	N2	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO			LVDS3D_21n	No	K3	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No	L3	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes	J2	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes	J1	DQS103	DQS51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No	K2	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No	K1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes	L1	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes	M1	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No	R4	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No	T4	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes	P5	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes	P4	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No	R3	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No	T3	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes	T6	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes	T5	DQS105	DQS52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No	U5	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No	U6	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes	V4	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes	V5	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No	R2	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No	P2	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes	P1	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes	R1	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No	V3	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No	U3	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes	T1	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes	U1	DQS107	DQS53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No	U2	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No	V2	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes	W2	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes	W1	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No	Y7	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No	Y6	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes	Y9	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes	Y8	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No	W5	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No	W4	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes	W7	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes	W6	DQS109	DQS54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No	AA9	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No	AA8	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes	AA6	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes	AA5	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No	Y4	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No	Y3	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes	AA4	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes	AA3	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No	AB3	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No	AB2	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes	AC2	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes	AC3	DQS111	DQS55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No	Y2	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No	Y1	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes	AA1	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes	AB1	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO			LVDS3B_1n	No	AB11	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No	AB10	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes	AD1	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes	AD2	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No	AD4	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No	AE4	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes	AB7	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes	AB8	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AB5	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No	AB6	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AC5	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes	AC4	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	AC7	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No	AD7	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AD6	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes	AD5	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	AC10	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	AC9	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	AD9	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	AC8	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	AE7	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AE6	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	AD11	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	AD10	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	AE3	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AE2	DQ116	DQ58	DQ29	DQ14



Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AF5	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AG5	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	AF3	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	AF4	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	AE1	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes	AF1	DQS117	DQSn58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AF6	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No	AG6	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AG3	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes	AH3	DQ117	DQ58	DQSn29/CQ29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	AG2	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No	AG1	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	AH2	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes	AJ1	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	AH4	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No	AJ4	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	AK3	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes	AK4	DQS119	DQSn59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	AJ2	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No	AK2	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	AK1	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes	AL1	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AE9	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No	AF9	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AE8	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes	AF8	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AH9	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No	AH10	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AF10	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes	AG10	DQS121	DQSn60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AG11	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No	AF11	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AE11	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes	AE12	DQ121	DQ60	DQSn30/CQ30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	AG8	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No	AH8	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	AG7	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes	AH7	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	AK8	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No	AK7	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	AH5	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes	AJ5	DQS123	DQSn61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	AJ6	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	AJ7	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	AK9	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes	AJ9	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	AL4	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No	AL5	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	AK6	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes	AL6	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	AL3	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No	AM3	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	AM2	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes	AM1	DQS125	DQSn62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	AM5	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No	AM6	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	AN4	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes	AP4	DQ125	DQ62	DQSn31/CQ31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	AN5	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No	AP5	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	AP6	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes	AP7	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	AM8	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	AN8	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	AN9	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	AP9	DQS127	DQSn63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	AL8	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	AL9	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	AM7	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes	AN7	DQ127	DQ63	DQ31	DQ15
4F			REFCLK_GXBR4F_CHTp					T15				
4F			REFCLK_GXBR4F_CHTn					T14				
			GND					AE13				
CSS			TDO		TDO			AJ12				
CSS			TMS		TMS			AL10				
CSS			TRST		TRST			AL11				
CSS			TCK		TCK			AH12				
CSS			TDI		TDI			AH13				
CSS			MSEL0		MSEL0			AG15				
CSS			MSEL1		MSEL1			AG13				
CSS			MSEL2		MSEL2			AG12				
CSS			nIO_PULLUP		nIO_PULLUP			AE14				
CSS			nSTATUS		nSTATUS			AM11				
CSS			CONF_DONE		CONF_DONE			AM12				
			GND					AP11				
CSS			nCONFIG		nCONFIG			AF13				
CSS			nCE		nCE			AF14				
CSS			nCSO0		nCSO0			AN10				
CSS			nCSO1		nCSO1			AM10				
CSS			nCSO2		nCSO2			AP10				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AJ11				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
CSS			AS_DATA1		AS_DATA1			AK12				
CSS			AS_DATA2		AS_DATA2			AK11				
CSS			AS_DATA3		AS_DATA3			AF15				
CSS			DCLK		DCLK			AJ10				
			ADCGND					A14				
			GND					A12				
			GND					A17				
			GND					A22				
			GND					A27				
			GND					A28				
			GND					A30				
			GND					A31				
			GND					A32				
			GND					A33				
			GND					A7				
			GND					AA12				
			GND					AA17				
			GND					AA2				
			GND					AA22				
			GND					AA25				
			GND					AA26				
			GND					AA31				
			GND					AA32				
			GND					AB19				
			GND					AB26				
			GND					AB29				
			GND					AB30				
			GND					AB33				
			GND					AB34				
			GND					AB4				
			GND					AC1				
			GND					AC11				
			GND					AC16				
			GND					AC25				
			GND					AC31				
			GND					AC32				
			GND					AD13				
			GND					AD18				
			GND					AD21				
			GND					AD23				
			GND					AD26				
			GND					AD29				
			GND					AD3				
			GND					AD30				
			GND					AD33				
			GND					AD34				
			GND					AE15				
			GND					AE26				
			GND					AE31				
			GND					AE32				
			GND					AE5				
			GND					AF2				
			GND					AF26				
			GND					AF29				
			GND					AF30				
			GND					AF33				
			GND					AF34				
			GND					AF7				
			GND					AG14				
			GND					AG19				
			GND					AG26				
			GND					AG27				
			GND					AG28				
			GND					AG31				
			GND					AG32				
			GND					AG4				
			GND					AH1				
			GND					AH11				
			GND					AH21				
			GND					AH28				
			GND					AH29				
			GND					AH30				
			GND					AH33				
			GND					AH34				
			GND					AH6				
			GND					AJ13				
			GND					AJ18				
			GND					AJ28				
			GND					AJ3				
			GND					AJ31				
			GND					AJ32				
			GND					AJ8				
			GND					AK10				
			GND					AK25				
			GND					AK28				
			GND					AK29				
			GND					AK30				
			GND					AK33				
			GND					AK34				
			GND					AK5				
			GND					AL12				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AL17				
			GND					AL2				
			GND					AL22				
			GND					AL28				
			GND					AL31				
			GND					AL32				
			GND					AL7				
			GND					AM14				
			GND					AM19				
			GND					AM24				
			GND					AM28				
			GND					AM29				
			GND					AM30				
			GND					AM33				
			GND					AM34				
			GND					AM4				
			GND					AM9				
			GND					AN11				
			GND					AN16				
			GND					AN21				
			GND					AN26				
			GND					AN30				
			GND					AN31				
			GND					AN32				
			GND					AN6				
			GND					AP13				
			GND					AP18				
			GND					AP23				
			GND					AP28				
			GND					AP30				
			GND					AP33				
			GND					AP8				
			GND					B14				
			GND					B19				
			GND					B2				
			GND					B24				
			GND					B28				
			GND					B29				
			GND					B30				
			GND					B33				
			GND					B34				
			GND					B4				
			GND					B9				
			GND					C1				
			GND					C11				
			GND					C16				
			GND					C21				
			GND					C26				
			GND					C28				
			GND					C31				
			GND					C32				
			GND					C6				
			GND					D13				
			GND					D18				
			GND					D23				
			GND					D28				
			GND					D29				
			GND					D3				
			GND					D30				
			GND					D33				
			GND					D34				
			GND					D8				
			GND					E10				
			GND					E15				
			GND					E20				
			GND					E25				
			GND					E28				
			GND					E31				
			GND					E32				
			GND					E5				
			GND					F2				
			GND					F27				
			GND					F28				
			GND					F29				
			GND					F30				
			GND					F33				
			GND					F34				
			GND					F7				
			GND					G14				
			GND					G28				
			GND					G31				
			GND					G32				
			GND					G4				
			GND					G9				
			GND					H1				
			GND					H16				
			GND					H21				
			GND					H26				
			GND					H28				
			GND					H29				
			GND					H30				


Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					H33				
			GND					H34				
			GND					H6				
			GND					J28				
			GND					J3				
			GND					J31				
			GND					J32				
			GND					J8				
			GND					K15				
			GND					K20				
			GND					K26				
			GND					K27				
			GND					K28				
			GND					K29				
			GND					K30				
			GND					K33				
			GND					K34				
			GND					K5				
			GND					L12				
			GND					L17				
			GND					L2				
			GND					L22				
			GND					L25				
			GND					L31				
			GND					L32				
			GND					L7				
			GND					M14				
			GND					M19				
			GND					M25				
			GND					M26				
			GND					M29				
			GND					M30				
			GND					M33				
			GND					M34				
			GND					M4				
			GND					N1				
			GND					N21				
			GND					N26				
			GND					N31				
			GND					N32				
			GND					N6				
			GND					P13				
			GND					P18				
			GND					P23				
			GND					P26				
			GND					P29				
			GND					P3				
			GND					P30				
			GND					P33				
			GND					P34				
			GND					R10				
			GND					R15				
			GND					R20				
			GND					R25				
			GND					R31				
			GND					R32				
			GND					R5				
			GND					T12				
			GND					T17				
			GND					T2				
			GND					T22				
			GND					T26				
			GND					T29				
			GND					T30				
			GND					T33				
			GND					T34				
			GND					U14				
			GND					U19				
			GND					U24				
			GND					U26				
			GND					U31				
			GND					U32				
			GND					U4				
			GND					V1				
			GND					V11				
			GND					V16				
			GND					V21				
			GND					V25				
			GND					V26				
			GND					V29				
			GND					V30				
			GND					V33				
			GND					V34				
			GND					V6				
			GND					W13				
			GND					W18				
			GND					W23				
			GND					W25				
			GND					W3				
			GND					W31				
			GND					W32				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					Y10				
			GND					Y15				
			GND					Y20				
			GND					Y25				
			GND					Y26				
			GND					Y29				
			GND					Y30				
			GND					Y33				
			GND					Y34				
			GND					J15				
			GND					M16				
			GND					M15				
			GND					L16				
			GND					L15				
			GND					J16				
			GND					K16				
			GNDSENSE					Y18				
			VCC					AA11				
			VCC					AA13				
			VCC					AA16				
			VCC					AA18				
			VCC					AA19				
			VCC					AA23				
			VCC					AA24				
			VCC					AB12				
			VCC					AB13				
			VCC					AB14				
			VCC					AB17				
			VCC					AB18				
			VCC					AB21				
			VCC					AB23				
			VCC					AB24				
			VCC					AB25				
			VCC					AC18				
			VCC					AC21				
			VCC					N12				
			VCC					N13				
			VCC					N16				
			VCC					N17				
			VCC					N18				
			VCC					N23				
			VCC					N24				
			VCC					N25				
			VCC					P11				
			VCC					P12				
			VCC					P14				
			VCC					P17				
			VCC					P22				
			VCC					P24				
			VCC					P25				
			VCC					R11				
			VCC					R12				
			VCC					R13				
			VCC					R14				
			VCC					R16				
			VCC					R17				
			VCC					R18				
			VCC					R19				
			VCC					R21				
			VCC					R22				
			VCC					R23				
			VCC					R24				
			VCC					T11				
			VCC					T13				
			VCC					T19				
			VCC					T20				
			VCC					T21				
			VCC					T23				
			VCC					T24				
			VCC					T25				
			VCC					U11				
			VCC					U12				
			VCC					U15				
			VCC					U16				
			VCC					U20				
			VCC					U21				
			VCC					U25				
			VCC					V12				
			VCC					V13				
			VCC					V14				
			VCC					V15				
			VCC					V17				
			VCC					V18				
			VCC					V19				
			VCC					V20				
			VCC					V22				
			VCC					V23				
			VCC					V24				
			VCC					W11				
			VCC					W12				
			VCC					W14				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					W15				
			VCC					W16				
			VCC					W17				
			VCC					W19				
			VCC					W20				
			VCC					W21				
			VCC					W22				
			VCC					W24				
			VCC					Y11				
			VCC					Y12				
			VCC					Y13				
			VCC					Y14				
			VCC					Y16				
			VCC					Y19				
			VCC					Y21				
			VCC					Y22				
			VCC					Y23				
			VCC					Y24				
			VCCPPT					AA14				
			VCCPPT					AA15				
			VCCPPT					AA20				
			VCCPPT					AA21				
			VCCPPT					P15				
			VCCPPT					P16				
			VCCPPT					P19				
			VCCPPT					P20				
			VCCPPT					P21				
			DNU					AN28				
			DNU					AN29				
			DNU					AN3				
			DNU					AN2				
			DNU					AC13				
			DNU					AC14				
			DNU					AC15				
			VCCPGM					AD15				
			VCCPGM					AD16				
			TEMPDIODEn					C14				
			TEMPDIODEp					D14				
			VCCBAT					AD14				
			VCCA_PLL					T16				
			VCCA_PLL					T18				
			VCCIO2A					AF17				
			VCCIO2A					AH16				
			VCCIO2A					AK15				
			VCCIO2I					AE20				
			VCCIO2I					AF22				
			VCCIO2I					AK20				
			VCCIO2J					AE25				
			VCCIO2J					AG24				
			VCCIO2J					AJ23				
			VCCIO2K					F22				
			VCCIO2K					G24				
			VCCIO2K					J23				
			VCCIO2L					F17				
			VCCIO2L					G19				
			VCCIO2L					J18				
			VCCIO3A					AE10				
			VCCIO3A					AF12				
			VCCIO3A					AG9				
			VCCIO3B					AB9				
			VCCIO3B					AC6				
			VCCIO3B					AD8				
			VCCIO3C					AA7				
			VCCIO3C					W8				
			VCCIO3C					Y5				
			VCCIO3D					P8				
			VCCIO3D					T7				
			VCCIO3D					U9				
			VCCIO3E					K10				
			VCCIO3E					M9				
			VCCIO3E					N11				
			VCCIO3F					F12				
			VCCIO3F					H11				
			VCCIO3F					J13				
2A		VREFB2AN0	VREFB2AN0					AC19				
2I		VREFB2IN0	VREFB2IN0					AE21				
2J		VREFB2JN0	VREFB2JN0					AC23				
2K		VREFB2KN0	VREFB2KN0					M22				
2L		VREFB2LN0	VREFB2LN0					K17				
3A		VREFB3AN0	VREFB3AN0					AD12				
3B		VREFB3BN0	VREFB3BN0					AC12				
3C		VREFB3CN0	VREFB3CN0					AA10				
3D		VREFB3DN0	VREFB3DN0					V10				
3E		VREFB3EN0	VREFB3EN0					P10				
3F		VREFB3FN0	VREFB3FN0					M12				
			VREFN_ADC					B13				
			VREFP_ADC					A13				
			NC					H15				
			NC					F15				
			NC					F16				
			NC					C15				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	HF34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC					A15				
			NC					G16				
			NC					E16				
			NC					G15				
			NC					A16				
			NC					D16				
			NC					B17				
			NC					D15				
			NC					C17				
			NC					B15				
			NC					L14				
			NC					K14				
			NC					B16				
			VCCH_GXBL					AC26				
			VCCH_GXBL					L26				
			VCCH_GXBL					R26				
			VCCH_GXBL					W26				
			VCCH_GXBR					AN1				
			VCCH_GXBR					C2				
			VCCR_GXBL1C					AE27				
			VCCR_GXBL1C					AE28				
			VCCR_GXBL1D					AA27				
			VCCR_GXBL1D					AA28				
			VCCR_GXBL1E					U27				
			VCCR_GXBL1E					U28				
			VCCR_GXBL1F					N27				
			VCCR_GXBL1F					N28				
			VCCR_GXBR4F					A2				
			VCCR_GXBR4F					AP3				
			VCCT_GXBL1C					AC27				
			VCCT_GXBL1C					AC28				
			VCCT_GXBL1D					W27				
			VCCT_GXBL1D					W28				
			VCCT_GXBL1E					R27				
			VCCT_GXBL1E					R28				
			VCCT_GXBL1F					L27				
			VCCT_GXBL1F					L28				
			RREF_BL					AP29				
			RREF_BR					AP2				
			RREF_TL					A29				
			RREF_TR					B1				
			VCCERAM					U13				
			VCCERAM					U17				
			VCCERAM					U18				
			VCCERAM					U22				
			VCCERAM					U23				
			VCCLSENSE					Y17				
			VCCP					AB15				
			VCCP					AB16				
			VCCP					AB20				
			VCCP					AB22				
			VCCP					N14				
			VCCP					N15				
			VCCP					N19				
			VCCP					N20				
			VCCP					N22				
			VSIGN_0					F14				
			VSIGN_1					J14				
			VSIGP_0					E14				
			VSIGP_1					H14				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

<div>  <div>Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6</div> </div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1J			REFCLK_GXBL1J_CHTp					E29				
1J			REFCLK_GXBL1J_CHTn					E28				
1J			GXBL1J_TX_CH5n					A32				
1J			GXBL1J_TX_CH5p					A33				
1J			GXBL1J_RX_CH5n,GXBL1J_REFCLK5n					B30				
1J			GXBL1J_RX_CH5p,GXBL1J_REFCLK5p					B31				
1J			GXBL1J_TX_CH4n					C32				
1J			GXBL1J_TX_CH4p					C33				
1J			GXBL1J_RX_CH4n,GXBL1J_REFCLK4n					D30				
1J			GXBL1J_RX_CH4p,GXBL1J_REFCLK4p					D31				
1J			GXBL1J_TX_CH3n					B34				
1J			GXBL1J_TX_CH3p					B35				
1J			GXBL1J_RX_CH3n,GXBL1J_REFCLK3n					E32				
1J			GXBL1J_RX_CH3p,GXBL1J_REFCLK3p					E33				
1J			GXBL1J_TX_CH2n					A36				
1J			GXBL1J_TX_CH2p					A37				
1J			GXBL1J_RX_CH2n,GXBL1J_REFCLK2n					F30				
1J			GXBL1J_RX_CH2p,GXBL1J_REFCLK2p					F31				
1J			GXBL1J_TX_CH1n					B38				
1J			GXBL1J_TX_CH1p					B39				
1J			GXBL1J_RX_CH1n,GXBL1J_REFCLK1n					G32				
1J			GXBL1J_RX_CH1p,GXBL1J_REFCLK1p					G33				
1J			GXBL1J_TX_CH0n					C36				
1J			GXBL1J_TX_CH0p					C37				
1J			GXBL1J_RX_CH0n,GXBL1J_REFCLK0n					H30				
1J			GXBL1J_RX_CH0p,GXBL1J_REFCLK0p					H31				
1J			REFCLK_GXBL1J_CHBp					G29				
1J			REFCLK_GXBL1J_CHBn					G28				
1I			REFCLK_GXBL1I_CHTp					J29				
1I			REFCLK_GXBL1I_CHTn					J28				
1I			GXBL1I_TX_CH5n					D34				
1I			GXBL1I_TX_CH5p					D35				
1I			GXBL1I_RX_CH5n,GXBL1I_REFCLK5n					H34				
1I			GXBL1I_RX_CH5p,GXBL1I_REFCLK5p					H35				
1I			GXBL1I_TX_CH4n					D38				
1I			GXBL1I_TX_CH4p					D39				
1I			GXBL1I_RX_CH4n,GXBL1I_REFCLK4n					J32				
1I			GXBL1I_RX_CH4p,GXBL1I_REFCLK4p					J33				
1I			GXBL1I_TX_CH3n					E36				
1I			GXBL1I_TX_CH3p					E37				
1I			GXBL1I_RX_CH3n,GXBL1I_REFCLK3n					K30				
1I			GXBL1I_RX_CH3p,GXBL1I_REFCLK3p					K31				
1I			GXBL1I_TX_CH2n					F34				
1I			GXBL1I_TX_CH2p					F35				
1I			GXBL1I_RX_CH2n,GXBL1I_REFCLK2n					K34				
1I			GXBL1I_RX_CH2p,GXBL1I_REFCLK2p					K35				
1I			GXBL1I_TX_CH1n					F38				
1I			GXBL1I_TX_CH1p					F39				
1I			GXBL1I_RX_CH1n,GXBL1I_REFCLK1n					L32				
1I			GXBL1I_RX_CH1p,GXBL1I_REFCLK1p					L33				
1I			GXBL1I_TX_CH0n					G36				
1I			GXBL1I_TX_CH0p					G37				
1I			GXBL1I_RX_CH0n,GXBL1I_REFCLK0n					M30				
1I			GXBL1I_RX_CH0p,GXBL1I_REFCLK0p					M31				
1I			REFCLK_GXBL1I_CHBp					L29				
1I			REFCLK_GXBL1I_CHBn					L28				
1H			REFCLK_GXBL1H_CHTp					N29				
1H			REFCLK_GXBL1H_CHTn					N28				
1H			GXBL1H_TX_CH5n					H38				
1H			GXBL1H_TX_CH5p					H39				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n					M34				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p					M35				
1H			GXBL1H_TX_CH4n					J36				
1H			GXBL1H_TX_CH4p					J37				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n					N32				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p					N33				
1H			GXBL1H_TX_CH3n					K38				
1H			GXBL1H_TX_CH3p					K39				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n					P30				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p					P31				
1H			GXBL1H_TX_CH2n					L36				
1H			GXBL1H_TX_CH2p					L37				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n					P34				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p					P35				
1H			GXBL1H_TX_CH1n					M38				
1H			GXBL1H_TX_CH1p					M39				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n					R32				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p					R33				
1H			GXBL1H_TX_CH0n					N36				
1H			GXBL1H_TX_CH0p					N37				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n					T30				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p					T31				
1H			REFCLK_GXBL1H_CHBp					R29				
1H			REFCLK_GXBL1H_CHBn					R28				
1G			REFCLK_GXBL1G_CHTp					U29				
1G			REFCLK_GXBL1G_CHTn					U28				
1G			GXBL1G_TX_CH5n					P38				
1G			GXBL1G_TX_CH5p					P39				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n					T34				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p					T35				
1G			GXBL1G_TX_CH4n					R36				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1G			GXBL1G_TX_CH4p					R37				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n					U32				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p					U33				
1G			GXBL1G_TX_CH3n					T38				
1G			GXBL1G_TX_CH3p					T39				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n					V30				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p					V31				
1G			GXBL1G_TX_CH2n					U36				
1G			GXBL1G_TX_CH2p					U37				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n					V34				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p					V35				
1G			GXBL1G_TX_CH1n					V38				
1G			GXBL1G_TX_CH1p					V39				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n					W32				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p					W33				
1G			GXBL1G_TX_CH0n					W36				
1G			GXBL1G_TX_CH0p					W37				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n					Y30				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p					Y31				
1G			REFCLK_GXBL1G_CHBp					W29				
1G			REFCLK_GXBL1G_CHBn					W28				
1F			REFCLK_GXBL1F_CHTp					AA29				
1F			REFCLK_GXBL1F_CHTn					AA28				
1F			GXBL1F_TX_CH5n					Y38				
1F			GXBL1F_TX_CH5p					Y39				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					Y34				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					Y35				
1F			GXBL1F_TX_CH4n					AA36				
1F			GXBL1F_TX_CH4p					AA37				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					AA32				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					AA33				
1F			GXBL1F_TX_CH3n					AB38				
1F			GXBL1F_TX_CH3p					AB39				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					AB34				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					AB35				
1F			GXBL1F_TX_CH2n					AC36				
1F			GXBL1F_TX_CH2p					AC37				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					AB30				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					AB31				
1F			GXBL1F_TX_CH1n					AD38				
1F			GXBL1F_TX_CH1p					AD39				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					AC32				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					AC33				
1F			GXBL1F_TX_CH0n					AE36				
1F			GXBL1F_TX_CH0p					AE37				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					AD34				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					AD35				
1F			REFCLK_GXBL1F_CHBp					AC29				
1F			REFCLK_GXBL1F_CHBn					AC28				
1E			REFCLK_GXBL1E_CHTp					AE29				
1E			REFCLK_GXBL1E_CHTn					AE28				
1E			GXBL1E_TX_CH5n					AF38				
1E			GXBL1E_TX_CH5p					AF39				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					AD30				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					AD31				
1E			GXBL1E_TX_CH4n					AG36				
1E			GXBL1E_TX_CH4p					AG37				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					AE32				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					AE33				
1E			GXBL1E_TX_CH3n					AH38				
1E			GXBL1E_TX_CH3p					AH39				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					AF34				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					AF35				
1E			GXBL1E_TX_CH2n					AJ36				
1E			GXBL1E_TX_CH2p					AJ37				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					AF30				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					AF31				
1E			GXBL1E_TX_CH1n					AK38				
1E			GXBL1E_TX_CH1p					AK39				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					AG32				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					AG33				
1E			GXBL1E_TX_CH0n					AL36				
1E			GXBL1E_TX_CH0p					AL37				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					AH34				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					AH35				
1E			REFCLK_GXBL1E_CHBp					AG29				
1E			REFCLK_GXBL1E_CHBn					AG28				
1D			REFCLK_GXBL1D_CHTp					AJ29				
1D			REFCLK_GXBL1D_CHTn					AJ28				
1D			GXBL1D_TX_CH5n					AM38				
1D			GXBL1D_TX_CH5p					AM39				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					AH30				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					AH31				
1D			GXBL1D_TX_CH4n					AN36				
1D			GXBL1D_TX_CH4p					AN37				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					AJ32				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					AJ33				
1D			GXBL1D_TX_CH3n					AP38				
1D			GXBL1D_TX_CH3p					AP39				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					AK34				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					AK35				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			GXBL1D_TX_CH2n					AP34				
1D			GXBL1D_TX_CH2p					AP35				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AK30				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AK31				
1D			GXBL1D_TX_CH1n					AR36				
1D			GXBL1D_TX_CH1p					AR37				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AL32				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AL33				
1D			GXBL1D_TX_CH0n					AT38				
1D			GXBL1D_TX_CH0p					AT39				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AM34				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AM35				
1D			REFCLK_GXBL1D_CHBp					AL29				
1D			REFCLK_GXBL1D_CHBn					AL28				
1C			REFCLK_GXBL1C_CHTp					AN29				
1C			REFCLK_GXBL1C_CHTn					AN28				
1C			GXBL1C_TX_CH5n					AT34				
1C			GXBL1C_TX_CH5p					AT35				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AM30				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AM31				
1C			GXBL1C_TX_CH4n					AU36				
1C			GXBL1C_TX_CH4p					AU37				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					AN32				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					AN33				
1C			GXBL1C_TX_CH3n					AV38				
1C			GXBL1C_TX_CH3p					AV39				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					AP30				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					AP31				
1C			GXBL1C_TX_CH2n					AV34				
1C			GXBL1C_TX_CH2p					AV35				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					AR32				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					AR33				
1C			GXBL1C_TX_CH1n					AW36				
1C			GXBL1C_TX_CH1p					AW37				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					AT30				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					AT31				
1C			GXBL1C_TX_CH0n					AW32				
1C			GXBL1C_TX_CH0p					AW33				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					AU32				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					AU33				
1C			REFCLK_GXBL1C_CHBp					AR29				
1C			REFCLK_GXBL1C_CHBn					AR28				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	M21	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	M22	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	L22	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	K22	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	N22	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	N23	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	L23	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	K23	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	P20	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	N20	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	M20	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	L20	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	K20	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	K21	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	J23	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	H23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	J19	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	J18	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	J20	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	J21	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	H21	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	H22	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	L19	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	K18	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	G22	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	F22	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	G19	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	F19	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	G21	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	G20	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	F20	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	E20	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	G17	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	F18	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	H19	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	H18	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	E22	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	E21	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	D20	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	D21	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	C18	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	C17	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	F17	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	E17	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	D19	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	C19	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	E18	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	D18	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	P25	DQ8	DQ4	DQ2	DQ1

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	N25	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	L26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	K26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	M25	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	L25	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	L24	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	K25	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	N24	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	M24	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	J25	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	J26	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	J24	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	H24	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	E25	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	D25	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	F23	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	F24	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	G25	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	G26	DQS11	DQSn5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	F26	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	E26	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	G24	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	F25	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	D24	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	C24	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	E23	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	D23	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	C23	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	B22	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	B24	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	C25	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	C21	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	C22	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	C26	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	B26	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	A18	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	A17	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	B19	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	B20	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	A23	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	A24	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	A25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	A26	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	B21	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	A22	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	A19	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	A20	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No	AV26	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No	AV27	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes	AU27	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes	AU28	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No	AV28	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No	AW28	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes	AW25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes	AW26	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No	AV24	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO			LVDS2J_5p	No	AW24	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes	AV23	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes	AW23	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No	AU25	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No	AU26	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes	AR26	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes	AT26	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No	AT23	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No	AU24	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes	AT24	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes	AT25	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No	AP25	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No	AR25	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes	AP23	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes	AP24	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No	AN26	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No	AP26	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes	AN23	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes	AN24	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No	AK26	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No	AL26	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes	AL25	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes	AM25	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No	AK23	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No	AL23	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes	AM24	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes	AL24	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No	AH25	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No	AJ26	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes	AH23	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes	AH24	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No	AJ23	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No	AJ24	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes	AJ25	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes	AK25	DQS23	DQS11/CQ11	DQ5	DQ2

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2J	3	VREFB2JN0	IO			LVDS2J_23n	No	AF25	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No	AG25	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes	AF24	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes	AG24	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO			LVDS2I_7n	No	AT22	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO			LVDS2I_7p	No	AU22	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO			LVDS2I_8n	Yes	AR22	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO			LVDS2I_8p	Yes	AR23	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO			LVDS2I_9n	No	AL22	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO			LVDS2I_9p	No	AM22	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes	AP21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes	AR21	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO			LVDS2I_11n	No	AN22	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I		LVDS2I_11p	No	AN21	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n		LVDS2I_12n	Yes	AL20	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p		LVDS2I_12p	Yes	AM21	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n		LVDS2I_13n	No	AH21	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p		LVDS2I_13p	No	AJ21	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO			LVDS2I_14n	Yes	AK22	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO			LVDS2I_14p	Yes	AK21	DQS28	DQ14	DQ7	DQS3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No	AJ20	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No	AK20	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO			LVDS2I_16n	Yes	AG21	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO			LVDS2I_16p	Yes	AG20	DQS29	DQS14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO			LVDS2I_17n	No	AG22	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO			LVDS2I_17p	No	AH22	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO			LVDS2I_18n	Yes	AE20	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO			LVDS2I_18p	Yes	AF20	DQ29	DQ14	DQS7/CQ7	DQ3
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	AH18	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	AJ18	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	AH17	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	AJ16	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	AK17	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	AK16	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	AK18	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	AL17	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	AH19	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	AJ19	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	AL19	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	AL18	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	AM17	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	AN17	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	AM20	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AM19	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	AM16	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	AN16	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	AP16	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	AR16	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	AN19	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	AP19	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	AN18	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	AP18	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	AR18	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	AT18	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	AR17	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	AT17	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	AT19	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	AU19	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	AT20	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	AU20	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	AU17	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	AU16	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR	LVDS2A_18n	Yes	AP20	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST	LVDS2A_18p	Yes	AR20	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY	LVDS2A_19n	No	AV16	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0	LVDS2A_19p	No	AW16	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE	LVDS2A_20n	Yes	AV19	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1	LVDS2A_20p	Yes	AV18	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No	AV17	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No	AW18	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes	AV22	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes	AW21	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No	AW20	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No	AW19	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes	AU21	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes	AV21	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO			LVDS3H_1n	No	P15	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO			LVDS3H_1p	No	P14	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO			LVDS3H_2n	Yes	N14	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO			LVDS3H_2p	Yes	M14	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO			LVDS3H_3n	No	J14	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO			LVDS3H_3p	No	J13	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HN0	IO			LVDS3H_4n	Yes	L15	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO			LVDS3H_4p	Yes	L14	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HN0	IO			LVDS3H_5n	No	L13	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO			LVDS3H_5p	No	L12	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO			LVDS3H_6n	Yes	K13	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO			LVDS3H_6p	Yes	K12	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HN0	IO			LVDS3H_7n	No	H14	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO			LVDS3H_7p	No	G14	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO			LVDS3H_8n	Yes	D14	DQSn66	DQ33	DQ16	DQ8

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3H	32	VREFB3HN0	IO			LVDS3H_8p	Yes	C14	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO			LVDS3H_9n	No	D13	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO			LVDS3H_9p	No	C13	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n		LVDS3H_10n	Yes	E13	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1		LVDS3H_10p	Yes	E12	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HN0	IO			LVDS3H_11n	No	H13	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H		LVDS3H_11p	No	H12	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n		LVDS3H_12n	Yes	F14	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p		LVDS3H_12p	Yes	F13	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n		LVDS3H_13n	No	C12	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p		LVDS3H_13p	No	C11	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO			LVDS3H_14n	Yes	E11	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO			LVDS3H_14p	Yes	D11	DQS68	DQ34	DQ17	DQS8/CQ8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n		LVDS3H_15n	No	G12	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0		LVDS3H_15p	No	F12	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO			LVDS3H_16n	Yes	G10	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO			LVDS3H_16p	Yes	F10	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HN0	IO			LVDS3H_17n	No	E10	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO			LVDS3H_17p	No	D10	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO			LVDS3H_18n	Yes	H11	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO			LVDS3H_18p	Yes	G11	DQ69	DQ34	DQS17/CQ17	DQ8
3H	11	VREFB3HN0	IO			LVDS3H_19n	No	B10	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO			LVDS3H_19p	No	A10	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO			LVDS3H_20n	Yes	B9	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO			LVDS3H_20p	Yes	A9	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO			LVDS3H_21n	No	B12	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO			LVDS3H_21p	No	B11	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO			LVDS3H_22n	Yes	A13	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO			LVDS3H_22p	Yes	A12	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HN0	IO			LVDS3H_23n	No	A8	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO			LVDS3H_23p	No	A7	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO			LVDS3H_24n	Yes	D9	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HN0	IO			LVDS3H_24p	Yes	C9	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO			LVDS3G_1n	No	F8	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO			LVDS3G_1p	No	E8	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO			LVDS3G_2n	Yes	C7	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO			LVDS3G_2p	Yes	B7	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO			LVDS3G_3n	No	D8	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO			LVDS3G_3p	No	C8	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO			LVDS3G_4n	Yes	C6	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO			LVDS3G_4p	Yes	B6	DQS73	DQS36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO			LVDS3G_5n	No	B5	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO			LVDS3G_5p	No	A5	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO			LVDS3G_6n	Yes	B4	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO			LVDS3G_6p	Yes	A4	DQ73	DQ36	DQS18/CQ18	DQ9
3G	35	VREFB3GN0	IO			LVDS3G_7n	No	C4	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO			LVDS3G_7p	No	C3	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO			LVDS3G_8n	Yes	D3	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO			LVDS3G_8p	Yes	C2	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO			LVDS3G_9n	No	F7	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO			LVDS3G_9p	No	E7	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n		LVDS3G_10n	Yes	D5	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1		LVDS3G_10p	Yes	D4	DQS75	DQS37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO			LVDS3G_11n	No	E6	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G		LVDS3G_11p	No	D6	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n		LVDS3G_12n	Yes	F5	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p		LVDS3G_12p	Yes	E5	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n		LVDS3G_13n	No	H9	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p		LVDS3G_13p	No	H8	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO			LVDS3G_14n	Yes	G9	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO			LVDS3G_14p	Yes	F9	DQS76	DQ38	DQ19	DQS9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n		LVDS3G_15n	No	K8	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0		LVDS3G_15p	No	J8	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO			LVDS3G_16n	Yes	G6	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO			LVDS3G_16p	Yes	G5	DQS77	DQS38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO			LVDS3G_17n	No	H7	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO			LVDS3G_17p	No	G7	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO			LVDS3G_18n	Yes	J6	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO			LVDS3G_18p	Yes	H6	DQ77	DQ38	DQS19/CQ19	DQ9
3G	11	VREFB3GN0	IO			LVDS3G_19n	No	L10	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO			LVDS3G_19p	No	K10	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO			LVDS3G_20n	Yes	K11	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO			LVDS3G_20p	Yes	J11	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO			LVDS3G_21n	No	N13	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO			LVDS3G_21p	No	M12	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO			LVDS3G_22n	Yes	N11	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO			LVDS3G_22p	Yes	M10	DQS79	DQS39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO			LVDS3G_23n	No	J10	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO			LVDS3G_23p	No	J9	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO			LVDS3G_24n	Yes	N12	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO			LVDS3G_24p	Yes	M11	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO			LVDS3F_1n	No	G4	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO			LVDS3F_1p	No	F4	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO			LVDS3F_2n	Yes	D1	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO			LVDS3F_2p	Yes	C1	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO			LVDS3F_3n	No	E2	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO			LVDS3F_3p	No	E1	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO			LVDS3F_4n	Yes	F3	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO			LVDS3F_4p	Yes	E3	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO			LVDS3F_5n	No	G2	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO			LVDS3F_5p	No	F2	DQ81	DQ40	DQ20	DQ10


Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3F	37	VREFB3FN0	IO			LVDS3F_6n	Yes	H2	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO			LVDS3F_6p	Yes	G1	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO			LVDS3F_7n	No	J5	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO			LVDS3F_7p	No	J4	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO			LVDS3F_8n	Yes	J1	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO			LVDS3F_8p	Yes	H1	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO			LVDS3F_9n	No	H4	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO			LVDS3F_9p	No	H3	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n		LVDS3F_10n	Yes	K2	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1		LVDS3F_10p	Yes	K1	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO			LVDS3F_11n	No	L3	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F		LVDS3F_11p	No	L2	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n		LVDS3F_12n	Yes	K3	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p		LVDS3F_12p	Yes	J3	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n		LVDS3F_13n	No	N7	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p		LVDS3F_13p	No	N6	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO			LVDS3F_14n	Yes	K6	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO			LVDS3F_14p	Yes	K5	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n		LVDS3F_15n	No	L7	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0		LVDS3F_15p	No	K7	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO			LVDS3F_16n	Yes	M7	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO			LVDS3F_16p	Yes	M6	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO			LVDS3F_17n	No	M4	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO			LVDS3F_17p	No	L4	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO			LVDS3F_18n	Yes	M5	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO			LVDS3F_18p	Yes	L5	DQ85	DQ42	DQS21/CQ21	DQ10
3F	11	VREFB3FN0	IO			LVDS3F_19n	No	P10	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO			LVDS3F_19p	No	N9	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO			LVDS3F_20n	Yes	M9	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO			LVDS3F_20p	Yes	N8	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO			LVDS3F_21n	No	R10	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO			LVDS3F_21p	No	P9	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO			LVDS3F_22n	Yes	R8	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO			LVDS3F_22p	Yes	P8	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO			LVDS3F_23n	No	R11	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO			LVDS3F_23p	No	P11	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO			LVDS3F_24n	Yes	L9	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO			LVDS3F_24p	Yes	L8	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO			LVDS3E_1n	No	M2	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO			LVDS3E_1p	No	M1	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO			LVDS3E_2n	Yes	N4	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO			LVDS3E_2p	Yes	N3	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO			LVDS3E_3n	No	R3	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO			LVDS3E_3p	No	R2	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO			LVDS3E_4n	Yes	N2	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO			LVDS3E_4p	Yes	N1	DQS89	DQS44/CQ44	DQ22	DQ11
3E	39	VREFB3EN0	IO			LVDS3E_5n	No	R1	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO			LVDS3E_5p	No	P1	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO			LVDS3E_6n	Yes	P4	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO			LVDS3E_6p	Yes	P3	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3EN0	IO			LVDS3E_7n	No	P6	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO			LVDS3E_7p	No	P5	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO			LVDS3E_8n	Yes	T5	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO			LVDS3E_8p	Yes	R5	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO			LVDS3E_9n	No	U7	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO			LVDS3E_9p	No	T7	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes	U6	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes	U5	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3EN0	IO			LVDS3E_11n	No	V7	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E		LVDS3E_11p	No	V6	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n		LVDS3E_12n	Yes	W6	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p		LVDS3E_12p	Yes	W5	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3EN0	IO	CLK_3E_0n		LVDS3E_13n	No	U4	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p		LVDS3E_13p	No	T4	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO			LVDS3E_14n	Yes	T3	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO			LVDS3E_14p	Yes	T2	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No	U2	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No	U1	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO			LVDS3E_16n	Yes	V2	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO			LVDS3E_16p	Yes	V1	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3EN0	IO			LVDS3E_17n	No	W4	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO			LVDS3E_17p	No	W3	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO			LVDS3E_18n	Yes	V4	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO			LVDS3E_18p	Yes	V3	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3EN0	IO			LVDS3E_19n	No	U10	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO			LVDS3E_19p	No	U9	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO			LVDS3E_20n	Yes	V9	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO			LVDS3E_20p	Yes	V8	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO			LVDS3E_21n	No	T9	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO			LVDS3E_21p	No	T8	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO			LVDS3E_22n	Yes	W10	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO			LVDS3E_22p	Yes	W9	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3EN0	IO			LVDS3E_23n	No	V11	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO			LVDS3E_23p	No	U11	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO			LVDS3E_24n	Yes	R7	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO			LVDS3E_24p	Yes	R6	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO			LVDS3D_1n	No	W8	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO			LVDS3D_1p	No	Y8	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO			LVDS3D_2n	Yes	Y10	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO			LVDS3D_2p	Yes	AA9	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO			LVDS3D_3n	No	AB11	DQ96	DQ48	DQ24	DQ12

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	42	VREFB3DN0	IO			LVDS3D_3p	No	AA10	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO			LVDS3D_4n	Yes	AA8	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO			LVDS3D_4p	Yes	AA7	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO			LVDS3D_5n	No	AB10	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO			LVDS3D_5p	No	AB9	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO			LVDS3D_6n	Yes	AB7	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO			LVDS3D_6p	Yes	AC7	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO			LVDS3D_7n	No	Y7	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO			LVDS3D_7p	No	Y6	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO			LVDS3D_8n	Yes	Y5	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO			LVDS3D_8p	Yes	AA5	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO			LVDS3D_9n	No	AD5	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO			LVDS3D_9p	No	AD4	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes	AE6	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes	AE5	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO			LVDS3D_11n	No	AC6	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D		LVDS3D_11p	No	AD6	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n		LVDS3D_12n	Yes	AB6	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p		LVDS3D_12p	Yes	AB5	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n		LVDS3D_13n	No	Y3	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p		LVDS3D_13p	No	Y2	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO			LVDS3D_14n	Yes	W1	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO			LVDS3D_14p	Yes	Y1	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No	AA4	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No	AB4	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO			LVDS3D_16n	Yes	AA3	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO			LVDS3D_16p	Yes	AA2	DQS101	DQSn50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO			LVDS3D_17n	No	AB2	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO			LVDS3D_17p	No	AB1	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO			LVDS3D_18n	Yes	AC4	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO			LVDS3D_18p	Yes	AC3	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO			LVDS3D_19n	No	AC1	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO			LVDS3D_19p	No	AD1	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO			LVDS3D_20n	Yes	AD3	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO			LVDS3D_20p	Yes	AC2	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO			LVDS3D_21n	No	AF2	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No	AG2	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes	AG1	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes	AH1	DQS103	DQSn51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No	AE2	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No	AE1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes	AE3	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes	AF3	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No	AC9	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No	AC8	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes	AE11	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes	AE10	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No	AD9	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No	AD8	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes	AE8	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes	AF8	DQS105	DQSn52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No	AC11	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No	AD10	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes	AF10	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes	AF9	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No	AG4	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No	AH4	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes	AF5	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes	AF4	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No	AE7	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No	AF7	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes	AH3	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes	AJ3	DQS107	DQSn53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No	AG7	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No	AH7	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes	AG6	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes	AG5	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No	AH6	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No	AJ5	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes	AJ4	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes	AK3	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No	AJ6	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No	AK6	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes	AK5	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes	AL5	DQS109	DQSn54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No	AL4	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No	AL3	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes	AM4	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes	AN3	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No	AH2	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No	AJ1	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes	AK2	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes	AK1	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No	AN1	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No	AM1	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes	AR2	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes	AR1	DQS111	DQSn55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No	AL2	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No	AM2	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes	AN2	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes	AP1	DQ111	DQ55	DQ27	DQ13

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	47	VREFB3BN0	IO			LVDS3B_1n	No	AH8	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No	AJ8	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes	AH9	DQS112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes	AJ9	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No	AF12	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No	AG12	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes	AG10	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes	AG9	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AG11	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No	AH11	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AJ11	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes	AJ10	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	AK7	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No	AL7	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AM6	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes	AN6	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	AK8	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	AL8	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	AM7	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	AN7	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	AM9	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AN8	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	AK10	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	AL9	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	AM5	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AN4	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AP3	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AR3	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	AP5	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	AP4	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	AP6	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes	AR5	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AU2	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No	AU1	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AT3	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes	AT2	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	AT5	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No	AT4	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	AR7	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes	AR6	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	AU4	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No	AV4	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	AV6	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes	AW6	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	AU6	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No	AU5	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	AW5	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes	AW4	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AU7	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No	AV7	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AT8	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes	AT7	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AT10	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No	AT9	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AV8	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes	AW8	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AU9	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No	AV9	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AW10	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes	AW9	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	AP8	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No	AR8	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	AU11	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes	AU10	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	AN9	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No	AP9	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	AP10	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes	AR10	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	AR12	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	AT12	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	AP11	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes	AR11	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	AL10	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No	AM10	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	AK12	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes	AK11	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	AL12	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No	AM12	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	AM11	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes	AN11	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	AL14	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No	AL13	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	AN13	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes	AN12	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	AJ15	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No	AK15	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	AH13	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes	AH12	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	AJ13	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	AK13	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	AF14	DQSn127	DQSn63/CQn63	DQ31	DQ15

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	AG14	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	AH14	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	AJ14	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	AF15	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes	AG15	DQ127	DQ63	DQ31	DQ15
4F			REFCLK_GXBR4F_CHTp					W15				
4F			REFCLK_GXBR4F_CHTn					W16				
			GND					AR15				
CSS			TDO		TDO			AW14				
CSS			TMS		TMS			AV13				
CSS			TRST		TRST			AR13				
CSS			TCK		TCK			AW15				
CSS			TDI		TDI			AL15				
CSS			MSEL0		MSEL0			AU15				
CSS			MSEL1		MSEL1			AP15				
CSS			MSEL2		MSEL2			AT15				
CSS			nIO_PULLUP		nIO_PULLUP			AT14				
CSS			nSTATUS		nSTATUS			AU12				
CSS			CONF_DONE		CONF_DONE			AT13				
			GND					AP14				
CSS			nCONFIG		nCONFIG			AM14				
CSS			nCE		nCE			AM15				
CSS			nCSO0		nCSO0			AU14				
CSS			nCSO1		nCSO1			AV12				
CSS			nCSO2		nCSO2			AV14				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AP13				
CSS			AS_DATA1		AS_DATA1			AW11				
CSS			AS_DATA2		AS_DATA2			AV11				
CSS			AS_DATA3		AS_DATA3			AW13				
CSS			DCLK		DCLK			AN14				
			ADCGND					B17				
			GND					A11				
			GND					A16				
			GND					A21				
			GND					A27				
			GND					A29				
			GND					A30				
			GND					A31				
			GND					A34				
			GND					A35				
			GND					A38				
			GND					A6				
			GND					AA1				
			GND					AA11				
			GND					AA17				
			GND					AA21				
			GND					AA26				
			GND					AA27				
			GND					AA30				
			GND					AA31				
			GND					AA34				
			GND					AA35				
			GND					AA38				
			GND					AA39				
			GND					AB13				
			GND					AB18				
			GND					AB23				
			GND					AB26				
			GND					AB27				
			GND					AB3				
			GND					AB32				
			GND					AB33				
			GND					AB36				
			GND					AB37				
			GND					AB8				
			GND					AC10				
			GND					AC15				
			GND					AC20				
			GND					AC22				
			GND					AC25				
			GND					AC27				
			GND					AC30				
			GND					AC31				
			GND					AC34				
			GND					AC35				
			GND					AC38				
			GND					AC39				
			GND					AD12				
			GND					AD2				
			GND					AD26				
			GND					AD32				
			GND					AD33				
			GND					AD36				
			GND					AD37				
			GND					AE19				
			GND					AE24				
			GND					AE26				
			GND					AE27				
			GND					AE30				
			GND					AE31				
			GND					AE34				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AE35				
			GND					AE38				
			GND					AE39				
			GND					AE4				
			GND					AE9				
			GND					AF1				
			GND					AF11				
			GND					AF16				
			GND					AF26				
			GND					AF27				
			GND					AF32				
			GND					AF33				
			GND					AF36				
			GND					AF37				
			GND					AF6				
			GND					AG13				
			GND					AG18				
			GND					AG23				
			GND					AG26				
			GND					AG27				
			GND					AG3				
			GND					AG30				
			GND					AG31				
			GND					AG34				
			GND					AG35				
			GND					AG38				
			GND					AG39				
			GND					AH10				
			GND					AH15				
			GND					AH20				
			GND					AH26				
			GND					AH32				
			GND					AH33				
			GND					AH36				
			GND					AH37				
			GND					AJ12				
			GND					AJ17				
			GND					AJ2				
			GND					AJ22				
			GND					AJ27				
			GND					AJ30				
			GND					AJ31				
			GND					AJ34				
			GND					AJ35				
			GND					AJ38				
			GND					AJ39				
			GND					AJ7				
			GND					AK27				
			GND					AK32				
			GND					AK33				
			GND					AK36				
			GND					AK37				
			GND					AK4				
			GND					AL1				
			GND					AL16				
			GND					AL27				
			GND					AL30				
			GND					AL31				
			GND					AL34				
			GND					AL35				
			GND					AL38				
			GND					AL39				
			GND					AM23				
			GND					AM26				
			GND					AM3				
			GND					AM32				
			GND					AM33				
			GND					AM36				
			GND					AM37				
			GND					AN10				
			GND					AN15				
			GND					AN20				
			GND					AN27				
			GND					AN30				
			GND					AN31				
			GND					AN34				
			GND					AN35				
			GND					AN38				
			GND					AN39				
			GND					AN5				
			GND					AP12				
			GND					AP2				
			GND					AP27				
			GND					AP32				
			GND					AP33				
			GND					AP36				
			GND					AP37				
			GND					AP7				
			GND					AR14				
			GND					AR19				
			GND					AR27				

<div><div></div><div>Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6</div></div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AR30				
			GND					AR31				
			GND					AR34				
			GND					AR35				
			GND					AR38				
			GND					AR39				
			GND					AR4				
			GND					AR9				
			GND					AT1				
			GND					AT11				
			GND					AT16				
			GND					AT27				
			GND					AT28				
			GND					AT29				
			GND					AT32				
			GND					AT33				
			GND					AT36				
			GND					AT37				
			GND					AT6				
			GND					AU13				
			GND					AU18				
			GND					AU23				
			GND					AU29				
			GND					AU3				
			GND					AU30				
			GND					AU31				
			GND					AU34				
			GND					AU35				
			GND					AU38				
			GND					AU39				
			GND					AU8				
			GND					AV10				
			GND					AV15				
			GND					AV20				
			GND					AV25				
			GND					AV31				
			GND					AV32				
			GND					AV33				
			GND					AV36				
			GND					AV37				
			GND					AV5				
			GND					AW12				
			GND					AW17				
			GND					AW22				
			GND					AW27				
			GND					AW29				
			GND					AW31				
			GND					AW34				
			GND					AW35				
			GND					AW38				
			GND					AW7				
			GND					B13				
			GND					B18				
			GND					B2				
			GND					B23				
			GND					B25				
			GND					B27				
			GND					B28				
			GND					B29				
			GND					B3				
			GND					B32				
			GND					B33				
			GND					B36				
			GND					B37				
			GND					B8				
			GND					C10				
			GND					C15				
			GND					C20				
			GND					C27				
			GND					C28				
			GND					C29				
			GND					C30				
			GND					C31				
			GND					C34				
			GND					C35				
			GND					C38				
			GND					C39				
			GND					C5				
			GND					D12				
			GND					D17				
			GND					D2				
			GND					D22				
			GND					D26				
			GND					D32				
			GND					D33				
			GND					D36				
			GND					D37				
			GND					D7				
			GND					E14				
			GND					E19				
			GND					E27				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					E30				
			GND					E31				
			GND					E34				
			GND					E35				
			GND					E38				
			GND					E39				
			GND					E4				
			GND					E9				
			GND					F1				
			GND					F11				
			GND					F16				
			GND					F21				
			GND					F27				
			GND					F32				
			GND					F33				
			GND					F36				
			GND					F37				
			GND					F6				
			GND					G18				
			GND					G23				
			GND					G27				
			GND					G3				
			GND					G30				
			GND					G31				
			GND					G34				
			GND					G35				
			GND					G38				
			GND					G39				
			GND					H10				
			GND					H15				
			GND					H26				
			GND					H32				
			GND					H33				
			GND					H36				
			GND					H37				
			GND					H5				
			GND					J17				
			GND					J2				
			GND					J27				
			GND					J30				
			GND					J31				
			GND					J34				
			GND					J35				
			GND					J38				
			GND					J39				
			GND					J7				
			GND					K27				
			GND					K32				
			GND					K33				
			GND					K36				
			GND					K37				
			GND					L1				
			GND					L16				
			GND					L21				
			GND					L27				
			GND					L30				
			GND					L31				
			GND					L34				
			GND					L35				
			GND					L38				
			GND					L39				
			GND					M13				
			GND					M18				
			GND					M23				
			GND					M26				
			GND					M3				
			GND					M32				
			GND					M33				
			GND					M36				
			GND					M37				
			GND					N10				
			GND					N15				
			GND					N21				
			GND					N26				
			GND					N27				
			GND					N30				
			GND					N31				
			GND					N34				
			GND					N35				
			GND					N38				
			GND					N39				
			GND					N5				
			GND					P12				
			GND					P17				
			GND					P2				
			GND					P26				
			GND					P27				
			GND					P32				
			GND					P33				
			GND					P36				
			GND					P37				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					P7				
			GND					R19				
			GND					R24				
			GND					R26				
			GND					R27				
			GND					R30				
			GND					R31				
			GND					R34				
			GND					R35				
			GND					R38				
			GND					R39				
			GND					R9				
			GND					T1				
			GND					T11				
			GND					T16				
			GND					T21				
			GND					T26				
			GND					T32				
			GND					T33				
			GND					T36				
			GND					T37				
			GND					U13				
			GND					U18				
			GND					U23				
			GND					U27				
			GND					U3				
			GND					U30				
			GND					U31				
			GND					U34				
			GND					U35				
			GND					U38				
			GND					U39				
			GND					U8				
			GND					V10				
			GND					V15				
			GND					V20				
			GND					V25				
			GND					V26				
			GND					V27				
			GND					V32				
			GND					V33				
			GND					V36				
			GND					V37				
			GND					W12				
			GND					W17				
			GND					W2				
			GND					W22				
			GND					W26				
			GND					W27				
			GND					W30				
			GND					W31				
			GND					W34				
			GND					W35				
			GND					W38				
			GND					W39				
			GND					W7				
			GND					Y15				
			GND					Y19				
			GND					Y24				
			GND					Y26				
			GND					Y32				
			GND					Y33				
			GND					Y36				
			GND					Y37				
			GND					Y9				
			GND					N18				
			GND					R18				
			GND					P18				
			GND					P16				
			GND					N17				
			GND					M16				
			GND					N16				
			GNDSENSE					AA18				
			VCC					AA12				
			VCC					AA13				
			VCC					AA14				
			VCC					AA15				
			VCC					AA16				
			VCC					AA20				
			VCC					AA22				
			VCC					AA23				
			VCC					AA24				
			VCC					AA25				
			VCC					AB12				
			VCC					AB15				
			VCC					AB16				
			VCC					AB17				
			VCC					AB19				
			VCC					AB20				
			VCC					AB21				
			VCC					AB22				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					AB24				
			VCC					AB25				
			VCC					AC12				
			VCC					AC13				
			VCC					AC18				
			VCC					AC23				
			VCC					AC24				
			VCC					AC26				
			VCC					AD13				
			VCC					AD17				
			VCC					AD18				
			VCC					AD19				
			VCC					AD21				
			VCC					AD22				
			VCC					AD23				
			VCC					AE12				
			VCC					AE13				
			VCC					AE14				
			VCC					AE15				
			VCC					AE16				
			VCC					AE17				
			VCC					AE21				
			VCC					AE22				
			VCC					AE25				
			VCC					AF21				
			VCC					AF22				
			VCC					P21				
			VCC					P23				
			VCC					R12				
			VCC					R13				
			VCC					R14				
			VCC					R15				
			VCC					R16				
			VCC					R17				
			VCC					R20				
			VCC					R21				
			VCC					R22				
			VCC					R23				
			VCC					R25				
			VCC					T12				
			VCC					T13				
			VCC					T18				
			VCC					T22				
			VCC					T25				
			VCC					U12				
			VCC					U14				
			VCC					U19				
			VCC					U24				
			VCC					U25				
			VCC					U26				
			VCC					V12				
			VCC					V13				
			VCC					V14				
			VCC					V16				
			VCC					V17				
			VCC					V18				
			VCC					V19				
			VCC					V21				
			VCC					V22				
			VCC					V23				
			VCC					V24				
			VCC					W13				
			VCC					W14				
			VCC					W20				
			VCC					W21				
			VCC					W23				
			VCC					W24				
			VCC					W25				
			VCC					Y14				
			VCC					Y16				
			VCC					Y17				
			VCC					Y20				
			VCC					Y25				
			VCCPT					AB14				
			VCCPT					AC14				
			VCCPT					AC16				
			VCCPT					AC17				
			VCCPT					AC19				
			VCCPT					AC21				
			VCCPT					U15				
			VCCPT					U16				
			VCCPT					U17				
			VCCPT					U20				
			VCCPT					U21				
			VCCPT					U22				
			DNU					AV29				
			DNU					AV30				
			DNU					AV3				
			DNU					AV2				
			DNU					AG16				
			DNU					AG17				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			DNU					AF17				
			VCCPGM					AF18				
			VCCPGM					AF19				
			TEMPDIODEn					B16				
			TEMPDIODEp					C16				
			VCCBAT					AE18				
			VCCA_PLL					W18				
			VCCA_PLL					W19				
			VCCIO2A					AK19				
			VCCIO2A					AM18				
			VCCIO2A					AP17				
			VCCIO2I					AL21				
			VCCIO2I					AP22				
			VCCIO2I					AT21				
			VCCIO2J					AK24				
			VCCIO2J					AN25				
			VCCIO2J					AR24				
			VCCIO2K					E24				
			VCCIO2K					H25				
			VCCIO2K					K24				
			VCCIO2L					H20				
			VCCIO2L					J22				
			VCCIO2L					K19				
			VCCIO3A					AK14				
			VCCIO3A					AL11				
			VCCIO3A					AM13				
			VCCIO3B					AK9				
			VCCIO3B					AL6				
			VCCIO3B					AM8				
			VCCIO3C					AD7				
			VCCIO3C					AG8				
			VCCIO3C					AH5				
			VCCIO3D					AA6				
			VCCIO3D					AC5				
			VCCIO3D					Y4				
			VCCIO3E					R4				
			VCCIO3E					T6				
			VCCIO3E					V5				
			VCCIO3F					K4				
			VCCIO3F					L6				
			VCCIO3F					M8				
			VCCIO3G					G8				
			VCCIO3G					K9				
			VCCIO3G					L11				
			VCCIO3H					G13				
			VCCIO3H					J12				
			VCCIO3H					K14				
2A		VREFB2AN0	VREFB2AN0					AG19				
2I		VREFB2IN0	VREFB2IN0					AE23				
2J		VREFB2JN0	VREFB2JN0					AF23				
2K		VREFB2KN0	VREFB2KN0					P24				
2L		VREFB2LN0	VREFB2LN0					P22				
3A		VREFB3AN0	VREFB3AN0					AH16				
3B		VREFB3BN0	VREFB3BN0					AF13				
3C		VREFB3CN0	VREFB3CN0					AD11				
3D		VREFB3DN0	VREFB3DN0					Y11				
3E		VREFB3EN0	VREFB3EN0					W11				
3F		VREFB3FN0	VREFB3FN0					T10				
3G		VREFB3GN0	VREFB3GN0					P13				
3H		VREFB3HN0	VREFB3HN0					M15				
			VREFN_ADC					D15				
			VREFP_ADC					D16				
			NC					P19				
			NC					K17				
			NC					M17				
			NC					L18				
			NC					J16				
			NC					E15				
			NC					M19				
			NC					N19				
			NC					L17				
			NC					F15				
			NC					H17				
			NC					G16				
			NC					K16				
			NC					H16				
			NC					E16				
			NC					K15				
			NC					J15				
			NC					G15				
			VCCH_GXBL					AD27				
			VCCH_GXBL					AH27				
			VCCH_GXBL					AM27				
			VCCH_GXBL					D27				
			VCCH_GXBL					H27				
			VCCH_GXBL					M27				
			VCCH_GXBL					T27				
			VCCH_GXBL					Y27				
			VCCH_GXBR					AV1				
			VCCH_GXBR					B1				
			VCCR_GXBL1C					AP28				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCR_GXBL1C					AP29				
			VCCR_GXBL1D					AK28				
			VCCR_GXBL1D					AK29				
			VCCR_GXBL1E					AF28				
			VCCR_GXBL1E					AF29				
			VCCR_GXBL1F					AB28				
			VCCR_GXBL1F					AB29				
			VCCR_GXBL1G					V28				
			VCCR_GXBL1G					V29				
			VCCR_GXBL1H					P28				
			VCCR_GXBL1H					P29				
			VCCR_GXBL1I					K28				
			VCCR_GXBL1I					K29				
			VCCR_GXBL1J					F28				
			VCCR_GXBL1J					F29				
			VCCR_GXBR4F					A3				
			VCCR_GXBR4F					AW3				
			VCCT_GXBL1C					AM28				
			VCCT_GXBL1C					AM29				
			VCCT_GXBL1D					AH28				
			VCCT_GXBL1D					AH29				
			VCCT_GXBL1E					AD28				
			VCCT_GXBL1E					AD29				
			VCCT_GXBL1F					Y28				
			VCCT_GXBL1F					Y29				
			VCCT_GXBL1G					T28				
			VCCT_GXBL1G					T29				
			VCCT_GXBL1H					M28				
			VCCT_GXBL1H					M29				
			VCCT_GXBL1I					H28				
			VCCT_GXBL1I					H29				
			VCCT_GXBL1J					D28				
			VCCT_GXBL1J					D29				
			RREF_BL					AW30				
			RREF_BR					AW2				
			RREF_TL					A28				
			RREF_TR					A2				
			VCCERAM					Y12				
			VCCERAM					Y13				
			VCCERAM					Y18				
			VCCERAM					Y21				
			VCCERAM					Y22				
			VCCERAM					Y23				
			VCCLSENSE					AA19				
			VCCP					AD14				
			VCCP					AD15				
			VCCP					AD16				
			VCCP					AD20				
			VCCP					AD24				
			VCCP					AD25				
			VCCP					T14				
			VCCP					T15				
			VCCP					T17				
			VCCP					T19				
			VCCP					T20				
			VCCP					T23				
			VCCP					T24				
			VSIGN_0					B15				
			VSIGN_1					B14				
			VSIGP_0					A15				
			VSIGP_1					A14				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			GXBL1H_TX_CH2n					A32				
1H			GXBL1H_TX_CH2p					A33				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n					B30				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p					B31				
1H			GXBL1H_TX_CH1n					B34				
1H			GXBL1H_TX_CH1p					B35				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n					C32				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p					C33				
1H			GXBL1H_TX_CH0n					A36				
1H			GXBL1H_TX_CH0p					A37				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n					E32				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p					E33				
1H			REFCLK_GXBL1H_CHBp					L33				
1H			REFCLK_GXBL1H_CHBn					L32				
1G			REFCLK_GXBL1G_CHTp					N33				
1G			REFCLK_GXBL1G_CHTn					N32				
1G			GXBL1G_TX_CH5n					B38				
1G			GXBL1G_TX_CH5p					B39				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n					D34				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p					D35				
1G			GXBL1G_TX_CH4n					C36				
1G			GXBL1G_TX_CH4p					C37				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n					F34				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p					F35				
1G			GXBL1G_TX_CH3n					D38				
1G			GXBL1G_TX_CH3p					D39				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n					H34				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p					H35				
1G			GXBL1G_TX_CH2n					E36				
1G			GXBL1G_TX_CH2p					E37				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n					K34				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p					K35				
1G			GXBL1G_TX_CH1n					F38				
1G			GXBL1G_TX_CH1p					F39				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n					L36				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p					L37				
1G			GXBL1G_TX_CH0n					G36				
1G			GXBL1G_TX_CH0p					G37				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n					M34				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p					M35				
1G			REFCLK_GXBL1G_CHBp					R33				
1G			REFCLK_GXBL1G_CHBn					R32				
1F			REFCLK_GXBL1F_CHTp					U33				
1F			REFCLK_GXBL1F_CHTn					U32				
1F			GXBL1F_TX_CH5n					H38				
1F			GXBL1F_TX_CH5p					H39				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					N36				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					N37				
1F			GXBL1F_TX_CH4n					J36				
1F			GXBL1F_TX_CH4p					J37				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					P34				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					P35				
1F			GXBL1F_TX_CH3n					K38				
1F			GXBL1F_TX_CH3p					K39				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					R36				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					R37				
1F			GXBL1F_TX_CH2n					M38				
1F			GXBL1F_TX_CH2p					M39				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					T34				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					T35				
1F			GXBL1F_TX_CH1n					P38				
1F			GXBL1F_TX_CH1p					P39				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					U36				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					U37				
1F			GXBL1F_TX_CH0n					T38				
1F			GXBL1F_TX_CH0p					T39				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					V34				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					V35				
1F			REFCLK_GXBL1F_CHBp					W33				
1F			REFCLK_GXBL1F_CHBn					W32				
1E			REFCLK_GXBL1E_CHTp					AA33				
1E			REFCLK_GXBL1E_CHTn					AA32				
1E			GXBL1E_TX_CH5n					V38				
1E			GXBL1E_TX_CH5p					V39				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					W36				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					W37				
1E			GXBL1E_TX_CH4n					Y38				
1E			GXBL1E_TX_CH4p					Y39				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					Y34				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					Y35				
1E			GXBL1E_TX_CH3n					AB38				
1E			GXBL1E_TX_CH3p					AB39				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					AA36				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					AA37				
1E			GXBL1E_TX_CH2n					AD38				
1E			GXBL1E_TX_CH2p					AD39				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					AB34				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					AB35				
1E			GXBL1E_TX_CH1n					AF38				
1E			GXBL1E_TX_CH1p					AF39				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					AC36				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					AC37				
1E			GXBL1E_TX_CH0n					AH38				
1E			GXBL1E_TX_CH0p					AH39				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					AD34				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					AD35				
1E			REFCLK GXBL1E_CHBp					AC33				
1E			REFCLK GXBL1E_CHBn					AC32				
1D			REFCLK GXBL1D_CHTp					AE33				
1D			REFCLK GXBL1D_CHTn					AE32				
1D			GXBL1D_TX_CH5n					AK38				
1D			GXBL1D_TX_CH5p					AK39				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					AE36				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					AE37				
1D			GXBL1D_TX_CH4n					AL36				
1D			GXBL1D_TX_CH4p					AL37				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					AF34				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					AF35				
1D			GXBL1D_TX_CH3n					AM38				
1D			GXBL1D_TX_CH3p					AM39				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					AG36				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					AG37				
1D			GXBL1D_TX_CH2n					AN36				
1D			GXBL1D_TX_CH2p					AN37				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AH34				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AH35				
1D			GXBL1D_TX_CH1n					AP38				
1D			GXBL1D_TX_CH1p					AP39				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AJ36				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AJ37				
1D			GXBL1D_TX_CH0n					AR36				
1D			GXBL1D_TX_CH0p					AR37				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AK34				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AK35				
1D			REFCLK GXBL1D_CHBp					AG33				
1D			REFCLK GXBL1D_CHBn					AG32				
1C			REFCLK GXBL1C_CHTp					AJ33				
1C			REFCLK GXBL1C_CHTn					AJ32				
1C			GXBL1C_TX_CH5n					AT38				
1C			GXBL1C_TX_CH5p					AT39				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AM34				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AM35				
1C			GXBL1C_TX_CH4n					AU36				
1C			GXBL1C_TX_CH4p					AU37				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					AP34				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					AP35				
1C			GXBL1C_TX_CH3n					AV38				
1C			GXBL1C_TX_CH3p					AV39				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					AT34				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					AT35				
1C			GXBL1C_TX_CH2n					AW36				
1C			GXBL1C_TX_CH2p					AW37				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					AR32				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					AR33				
1C			GXBL1C_TX_CH1n					AV34				
1C			GXBL1C_TX_CH1p					AV35				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					AU32				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					AU33				
1C			GXBL1C_TX_CH0n					AW32				
1C			GXBL1C_TX_CH0p					AW33				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					AV30				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					AV31				
1C			REFCLK GXBL1C_CHBp					AL33				
1C			REFCLK GXBL1C_CHBn					AL32				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	L22	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	K22	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	B23	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	C23	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	E23	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	F23	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	J22	DQS1	DQS0/CQ0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	H22	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	E22	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	F22	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	C22	DQ1	DQ0	DQS0/CQ0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	D22	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	G23	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	H23	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	M23	DQS2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	L23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	A22	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	A23	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	A25	DQS3	DQS1/CQ1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	B25	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	B24	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	C24	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	B21	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	A21	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	D24	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	E24	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	C21	DQS4	DQ2	DQ1	DQS0/CQ0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	D21	DQS4	DQ2	DQ1	DQS0/CQ0

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	K23	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	K24	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	H24	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	J24	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	M21	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	L21	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	A26	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	B26	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	J21	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	H21	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	G21	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	F21	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	E25	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	F25	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	G24	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	G25	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	A20	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	B20	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	D20	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	E20	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	K29	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	J29	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	M26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	N26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	D25	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	D26	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	L28	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	K28	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	M29	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	N29	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	G29	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	H29	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	C26	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	C27	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	D27	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	C28	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	P29	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	R29	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	E27	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	F27	DQSn11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	L25	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	M25	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	N28	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	M28	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	F26	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	G26	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	K27	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	L27	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	J25	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	H26	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	J26	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	J27	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	F30	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	E30	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	K25	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	L26	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	H28	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	H27	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	G28	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	F28	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	N27	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	P27	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	R27	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	R28	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	E29	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	E28	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	D29	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	D30	DQ15	DQ7	DQ3	DQ1
2F	47	VREFB2FN0	IO			LVDS2F_1n	No	AT30	DQ48	DQ24	DQ12	DQ6
2F	46	VREFB2FN0	IO			LVDS2F_1p	No	AR30	DQ48	DQ24	DQ12	DQ6
2F	45	VREFB2FN0	IO			LVDS2F_2n	Yes	AH26	DQSn48	DQ24	DQ12	DQ6
2F	44	VREFB2FN0	IO			LVDS2F_2p	Yes	AJ26	DQS48	DQ24	DQ12	DQ6
2F	43	VREFB2FN0	IO			LVDS2F_3n	No	AG26	DQ48	DQ24	DQ12	DQ6
2F	42	VREFB2FN0	IO			LVDS2F_3p	No	AF26	DQ48	DQ24	DQ12	DQ6
2F	41	VREFB2FN0	IO			LVDS2F_4n	Yes	AN28	DQSn49	DQSn24/CQn24	DQ12	DQ6
2F	40	VREFB2FN0	IO			LVDS2F_4p	Yes	AM28	DQS49	DQS24/CQ24	DQ12	DQ6
2F	39	VREFB2FN0	IO			LVDS2F_5n	No	AE29	DQ49	DQ24	DQ12	DQ6
2F	38	VREFB2FN0	IO			LVDS2F_5p	No	AE28	DQ49	DQ24	DQ12	DQ6
2F	37	VREFB2FN0	IO			LVDS2F_6n	Yes	AM29	DQ49	DQ24	DQSn12/CQn12	DQ6
2F	36	VREFB2FN0	IO			LVDS2F_6p	Yes	AN29	DQ49	DQ24	DQS12/CQ12	DQ6
2F	35	VREFB2FN0	IO			LVDS2F_7n	No	AL26	DQ50	DQ25	DQ12	DQ6
2F	34	VREFB2FN0	IO			LVDS2F_7p	No	AM26	DQ50	DQ25	DQ12	DQ6
2F	33	VREFB2FN0	IO			LVDS2F_8n	Yes	AF25	DQSn50	DQ25	DQ12	DQ6
2F	32	VREFB2FN0	IO			LVDS2F_8p	Yes	AE25	DQS50	DQ25	DQ12	DQ6
2F	31	VREFB2FN0	IO			LVDS2F_9n	No	AN31	DQ50	DQ25	DQ12	DQ6
2F	30	VREFB2FN0	IO			LVDS2F_9p	No	AP30	DQ50	DQ25	DQ12	DQ6
2F	29	VREFB2FN0	IO	PLL_2F_CLKOUT1n		LVDS2F_10n	Yes	AP29	DQSn51	DQSn25/CQn25	DQ12	DQ6
2F	28	VREFB2FN0	IO	PLL_2F_CLKOUT1p,PLL_2F_CLKOUT1,PLL_2F_FB1		LVDS2F_10p	Yes	AR29	DQS51	DQS25/CQ25	DQ12	DQ6
2F	27	VREFB2FN0	IO			LVDS2F_11n	No	AN27	DQ51	DQ25	DQ12	DQ6
2F	26	VREFB2FN0	IO	RZQ_2F		LVDS2F_11p	No	AP27	DQ51	DQ25	DQ12	DQ6
2F	25	VREFB2FN0	IO	CLK_2F_1n		LVDS2F_12n	Yes	AK27	DQ51	DQ25	DQ12	DQ6

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2F	24	VREFB2FN0	IO	CLK_2F_1p		LVDS2F_12p	Yes	AL27	DQ51	DQ25	DQ12	DQ6
2F	23	VREFB2FN0	IO	CLK_2F_0n		LVDS2F_13n	No	AR28	DQ52	DQ26	DQ13	DQ6
2F	22	VREFB2FN0	IO	CLK_2F_0p		LVDS2F_13p	No	AR27	DQ52	DQ26	DQ13	DQ6
2F	21	VREFB2FN0	IO			LVDS2F_14n	Yes	AF28	DQSn52	DQ26	DQ13	DQSn6/CQn6
2F	20	VREFB2FN0	IO			LVDS2F_14p	Yes	AF27	DQ52	DQ26	DQ13	DQS6/CQ6
2F	19	VREFB2FN0	IO	PLL_2F_CLKOUT0n		LVDS2F_15n	No	AG24	DQ52	DQ26	DQ13	DQ6
2F	18	VREFB2FN0	IO	PLL_2F_CLKOUT0p,PLL_2F_CLKOUT0,PLL_2F_FB0		LVDS2F_15p	No	AG25	DQ52	DQ26	DQ13	DQ6
2F	17	VREFB2FN0	IO			LVDS2F_16n	Yes	AN26	DQSn53	DQSn26/CQn26	DQ13	DQ6
2F	16	VREFB2FN0	IO			LVDS2F_16p	Yes	AP26	DQS53	DQS26/CQ26	DQ13	DQ6
2F	15	VREFB2FN0	IO			LVDS2F_17n	No	AJ27	DQ53	DQ26	DQ13	DQ6
2F	14	VREFB2FN0	IO			LVDS2F_17p	No	AH27	DQ53	DQ26	DQ13	DQ6
2F	13	VREFB2FN0	IO			LVDS2F_18n	Yes	AT28	DQ53	DQ26	DQSn13/CQn13	DQ6
2F	12	VREFB2FN0	IO			LVDS2F_18p	Yes	AU28	DQ53	DQ26	DQS13/CQ13	DQ6
2F	11	VREFB2FN0	IO			LVDS2F_19n	No	AL28	DQ54	DQ27	DQ13	DQ6
2F	10	VREFB2FN0	IO			LVDS2F_19p	No	AK28	DQ54	DQ27	DQ13	DQ6
2F	9	VREFB2FN0	IO			LVDS2F_20n	Yes	AG28	DQSn54	DQ27	DQ13	DQ6
2F	8	VREFB2FN0	IO			LVDS2F_20p	Yes	AH28	DQS54	DQ27	DQ13	DQ6
2F	7	VREFB2FN0	IO			LVDS2F_21n	No	AH24	DQ54	DQ27	DQ13	DQ6
2F	6	VREFB2FN0	IO			LVDS2F_21p	No	AJ24	DQ54	DQ27	DQ13	DQ6
2F	5	VREFB2FN0	IO			LVDS2F_22n	Yes	AJ25	DQSn55	DQSn27/CQn27	DQ13	DQ6
2F	4	VREFB2FN0	IO			LVDS2F_22p	Yes	AK25	DQS55	DQS27/CQ27	DQ13	DQ6
2F	3	VREFB2FN0	IO			LVDS2F_23n	No	AK29	DQ55	DQ27	DQ13	DQ6
2F	2	VREFB2FN0	IO			LVDS2F_23p	No	AJ29	DQ55	DQ27	DQ13	DQ6
2F	1	VREFB2FN0	IO			LVDS2F_24n	Yes	AH29	DQ55	DQ27	DQ13	DQ6
2F	0	VREFB2FN0	IO			LVDS2F_24p	Yes	AG29	DQ55	DQ27	DQ13	DQ6
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	AW21	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	AW22	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	AL25	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	AM25	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	AT27	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	AT26	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	AV21	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	AU21	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	AT22	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	AT21	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	AP22	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	AR22	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	AP25	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	AR25	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	AT25	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AU25	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	AV23	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	AV22	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	AU26	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	AV26	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	AE23	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	AE24	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	AF22	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	AE22	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	AW26	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	AW25	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	AW24	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	AV24	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	AP24	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	AR24	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	AK24	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	AK23	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	AU23	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	AU24	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR	LVDS2A_18n	Yes	AM24	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST	LVDS2A_18p	Yes	AN24	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY	LVDS2A_19n	No	AT23	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0	LVDS2A_19p	No	AR23	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE	LVDS2A_20n	Yes	AN22	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1	LVDS2A_20p	Yes	AN23	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No	AH23	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No	AG23	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes	AM23	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes	AL23	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No	AL22	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No	AK22	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes	AJ22	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes	AH22	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO			LVDS3H_1n	No	M18	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO			LVDS3H_1p	No	L18	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO			LVDS3H_2n	Yes	K18	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO			LVDS3H_2p	Yes	J17	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO			LVDS3H_3n	No	E17	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO			LVDS3H_3p	No	F17	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HN0	IO			LVDS3H_4n	Yes	H18	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO			LVDS3H_4p	Yes	G18	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HN0	IO			LVDS3H_5n	No	E18	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO			LVDS3H_5p	No	F18	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO			LVDS3H_6n	Yes	A18	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO			LVDS3H_6p	Yes	A17	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HN0	IO			LVDS3H_7n	No	K17	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO			LVDS3H_7p	No	L17	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO			LVDS3H_8n	Yes	D17	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HN0	IO			LVDS3H_8p	Yes	C17	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO			LVDS3H_9n	No	K19	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO			LVDS3H_9p	No	J19	DQ66	DQ33	DQ16	DQ8

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n		LVDS3H_10n	Yes	A16	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1		LVDS3H_10p	Yes	B16	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HN0	IO			LVDS3H_11n	No	H17	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H		LVDS3H_11p	No	G16	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n		LVDS3H_12n	Yes	H19	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p		LVDS3H_12p	Yes	G19	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n		LVDS3H_13n	No	C16	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p		LVDS3H_13p	No	D16	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO			LVDS3H_14n	Yes	E19	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO			LVDS3H_14p	Yes	D19	DQS68	DQ34	DQ17	DQSn8/CQ8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n		LVDS3H_15n	No	A15	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0		LVDS3H_15p	No	B15	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO			LVDS3H_16n	Yes	F16	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO			LVDS3H_16p	Yes	E15	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HN0	IO			LVDS3H_17n	No	C18	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO			LVDS3H_17p	No	B18	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO			LVDS3H_18n	Yes	F15	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO			LVDS3H_18p	Yes	G15	DQ69	DQ34	DQSn17/CQ17	DQ8
3H	11	VREFB3HN0	IO			LVDS3H_19n	No	C19	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO			LVDS3H_19p	No	B19	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO			LVDS3H_20n	Yes	F20	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO			LVDS3H_20p	Yes	G20	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO			LVDS3H_21n	No	H16	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO			LVDS3H_21p	No	J16	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO			LVDS3H_22n	Yes	M16	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO			LVDS3H_22p	Yes	L16	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HN0	IO			LVDS3H_23n	No	J20	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO			LVDS3H_23p	No	K20	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO			LVDS3H_24n	Yes	L20	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HN0	IO			LVDS3H_24p	Yes	M20	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO			LVDS3G_1n	No	M11	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO			LVDS3G_1p	No	L11	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO			LVDS3G_2n	Yes	D15	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO			LVDS3G_2p	Yes	D14	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO			LVDS3G_3n	No	C14	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO			LVDS3G_3p	No	B14	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO			LVDS3G_4n	Yes	J11	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO			LVDS3G_4p	Yes	J12	DQS73	DQS36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO			LVDS3G_5n	No	K12	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO			LVDS3G_5p	No	L12	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO			LVDS3G_6n	Yes	G11	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO			LVDS3G_6p	Yes	H11	DQ73	DQ36	DQSn18/CQ18	DQ9
3G	35	VREFB3GN0	IO			LVDS3G_7n	No	E14	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO			LVDS3G_7p	No	E13	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO			LVDS3G_8n	Yes	G14	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO			LVDS3G_8p	Yes	H14	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO			LVDS3G_9n	No	L13	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO			LVDS3G_9p	No	M13	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n		LVDS3G_10n	Yes	M15	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1		LVDS3G_10p	Yes	M14	DQS75	DQS37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO			LVDS3G_11n	No	N14	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G		LVDS3G_11p	No	P14	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n		LVDS3G_12n	Yes	N12	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p		LVDS3G_12p	Yes	N13	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n		LVDS3G_13n	No	L15	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p		LVDS3G_13p	No	K15	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO			LVDS3G_14n	Yes	H12	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO			LVDS3G_14p	Yes	H13	DQS76	DQ38	DQ19	DQSn9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n		LVDS3G_15n	No	J15	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0		LVDS3G_15p	No	J14	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO			LVDS3G_16n	Yes	F13	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO			LVDS3G_16p	Yes	G13	DQS77	DQS38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO			LVDS3G_17n	No	K13	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO			LVDS3G_17p	No	K14	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO			LVDS3G_18n	Yes	C13	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO			LVDS3G_18p	Yes	C12	DQ77	DQ38	DQSn19/CQ19	DQ9
3G	11	VREFB3GN0	IO			LVDS3G_19n	No	P11	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO			LVDS3G_19p	No	N11	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO			LVDS3G_20n	Yes	F10	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO			LVDS3G_20p	Yes	F11	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO			LVDS3G_21n	No	E12	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO			LVDS3G_21p	No	F12	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO			LVDS3G_22n	Yes	D12	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO			LVDS3G_22p	Yes	D11	DQS79	DQS39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO			LVDS3G_23n	No	E10	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO			LVDS3G_23p	No	D10	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO			LVDS3G_24n	Yes	P12	DQ79	DQ39	DQ19	DQ9
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AR13	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AR12	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	AM13	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AN13	DQSn114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	AT11	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	AT12	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	AM14	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	AN14	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	AP14	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AR14	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	AR10	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	AT10	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	AT13	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AU13	DQ116	DQ58	DQ29	DQ14

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AP12	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AN12	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	AU14	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	AV14	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	AW14	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AP11	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AW15	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	AN11	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	AP10	DQSn118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	AU15	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	AT15	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	AN9	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	AM11	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AP19	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AM15	DQSn120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AL16	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AR19	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AT20	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AU20	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	AM16	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	AN16	DQSn122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	AW20	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	AP16	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	AP15	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	AR15	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	AW19	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	AT16	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	AR18	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	AU16	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	AV16	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	AT18	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	AW16	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	AU19	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	AV19	DQSn126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	AW17	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	AV17	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	AR17	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	AT17	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	AU18	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	AV18	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	AP17	DQ127	DQ63	DQ31	DQ15
4J			GXBR4J_TX_CH2n					A8				
4J			GXBR4J_TX_CH2p					A7				
4J			GXBR4J_RX_CH2n,GXBR4J_REFCLK2n					B10				
4J			GXBR4J_RX_CH2p,GXBR4J_REFCLK2p					B9				
4J			GXBR4J_TX_CH1n					B6				
4J			GXBR4J_TX_CH1p					B5				
4J			GXBR4J_RX_CH1n,GXBR4J_REFCLK1n					C8				
4J			GXBR4J_RX_CH1p,GXBR4J_REFCLK1p					C7				
4J			GXBR4J_TX_CH0n					A4				
4J			GXBR4J_TX_CH0p					A3				
4J			GXBR4J_RX_CH0n,GXBR4J_REFCLK0n					E8				
4J			GXBR4J_RX_CH0p,GXBR4J_REFCLK0p					E7				
4J			REFCLK_GXBR4J_CHBp					L7				
4J			REFCLK_GXBR4J_CHBn					L8				
4I			REFCLK_GXBR4I_CHTp					N7				
4I			REFCLK_GXBR4I_CHTn					N8				
4I			GXBR4I_TX_CH5n					B2				
4I			GXBR4I_TX_CH5p					B1				
4I			GXBR4I_RX_CH5n,GXBR4I_REFCLK5n					D6				
4I			GXBR4I_RX_CH5p,GXBR4I_REFCLK5p					D5				
4I			GXBR4I_TX_CH4n					C4				
4I			GXBR4I_TX_CH4p					C3				
4I			GXBR4I_RX_CH4n,GXBR4I_REFCLK4n					F6				
4I			GXBR4I_RX_CH4p,GXBR4I_REFCLK4p					F5				
4I			GXBR4I_TX_CH3n					D2				
4I			GXBR4I_TX_CH3p					D1				
4I			GXBR4I_RX_CH3n,GXBR4I_REFCLK3n					H6				
4I			GXBR4I_RX_CH3p,GXBR4I_REFCLK3p					H5				
4I			GXBR4I_TX_CH2n					E4				
4I			GXBR4I_TX_CH2p					E3				
4I			GXBR4I_RX_CH2n,GXBR4I_REFCLK2n					K6				
4I			GXBR4I_RX_CH2p,GXBR4I_REFCLK2p					K5				
4I			GXBR4I_TX_CH1n					F2				
4I			GXBR4I_TX_CH1p					F1				
4I			GXBR4I_RX_CH1n,GXBR4I_REFCLK1n					L4				
4I			GXBR4I_RX_CH1p,GXBR4I_REFCLK1p					L3				
4I			GXBR4I_TX_CH0n					G4				
4I			GXBR4I_TX_CH0p					G3				
4I			GXBR4I_RX_CH0n,GXBR4I_REFCLK0n					M6				
4I			GXBR4I_RX_CH0p,GXBR4I_REFCLK0p					M5				
4I			REFCLK_GXBR4I_CHBp					R7				
4I			REFCLK_GXBR4I_CHBn					R8				
4H			REFCLK_GXBR4H_CHTp					U7				
4H			REFCLK_GXBR4H_CHTn					U8				
4H			GXBR4H_TX_CH5n					H2				
4H			GXBR4H_TX_CH5p					H1				
4H			GXBR4H_RX_CH5n,GXBR4H_REFCLK5n					N4				
4H			GXBR4H_RX_CH5p,GXBR4H_REFCLK5p					N3				
4H			GXBR4H_TX_CH4n					J4				
4H			GXBR4H_TX_CH4p					J3				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4H			GXBR4H_RX_CH4n,GXBR4H_REFCLK4n					P6				
4H			GXBR4H_RX_CH4p,GXBR4H_REFCLK4p					P5				
4H			GXBR4H_TX_CH3n					K2				
4H			GXBR4H_TX_CH3p					K1				
4H			GXBR4H_RX_CH3n,GXBR4H_REFCLK3n					R4				
4H			GXBR4H_RX_CH3p,GXBR4H_REFCLK3p					R3				
4H			GXBR4H_TX_CH2n					M2				
4H			GXBR4H_TX_CH2p					M1				
4H			GXBR4H_RX_CH2n,GXBR4H_REFCLK2n					T6				
4H			GXBR4H_RX_CH2p,GXBR4H_REFCLK2p					T5				
4H			GXBR4H_TX_CH1n					P2				
4H			GXBR4H_TX_CH1p					P1				
4H			GXBR4H_RX_CH1n,GXBR4H_REFCLK1n					U4				
4H			GXBR4H_RX_CH1p,GXBR4H_REFCLK1p					U3				
4H			GXBR4H_TX_CH0n					T2				
4H			GXBR4H_TX_CH0p					T1				
4H			GXBR4H_RX_CH0n,GXBR4H_REFCLK0n					V6				
4H			GXBR4H_RX_CH0p,GXBR4H_REFCLK0p					V5				
4H			REFCLK_GXBR4H_CHBp					W7				
4H			REFCLK_GXBR4H_CHBn					W8				
4G			REFCLK_GXBR4G_CHTp					AA7				
4G			REFCLK_GXBR4G_CHTn					AA8				
4G			GXBR4G_TX_CH5n					V2				
4G			GXBR4G_TX_CH5p					V1				
4G			GXBR4G_RX_CH5n,GXBR4G_REFCLK5n					W4				
4G			GXBR4G_RX_CH5p,GXBR4G_REFCLK5p					W3				
4G			GXBR4G_TX_CH4n					Y2				
4G			GXBR4G_TX_CH4p					Y1				
4G			GXBR4G_RX_CH4n,GXBR4G_REFCLK4n					Y6				
4G			GXBR4G_RX_CH4p,GXBR4G_REFCLK4p					Y5				
4G			GXBR4G_TX_CH3n					AB2				
4G			GXBR4G_TX_CH3p					AB1				
4G			GXBR4G_RX_CH3n,GXBR4G_REFCLK3n					AA4				
4G			GXBR4G_RX_CH3p,GXBR4G_REFCLK3p					AA3				
4G			GXBR4G_TX_CH2n					AD2				
4G			GXBR4G_TX_CH2p					AD1				
4G			GXBR4G_RX_CH2n,GXBR4G_REFCLK2n					AB6				
4G			GXBR4G_RX_CH2p,GXBR4G_REFCLK2p					AB5				
4G			GXBR4G_TX_CH1n					AF2				
4G			GXBR4G_TX_CH1p					AF1				
4G			GXBR4G_RX_CH1n,GXBR4G_REFCLK1n					AC4				
4G			GXBR4G_RX_CH1p,GXBR4G_REFCLK1p					AC3				
4G			GXBR4G_TX_CH0n					AH2				
4G			GXBR4G_TX_CH0p					AH1				
4G			GXBR4G_RX_CH0n,GXBR4G_REFCLK0n					AD6				
4G			GXBR4G_RX_CH0p,GXBR4G_REFCLK0p					AD5				
4G			REFCLK_GXBR4G_CHBp					AC7				
4G			REFCLK_GXBR4G_CHBn					AC8				
4F			REFCLK_GXBR4F_CHTp					AE7				
4F			REFCLK_GXBR4F_CHTn					AE8				
4F			GXBR4F_TX_CH5n					AK2				
4F			GXBR4F_TX_CH5p					AK1				
4F			GXBR4F_RX_CH5n,GXBR4F_REFCLK5n					AE4				
4F			GXBR4F_RX_CH5p,GXBR4F_REFCLK5p					AE3				
4F			GXBR4F_TX_CH4n					AL4				
4F			GXBR4F_TX_CH4p					AL3				
4F			GXBR4F_RX_CH4n,GXBR4F_REFCLK4n					AF6				
4F			GXBR4F_RX_CH4p,GXBR4F_REFCLK4p					AF5				
4F			GXBR4F_TX_CH3n					AM2				
4F			GXBR4F_TX_CH3p					AM1				
4F			GXBR4F_RX_CH3n,GXBR4F_REFCLK3n					AG4				
4F			GXBR4F_RX_CH3p,GXBR4F_REFCLK3p					AG3				
4F			GXBR4F_TX_CH2n					AN4				
4F			GXBR4F_TX_CH2p					AN3				
4F			GXBR4F_RX_CH2n,GXBR4F_REFCLK2n					AH6				
4F			GXBR4F_RX_CH2p,GXBR4F_REFCLK2p					AH5				
4F			GXBR4F_TX_CH1n					AP2				
4F			GXBR4F_TX_CH1p					AP1				
4F			GXBR4F_RX_CH1n,GXBR4F_REFCLK1n					AJ4				
4F			GXBR4F_RX_CH1p,GXBR4F_REFCLK1p					AJ3				
4F			GXBR4F_TX_CH0n					AR4				
4F			GXBR4F_TX_CH0p					AR3				
4F			GXBR4F_RX_CH0n,GXBR4F_REFCLK0n					AK6				
4F			GXBR4F_RX_CH0p,GXBR4F_REFCLK0p					AK5				
4F			REFCLK_GXBR4F_CHBp					AG7				
4F			REFCLK_GXBR4F_CHBn					AG8				
4E			REFCLK_GXBR4E_CHTp					AJ7				
4E			REFCLK_GXBR4E_CHTn					AJ8				
4E			GXBR4E_TX_CH5n					AT2				
4E			GXBR4E_TX_CH5p					AT1				
4E			GXBR4E_RX_CH5n,GXBR4E_REFCLK5n					AM6				
4E			GXBR4E_RX_CH5p,GXBR4E_REFCLK5p					AM5				
4E			GXBR4E_TX_CH4n					AU4				
4E			GXBR4E_TX_CH4p					AU3				
4E			GXBR4E_RX_CH4n,GXBR4E_REFCLK4n					AP6				
4E			GXBR4E_RX_CH4p,GXBR4E_REFCLK4p					AP5				
4E			GXBR4E_TX_CH3n					AV2				
4E			GXBR4E_TX_CH3p					AV1				
4E			GXBR4E_RX_CH3n,GXBR4E_REFCLK3n					AT6				
4E			GXBR4E_RX_CH3p,GXBR4E_REFCLK3p					AT5				
4E			GXBR4E_TX_CH2n					AW4				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4E			GXBR4E_TX_CH2p					AW3				
4E			GXBR4E_RX_CH2n,GXBR4E_REFCLK2n					AR8				
4E			GXBR4E_RX_CH2p,GXBR4E_REFCLK2p					AR7				
4E			GXBR4E_TX_CH1n					AV6				
4E			GXBR4E_TX_CH1p					AV5				
4E			GXBR4E_RX_CH1n,GXBR4E_REFCLK1n					AU8				
4E			GXBR4E_RX_CH1p,GXBR4E_REFCLK1p					AU7				
4E			GXBR4E_TX_CH0n					AW8				
4E			GXBR4E_TX_CH0p					AW7				
4E			GXBR4E_RX_CH0n,GXBR4E_REFCLK0n					AV10				
4E			GXBR4E_RX_CH0p,GXBR4E_REFCLK0p					AV9				
4E			REFCLK_GXBR4E_CHBp					AL7				
4E			REFCLK_GXBR4E_CHBn					AL8				
			GND					AN18				
CSS			TDO		TDO			AM21				
CSS			TMS		TMS			AJ20				
CSS			TRST		TRST			AL20				
CSS			TCK		TCK			AP20				
CSS			TDI		TDI			AK18				
CSS			MSEL0		MSEL0			AJ19				
CSS			MSEL1		MSEL1			AL21				
CSS			MSEL2		MSEL2			AJ21				
CSS			nIO_PULLUP		nIO_PULLUP			AN19				
CSS			nSTATUS		nSTATUS			AL17				
CSS			CONF_DONE		CONF_DONE			AK17				
			GND					AK20				
CSS			nCONFIG		nCONFIG			AJ17				
CSS			nCE		nCE			AK19				
CSS			nCSO0		nCSO0			AR20				
CSS			nCSO1		nCSO1			AJ16				
CSS			nCSO2		nCSO2			AM18				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AP21				
CSS			AS_DATA1		AS_DATA1			AL18				
CSS			AS_DATA2		AS_DATA2			AN21				
CSS			AS_DATA3		AS_DATA3			AM20				
CSS			DCLK		DCLK			AM19				
			ADCGND					J32				
			GND					A14				
			GND					A19				
			GND					A24				
			GND					AA10				
			GND					AA14				
			GND					AA19				
			GND					AA24				
			GND					AA29				
			GND					AB12				
			GND					AB17				
			GND					AB22				
			GND					AB27				
			GND					AC10				
			GND					AC15				
			GND					AC20				
			GND					AC25				
			GND					AC30				
			GND					AD10				
			GND					AD13				
			GND					AD18				
			GND					AD23				
			GND					AD28				
			GND					AD30				
			GND					AE10				
			GND					AE11				
			GND					AE16				
			GND					AE21				
			GND					AE30				
			GND					AF14				
			GND					AF19				
			GND					AF24				
			GND					AF29				
			GND					AG10				
			GND					AG12				
			GND					AG17				
			GND					AG22				
			GND					AG27				
			GND					AG30				
			GND					AH10				
			GND					AH15				
			GND					AH20				
			GND					AH30				
			GND					AJ10				
			GND					AJ13				
			GND					AJ18				
			GND					AJ28				
			GND					AK11				
			GND					AK16				
			GND					AK21				
			GND					AK30				
			GND					AL14				
			GND					AL19				
			GND					AL29				
			GND					AM12				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AM17				
			GND					AN10				
			GND					AN15				
			GND					AN20				
			GND					AN25				
			GND					AN30				
			GND					AR11				
			GND					AR21				
			GND					AR26				
			GND					AT19				
			GND					AT24				
			GND					AT29				
			GND					AU12				
			GND					AU17				
			GND					AU22				
			GND					AU27				
			GND					AV15				
			GND					AV20				
			GND					AV25				
			GND					AW18				
			GND					AW23				
			GND					B17				
			GND					B22				
			GND					C15				
			GND					C20				
			GND					C25				
			GND					D13				
			GND					D18				
			GND					D23				
			GND					D28				
			GND					E11				
			GND					E21				
			GND					E26				
			GND					F31				
			GND					F9				
			GND					H10				
			GND					H15				
			GND					H20				
			GND					H25				
			GND					H30				
			GND					J28				
			GND					K11				
			GND					K16				
			GND					L14				
			GND					L19				
			GND					L24				
			GND					L29				
			GND					M12				
			GND					M17				
			GND					M22				
			GND					N10				
			GND					N15				
			GND					N20				
			GND					N25				
			GND					N30				
			GND					P13				
			GND					P18				
			GND					P23				
			GND					P28				
			GND					R11				
			GND					R16				
			GND					R21				
			GND					R26				
			GND					T10				
			GND					T14				
			GND					T19				
			GND					T24				
			GND					T29				
			GND					T30				
			GND					U12				
			GND					U17				
			GND					U22				
			GND					U27				
			GND					V10				
			GND					V15				
			GND					V20				
			GND					V25				
			GND					V30				
			GND					W13				
			GND					W18				
			GND					W23				
			GND					W28				
			GND					Y10				
			GND					Y11				
			GND					Y16				
			GND					AA21				
			GND					Y26				
			GND					Y30				
			GND					A27				
			GND					A29				
			GND					A30				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					A31				
			GND					A34				
			GND					A35				
			GND					A38				
			GND					AA30				
			GND					AA31				
			GND					AA34				
			GND					AA35				
			GND					AA38				
			GND					AA39				
			GND					AB36				
			GND					AB37				
			GND					AC34				
			GND					AC35				
			GND					AC38				
			GND					AC39				
			GND					AD32				
			GND					AD33				
			GND					AD36				
			GND					AD37				
			GND					AE31				
			GND					AE34				
			GND					AE35				
			GND					AE38				
			GND					AE39				
			GND					AF36				
			GND					AF37				
			GND					AG34				
			GND					AG35				
			GND					AG38				
			GND					AG39				
			GND					AH32				
			GND					AH33				
			GND					AH36				
			GND					AH37				
			GND					AJ31				
			GND					AJ34				
			GND					AJ35				
			GND					AJ38				
			GND					AJ39				
			GND					AK36				
			GND					AK37				
			GND					AL34				
			GND					AL35				
			GND					AL38				
			GND					AL39				
			GND					AM32				
			GND					AM33				
			GND					AM36				
			GND					AM37				
			GND					AN32				
			GND					AN33				
			GND					AN34				
			GND					AN35				
			GND					AN38				
			GND					AN39				
			GND					AP31				
			GND					AP32				
			GND					AP33				
			GND					AP36				
			GND					AP37				
			GND					AR31				
			GND					AR34				
			GND					AR35				
			GND					AR38				
			GND					AR39				
			GND					AT31				
			GND					AT32				
			GND					AT33				
			GND					AT36				
			GND					AT37				
			GND					AU29				
			GND					AU30				
			GND					AU31				
			GND					AU34				
			GND					AU35				
			GND					AU38				
			GND					AU39				
			GND					AV29				
			GND					AV32				
			GND					AV33				
			GND					AV36				
			GND					AV37				
			GND					AW27				
			GND					AW29				
			GND					AW30				
			GND					AW31				
			GND					AW34				
			GND					AW35				
			GND					AW38				
			GND					B27				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					B28				
			GND					B29				
			GND					B32				
			GND					B33				
			GND					B36				
			GND					B37				
			GND					C29				
			GND					C30				
			GND					C31				
			GND					C34				
			GND					C35				
			GND					C38				
			GND					C39				
			GND					D31				
			GND					D32				
			GND					D33				
			GND					D36				
			GND					D37				
			GND					E31				
			GND					E34				
			GND					E35				
			GND					E38				
			GND					E39				
			GND					F32				
			GND					F33				
			GND					F36				
			GND					F37				
			GND					G31				
			GND					G32				
			GND					G33				
			GND					G34				
			GND					G35				
			GND					G38				
			GND					G39				
			GND					H32				
			GND					H33				
			GND					H36				
			GND					H37				
			GND					J31				
			GND					J34				
			GND					J35				
			GND					J38				
			GND					J39				
			GND					K36				
			GND					K37				
			GND					L34				
			GND					L35				
			GND					L38				
			GND					L39				
			GND					M32				
			GND					M33				
			GND					M36				
			GND					M37				
			GND					N31				
			GND					N34				
			GND					N35				
			GND					N38				
			GND					N39				
			GND					P36				
			GND					P37				
			GND					R34				
			GND					R35				
			GND					R38				
			GND					R39				
			GND					T32				
			GND					T33				
			GND					T36				
			GND					T37				
			GND					U30				
			GND					U31				
			GND					U34				
			GND					U35				
			GND					U38				
			GND					U39				
			GND					V36				
			GND					V37				
			GND					W34				
			GND					W35				
			GND					W38				
			GND					W39				
			GND					Y32				
			GND					Y33				
			GND					Y36				
			GND					Y37				
			GND					A10				
			GND					A11				
			GND					A13				
			GND					A2				
			GND					A5				
			GND					A6				
			GND					A9				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AA1				
			GND					AA2				
			GND					AA5				
			GND					AA6				
			GND					AA9				
			GND					AB3				
			GND					AB4				
			GND					AC1				
			GND					AC2				
			GND					AC5				
			GND					AC6				
			GND					AD3				
			GND					AD4				
			GND					AD7				
			GND					AD8				
			GND					AE1				
			GND					AE2				
			GND					AE5				
			GND					AE6				
			GND					AE9				
			GND					AF3				
			GND					AF4				
			GND					AG1				
			GND					AG2				
			GND					AG5				
			GND					AG6				
			GND					AH3				
			GND					AH4				
			GND					AH7				
			GND					AH8				
			GND					AJ1				
			GND					AJ2				
			GND					AJ5				
			GND					AJ6				
			GND					AJ9				
			GND					AK3				
			GND					AK4				
			GND					AL1				
			GND					AL2				
			GND					AL5				
			GND					AL6				
			GND					AM3				
			GND					AM4				
			GND					AM7				
			GND					AM8				
			GND					AN1				
			GND					AN2				
			GND					AN5				
			GND					AN6				
			GND					AN7				
			GND					AN8				
			GND					AP3				
			GND					AP4				
			GND					AP7				
			GND					AP8				
			GND					AP9				
			GND					AR1				
			GND					AR2				
			GND					AR5				
			GND					AR6				
			GND					AR9				
			GND					AT3				
			GND					AT4				
			GND					AT7				
			GND					AT8				
			GND					AT9				
			GND					AU1				
			GND					AU10				
			GND					AU11				
			GND					AU2				
			GND					AU5				
			GND					AU6				
			GND					AU9				
			GND					AV11				
			GND					AV3				
			GND					AV4				
			GND					AV7				
			GND					AV8				
			GND					AW10				
			GND					AW11				
			GND					AW13				
			GND					AW2				
			GND					AW5				
			GND					AW6				
			GND					AW9				
			GND					B11				
			GND					B12				
			GND					B13				
			GND					B3				
			GND					B4				
			GND					B7				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					B8				
			GND					C1				
			GND					C10				
			GND					C11				
			GND					C2				
			GND					C5				
			GND					C6				
			GND					C9				
			GND					D3				
			GND					D4				
			GND					D7				
			GND					D8				
			GND					D9				
			GND					E1				
			GND					E2				
			GND					E5				
			GND					E6				
			GND					E9				
			GND					F3				
			GND					F4				
			GND					F7				
			GND					F8				
			GND					G1				
			GND					G2				
			GND					G5				
			GND					G6				
			GND					G7				
			GND					G8				
			GND					G9				
			GND					H3				
			GND					H4				
			GND					H7				
			GND					H8				
			GND					J1				
			GND					J2				
			GND					J5				
			GND					J6				
			GND					J9				
			GND					K3				
			GND					K4				
			GND					L1				
			GND					L2				
			GND					L5				
			GND					L6				
			GND					M10				
			GND					M3				
			GND					M4				
			GND					M7				
			GND					M8				
			GND					N1				
			GND					N2				
			GND					N5				
			GND					N6				
			GND					N9				
			GND					P3				
			GND					P4				
			GND					R1				
			GND					R2				
			GND					R5				
			GND					R6				
			GND					T3				
			GND					T4				
			GND					T7				
			GND					T8				
			GND					U1				
			GND					U10				
			GND					U2				
			GND					U5				
			GND					U6				
			GND					U9				
			GND					V3				
			GND					V4				
			GND					W1				
			GND					W2				
			GND					W5				
			GND					W6				
			GND					Y3				
			GND					Y4				
			GND					Y7				
			GND					Y8				
			GNDSENSE					Y21				
			VCC					AB19				
			VCC					AB20				
			VCC					AB21				
			VCC					AB23				
			VCC					N18				
			VCC					N19				
			VCC					N21				
			VCC					N22				
			VCC					N23				
			VCC					AA15				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					AA16				
			VCC					AA13				
			VCC					AA25				
			VCC					R15				
			VCC					R17				
			VCC					R18				
			VCC					R19				
			VCC					R20				
			VCC					R22				
			VCC					R23				
			VCC					R24				
			VCC					T13				
			VCC					T15				
			VCC					T16				
			VCC					T17				
			VCC					T18				
			VCC					T20				
			VCC					T21				
			VCC					T22				
			VCC					T23				
			VCC					T25				
			VCC					U13				
			VCC					U14				
			VCC					U15				
			VCC					U16				
			VCC					U18				
			VCC					U19				
			VCC					U20				
			VCC					U21				
			VCC					U23				
			VCC					U24				
			VCC					U25				
			VCC					V13				
			VCC					V14				
			VCC					V16				
			VCC					V17				
			VCC					V18				
			VCC					V19				
			VCC					V21				
			VCC					V22				
			VCC					V23				
			VCC					V24				
			VCC					W14				
			VCC					W15				
			VCC					W16				
			VCC					W17				
			VCC					W19				
			VCC					W20				
			VCC					AA20				
			VCC					W22				
			VCC					W24				
			VCC					W25				
			VCC					Y13				
			VCC					Y14				
			VCC					Y15				
			VCC					Y17				
			VCC					Y18				
			VCC					Y19				
			VCC					Y23				
			VCC					Y24				
			VCC					Y25				
			VCCPT_2					AD21				
			VCCPT_2					AD22				
			VCCPT_2					AD24				
			VCCPT_2					AD25				
			VCCPT_2					AC14				
			VCCPT_2					AD14				
			VCCPT_2					AD15				
			VCCPT_2					N16				
			VCCPT_2					P16				
			VCCPT_2					P19				
			VCCPT_2					N24				
			VCCPT_2					P22				
			VCCPT_2					P24				
			DNU					AV27				
			DNU					AV28				
			DNU					AE12				
			DNU					AF12				
			DNU					AJ14				
			DNU					AK14				
			DNU					AD12				
			DNU					AC12				
			DNU					AH11				
			DNU					AG11				
			DNU					AA12				
			DNU					AH12				
			DNU					W12				
			DNU					Y12				
			DNU					AJ15				
			DNU					AL12				
			DNU					AK15				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			DNU					AK12				
			DNU					AJ12				
			DNU					AH14				
			DNU					AK13				
			DNU					AJ11				
			DNU					AL11				
			DNU					AH21				
			DNU					AL15				
			DNU					AG14				
			DNU					AG21				
			DNU					AF21				
			DNU					AH19				
			DNU					AG13				
			DNU					AH13				
			DNU					AH18				
			DNU					AE13				
			DNU					AG18				
			DNU					AF13				
			DNU					AD26				
			DNU					AF15				
			DNU					AE14				
			DNU					AC26				
			DNU					AG15				
			DNU					AH17				
			DNU					AH16				
			DNU					AG16				
			DNU					AV13				
			DNU					AV12				
			DNU					P10				
			DNU					AF17				
			DNU					Y20				
			DNU					Y22				
			VCCPGM					AG20				
			VCCPGM					AF20				
			TEMPDIODEn					P17				
			TEMPDIODEp					N17				
			VCCBAT					AG19				
			VCCIO2AF					AJ23				
			VCCIO2AF					AL24				
			VCCIO2AF					AM22				
			VCCIO2AF					AP23				
			VCCIO2AF					AE26				
			VCCIO2AF					AH25				
			VCCIO2AF					AK26				
			VCCIO2AF					AM27				
			VCCIO2AF					AP28				
			VCCIO2KL					F29				
			VCCIO2KL					G27				
			VCCIO2KL					K26				
			VCCIO2KL					M27				
			VCCIO2KL					F24				
			VCCIO2KL					G22				
			VCCIO2KL					J23				
			VCCIO2KL					K21				
			VCCIO3AB					AP18				
			VCCIO3AB					AR16				
			VCCIO3AB					AP13				
			VCCIO3AB					AT14				
			VCCIO3GH					F14				
			VCCIO3GH					G12				
			VCCIO3GH					J13				
			VCCIO3GH					E16				
			VCCIO3GH					F19				
			VCCIO3GH					G17				
			VCCIO3GH					J18				
2A		VREFB2AN0	VREFB2AN0					AF23				
2F		VREFB2FN0	VREFB2FN0					AE27				
2K		VREFB2KN0	VREFB2KN0					P26				
2L		VREFB2LN0	VREFB2LN0					M24				
3A		VREFB3AN0	VREFB3AN0					AN17				
3B		VREFB3BN0	VREFB3BN0					AL13				
3G		VREFB3GN0	VREFB3GN0					R13				
3H		VREFB3HN0	VREFB3HN0					M19				
			VREFN_ADC					G10				
			VREFP_ADC					J10				
			NC					AE15				
			NC					AJ30				
			NC					AL30				
			NC					AM30				
			NC					AM31				
			NC					AD29				
			NC					AC28				
			NC					AF30				
			NC					AL10				
			NC					AD27				
			NC					AC27				
			NC					AD11				
			NC					AF10				
			NC					AF11				
			NC					AK10				
			NC					T12				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC					R12				
			NC					R10				
			NC					T11				
			NC					AM10				
			NC					V12				
			NC					U11				
			NC					V11				
			NC					AB10				
			NC					AM9				
			NC					W10				
			NC					W11				
			NC					AB11				
			NC					AC11				
			NC					AA11				
			NC					T26				
			NC					T27				
			NC					T28				
			NC					V28				
			NC					U28				
			NC					AB29				
			NC					AB28				
			NC					Y29				
			NC					Y28				
			NC					V29				
			NC					U29				
			NC					AB30				
			NC					AC29				
			NC					AA26				
			NC					Y27				
			NC					W30				
			NC					W29				
			NC					AA28				
			NC					AA27				
			NC					R30				
			NC					P30				
			NC					W26				
			NC					V26				
			NC					V27				
			NC					W27				
			NC					L30				
			NC					M30				
			NC					K30				
			NC					J30				
			NC					G30				
			NC					U26				
			NC					AE18				
			NC					AF18				
			NC					AE17				
			NC					AF16				
			NC					J33				
			NC					AC19				
			NC					AC21				
			NC					AD19				
			NC					AD20				
			NC					AD16				
			NC					AD17				
			NC					AC23				
			NC					AC18				
			NC					AC22				
			NC					AC17				
			NC					P20				
			NC					P15				
			NC					AC13				
			NC					AC16				
			NC					P25				
			NC					AC24				
			NC					AE19				
			NC					AE20				
			VCCH_GXBL					AH31				
			VCCH_GXBL					AD31				
			VCCH_GXBL					Y31				
			VCCH_GXBL					T31				
			VCCH_GXBL					M31				
			VCCH_GXBL					H31				
			VCCH_GXBR					AH9				
			VCCH_GXBR					AD9				
			VCCH_GXBR					Y9				
			VCCH_GXBR					T9				
			VCCH_GXBR					M9				
			VCCH_GXBR					H9				
			VCCR_GXBL1C					AK33				
			VCCR_GXBL1C					AK32				
			VCCR_GXBL1D					AF33				
			VCCR_GXBL1D					AF32				
			VCCR_GXBL1E					AB33				
			VCCR_GXBL1E					AB32				
			VCCR_GXBL1F					V33				
			VCCR_GXBL1F					V32				
			VCCR_GXBL1G					P33				
			VCCR_GXBL1G					P32				
			VCCR_GXBL1H					K33				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	RF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCR_GXBL1H					K32				
			VCCR_GXBR4E					AK7				
			VCCR_GXBR4E					AK8				
			VCCR_GXBR4F					AF7				
			VCCR_GXBR4F					AF8				
			VCCR_GXBR4G					AB7				
			VCCR_GXBR4G					AB8				
			VCCR_GXBR4H					V7				
			VCCR_GXBR4H					V8				
			VCCR_GXBR4I					P7				
			VCCR_GXBR4I					P8				
			VCCR_GXBR4J					K7				
			VCCR_GXBR4J					K8				
			VCCT_GXBL1C					AL31				
			VCCT_GXBL1C					AK31				
			VCCT_GXBL1D					AG31				
			VCCT_GXBL1D					AF31				
			VCCT_GXBL1E					AC31				
			VCCT_GXBL1E					AB31				
			VCCT_GXBL1F					W31				
			VCCT_GXBL1F					V31				
			VCCT_GXBL1G					R31				
			VCCT_GXBL1G					P31				
			VCCT_GXBL1H					L31				
			VCCT_GXBL1H					K31				
			VCCT_GXBR4E					AL9				
			VCCT_GXBR4E					AK9				
			VCCT_GXBR4F					AG9				
			VCCT_GXBR4F					AF9				
			VCCT_GXBR4G					AC9				
			VCCT_GXBR4G					AB9				
			VCCT_GXBR4H					W9				
			VCCT_GXBR4H					V9				
			VCCT_GXBR4I					R9				
			VCCT_GXBR4I					P9				
			VCCT_GXBR4J					L9				
			VCCT_GXBR4J					K9				
			RREF_BL					AW28				
			RREF_BR					AW12				
			RREF_TL					A28				
			RREF_TR					A12				
			VCCA_FPLL					AB26				
			VCCA_FPLL					AB15				
			VCCA_FPLL					AB25				
			VCCA_FPLL					AB14				
			VCCA_FPLL					R25				
			VCCA_FPLL					P21				
			VCCA_FPLL					R14				
			VCCA_FPLL					AB13				
			VCCA_FPLL					AB16				
			VCCA_FPLL					AB24				
			VCCERAM					AA17				
			VCCERAM					AA18				
			VCCERAM					AA22				
			VCCERAM					AA23				
			VCCERAM					AB18				
			VCCLSENSE					W21				
			VSIGN_0					K10				
			VSIGN_1					J7				
			VSIGP_0					L10				
			VSIGP_1					J8				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			REFCLK_GXBL1F_CHTp					T40				
1F			REFCLK_GXBL1F_CHTn					T39				
1F			GXBL1F_TX_CH5n					A41				
1F			GXBL1F_TX_CH5p					A42				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					B39				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					B40				
1F			GXBL1F_TX_CH4n					B43				
1F			GXBL1F_TX_CH4p					B44				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					C41				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					C42				
1F			GXBL1F_TX_CH3n					D43				
1F			GXBL1F_TX_CH3p					D44				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					D39				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					D40				
1F			GXBL1F_TX_CH2n					F43				
1F			GXBL1F_TX_CH2p					F44				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					E41				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					E42				
1F			GXBL1F_TX_CH1n					H43				
1F			GXBL1F_TX_CH1p					H44				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					G41				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					G42				
1F			GXBL1F_TX_CH0n					K43				
1F			GXBL1F_TX_CH0p					K44				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					J41				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					J42				
1F			REFCLK_GXBL1F_CHBp					V40				
1F			REFCLK_GXBL1F_CHBn					V39				
1E			REFCLK_GXBL1E_CHTp					Y40				
1E			REFCLK_GXBL1E_CHTn					Y39				
1E			GXBL1E_TX_CH5n					M43				
1E			GXBL1E_TX_CH5p					M44				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					L41				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					L42				
1E			GXBL1E_TX_CH4n					P43				
1E			GXBL1E_TX_CH4p					P44				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					N41				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					N42				
1E			GXBL1E_TX_CH3n					T43				
1E			GXBL1E_TX_CH3p					T44				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					R41				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					R42				
1E			GXBL1E_TX_CH2n					V43				
1E			GXBL1E_TX_CH2p					V44				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					U41				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					U42				
1E			GXBL1E_TX_CH1n					Y43				
1E			GXBL1E_TX_CH1p					Y44				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					W41				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					W42				
1E			GXBL1E_TX_CH0n					AB43				
1E			GXBL1E_TX_CH0p					AB44				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					AA41				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					AA42				
1E			REFCLK_GXBL1E_CHBp					AB40				
1E			REFCLK_GXBL1E_CHBn					AB39				
1D			REFCLK_GXBL1D_CHTp					AD40				
1D			REFCLK_GXBL1D_CHTn					AD39				
1D			GXBL1D_TX_CH5n					AD43				
1D			GXBL1D_TX_CH5p					AD44				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					AC41				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					AC42				
1D			GXBL1D_TX_CH4n					AF43				
1D			GXBL1D_TX_CH4p					AF44				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					AE41				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					AE42				
1D			GXBL1D_TX_CH3n					AH43				
1D			GXBL1D_TX_CH3p					AH44				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					AG41				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					AG42				
1D			GXBL1D_TX_CH2n					AK43				
1D			GXBL1D_TX_CH2p					AK44				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AJ41				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AJ42				
1D			GXBL1D_TX_CH1n					AM43				
1D			GXBL1D_TX_CH1p					AM44				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AL41				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AL42				
1D			GXBL1D_TX_CH0n					AP43				
1D			GXBL1D_TX_CH0p					AP44				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AN41				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AN42				
1D			REFCLK_GXBL1D_CHBp					AF40				
1D			REFCLK_GXBL1D_CHBn					AF39				
1C			REFCLK_GXBL1C_CHTp					AH40				
1C			REFCLK_GXBL1C_CHTn					AH39				
1C			GXBL1C_TX_CH5n					AT43				
1C			GXBL1C_TX_CH5p					AT44				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AR41				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AR42				
1C			GXBL1C_TX_CH4n					AV43				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_TX_CH4p					AV44				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					AU41				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					AU42				
1C			GXBL1C_TX_CH3n					AY43				
1C			GXBL1C_TX_CH3p					AY44				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					AW41				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					AW42				
1C			GXBL1C_TX_CH2n					BB43				
1C			GXBL1C_TX_CH2p					BB44				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					BA41				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					BA42				
1C			GXBL1C_TX_CH1n					BC41				
1C			GXBL1C_TX_CH1p					BC42				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					AY39				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					AY40				
1C			GXBL1C_TX_CH0n					BD39				
1C			GXBL1C_TX_CH0p					BD40				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					BB39				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					BB40				
1C			REFCLK_GXBL1C_CHBp					AK40				
1C			REFCLK_GXBL1C_CHBn					AK39				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	D33	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	E33	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	F30	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	G30	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	G29	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	H30	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	E34	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	F34	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	E31	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	F31	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	E32	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	F32	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	C37	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	D36	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	D34	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	D35	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	F39	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	G39	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	E36	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	F36	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	E37	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	F37	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	G38	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	G37	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	H31	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	H32	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	J31	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	K31	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	G32	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	H33	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	G33	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	G34	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	L30	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	L31	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	F35	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	G35	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	M29	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	M28	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	N28	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	P28	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	K29	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	L29	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	J29	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	J30	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	M30	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	N30	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	N31	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	P31	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	H35	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	H36	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	J33	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	K33	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	J34	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	K34	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	J39	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	J38	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	H38	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	H37	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	J36	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	J35	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	L36	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	L35	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	K39	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	L39	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	M33	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	N33	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	K36	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	L37	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	K38	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	K37	DQ11	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	L34	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	M34	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	R31	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	T31	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	M32	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	N32	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	R32	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	T32	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	R33	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	R34	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	K32	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	L32	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	P33	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	P34	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	W33	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	Y32	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	AA31	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	AB32	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	V33	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	V32	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	W31	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	Y31	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	U32	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	U33	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	Y33	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	AA32	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No	AD35	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No	AD34	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes	AE32	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes	AE31	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No	AE36	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No	AF36	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes	AF32	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes	AF31	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No	AE34	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO			LVDS2J_5p	No	AE33	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes	AF35	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes	AF34	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No	Y34	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No	W34	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes	AC35	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes	AB34	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No	AA34	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No	AB33	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes	AB35	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes	AA35	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No	AC33	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No	AD33	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes	AC31	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes	AC32	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No	V36	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No	W36	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes	T35	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes	U35	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No	Y36	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No	AA36	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes	V35	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes	W35	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No	T34	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No	U34	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes	AC36	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes	AD36	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No	M35	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No	N35	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes	M37	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes	N36	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No	M38	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No	M39	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes	N37	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes	N38	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO			LVDS2J_23n	No	R36	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No	T36	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes	P36	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes	P35	DQ23	DQ11	DQ5	DQ2
2I	47	VREFB2IN0	IO			LVDS2I_1n	No	B35	DQ24	DQ12	DQ6	DQ3
2I	46	VREFB2IN0	IO			LVDS2I_1p	No	B34	DQ24	DQ12	DQ6	DQ3
2I	45	VREFB2IN0	IO			LVDS2I_2n	Yes	C36	DQSn24	DQ12	DQ6	DQ3
2I	44	VREFB2IN0	IO			LVDS2I_2p	Yes	C35	DQS24	DQ12	DQ6	DQ3
2I	43	VREFB2IN0	IO			LVDS2I_3n	No	C33	DQ24	DQ12	DQ6	DQ3
2I	42	VREFB2IN0	IO			LVDS2I_3p	No	C32	DQ24	DQ12	DQ6	DQ3
2I	41	VREFB2IN0	IO			LVDS2I_4n	Yes	A35	DQSn25	DQSn12/CQn12	DQ6	DQ3
2I	40	VREFB2IN0	IO			LVDS2I_4p	Yes	A34	DQS25	DQS12/CQ12	DQ6	DQ3
2I	39	VREFB2IN0	IO			LVDS2I_5n	No	B32	DQ25	DQ12	DQ6	DQ3
2I	38	VREFB2IN0	IO			LVDS2I_5p	No	B33	DQ25	DQ12	DQ6	DQ3
2I	37	VREFB2IN0	IO			LVDS2I_6n	Yes	A31	DQ25	DQ12	DQSn6/CQn6	DQ3
2I	36	VREFB2IN0	IO			LVDS2I_6p	Yes	A32	DQ25	DQ12	DQS6/CQ6	DQ3
2I	35	VREFB2IN0	IO			LVDS2I_7n	No	H26	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO			LVDS2I_7p	No	J26	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO			LVDS2I_8n	Yes	H25	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO			LVDS2I_8p	Yes	J25	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO			LVDS2I_9n	No	F25	DQ26	DQ13	DQ6	DQ3

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2I	30	VREFB2IN0	IO			LVDS2I_9p	No	G25	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes	J24	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes	K24	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO			LVDS2I_11n	No	L25	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I		LVDS2I_11p	No	L24	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n		LVDS2I_12n	Yes	F24	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p		LVDS2I_12p	Yes	G24	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n		LVDS2I_13n	No	C31	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p		LVDS2I_13p	No	C30	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO			LVDS2I_14n	Yes	B30	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO			LVDS2I_14p	Yes	B29	DQS28	DQ14	DQ7	DQS3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No	C28	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No	C27	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO			LVDS2I_16n	Yes	B28	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO			LVDS2I_16p	Yes	B27	DQS29	DQS14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO			LVDS2I_17n	No	A30	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO			LVDS2I_17p	No	A29	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO			LVDS2I_18n	Yes	A27	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO			LVDS2I_18p	Yes	A26	DQ29	DQ14	DQS7/CQ7	DQ3
2I	11	VREFB2IN0	IO			LVDS2I_19n	No	D26	DQ30	DQ15	DQ7	DQ3
2I	10	VREFB2IN0	IO			LVDS2I_19p	No	D25	DQ30	DQ15	DQ7	DQ3
2I	9	VREFB2IN0	IO			LVDS2I_20n	Yes	C26	DQSn30	DQ15	DQ7	DQ3
2I	8	VREFB2IN0	IO			LVDS2I_20p	Yes	C25	DQS30	DQ15	DQ7	DQ3
2I	7	VREFB2IN0	IO			LVDS2I_21n	No	E26	DQ30	DQ15	DQ7	DQ3
2I	6	VREFB2IN0	IO			LVDS2I_21p	No	F26	DQ30	DQ15	DQ7	DQ3
2I	5	VREFB2IN0	IO			LVDS2I_22n	Yes	D24	DQSn31	DQSn15/CQn15	DQ7	DQ3
2I	4	VREFB2IN0	IO			LVDS2I_22p	Yes	E24	DQS31	DQS15/CQ15	DQ7	DQ3
2I	3	VREFB2IN0	IO			LVDS2I_23n	No	A25	DQ31	DQ15	DQ7	DQ3
2I	2	VREFB2IN0	IO			LVDS2I_23p	No	A24	DQ31	DQ15	DQ7	DQ3
2I	1	VREFB2IN0	IO			LVDS2I_24n	Yes	B25	DQ31	DQ15	DQ7	DQ3
2I	0	VREFB2IN0	IO			LVDS2I_24p	Yes	B24	DQ31	DQ15	DQ7	DQ3
2H	47	VREFB2HN0	IO			LVDS2H_1n	No	AH35	DQ32	DQ16	DQ8	DQ4
2H	46	VREFB2HN0	IO			LVDS2H_1p	No	AH36	DQ32	DQ16	DQ8	DQ4
2H	45	VREFB2HN0	IO			LVDS2H_2n	Yes	AJ36	DQSn32	DQ16	DQ8	DQ4
2H	44	VREFB2HN0	IO			LVDS2H_2p	Yes	AJ35	DQS32	DQ16	DQ8	DQ4
2H	43	VREFB2HN0	IO			LVDS2H_3n	No	AK34	DQ32	DQ16	DQ8	DQ4
2H	42	VREFB2HN0	IO			LVDS2H_3p	No	AJ34	DQ32	DQ16	DQ8	DQ4
2H	41	VREFB2HN0	IO			LVDS2H_4n	Yes	AL37	DQSn33	DQSn16/CQn16	DQ8	DQ4
2H	40	VREFB2HN0	IO			LVDS2H_4p	Yes	AK37	DQS33	DQS16/CQ16	DQ8	DQ4
2H	39	VREFB2HN0	IO			LVDS2H_5n	No	AH33	DQ33	DQ16	DQ8	DQ4
2H	38	VREFB2HN0	IO			LVDS2H_5p	No	AH32	DQ33	DQ16	DQ8	DQ4
2H	37	VREFB2HN0	IO			LVDS2H_6n	Yes	AG35	DQ33	DQ16	DQSn8/CQn8	DQ4
2H	36	VREFB2HN0	IO			LVDS2H_6p	Yes	AG34	DQ33	DQ16	DQS8/CQ8	DQ4
2H	35	VREFB2HN0	IO			LVDS2H_7n	No	AN38	DQ34	DQ17	DQ8	DQ4
2H	34	VREFB2HN0	IO			LVDS2H_7p	No	AN37	DQ34	DQ17	DQ8	DQ4
2H	33	VREFB2HN0	IO			LVDS2H_8n	Yes	AM38	DQSn34	DQ17	DQ8	DQ4
2H	32	VREFB2HN0	IO			LVDS2H_8p	Yes	AM39	DQS34	DQ17	DQ8	DQ4
2H	31	VREFB2HN0	IO			LVDS2H_9n	No	AP36	DQ34	DQ17	DQ8	DQ4
2H	30	VREFB2HN0	IO			LVDS2H_9p	No	AN36	DQ34	DQ17	DQ8	DQ4
2H	29	VREFB2HN0	IO	PLL_2H_CLKOUT1n		LVDS2H_10n	Yes	AR38	DQSn35	DQSn17/CQn17	DQ8	DQ4
2H	28	VREFB2HN0	IO	PLL_2H_CLKOUT1p,PLL_2H_CLKOUT1,PLL_2H_FB1		LVDS2H_10p	Yes	AP38	DQS35	DQS17/CQ17	DQ8	DQ4
2H	27	VREFB2HN0	IO			LVDS2H_11n	No	AR39	DQ35	DQ17	DQ8	DQ4
2H	26	VREFB2HN0	IO	RZQ_2H		LVDS2H_11p	No	AP39	DQ35	DQ17	DQ8	DQ4
2H	25	VREFB2HN0	IO	CLK_2H_1n		LVDS2H_12n	Yes	AR36	DQ35	DQ17	DQ8	DQ4
2H	24	VREFB2HN0	IO	CLK_2H_1p		LVDS2H_12p	Yes	AR37	DQ35	DQ17	DQ8	DQ4
2H	23	VREFB2HN0	IO	CLK_2H_0n		LVDS2H_13n	No	AP35	DQ36	DQ18	DQ9	DQ4
2H	22	VREFB2HN0	IO	CLK_2H_0p		LVDS2H_13p	No	AP34	DQ36	DQ18	DQ9	DQ4
2H	21	VREFB2HN0	IO			LVDS2H_14n	Yes	AM37	DQSn36	DQ18	DQ9	DQSn4/CQn4
2H	20	VREFB2HN0	IO			LVDS2H_14p	Yes	AL36	DQS36	DQ18	DQ9	DQS4/CQ4
2H	19	VREFB2HN0	IO	PLL_2H_CLKOUT0n		LVDS2H_15n	No	AN35	DQ36	DQ18	DQ9	DQ4
2H	18	VREFB2HN0	IO	PLL_2H_CLKOUT0p,PLL_2H_CLKOUT0,PLL_2H_FB0		LVDS2H_15p	No	AM35	DQ36	DQ18	DQ9	DQ4
2H	17	VREFB2HN0	IO			LVDS2H_16n	Yes	AM34	DQSn37	DQSn18/CQn18	DQ9	DQ4
2H	16	VREFB2HN0	IO			LVDS2H_16p	Yes	AL34	DQS37	DQS18/CQ18	DQ9	DQ4
2H	15	VREFB2HN0	IO			LVDS2H_17n	No	AL35	DQ37	DQ18	DQ9	DQ4
2H	14	VREFB2HN0	IO			LVDS2H_17p	No	AK36	DQ37	DQ18	DQ9	DQ4
2H	13	VREFB2HN0	IO			LVDS2H_18n	Yes	AT34	DQ37	DQ18	DQSn9/CQn9	DQ4
2H	12	VREFB2HN0	IO			LVDS2H_18p	Yes	AR34	DQ37	DQ18	DQS9/CQ9	DQ4
2H	11	VREFB2HN0	IO			LVDS2H_19n	No	AT37	DQ38	DQ19	DQ9	DQ4
2H	10	VREFB2HN0	IO			LVDS2H_19p	No	AT36	DQ38	DQ19	DQ9	DQ4
2H	9	VREFB2HN0	IO			LVDS2H_20n	Yes	AV37	DQSn38	DQ19	DQ9	DQ4
2H	8	VREFB2HN0	IO			LVDS2H_20p	Yes	AU37	DQS38	DQ19	DQ9	DQ4
2H	7	VREFB2HN0	IO			LVDS2H_21n	No	AU39	DQ38	DQ19	DQ9	DQ4
2H	6	VREFB2HN0	IO			LVDS2H_21p	No	AT39	DQ38	DQ19	DQ9	DQ4
2H	5	VREFB2HN0	IO			LVDS2H_22n	Yes	AV38	DQSn39	DQSn19/CQn19	DQ9	DQ4
2H	4	VREFB2HN0	IO			LVDS2H_22p	Yes	AU38	DQS39	DQS19/CQ19	DQ9	DQ4
2H	3	VREFB2HN0	IO			LVDS2H_23n	No	AV36	DQ39	DQ19	DQ9	DQ4
2H	2	VREFB2HN0	IO			LVDS2H_23p	No	AV35	DQ39	DQ19	DQ9	DQ4
2H	1	VREFB2HN0	IO			LVDS2H_24n	Yes	AU35	DQ39	DQ19	DQ9	DQ4
2H	0	VREFB2HN0	IO			LVDS2H_24p	Yes	AT35	DQ39	DQ19	DQ9	DQ4
2G	47	VREFB2GN0	IO			LVDS2G_1n	No	AN33	DQ40	DQ20	DQ10	DQ5
2G	46	VREFB2GN0	IO			LVDS2G_1p	No	AM33	DQ40	DQ20	DQ10	DQ5
2G	45	VREFB2GN0	IO			LVDS2G_2n	Yes	AN32	DQSn40	DQ20	DQ10	DQ5
2G	44	VREFB2GN0	IO			LVDS2G_2p	Yes	AM32	DQS40	DQ20	DQ10	DQ5
2G	43	VREFB2GN0	IO			LVDS2G_3n	No	AP31	DQ40	DQ20	DQ10	DQ5
2G	42	VREFB2GN0	IO			LVDS2G_3p	No	AN31	DQ40	DQ20	DQ10	DQ5
2G	41	VREFB2GN0	IO			LVDS2G_4n	Yes	AK31	DQSn41	DQSn20/CQn20	DQ10	DQ5
2G	40	VREFB2GN0	IO			LVDS2G_4p	Yes	AK32	DQS41	DQS20/CQ20	DQ10	DQ5
2G	39	VREFB2GN0	IO			LVDS2G_5n	No	AK33	DQ41	DQ20	DQ10	DQ5
2G	38	VREFB2GN0	IO			LVDS2G_5p	No	AJ33	DQ41	DQ20	DQ10	DQ5
2G	37	VREFB2GN0	IO			LVDS2G_6n	Yes	AL31	DQ41	DQ20	DQSn10/CQn10	DQ5
2G	36	VREFB2GN0	IO			LVDS2G_6p	Yes	AL32	DQ41	DQ20	DQS10/CQ10	DQ5

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2G	35	VREFB2GN0	IO			LVDS2G_7n	No	AR33	DQ42	DQ21	DQ10	DQ5
2G	34	VREFB2GN0	IO			LVDS2G_7p	No	AP33	DQ42	DQ21	DQ10	DQ5
2G	33	VREFB2GN0	IO			LVDS2G_8n	Yes	AR32	DQS42	DQ21	DQ10	DQ5
2G	32	VREFB2GN0	IO			LVDS2G_8p	Yes	AR31	DQS42	DQ21	DQ10	DQ5
2G	31	VREFB2GN0	IO			LVDS2G_9n	No	AV32	DQ42	DQ21	DQ10	DQ5
2G	30	VREFB2GN0	IO			LVDS2G_9p	No	AU32	DQ42	DQ21	DQ10	DQ5
2G	29	VREFB2GN0	IO	PLL_2G_CLKOUT1n		LVDS2G_10n	Yes	AT32	DQSn43	DQSn21/CQn21	DQ10	DQ5
2G	28	VREFB2GN0	IO	PLL_2G_CLKOUT1p,PLL_2G_CLKOUT1,PLL_2G_FB1		LVDS2G_10p	Yes	AT31	DQS43	DQS21/CQ21	DQ10	DQ5
2G	27	VREFB2GN0	IO			LVDS2G_11n	No	AU34	DQ43	DQ21	DQ10	DQ5
2G	26	VREFB2GN0	IO	RZQ_2G		LVDS2G_11p	No	AU33	DQ43	DQ21	DQ10	DQ5
2G	25	VREFB2GN0	IO	CLK_2G_1n		LVDS2G_12n	Yes	AW33	DQ43	DQ21	DQ10	DQ5
2G	24	VREFB2GN0	IO	CLK_2G_1p		LVDS2G_12p	Yes	AV33	DQ43	DQ21	DQ10	DQ5
2G	23	VREFB2GN0	IO	CLK_2G_0n		LVDS2G_13n	No	AW36	DQ44	DQ22	DQ11	DQ5
2G	22	VREFB2GN0	IO	CLK_2G_0p		LVDS2G_13p	No	AW35	DQ44	DQ22	DQ11	DQ5
2G	21	VREFB2GN0	IO			LVDS2G_14n	Yes	AY33	DQSn44	DQ22	DQ11	DQSn5/CQn5
2G	20	VREFB2GN0	IO			LVDS2G_14p	Yes	AY32	DQS44	DQ22	DQ11	DQS5/CQ5
2G	19	VREFB2GN0	IO	PLL_2G_CLKOUT0n		LVDS2G_15n	No	AY37	DQ44	DQ22	DQ11	DQ5
2G	18	VREFB2GN0	IO	PLL_2G_CLKOUT0p,PLL_2G_CLKOUT0,PLL_2G_FB0		LVDS2G_15p	No	AY36	DQ44	DQ22	DQ11	DQ5
2G	17	VREFB2GN0	IO			LVDS2G_16n	Yes	BB37	DQSn45	DQSn22/CQn22	DQ11	DQ5
2G	16	VREFB2GN0	IO			LVDS2G_16p	Yes	BA37	DQS45	DQS22/CQ22	DQ11	DQ5
2G	15	VREFB2GN0	IO			LVDS2G_17n	No	AW31	DQ45	DQ22	DQ11	DQ5
2G	14	VREFB2GN0	IO			LVDS2G_17p	No	AV31	DQ45	DQ22	DQ11	DQ5
2G	13	VREFB2GN0	IO			LVDS2G_18n	Yes	AY34	DQ45	DQ22	DQSn11/CQn11	DQ5
2G	12	VREFB2GN0	IO			LVDS2G_18p	Yes	AW34	DQ45	DQ22	DQSn11/CQ11	DQ5
2G	11	VREFB2GN0	IO			LVDS2G_19n	No	BA36	DQ46	DQ23	DQ11	DQ5
2G	10	VREFB2GN0	IO			LVDS2G_19p	No	BA35	DQ46	DQ23	DQ11	DQ5
2G	9	VREFB2GN0	IO			LVDS2G_20n	Yes	BB35	DQSn46	DQ23	DQ11	DQ5
2G	8	VREFB2GN0	IO			LVDS2G_20p	Yes	BA34	DQS46	DQ23	DQ11	DQ5
2G	7	VREFB2GN0	IO			LVDS2G_21n	No	BD34	DQ46	DQ23	DQ11	DQ5
2G	6	VREFB2GN0	IO			LVDS2G_21p	No	BD33	DQ46	DQ23	DQ11	DQ5
2G	5	VREFB2GN0	IO			LVDS2G_22n	Yes	BC33	DQSn47	DQSn23/CQn23	DQ11	DQ5
2G	4	VREFB2GN0	IO			LVDS2G_22p	Yes	BC32	DQS47	DQS23/CQ23	DQ11	DQ5
2G	3	VREFB2GN0	IO			LVDS2G_23n	No	BB34	DQ47	DQ23	DQ11	DQ5
2G	2	VREFB2GN0	IO			LVDS2G_23p	No	BB33	DQ47	DQ23	DQ11	DQ5
2G	1	VREFB2GN0	IO			LVDS2G_24n	Yes	BD35	DQ47	DQ23	DQ11	DQ5
2G	0	VREFB2GN0	IO			LVDS2G_24p	Yes	BC35	DQ47	DQ23	DQ11	DQ5
2F	47	VREFB2FN0	IO			LVDS2F_1n	No	AP30	DQ48	DQ24	DQ12	DQ6
2F	46	VREFB2FN0	IO			LVDS2F_1p	No	AN30	DQ48	DQ24	DQ12	DQ6
2F	45	VREFB2FN0	IO			LVDS2F_2n	Yes	AP28	DQSn48	DQ24	DQ12	DQ6
2F	44	VREFB2FN0	IO			LVDS2F_2p	Yes	AN28	DQS48	DQ24	DQ12	DQ6
2F	43	VREFB2FN0	IO			LVDS2F_3n	No	AM29	DQ48	DQ24	DQ12	DQ6
2F	42	VREFB2FN0	IO			LVDS2F_3p	No	AM28	DQ48	DQ24	DQ12	DQ6
2F	41	VREFB2FN0	IO			LVDS2F_4n	Yes	AR29	DQSn49	DQSn24/CQn24	DQ12	DQ6
2F	40	VREFB2FN0	IO			LVDS2F_4p	Yes	AP29	DQS49	DQS24/CQ24	DQ12	DQ6
2F	39	VREFB2FN0	IO			LVDS2F_5n	No	AM30	DQ49	DQ24	DQ12	DQ6
2F	38	VREFB2FN0	IO			LVDS2F_5p	No	AL30	DQ49	DQ24	DQ12	DQ6
2F	37	VREFB2FN0	IO			LVDS2F_6n	Yes	AN27	DQ49	DQ24	DQSn12/CQn12	DQ6
2F	36	VREFB2FN0	IO			LVDS2F_6p	Yes	AM27	DQ49	DQ24	DQS12/CQ12	DQ6
2F	35	VREFB2FN0	IO			LVDS2F_7n	No	AU30	DQ50	DQ25	DQ12	DQ6
2F	34	VREFB2FN0	IO			LVDS2F_7p	No	AT30	DQ50	DQ25	DQ12	DQ6
2F	33	VREFB2FN0	IO			LVDS2F_8n	Yes	AU29	DQSn50	DQ25	DQ12	DQ6
2F	32	VREFB2FN0	IO			LVDS2F_8p	Yes	AT29	DQS50	DQ25	DQ12	DQ6
2F	31	VREFB2FN0	IO			LVDS2F_9n	No	AR27	DQ50	DQ25	DQ12	DQ6
2F	30	VREFB2FN0	IO			LVDS2F_9p	No	AR28	DQ50	DQ25	DQ12	DQ6
2F	29	VREFB2FN0	IO	PLL_2F_CLKOUT1n		LVDS2F_10n	Yes	AW30	DQSn51	DQSn25/CQn25	DQ12	DQ6
2F	28	VREFB2FN0	IO	PLL_2F_CLKOUT1p,PLL_2F_CLKOUT1,PLL_2F_FB1		LVDS2F_10p	Yes	AV30	DQS51	DQS25/CQ25	DQ12	DQ6
2F	27	VREFB2FN0	IO			LVDS2F_11n	No	AV28	DQ51	DQ25	DQ12	DQ6
2F	26	VREFB2FN0	IO	RZQ_2F		LVDS2F_11p	No	AU28	DQ51	DQ25	DQ12	DQ6
2F	25	VREFB2FN0	IO	CLK_2F_1n		LVDS2F_12n	Yes	AU27	DQ51	DQ25	DQ12	DQ6
2F	24	VREFB2FN0	IO	CLK_2F_1p		LVDS2F_12p	Yes	AT27	DQ51	DQ25	DQ12	DQ6
2F	23	VREFB2FN0	IO	CLK_2F_0n		LVDS2F_13n	No	BA31	DQ52	DQ26	DQ13	DQ6
2F	22	VREFB2FN0	IO	CLK_2F_0p		LVDS2F_13p	No	AY31	DQ52	DQ26	DQ13	DQ6
2F	21	VREFB2FN0	IO			LVDS2F_14n	Yes	BB32	DQSn52	DQ26	DQ13	DQSn6/CQn6
2F	20	VREFB2FN0	IO			LVDS2F_14p	Yes	BA32	DQS52	DQ26	DQ13	DQS6/CQ6
2F	19	VREFB2FN0	IO	PLL_2F_CLKOUT0n		LVDS2F_15n	No	AW29	DQ52	DQ26	DQ13	DQ6
2F	18	VREFB2FN0	IO	PLL_2F_CLKOUT0p,PLL_2F_CLKOUT0,PLL_2F_FB0		LVDS2F_15p	No	AW28	DQ52	DQ26	DQ13	DQ6
2F	17	VREFB2FN0	IO			LVDS2F_16n	Yes	BA30	DQSn53	DQSn26/CQn26	DQ13	DQ6
2F	16	VREFB2FN0	IO			LVDS2F_16p	Yes	BA29	DQS53	DQS26/CQ26	DQ13	DQ6
2F	15	VREFB2FN0	IO			LVDS2F_17n	No	BC31	DQ53	DQ26	DQ13	DQ6
2F	14	VREFB2FN0	IO			LVDS2F_17p	No	BB30	DQ53	DQ26	DQ13	DQ6
2F	13	VREFB2FN0	IO			LVDS2F_18n	Yes	AY29	DQ53	DQ26	DQSn13/CQn13	DQ6
2F	12	VREFB2FN0	IO			LVDS2F_18p	Yes	AY28	DQ53	DQ26	DQS13/CQ13	DQ6
2F	11	VREFB2FN0	IO			LVDS2F_19n	No	BD31	DQ54	DQ27	DQ13	DQ6
2F	10	VREFB2FN0	IO			LVDS2F_19p	No	BD30	DQ54	DQ27	DQ13	DQ6
2F	9	VREFB2FN0	IO			LVDS2F_20n	Yes	BB29	DQSn54	DQ27	DQ13	DQ6
2F	8	VREFB2FN0	IO			LVDS2F_20p	Yes	BB28	DQS54	DQ27	DQ13	DQ6
2F	7	VREFB2FN0	IO			LVDS2F_21n	No	BC27	DQ54	DQ27	DQ13	DQ6
2F	6	VREFB2FN0	IO			LVDS2F_21p	No	BB27	DQ54	DQ27	DQ13	DQ6
2F	5	VREFB2FN0	IO			LVDS2F_22n	Yes	BA27	DQSn55	DQSn27/CQn27	DQ13	DQ6
2F	4	VREFB2FN0	IO			LVDS2F_22p	Yes	BA26	DQS55	DQS27/CQ27	DQ13	DQ6
2F	3	VREFB2FN0	IO			LVDS2F_23n	No	BD29	DQ55	DQ27	DQ13	DQ6
2F	2	VREFB2FN0	IO			LVDS2F_23p	No	BC30	DQ55	DQ27	DQ13	DQ6
2F	1	VREFB2FN0	IO			LVDS2F_24n	Yes	BD28	DQ55	DQ27	DQ13	DQ6
2F	0	VREFB2FN0	IO			LVDS2F_24p	Yes	BC28	DQ55	DQ27	DQ13	DQ6
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	BD19	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	BD20	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	BB19	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	BA19	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	BA20	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	BA21	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	BC20	DQSn57	DQSn28/CQn28	DQ14	DQ7

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	BB20	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	BB22	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	BA22	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	BD21	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	BC21	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	BC22	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	BC23	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	BA24	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AY23	DQSn58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	BD25	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	BC25	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	BB23	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	BB24	DQSn59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	BD23	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	BD24	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	BD26	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	BC26	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	AV25	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	AU25	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	BB25	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	BA25	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	AW25	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	AW26	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	AY26	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	AY27	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	AY24	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	AW24	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR	LVDS2A_18n	Yes	AV26	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST	LVDS2A_18p	Yes	AV27	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY	LVDS2A_19n	No	AU24	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0	LVDS2A_19p	No	AT25	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE	LVDS2A_20n	Yes	AT24	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1	LVDS2A_20p	Yes	AR24	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No	AP26	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No	AN26	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes	AN25	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes	AM25	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No	AT26	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No	AR26	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes	AP25	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes	AP24	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HNO	IO			LVDS3H_1n	No	J19	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HNO	IO			LVDS3H_1p	No	K19	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HNO	IO			LVDS3H_2n	Yes	L19	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HNO	IO			LVDS3H_2p	Yes	M19	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HNO	IO			LVDS3H_3n	No	M20	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HNO	IO			LVDS3H_3p	No	N20	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HNO	IO			LVDS3H_4n	Yes	L20	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HNO	IO			LVDS3H_4p	Yes	L21	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HNO	IO			LVDS3H_5n	No	H20	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HNO	IO			LVDS3H_5p	No	J20	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HNO	IO			LVDS3H_6n	Yes	J21	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HNO	IO			LVDS3H_6p	Yes	K21	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HNO	IO			LVDS3H_7n	No	G19	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HNO	IO			LVDS3H_7p	No	G20	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HNO	IO			LVDS3H_8n	Yes	F19	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HNO	IO			LVDS3H_8p	Yes	F20	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HNO	IO			LVDS3H_9n	No	B19	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HNO	IO			LVDS3H_9p	No	C18	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HNO	IO	PLL_3H_CLKOUT1n		LVDS3H_10n	Yes	D19	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HNO	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1		LVDS3H_10p	Yes	E19	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HNO	IO			LVDS3H_11n	No	B20	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HNO	IO	RZQ_3H		LVDS3H_11p	No	C20	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HNO	IO	CLK_3H_1n		LVDS3H_12n	Yes	A20	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HNO	IO	CLK_3H_1p		LVDS3H_12p	Yes	A19	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HNO	IO	CLK_3H_0n		LVDS3H_13n	No	D20	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HNO	IO	CLK_3H_0p		LVDS3H_13p	No	D21	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HNO	IO			LVDS3H_14n	Yes	A21	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HNO	IO			LVDS3H_14p	Yes	A22	DQS68	DQ34	DQ17	DQS8/CQ8
3H	19	VREFB3HNO	IO	PLL_3H_CLKOUT0n		LVDS3H_15n	No	E21	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HNO	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0		LVDS3H_15p	No	F21	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HNO	IO			LVDS3H_16n	Yes	C21	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HNO	IO			LVDS3H_16p	Yes	C22	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HNO	IO			LVDS3H_17n	No	B22	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HNO	IO			LVDS3H_17p	No	B23	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HNO	IO			LVDS3H_18n	Yes	C23	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HNO	IO			LVDS3H_18p	Yes	D23	DQ69	DQ34	DQS17/CQ17	DQ8
3H	11	VREFB3HNO	IO			LVDS3H_19n	No	F22	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HNO	IO			LVDS3H_19p	No	G22	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HNO	IO			LVDS3H_20n	Yes	E22	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HNO	IO			LVDS3H_20p	Yes	E23	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HNO	IO			LVDS3H_21n	No	H21	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HNO	IO			LVDS3H_21p	No	H22	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HNO	IO			LVDS3H_22n	Yes	L22	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HNO	IO			LVDS3H_22p	Yes	K22	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HNO	IO			LVDS3H_23n	No	G23	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HNO	IO			LVDS3H_23p	No	H23	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HNO	IO			LVDS3H_24n	Yes	J23	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HNO	IO			LVDS3H_24p	Yes	K23	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GNO	IO			LVDS3G_1n	No	C17	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GNO	IO			LVDS3G_1p	No	C16	DQ72	DQ36	DQ18	DQ9

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3G	45	VREFB3GN0	IO			LVDS3G_2n	Yes	B18	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO			LVDS3G_2p	Yes	B17	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO			LVDS3G_3n	No	D18	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO			LVDS3G_3p	No	E18	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO			LVDS3G_4n	Yes	A17	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO			LVDS3G_4p	Yes	A16	DQS73	DQS36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO			LVDS3G_5n	No	A14	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO			LVDS3G_5p	No	A15	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO			LVDS3G_6n	Yes	B14	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO			LVDS3G_6p	Yes	B15	DQ73	DQ36	DQS18/CQ18	DQ9
3G	35	VREFB3GN0	IO			LVDS3G_7n	No	J18	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO			LVDS3G_7p	No	K18	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO			LVDS3G_8n	Yes	H18	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO			LVDS3G_8p	Yes	H17	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO			LVDS3G_9n	No	K17	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO			LVDS3G_9p	No	L17	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n		LVDS3G_10n	Yes	G18	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1		LVDS3G_10p	Yes	G17	DQS75	DQS37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO			LVDS3G_11n	No	E17	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G		LVDS3G_11p	No	F17	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n		LVDS3G_12n	Yes	M18	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p		LVDS3G_12p	Yes	N18	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n		LVDS3G_13n	No	D16	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p		LVDS3G_13p	No	E16	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO			LVDS3G_14n	Yes	G15	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO			LVDS3G_14p	Yes	H15	DQS76	DQ38	DQ19	DQS9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n		LVDS3G_15n	No	F16	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0		LVDS3G_15p	No	F15	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO			LVDS3G_16n	Yes	C15	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO			LVDS3G_16p	Yes	D15	DQS77	DQS38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO			LVDS3G_17n	No	F14	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO			LVDS3G_17p	No	G14	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO			LVDS3G_18n	Yes	D14	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO			LVDS3G_18p	Yes	E14	DQ77	DQ38	DQS19/CQ19	DQ9
3G	11	VREFB3GN0	IO			LVDS3G_19n	No	L15	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO			LVDS3G_19p	No	L16	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO			LVDS3G_20n	Yes	N16	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO			LVDS3G_20p	Yes	P15	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO			LVDS3G_21n	No	J16	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO			LVDS3G_21p	No	K16	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO			LVDS3G_22n	Yes	H16	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO			LVDS3G_22p	Yes	J15	DQS79	DQS39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO			LVDS3G_23n	No	M15	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO			LVDS3G_23p	No	N15	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO			LVDS3G_24n	Yes	M17	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO			LVDS3G_24p	Yes	N17	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO			LVDS3F_1n	No	B13	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO			LVDS3F_1p	No	B12	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO			LVDS3F_2n	Yes	A12	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO			LVDS3F_2p	Yes	A11	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO			LVDS3F_3n	No	A10	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO			LVDS3F_3p	No	B10	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO			LVDS3F_4n	Yes	C13	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO			LVDS3F_4p	Yes	C12	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO			LVDS3F_5n	No	D13	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO			LVDS3F_5p	No	E13	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO			LVDS3F_6n	Yes	E12	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO			LVDS3F_6p	Yes	F12	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO			LVDS3F_7n	No	C11	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO			LVDS3F_7p	No	C10	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO			LVDS3F_8n	Yes	D11	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO			LVDS3F_8p	Yes	E11	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO			LVDS3F_9n	No	E8	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO			LVDS3F_9p	No	E9	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n		LVDS3F_10n	Yes	D10	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1		LVDS3F_10p	Yes	D9	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO			LVDS3F_11n	No	C8	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F		LVDS3F_11p	No	D8	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n		LVDS3F_12n	Yes	F9	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p		LVDS3F_12p	Yes	F10	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n		LVDS3F_13n	No	G13	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p		LVDS3F_13p	No	G12	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO			LVDS3F_14n	Yes	K14	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO			LVDS3F_14p	Yes	L14	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n		LVDS3F_15n	No	F11	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0		LVDS3F_15p	No	G10	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO			LVDS3F_16n	Yes	H11	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO			LVDS3F_16p	Yes	H12	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO			LVDS3F_17n	No	J14	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO			LVDS3F_17p	No	K13	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO			LVDS3F_18n	Yes	H13	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO			LVDS3F_18p	Yes	J13	DQ85	DQ42	DQS21/CQ21	DQ10
3F	11	VREFB3FN0	IO			LVDS3F_19n	No	N13	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO			LVDS3F_19p	No	P13	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO			LVDS3F_20n	Yes	R13	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO			LVDS3F_20p	Yes	R12	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO			LVDS3F_21n	No	M12	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO			LVDS3F_21p	No	N12	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO			LVDS3F_22n	Yes	K12	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO			LVDS3F_22p	Yes	L12	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO			LVDS3F_23n	No	M13	DQ87	DQ43	DQ21	DQ10

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3F	2	VREFB3FN0	IO			LVDS3F_23p	No	M14	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO			LVDS3F_24n	Yes	R14	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO			LVDS3F_24p	Yes	T14	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO			LVDS3E_1n	No	J11	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO			LVDS3E_1p	No	K11	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO			LVDS3E_2n	Yes	F7	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO			LVDS3E_2p	Yes	F6	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO			LVDS3E_3n	No	G7	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO			LVDS3E_3p	No	H7	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO			LVDS3E_4n	Yes	H10	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO			LVDS3E_4p	Yes	J10	DQS89	DQS44/CQ44	DQ22	DQ11
3E	39	VREFB3EN0	IO			LVDS3E_5n	No	G8	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO			LVDS3E_5p	No	G9	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO			LVDS3E_6n	Yes	H8	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO			LVDS3E_6p	Yes	J8	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3EN0	IO			LVDS3E_7n	No	H6	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO			LVDS3E_7p	No	J6	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO			LVDS3E_8n	Yes	K6	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO			LVDS3E_8p	Yes	L6	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO			LVDS3E_9n	No	J9	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO			LVDS3E_9p	No	K8	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes	K7	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes	L7	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3EN0	IO			LVDS3E_11n	No	L10	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E		LVDS3E_11p	No	L11	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n		LVDS3E_12n	Yes	K9	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p		LVDS3E_12p	Yes	L9	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3EN0	IO	CLK_3E_0n		LVDS3E_13n	No	M7	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p		LVDS3E_13p	No	N6	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO			LVDS3E_14n	Yes	P9	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO			LVDS3E_14p	Yes	P10	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No	N8	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No	N7	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO			LVDS3E_16n	Yes	M8	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO			LVDS3E_16p	Yes	M9	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3EN0	IO			LVDS3E_17n	No	N11	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO			LVDS3E_17p	No	P11	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO			LVDS3E_18n	Yes	M10	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO			LVDS3E_18p	Yes	N10	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3EN0	IO			LVDS3E_19n	No	V13	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO			LVDS3E_19p	No	V12	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO			LVDS3E_20n	Yes	T12	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO			LVDS3E_20p	Yes	U12	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO			LVDS3E_21n	No	U9	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO			LVDS3E_21p	No	U8	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO			LVDS3E_22n	Yes	R9	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO			LVDS3E_22p	Yes	T9	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3EN0	IO			LVDS3E_23n	No	R11	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO			LVDS3E_23p	No	T11	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO			LVDS3E_24n	Yes	T10	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO			LVDS3E_24p	Yes	U10	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO			LVDS3D_1n	No	AB9	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO			LVDS3D_1p	No	AC10	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO			LVDS3D_2n	Yes	Y9	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO			LVDS3D_2p	Yes	AA10	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO			LVDS3D_3n	No	AB10	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO			LVDS3D_3p	No	AA9	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO			LVDS3D_4n	Yes	AF10	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO			LVDS3D_4p	Yes	AG10	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO			LVDS3D_5n	No	AF9	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO			LVDS3D_5p	No	AG9	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO			LVDS3D_6n	Yes	AD9	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO			LVDS3D_6p	Yes	AE9	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO			LVDS3D_7n	No	AK9	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO			LVDS3D_7p	No	AJ9	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO			LVDS3D_8n	Yes	AD11	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO			LVDS3D_8p	Yes	AD10	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO			LVDS3D_9n	No	AL11	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO			LVDS3D_9p	No	AK11	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes	AF11	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes	AE11	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO			LVDS3D_11n	No	AJ10	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D		LVDS3D_11p	No	AH10	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n		LVDS3D_12n	Yes	AH11	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p		LVDS3D_12p	Yes	AJ11	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n		LVDS3D_13n	No	AN8	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p		LVDS3D_13p	No	AN7	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO			LVDS3D_14n	Yes	AM9	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO			LVDS3D_14p	Yes	AL9	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No	AM6	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No	AN6	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO			LVDS3D_16n	Yes	AR6	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO			LVDS3D_16p	Yes	AP6	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO			LVDS3D_17n	No	AM10	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO			LVDS3D_17p	No	AL10	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO			LVDS3D_18n	Yes	AM7	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO			LVDS3D_18p	Yes	AM8	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO			LVDS3D_19n	No	W13	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO			LVDS3D_19p	No	W14	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO			LVDS3D_20n	Yes	AA11	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO			LVDS3D_20p	Yes	Y11	DQS102	DQ51	DQ25	DQ12

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	7	VREFB3DN0	IO			LVDS3D_21n	No	W10	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No	W9	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes	Y12	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes	AA12	DQS103	DQSn51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No	Y14	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No	Y13	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes	V10	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes	W11	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No	AP11	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No	AN11	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes	AT11	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes	AR11	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No	AT12	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No	AR12	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes	AU10	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes	AT10	DQS105	DQSn52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No	AR7	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No	AR8	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes	AP8	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes	AP9	DQ105	DQ52	DQSn26/CQ26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No	AN10	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No	AP10	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes	AU7	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes	AU8	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No	AV8	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No	AU9	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes	AV6	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes	AV7	DQS107	DQSn53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No	AT9	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No	AR9	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes	AT6	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes	AT7	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No	AL12	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No	AK12	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes	AF12	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes	AE12	DQS108	DQ54	DQ27	DQSn13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No	AN12	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No	AM12	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes	AH12	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes	AG12	DQS109	DQSn54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No	AG13	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No	AH13	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes	AK13	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes	AJ13	DQ109	DQ54	DQSn27/CQ27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No	AF14	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No	AG14	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes	AD13	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes	AD14	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No	AB13	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No	AB14	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes	AB12	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes	AC13	DQS111	DQSn55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No	AC11	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No	AC12	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes	AE14	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes	AE13	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO			LVDS3B_1n	No	AV11	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No	AV10	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes	AY8	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes	AW8	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No	BA9	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No	AY9	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes	AW9	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes	AW10	DQS113	DQSn56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AV12	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No	AU12	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AY12	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes	AW11	DQ113	DQ56	DQSn28/CQ28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	AR13	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No	AP13	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AU14	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes	AT14	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	AM14	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	AL14	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	AN13	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	AM13	DQS115	DQSn57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	AK14	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AJ14	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	AR14	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	AP14	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	BA11	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AY11	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AV13	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AU13	DQS116	DQ58	DQ29	DQSn14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	BB12	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	BA12	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	BA14	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes	AY14	DQS117	DQSn58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AY13	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No	AW13	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AW14	DQ117	DQ58	DQSn29/CQn29	DQ14

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes	AW15	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	BB8	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No	BB9	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	BB10	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes	BA10	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	BD10	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No	BC10	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	BD11	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes	BC11	DQS119	DQSn59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	BC12	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No	BC13	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	BB13	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes	BB14	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AT19	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No	AU19	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AM19	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes	AM20	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AR19	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No	AP19	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AU18	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes	AV18	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AM18	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No	AM17	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AR18	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes	AP18	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	BC17	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No	BC16	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	BD16	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes	BD15	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	BD18	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No	BC18	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	BD14	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes	BD13	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	BC15	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	BB15	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	BB17	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes	BB18	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	AY18	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No	AW18	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	AY16	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes	AW16	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	BA17	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No	AY17	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	BA16	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes	BA15	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	AV15	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No	AU15	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	AV17	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes	AV16	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	AU17	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No	AT17	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	AR17	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes	AR16	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	AM15	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	AN15	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	AT16	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	AT15	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	AN17	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	AN16	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	AP15	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes	AP16	DQ127	DQ63	DQ31	DQ15
4F			REFCLK_GXBR4F_CHTp					T5				
4F			REFCLK_GXBR4F_CHTn					T6				
4F			GXBR4F_TX_CH5n					A4				
4F			GXBR4F_TX_CH5p					A3				
4F			GXBR4F_RX_CH5n,GXBR4F_REFCLK5n					B6				
4F			GXBR4F_RX_CH5p,GXBR4F_REFCLK5p					B5				
4F			GXBR4F_TX_CH4n					B2				
4F			GXBR4F_TX_CH4p					B1				
4F			GXBR4F_RX_CH4n,GXBR4F_REFCLK4n					C4				
4F			GXBR4F_RX_CH4p,GXBR4F_REFCLK4p					C3				
4F			GXBR4F_TX_CH3n					D2				
4F			GXBR4F_TX_CH3p					D1				
4F			GXBR4F_RX_CH3n,GXBR4F_REFCLK3n					D6				
4F			GXBR4F_RX_CH3p,GXBR4F_REFCLK3p					D5				
4F			GXBR4F_TX_CH2n					F2				
4F			GXBR4F_TX_CH2p					F1				
4F			GXBR4F_RX_CH2n,GXBR4F_REFCLK2n					E4				
4F			GXBR4F_RX_CH2p,GXBR4F_REFCLK2p					E3				
4F			GXBR4F_TX_CH1n					H2				
4F			GXBR4F_TX_CH1p					H1				
4F			GXBR4F_RX_CH1n,GXBR4F_REFCLK1n					G4				
4F			GXBR4F_RX_CH1p,GXBR4F_REFCLK1p					G3				
4F			GXBR4F_TX_CH0n					K2				
4F			GXBR4F_TX_CH0p					K1				
4F			GXBR4F_RX_CH0n,GXBR4F_REFCLK0n					J4				
4F			GXBR4F_RX_CH0p,GXBR4F_REFCLK0p					J3				
4F			REFCLK_GXBR4F_CHBp					V5				
4F			REFCLK_GXBR4F_CHBn					V6				
4E			REFCLK_GXBR4E_CHTp					Y5				
4E			REFCLK_GXBR4E_CHTn					Y6				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4E			GXBR4E_TX_CH5n					M2				
4E			GXBR4E_TX_CH5p					M1				
4E			GXBR4E_RX_CH5n,GXBR4E_REFCLK5n					L4				
4E			GXBR4E_RX_CH5p,GXBR4E_REFCLK5p					L3				
4E			GXBR4E_TX_CH4n					P2				
4E			GXBR4E_TX_CH4p					P1				
4E			GXBR4E_RX_CH4n,GXBR4E_REFCLK4n					N4				
4E			GXBR4E_RX_CH4p,GXBR4E_REFCLK4p					N3				
4E			GXBR4E_TX_CH3n					T2				
4E			GXBR4E_TX_CH3p					T1				
4E			GXBR4E_RX_CH3n,GXBR4E_REFCLK3n					R4				
4E			GXBR4E_RX_CH3p,GXBR4E_REFCLK3p					R3				
4E			GXBR4E_TX_CH2n					V2				
4E			GXBR4E_TX_CH2p					V1				
4E			GXBR4E_RX_CH2n,GXBR4E_REFCLK2n					U4				
4E			GXBR4E_RX_CH2p,GXBR4E_REFCLK2p					U3				
4E			GXBR4E_TX_CH1n					Y2				
4E			GXBR4E_TX_CH1p					Y1				
4E			GXBR4E_RX_CH1n,GXBR4E_REFCLK1n					W4				
4E			GXBR4E_RX_CH1p,GXBR4E_REFCLK1p					W3				
4E			GXBR4E_TX_CH0n					AB2				
4E			GXBR4E_TX_CH0p					AB1				
4E			GXBR4E_RX_CH0n,GXBR4E_REFCLK0n					AA4				
4E			GXBR4E_RX_CH0p,GXBR4E_REFCLK0p					AA3				
4E			REFCLK_GXBR4E_CHBp					AB5				
4E			REFCLK_GXBR4E_CHBn					AB6				
4D			REFCLK_GXBR4D_CHTp					AD5				
4D			REFCLK_GXBR4D_CHTn					AD6				
4D			GXBR4D_TX_CH5n					AD2				
4D			GXBR4D_TX_CH5p					AD1				
4D			GXBR4D_RX_CH5n,GXBR4D_REFCLK5n					AC4				
4D			GXBR4D_RX_CH5p,GXBR4D_REFCLK5p					AC3				
4D			GXBR4D_TX_CH4n					AF2				
4D			GXBR4D_TX_CH4p					AF1				
4D			GXBR4D_RX_CH4n,GXBR4D_REFCLK4n					AE4				
4D			GXBR4D_RX_CH4p,GXBR4D_REFCLK4p					AE3				
4D			GXBR4D_TX_CH3n					AH2				
4D			GXBR4D_TX_CH3p					AH1				
4D			GXBR4D_RX_CH3n,GXBR4D_REFCLK3n					AG4				
4D			GXBR4D_RX_CH3p,GXBR4D_REFCLK3p					AG3				
4D			GXBR4D_TX_CH2n					AK2				
4D			GXBR4D_TX_CH2p					AK1				
4D			GXBR4D_RX_CH2n,GXBR4D_REFCLK2n					AJ4				
4D			GXBR4D_RX_CH2p,GXBR4D_REFCLK2p					AJ3				
4D			GXBR4D_TX_CH1n					AM2				
4D			GXBR4D_TX_CH1p					AM1				
4D			GXBR4D_RX_CH1n,GXBR4D_REFCLK1n					AL4				
4D			GXBR4D_RX_CH1p,GXBR4D_REFCLK1p					AL3				
4D			GXBR4D_TX_CH0n					AP2				
4D			GXBR4D_TX_CH0p					AP1				
4D			GXBR4D_RX_CH0n,GXBR4D_REFCLK0n					AN4				
4D			GXBR4D_RX_CH0p,GXBR4D_REFCLK0p					AN3				
4D			REFCLK_GXBR4D_CHBp					AF5				
4D			REFCLK_GXBR4D_CHBn					AF6				
4C			REFCLK_GXBR4C_CHTp					AH5				
4C			REFCLK_GXBR4C_CHTn					AH6				
4C			GXBR4C_TX_CH5n					AT2				
4C			GXBR4C_TX_CH5p					AT1				
4C			GXBR4C_RX_CH5n,GXBR4C_REFCLK5n					AR4				
4C			GXBR4C_RX_CH5p,GXBR4C_REFCLK5p					AR3				
4C			GXBR4C_TX_CH4n					AV2				
4C			GXBR4C_TX_CH4p					AV1				
4C			GXBR4C_RX_CH4n,GXBR4C_REFCLK4n					AU4				
4C			GXBR4C_RX_CH4p,GXBR4C_REFCLK4p					AU3				
4C			GXBR4C_TX_CH3n					AY2				
4C			GXBR4C_TX_CH3p					AY1				
4C			GXBR4C_RX_CH3n,GXBR4C_REFCLK3n					AW4				
4C			GXBR4C_RX_CH3p,GXBR4C_REFCLK3p					AW3				
4C			GXBR4C_TX_CH2n					BB2				
4C			GXBR4C_TX_CH2p					BB1				
4C			GXBR4C_RX_CH2n,GXBR4C_REFCLK2n					BA4				
4C			GXBR4C_RX_CH2p,GXBR4C_REFCLK2p					BA3				
4C			GXBR4C_TX_CH1n					BC4				
4C			GXBR4C_TX_CH1p					BC3				
4C			GXBR4C_RX_CH1n,GXBR4C_REFCLK1n					AY6				
4C			GXBR4C_RX_CH1p,GXBR4C_REFCLK1p					AY5				
4C			GXBR4C_TX_CH0n					BD6				
4C			GXBR4C_TX_CH0p					BD5				
4C			GXBR4C_RX_CH0n,GXBR4C_REFCLK0n					BB6				
4C			GXBR4C_RX_CH0p,GXBR4C_REFCLK0p					BB5				
4C			REFCLK_GXBR4C_CHBp					AK5				
4C			REFCLK_GXBR4C_CHBn					AK6				
			GND					AR22				
CSS			TDO		TDO			AY21				
CSS			TMS		TMS			AV22				
CSS			TRST		TRST			AW19				
CSS			TCK		TCK			AP23				
CSS			TDI		TDI			AY22				
CSS			MSEL0		MSEL0			AT20				
CSS			MSEL1		MSEL1			AM23				
CSS			MSEL2		MSEL2			AT21				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
CSS			nIO_PULLUP		nIO_PULLUP			AT22				
CSS			nSTATUS		nSTATUS			AP20				
CSS			CONF_DONE		CONF_DONE			AN20				
			GND					AY19				
CSS			nCONFIG		nCONFIG			AV23				
CSS			nCE		nCE			AW23				
CSS			nCSO0		nCSO0			AU20				
CSS			nCSO1		nCSO1			AV20				
CSS			nCSO2		nCSO2			AN21				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AP21				
CSS			AS_DATA1		AS_DATA1			AV21				
CSS			AS_DATA2		AS_DATA2			AW21				
CSS			AS_DATA3		AS_DATA3			AW20				
CSS			DCLK		DCLK			AR21				
			ADCGND					P20				
			GND					A13				
			GND					A18				
			GND					A2				
			GND					A23				
			GND					A28				
			GND					A33				
			GND					A36				
			GND					A38				
			GND					A39				
			GND					A40				
			GND					A43				
			GND					A5				
			GND					A6				
			GND					A7				
			GND					A9				
			GND					AA1				
			GND					AA13				
			GND					AA18				
			GND					AA2				
			GND					AA23				
			GND					AA28				
			GND					AA37				
			GND					AA38				
			GND					AA43				
			GND					AA44				
			GND					AA7				
			GND					AA8				
			GND					AB16				
			GND					AB21				
			GND					AB26				
			GND					AB3				
			GND					AB36				
			GND					AB37				
			GND					AB38				
			GND					AB4				
			GND					AB41				
			GND					AB42				
			GND					AB7				
			GND					AB8				
			GND					AC1				
			GND					AC14				
			GND					AC19				
			GND					AC2				
			GND					AC24				
			GND					AC29				
			GND					AC37				
			GND					AC43				
			GND					AC44				
			GND					AC8				
			GND					AD12				
			GND					AD17				
			GND					AD22				
			GND					AD27				
			GND					AD3				
			GND					AD32				
			GND					AD37				
			GND					AD38				
			GND					AD4				
			GND					AD41				
			GND					AD42				
			GND					AD7				
			GND					AD8				
			GND					AE1				
			GND					AE10				
			GND					AE15				
			GND					AE2				
			GND					AE20				
			GND					AE25				
			GND					AE30				
			GND					AE35				
			GND					AE37				
			GND					AE38				
			GND					AE43				
			GND					AE44				
			GND					AE7				
			GND					AE8				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AF18				
			GND					AF23				
			GND					AF28				
			GND					AF3				
			GND					AF33				
			GND					AF37				
			GND					AF38				
			GND					AF4				
			GND					AF41				
			GND					AF42				
			GND					AF7				
			GND					AF8				
			GND					AG1				
			GND					AG11				
			GND					AG16				
			GND					AG2				
			GND					AG21				
			GND					AG26				
			GND					AG31				
			GND					AG32				
			GND					AG37				
			GND					AG43				
			GND					AG44				
			GND					AG8				
			GND					AH19				
			GND					AH24				
			GND					AH29				
			GND					AH3				
			GND					AH34				
			GND					AH37				
			GND					AH38				
			GND					AH4				
			GND					AH41				
			GND					AH42				
			GND					AH7				
			GND					AH8				
			GND					AH9				
			GND					AJ1				
			GND					AJ12				
			GND					AJ17				
			GND					AJ2				
			GND					AJ22				
			GND					AJ27				
			GND					AJ37				
			GND					AJ38				
			GND					AJ43				
			GND					AJ44				
			GND					AJ7				
			GND					AJ8				
			GND					AK10				
			GND					AK15				
			GND					AK20				
			GND					AK25				
			GND					AK3				
			GND					AK30				
			GND					AK38				
			GND					AK4				
			GND					AK41				
			GND					AK42				
			GND					AK7				
			GND					AK8				
			GND					AL1				
			GND					AL18				
			GND					AL2				
			GND					AL23				
			GND					AL28				
			GND					AL38				
			GND					AL39				
			GND					AL40				
			GND					AL43				
			GND					AL44				
			GND					AL5				
			GND					AL6				
			GND					AL7				
			GND					AL8				
			GND					AM11				
			GND					AM16				
			GND					AM21				
			GND					AM26				
			GND					AM3				
			GND					AM36				
			GND					AM4				
			GND					AM40				
			GND					AM41				
			GND					AM42				
			GND					AM5				
			GND					AN1				
			GND					AN19				
			GND					AN2				
			GND					AN24				
			GND					AN34				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AN39				
			GND					AN40				
			GND					AN43				
			GND					AN44				
			GND					AN5				
			GND					AN9				
			GND					AP12				
			GND					AP17				
			GND					AP22				
			GND					AP3				
			GND					AP32				
			GND					AP37				
			GND					AP4				
			GND					AP40				
			GND					AP41				
			GND					AP42				
			GND					AP5				
			GND					AP7				
			GND					AR1				
			GND					AR10				
			GND					AR15				
			GND					AR2				
			GND					AR20				
			GND					AR35				
			GND					AR40				
			GND					AR43				
			GND					AR44				
			GND					AR5				
			GND					AT18				
			GND					AT23				
			GND					AT28				
			GND					AT3				
			GND					AT33				
			GND					AT38				
			GND					AT4				
			GND					AT40				
			GND					AT41				
			GND					AT42				
			GND					AT5				
			GND					AT8				
			GND					AU1				
			GND					AU11				
			GND					AU16				
			GND					AU2				
			GND					AU21				
			GND					AU31				
			GND					AU36				
			GND					AU40				
			GND					AU43				
			GND					AU44				
			GND					AU5				
			GND					AU6				
			GND					AV19				
			GND					AV29				
			GND					AV3				
			GND					AV34				
			GND					AV39				
			GND					AV4				
			GND					AV40				
			GND					AV41				
			GND					AV42				
			GND					AV5				
			GND					AV9				
			GND					AW1				
			GND					AW12				
			GND					AW2				
			GND					AW22				
			GND					AW27				
			GND					AW32				
			GND					AW37				
			GND					AW38				
			GND					AW39				
			GND					AW40				
			GND					AW43				
			GND					AW44				
			GND					AW5				
			GND					AW6				
			GND					AW7				
			GND					AY10				
			GND					AY20				
			GND					AY25				
			GND					AY3				
			GND					AY30				
			GND					AY35				
			GND					AY38				
			GND					AY4				
			GND					AY41				
			GND					AY42				
			GND					AY7				
			GND					B11				
			GND					B16				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					B21				
			GND					B26				
			GND					B3				
			GND					B31				
			GND					B36				
			GND					B37				
			GND					B38				
			GND					B4				
			GND					B41				
			GND					B42				
			GND					B7				
			GND					B8				
			GND					B9				
			GND					BA1				
			GND					BA13				
			GND					BA2				
			GND					BA23				
			GND					BA28				
			GND					BA33				
			GND					BA38				
			GND					BA39				
			GND					BA40				
			GND					BA43				
			GND					BA44				
			GND					BA5				
			GND					BA6				
			GND					BA7				
			GND					BA8				
			GND					BB11				
			GND					BB16				
			GND					BB21				
			GND					BB26				
			GND					BB3				
			GND					BB31				
			GND					BB36				
			GND					BB38				
			GND					BB4				
			GND					BB41				
			GND					BB42				
			GND					BB7				
			GND					BC1				
			GND					BC14				
			GND					BC19				
			GND					BC2				
			GND					BC24				
			GND					BC29				
			GND					BC34				
			GND					BC38				
			GND					BC39				
			GND					BC40				
			GND					BC43				
			GND					BC44				
			GND					BC5				
			GND					BC6				
			GND					BC7				
			GND					BD12				
			GND					BD17				
			GND					BD2				
			GND					BD22				
			GND					BD27				
			GND					BD3				
			GND					BD32				
			GND					BD36				
			GND					BD38				
			GND					BD4				
			GND					BD41				
			GND					BD42				
			GND					BD43				
			GND					BD7				
			GND					BD9				
			GND					C1				
			GND					C14				
			GND					C19				
			GND					C2				
			GND					C24				
			GND					C29				
			GND					C34				
			GND					C38				
			GND					C39				
			GND					C40				
			GND					C43				
			GND					C44				
			GND					C5				
			GND					C6				
			GND					C7				
			GND					C9				
			GND					D12				
			GND					D17				
			GND					D22				
			GND					D27				
			GND					D3				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					D32				
			GND					D37				
			GND					D38				
			GND					D4				
			GND					D41				
			GND					D42				
			GND					D7				
			GND					E1				
			GND					E10				
			GND					E15				
			GND					E2				
			GND					E20				
			GND					E25				
			GND					E30				
			GND					E35				
			GND					E38				
			GND					E39				
			GND					E40				
			GND					E43				
			GND					E44				
			GND					E5				
			GND					E6				
			GND					E7				
			GND					F13				
			GND					F18				
			GND					F23				
			GND					F28				
			GND					F3				
			GND					F38				
			GND					F4				
			GND					F40				
			GND					F41				
			GND					F42				
			GND					F5				
			GND					F8				
			GND					G1				
			GND					G11				
			GND					G16				
			GND					G2				
			GND					G21				
			GND					G36				
			GND					G40				
			GND					G43				
			GND					G44				
			GND					G5				
			GND					G6				
			GND					H14				
			GND					H19				
			GND					H3				
			GND					H34				
			GND					H39				
			GND					H4				
			GND					H40				
			GND					H41				
			GND					H42				
			GND					H5				
			GND					H9				
			GND					J1				
			GND					J12				
			GND					J17				
			GND					J2				
			GND					J27				
			GND					J32				
			GND					J37				
			GND					J40				
			GND					J43				
			GND					J44				
			GND					J5				
			GND					J7				
			GND					K10				
			GND					K3				
			GND					K30				
			GND					K35				
			GND					K4				
			GND					K40				
			GND					K41				
			GND					K42				
			GND					K5				
			GND					L1				
			GND					L18				
			GND					L2				
			GND					L23				
			GND					L28				
			GND					L33				
			GND					L38				
			GND					L40				
			GND					L43				
			GND					L44				
			GND					L5				
			GND					L8				
			GND					M11				


Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					M21				
			GND					M26				
			GND					M3				
			GND					M31				
			GND					M36				
			GND					M4				
			GND					M40				
			GND					M41				
			GND					M42				
			GND					M5				
			GND					M6				
			GND					N1				
			GND					N2				
			GND					N24				
			GND					N29				
			GND					N39				
			GND					N40				
			GND					N43				
			GND					N44				
			GND					N5				
			GND					N9				
			GND					P22				
			GND					P27				
			GND					P3				
			GND					P32				
			GND					P37				
			GND					P38				
			GND					P39				
			GND					P4				
			GND					P40				
			GND					P41				
			GND					P42				
			GND					P5				
			GND					P6				
			GND					P7				
			GND					P8				
			GND					R1				
			GND					R15				
			GND					R2				
			GND					R20				
			GND					R25				
			GND					R30				
			GND					R35				
			GND					R37				
			GND					R43				
			GND					R44				
			GND					R8				
			GND					T13				
			GND					T18				
			GND					T23				
			GND					T28				
			GND					T3				
			GND					T37				
			GND					T38				
			GND					T4				
			GND					T41				
			GND					T42				
			GND					T7				
			GND					T8				
			GND					U1				
			GND					U14				
			GND					U16				
			GND					U2				
			GND					U21				
			GND					U26				
			GND					U36				
			GND					U37				
			GND					U38				
			GND					U43				
			GND					U44				
			GND					U7				
			GND					V19				
			GND					V24				
			GND					V29				
			GND					V3				
			GND					V34				
			GND					V37				
			GND					V38				
			GND					V4				
			GND					V41				
			GND					V42				
			GND					V7				
			GND					V8				
			GND					W1				
			GND					W12				
			GND					W17				
			GND					W2				
			GND					W22				
			GND					W27				
			GND					W32				
			GND					W37				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					W43				
			GND					W44				
			GND					W8				
			GND					Y10				
			GND					Y15				
			GND					Y20				
			GND					Y25				
			GND					Y3				
			GND					Y30				
			GND					Y35				
			GND					Y37				
			GND					Y38				
			GND					Y4				
			GND					Y41				
			GND					Y42				
			GND					Y7				
			GND					Y8				
			GNDSENSE					AE22				
			VCC					AA15				
			VCC					AA16				
			VCC					AA17				
			VCC					AA19				
			VCC					AA20				
			VCC					AA21				
			VCC					AA22				
			VCC					AA24				
			VCC					AA25				
			VCC					AA26				
			VCC					AA27				
			VCC					AA29				
			VCC					AA30				
			VCC					AB15				
			VCC					AB17				
			VCC					AB18				
			VCC					AB19				
			VCC					AB20				
			VCC					AB25				
			VCC					AB27				
			VCC					AB28				
			VCC					AB29				
			VCC					AB30				
			VCC					AC16				
			VCC					AC20				
			VCC					AC22				
			VCC					AC25				
			VCC					AC26				
			VCC					AD15				
			VCC					AD16				
			VCC					AD18				
			VCC					AD19				
			VCC					AD20				
			VCC					AD21				
			VCC					AD23				
			VCC					AD24				
			VCC					AD25				
			VCC					AD26				
			VCC					AD28				
			VCC					AD29				
			VCC					AD30				
			VCC					AE16				
			VCC					AE17				
			VCC					AE18				
			VCC					AE19				
			VCC					AE21				
			VCC					AE24				
			VCC					AE26				
			VCC					AE27				
			VCC					AE28				
			VCC					AE29				
			VCC					AF17				
			VCC					AF19				
			VCC					AF24				
			VCC					AF27				
			VCC					AF29				
			VCC					AG15				
			VCC					AG18				
			VCC					AG27				
			VCC					AG30				
			VCC					AH15				
			VCC					AH16				
			VCC					AH17				
			VCC					AH18				
			VCC					AH20				
			VCC					AH21				
			VCC					AH22				
			VCC					AH23				
			VCC					AH25				
			VCC					AH26				
			VCC					AH27				
			VCC					AH28				
			VCC					AH30				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					AJ15				
			VCC					AJ16				
			VCC					AJ18				
			VCC					AJ19				
			VCC					AJ20				
			VCC					AJ21				
			VCC					AJ23				
			VCC					AJ24				
			VCC					AJ25				
			VCC					AJ26				
			VCC					AJ28				
			VCC					AJ29				
			VCC					AJ30				
			VCC					AK16				
			VCC					AK17				
			VCC					AK18				
			VCC					AK19				
			VCC					AK21				
			VCC					AK22				
			VCC					AK23				
			VCC					AK24				
			VCC					AK26				
			VCC					AK27				
			VCC					AK28				
			VCC					AK29				
			VCC					AL16				
			VCC					AL17				
			VCC					AL19				
			VCC					AL20				
			VCC					AL21				
			VCC					AL24				
			VCC					AL25				
			VCC					AL26				
			VCC					AL29				
			VCC					P16				
			VCC					P19				
			VCC					P29				
			VCC					R16				
			VCC					R17				
			VCC					R18				
			VCC					R19				
			VCC					R21				
			VCC					R22				
			VCC					R23				
			VCC					R24				
			VCC					R26				
			VCC					R27				
			VCC					R28				
			VCC					R29				
			VCC					T15				
			VCC					T16				
			VCC					T17				
			VCC					T19				
			VCC					T20				
			VCC					T21				
			VCC					T22				
			VCC					T24				
			VCC					T25				
			VCC					T26				
			VCC					T27				
			VCC					T29				
			VCC					T30				
			VCC					U15				
			VCC					U17				
			VCC					U18				
			VCC					U19				
			VCC					U20				
			VCC					U22				
			VCC					U23				
			VCC					U24				
			VCC					U25				
			VCC					U27				
			VCC					U28				
			VCC					U29				
			VCC					U30				
			VCC					V15				
			VCC					V17				
			VCC					V26				
			VCC					V27				
			VCC					V28				
			VCC					V30				
			VCC					W18				
			VCC					W19				
			VCC					W24				
			VCC					Y16				
			VCC					Y17				
			VCC					Y18				
			VCC					Y19				
			VCC					Y21				
			VCC					Y22				
			VCC					Y23				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					Y24				
			VCC					Y26				
			VCC					Y27				
			VCC					Y28				
			VCC					Y29				
			VCCPT					AG17				
			VCCPT					AG19				
			VCCPT					AG20				
			VCCPT					AG22				
			VCCPT					AG24				
			VCCPT					AG25				
			VCCPT					AG29				
			VCCPT					V16				
			VCCPT					V18				
			VCCPT					V20				
			VCCPT					V21				
			VCCPT					V23				
			VCCPT					V25				
			VCCPT					W29				
			DNU					BC36				
			DNU					BC37				
			DNU					BC9				
			DNU					BC8				
			DNU					AN23				
			DNU					AU23				
			DNU					AU22				
			DNU					AR23				
			VCCPGM					AL22				
			VCCPGM					AM22				
			TEMPDIODEn					P21				
			TEMPDIODEp					N21				
			VCCBAT					AN22				
			VCCA_PLL					AB22				
			VCCA_PLL					AB23				
			VCCA_PLL					AB24				
			VCCIO2A					AR25				
			VCCIO2A					AU26				
			VCCIO2A					AV24				
			VCCIO2F					AN29				
			VCCIO2F					AP27				
			VCCIO2F					AR30				
			VCCIO2G					AJ32				
			VCCIO2G					AL33				
			VCCIO2G					AM31				
			VCCIO2H					AG33				
			VCCIO2H					AG36				
			VCCIO2H					AK35				
			VCCIO2I					G26				
			VCCIO2I					H24				
			VCCIO2I					K25				
			VCCIO2J					AA33				
			VCCIO2J					AB31				
			VCCIO2J					AC34				
			VCCIO2K					N34				
			VCCIO2K					T33				
			VCCIO2K					U31				
			VCCIO2L					F33				
			VCCIO2L					G31				
			VCCIO2L					H29				
			VCCIO3A					AW17				
			VCCIO3A					AY15				
			VCCIO3A					BA18				
			VCCIO3B					AN14				
			VCCIO3B					AT13				
			VCCIO3B					AV14				
			VCCIO3C					AF13				
			VCCIO3C					AH14				
			VCCIO3C					AL13				
			VCCIO3D					AB11				
			VCCIO3D					AC9				
			VCCIO3D					V9				
			VCCIO3E					R10				
			VCCIO3E					U11				
			VCCIO3E					V14				
			VCCIO3F					L13				
			VCCIO3F					N14				
			VCCIO3F					P12				
			VCCIO3G					K15				
			VCCIO3G					M16				
			VCCIO3G					P17				
			VCCIO3H					J22				
			VCCIO3H					K20				
			VCCIO3H					N19				
2A		VREFB2AN0	VREFB2AN0					AM24				
2F		VREFB2FN0	VREFB2FN0					AL27				
2G		VREFB2GN0	VREFB2GN0					AJ31				
2H		VREFB2HN0	VREFB2HN0					AH31				
2I		VREFB2IN0	VREFB2IN0					M24				
2J		VREFB2JN0	VREFB2JN0					AD31				
2K		VREFB2KN0	VREFB2KN0					V31				
2L		VREFB2LN0	VREFB2LN0					P30				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A		VREFB3AN0	VREFB3AN0					AN18				
3B		VREFB3BN0	VREFB3BN0					AL15				
3C		VREFB3CN0	VREFB3CN0					AA14				
3D		VREFB3DN0	VREFB3DN0					V11				
3E		VREFB3EN0	VREFB3EN0					U13				
3F		VREFB3FN0	VREFB3FN0					P14				
3G		VREFB3GN0	VREFB3GN0					P18				
3H		VREFB3HN0	VREFB3HN0					M22				
			VREFN_ADC					P24				
			VREFP_ADC					P25				
			NC					D28				
			NC					D29				
			NC					D30				
			NC					D31				
			NC					E27				
			NC					E28				
			NC					E29				
			NC					F27				
			NC					F29				
			NC					G27				
			NC					G28				
			NC					H27				
			NC					H28				
			NC					J28				
			NC					K26				
			NC					K27				
			NC					K28				
			NC					L26				
			NC					L27				
			NC					M25				
			NC					M27				
			NC					N25				
			NC					N26				
			NC					N27				
			NC					P26				
			VCCCH_GXBL					AC38				
			VCCCH_GXBL					AG38				
			VCCCH_GXBL					R38				
			VCCCH_GXBL					W38				
			VCCCH_GXBR					AC7				
			VCCCH_GXBR					AG7				
			VCCCH_GXBR					R7				
			VCCCH_GXBR					W7				
			VCCCR_GXBL1C					AJ39				
			VCCCR_GXBL1C					AJ40				
			VCCCR_GXBL1D					AE39				
			VCCCR_GXBL1D					AE40				
			VCCCR_GXBL1E					AA39				
			VCCCR_GXBL1E					AA40				
			VCCCR_GXBL1F					U39				
			VCCCR_GXBL1F					U40				
			VCCCR_GXBR4C					AJ5				
			VCCCR_GXBR4C					AJ6				
			VCCCR_GXBR4D					AE5				
			VCCCR_GXBR4D					AE6				
			VCCCR_GXBR4E					AA5				
			VCCCR_GXBR4E					AA6				
			VCCCR_GXBR4F					U5				
			VCCCR_GXBR4F					U6				
			VCCT_GXBL1C					AG39				
			VCCT_GXBL1C					AG40				
			VCCT_GXBL1D					AC39				
			VCCT_GXBL1D					AC40				
			VCCT_GXBL1E					W39				
			VCCT_GXBL1E					W40				
			VCCT_GXBL1F					R39				
			VCCT_GXBL1F					R40				
			VCCT_GXBR4C					AG5				
			VCCT_GXBR4C					AG6				
			VCCT_GXBR4D					AC5				
			VCCT_GXBR4D					AC6				
			VCCT_GXBR4E					W5				
			VCCT_GXBR4E					W6				
			VCCT_GXBR4F					R5				
			VCCT_GXBR4F					R6				
			RREF_BL					BD37				
			RREF_BR					BD8				
			RREF_TL					A37				
			RREF_TR					A8				
			VCCERAM					AC15				
			VCCERAM					AC17				
			VCCERAM					AC18				
			VCCERAM					AC21				
			VCCERAM					AC23				
			VCCERAM					AC27				
			VCCERAM					AC28				
			VCCERAM					AC30				
			VCCLSENSE					AE23				
			VCCP					AF15				
			VCCP					AF16				
			VCCP					AF20				

<div><div></div><div>Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6</div></div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	NF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCP					AF21				
			VCCP					AF22				
			VCCP					AF25				
			VCCP					AF26				
			VCCP					AF30				
			VCCP					AG23				
			VCCP					AG28				
			VCCP					V22				
			VCCP					W15				
			VCCP					W16				
			VCCP					W20				
			VCCP					W21				
			VCCP					W23				
			VCCP					W25				
			VCCP					W26				
			VCCP					W28				
			VCCP					W30				
			VSIGN_0					M23				
			VSIGN_1					N23				
			VSIGP_0					N22				
			VSIGP_1					P23				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			REFCLK_GXBL1H_CHTp					L37				
1H			REFCLK_GXBL1H_CHTn					L38				
1H			GXBL1H_TX_CH5n					A37				
1H			GXBL1H_TX_CH5p					A38				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n					C37				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p					C38				
1H			GXBL1H_TX_CH4n					B39				
1H			GXBL1H_TX_CH4p					B40				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n					D39				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p					D40				
1H			GXBL1H_TX_CH3n					A41				
1H			GXBL1H_TX_CH3p					A42				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n					E37				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p					E38				
1H			GXBL1H_TX_CH2n					B43				
1H			GXBL1H_TX_CH2p					B44				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n					F39				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p					F40				
1H			GXBL1H_TX_CH1n					C41				
1H			GXBL1H_TX_CH1p					C42				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n					G37				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p					G38				
1H			GXBL1H_TX_CH0n					D43				
1H			GXBL1H_TX_CH0p					D44				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n					H39				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p					H40				
1H			REFCLK_GXBL1H_CHBp					N37				
1H			REFCLK_GXBL1H_CHBn					N38				
1G			REFCLK_GXBL1G_CHTp					R37				
1G			REFCLK_GXBL1G_CHTn					R38				
1G			GXBL1G_TX_CH5n					E41				
1G			GXBL1G_TX_CH5p					E42				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n					K39				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p					K40				
1G			GXBL1G_TX_CH4n					F43				
1G			GXBL1G_TX_CH4p					F44				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n					L41				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p					L42				
1G			GXBL1G_TX_CH3n					G41				
1G			GXBL1G_TX_CH3p					G42				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n					M39				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p					M40				
1G			GXBL1G_TX_CH2n					H43				
1G			GXBL1G_TX_CH2p					H44				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n					N41				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p					N42				
1G			GXBL1G_TX_CH1n					J41				
1G			GXBL1G_TX_CH1p					J42				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n					P39				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p					P40				
1G			GXBL1G_TX_CH0n					K43				
1G			GXBL1G_TX_CH0p					K44				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n					R41				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p					R42				
1G			REFCLK_GXBL1G_CHBp					U37				
1G			REFCLK_GXBL1G_CHBn					U38				
1F			REFCLK_GXBL1F_CHTp					W37				
1F			REFCLK_GXBL1F_CHTn					W38				
1F			GXBL1F_TX_CH5n					M43				
1F			GXBL1F_TX_CH5p					M44				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					T39				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					T40				
1F			GXBL1F_TX_CH4n					P43				
1F			GXBL1F_TX_CH4p					P44				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					U41				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					U42				
1F			GXBL1F_TX_CH3n					T43				
1F			GXBL1F_TX_CH3p					T44				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					V39				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					V40				
1F			GXBL1F_TX_CH2n					V43				
1F			GXBL1F_TX_CH2p					V44				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					Y39				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					Y40				
1F			GXBL1F_TX_CH1n					Y43				
1F			GXBL1F_TX_CH1p					Y44				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					W41				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					W42				
1F			GXBL1F_TX_CH0n					AB43				
1F			GXBL1F_TX_CH0p					AB44				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					AA41				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					AA42				
1F			REFCLK_GXBL1F_CHBp					AA37				
1F			REFCLK_GXBL1F_CHBn					AA38				
1E			REFCLK_GXBL1E_CHTp					AC37				
1E			REFCLK_GXBL1E_CHTn					AC38				
1E			GXBL1E_TX_CH5n					AD43				
1E			GXBL1E_TX_CH5p					AD44				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					AB39				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					AB40				
1E			GXBL1E_TX_CH4n					AF43				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			GXBL1E_TX_CH4p					AF44				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					AC41				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					AC42				
1E			GXBL1E_TX_CH3n					AH43				
1E			GXBL1E_TX_CH3p					AH44				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					AD39				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					AD40				
1E			GXBL1E_TX_CH2n					AK43				
1E			GXBL1E_TX_CH2p					AK44				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					AE41				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					AE42				
1E			GXBL1E_TX_CH1n					AM43				
1E			GXBL1E_TX_CH1p					AM44				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					AF39				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					AF40				
1E			GXBL1E_TX_CH0n					AP43				
1E			GXBL1E_TX_CH0p					AP44				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					AG41				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					AG42				
1E			REFCLK GXBL1E_CHBp					AE37				
1E			REFCLK GXBL1E_CHBn					AE38				
1D			REFCLK GXBL1D_CHTp					AG37				
1D			REFCLK GXBL1D_CHTn					AG38				
1D			GXBL1D_TX_CH5n					AR41				
1D			GXBL1D_TX_CH5p					AR42				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					AH39				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					AH40				
1D			GXBL1D_TX_CH4n					AT43				
1D			GXBL1D_TX_CH4p					AT44				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					AJ41				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					AJ42				
1D			GXBL1D_TX_CH3n					AU41				
1D			GXBL1D_TX_CH3p					AU42				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					AK39				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					AK40				
1D			GXBL1D_TX_CH2n					AV43				
1D			GXBL1D_TX_CH2p					AV44				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AL41				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AL42				
1D			GXBL1D_TX_CH1n					AW41				
1D			GXBL1D_TX_CH1p					AW42				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AM39				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AM40				
1D			GXBL1D_TX_CH0n					AY43				
1D			GXBL1D_TX_CH0p					AY44				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AN41				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AN42				
1D			REFCLK GXBL1D_CHBp					AJ37				
1D			REFCLK GXBL1D_CHBn					AJ38				
1C			REFCLK GXBL1C_CHTp					AL37				
1C			REFCLK GXBL1C_CHTn					AL38				
1C			GXBL1C_TX_CH5n					BA41				
1C			GXBL1C_TX_CH5p					BA42				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AP39				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AP40				
1C			GXBL1C_TX_CH4n					BB43				
1C			GXBL1C_TX_CH4p					BB44				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					AT39				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					AT40				
1C			GXBL1C_TX_CH3n					BC41				
1C			GXBL1C_TX_CH3p					BC42				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					AV39				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					AV40				
1C			GXBL1C_TX_CH2n					BB39				
1C			GXBL1C_TX_CH2p					BB40				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					AY39				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					AY40				
1C			GXBL1C_TX_CH1n					BD39				
1C			GXBL1C_TX_CH1p					BD40				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					BA37				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					BA38				
1C			GXBL1C_TX_CH0n					BC37				
1C			GXBL1C_TX_CH0p					BC38				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					AW37				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					AW38				
1C			REFCLK GXBL1C_CHBp					AN37				
1C			REFCLK GXBL1C_CHBn					AN38				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	E26	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	D26	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	A27	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	A28	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	B27	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	B28	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	C26	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	B26	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	E27	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	D27	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	D28	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	C28	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	F27	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	F28	DQ2	DQ1	DQ0	DQ0


Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	G27	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	G28	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	G25	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	H25	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	J27	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	H28	DQS3	DQSn1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	K27	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	J28	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	H26	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	G26	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	A29	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	A30	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	C31	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	D31	DQS4	DQ2	DQ1	DQSn0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	B30	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	B31	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	C29	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	C30	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	E31	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	E30	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	D29	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	E29	DQ5	DQ2	DQSn1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	F29	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	F30	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	J29	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	K29	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	K30	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	K31	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	L29	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	L30	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	G31	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	G30	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	H30	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	H29	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	C33	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	D32	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	A32	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	B32	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	A33	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	B33	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	C34	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	D33	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	D34	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	C35	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	E34	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	E35	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	H35	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	G35	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	F33	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	G33	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	F32	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	E32	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	G32	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	H33	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	H34	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	J34	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	F35	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	F34	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	J31	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	H31	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	J32	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	J33	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	L33	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	M33	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	K34	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	L34	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	M35	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	N34	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	L32	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	M32	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	T32	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	U32	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	R31	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	R30	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	T33	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	U33	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	P33	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	N33	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	P34	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	R34	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	T35	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	T34	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No	AD31	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No	AC31	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes	AD32	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes	AD33	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No	AB31	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No	AB32	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes	AA32	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes	Y32	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No	W31	DQ17	DQ8	DQ4	DQ2

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2J	38	VREFB2JN0	IO			LVDS2J_5p	No	Y31	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes	AA30	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes	Y30	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No	AE32	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No	AE31	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes	AF30	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes	AE30	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No	AH33	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No	AG33	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes	AJ31	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes	AJ32	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No	AG32	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No	AF32	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes	AH31	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes	AG31	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No	V31	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No	U31	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes	W33	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes	W32	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No	Y34	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No	W34	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes	AA33	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes	AA34	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No	Y35	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No	W35	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes	V34	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes	V33	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No	AC34	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No	AD34	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes	AC33	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes	AB33	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No	AE34	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No	AD35	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes	AF34	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes	AF33	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO			LVDS2J_23n	No	AJ34	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No	AJ33	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes	AH35	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes	AH34	DQ23	DQ11	DQ5	DQ2
2I	47	VREFB2IN0	IO			LVDS2I_1n	No	AL34	DQ24	DQ12	DQ6	DQ3
2I	46	VREFB2IN0	IO			LVDS2I_1p	No	AK34	DQ24	DQ12	DQ6	DQ3
2I	45	VREFB2IN0	IO			LVDS2I_2n	Yes	AN30	DQSn24	DQ12	DQ6	DQ3
2I	44	VREFB2IN0	IO			LVDS2I_2p	Yes	AM30	DQS24	DQ12	DQ6	DQ3
2I	43	VREFB2IN0	IO			LVDS2I_3n	No	AL33	DQ24	DQ12	DQ6	DQ3
2I	42	VREFB2IN0	IO			LVDS2I_3p	No	AL32	DQ24	DQ12	DQ6	DQ3
2I	41	VREFB2IN0	IO			LVDS2I_4n	Yes	AM35	DQSn25	DQSn12/CQn12	DQ6	DQ3
2I	40	VREFB2IN0	IO			LVDS2I_4p	Yes	AN34	DQS25	DQS12/CQ12	DQ6	DQ3
2I	39	VREFB2IN0	IO			LVDS2I_5n	No	AK31	DQ25	DQ12	DQ6	DQ3
2I	38	VREFB2IN0	IO			LVDS2I_5p	No	AK32	DQ25	DQ12	DQ6	DQ3
2I	37	VREFB2IN0	IO			LVDS2I_6n	Yes	AM32	DQ25	DQ12	DQSn6/CQn6	DQ3
2I	36	VREFB2IN0	IO			LVDS2I_6p	Yes	AM31	DQ25	DQ12	DQS6/CQ6	DQ3
2I	35	VREFB2IN0	IO			LVDS2I_7n	No	AP32	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO			LVDS2I_7p	No	AR32	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO			LVDS2I_8n	Yes	AU37	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO			LVDS2I_8p	Yes	AT37	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO			LVDS2I_9n	No	AP33	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO			LVDS2I_9p	No	AP34	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes	AM33	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes	AN33	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO			LVDS2I_11n	No	AR35	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I		LVDS2I_11p	No	AR34	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n		LVDS2I_12n	Yes	AR37	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p		LVDS2I_12p	Yes	AR36	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n		LVDS2I_13n	No	AT33	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p		LVDS2I_13p	No	AU33	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO			LVDS2I_14n	Yes	AR31	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO			LVDS2I_14p	Yes	AT30	DQS28	DQ14	DQ7	DQS3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No	AU32	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No	AT32	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO			LVDS2I_16n	Yes	AT35	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO			LVDS2I_16p	Yes	AT34	DQS29	DQS14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO			LVDS2I_17n	No	AP31	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO			LVDS2I_17p	No	AN31	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO			LVDS2I_18n	Yes	AU30	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO			LVDS2I_18p	Yes	AU31	DQ29	DQ14	DQS7/CQ7	DQ3
2I	11	VREFB2IN0	IO			LVDS2I_19n	No	AU35	DQ30	DQ15	DQ7	DQ3
2I	10	VREFB2IN0	IO			LVDS2I_19p	No	AU36	DQ30	DQ15	DQ7	DQ3
2I	9	VREFB2IN0	IO			LVDS2I_20n	Yes	AV35	DQSn30	DQ15	DQ7	DQ3
2I	8	VREFB2IN0	IO			LVDS2I_20p	Yes	AV34	DQS30	DQ15	DQ7	DQ3
2I	7	VREFB2IN0	IO			LVDS2I_21n	No	AW34	DQ30	DQ15	DQ7	DQ3
2I	6	VREFB2IN0	IO			LVDS2I_21p	No	AY35	DQ30	DQ15	DQ7	DQ3
2I	5	VREFB2IN0	IO			LVDS2I_22n	Yes	AY32	DQSn31	DQSn15/CQn15	DQ7	DQ3
2I	4	VREFB2IN0	IO			LVDS2I_22p	Yes	AW32	DQS31	DQS15/CQ15	DQ7	DQ3
2I	3	VREFB2IN0	IO			LVDS2I_23n	No	AV33	DQ31	DQ15	DQ7	DQ3
2I	2	VREFB2IN0	IO			LVDS2I_23p	No	AW33	DQ31	DQ15	DQ7	DQ3
2I	1	VREFB2IN0	IO			LVDS2I_24n	Yes	BA35	DQ31	DQ15	DQ7	DQ3
2I	0	VREFB2IN0	IO			LVDS2I_24p	Yes	AY34	DQ31	DQ15	DQ7	DQ3
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	AU27	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	AU28	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	AP28	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	AR29	DQS56	DQ28	DQ14	DQ7

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	AT28	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	AT29	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	AW27	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	AY27	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	AY26	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	AW26	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	AV26	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	AU26	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	AV29	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	AV30	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	AV31	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AW31	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	AW28	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	AV28	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	AY31	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	AY30	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	AY29	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	AW29	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	BA29	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	BA30	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	BA32	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	BB32	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	BA33	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	BB33	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	BB31	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	BC31	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	BC33	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	BD33	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	BA34	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	BB35	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO	CLKUSR		LVDS2A_18n	Yes	BD32	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO	PR_REQUEST		LVDS2A_18p	Yes	BD31	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO	PR_READY		LVDS2A_19n	No	BB30	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO	nPERSTL0		LVDS2A_19p	No	BC30	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO	PR_DONE		LVDS2A_20n	Yes	BB28	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO	nPERSTL1		LVDS2A_20p	Yes	BC28	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO	PR_ERROR		LVDS2A_21n	No	BA28	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO	nPERSTR1		LVDS2A_21p	No	BA27	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO	CvP_CONFDONE		LVDS2A_22n	Yes	BB26	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO	nPERSTR0		LVDS2A_22p	Yes	BB27	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO	INIT_DONE		LVDS2A_23n	No	BC29	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO	DEV_OE		LVDS2A_23p	No	BD29	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO	CRC_ERROR		LVDS2A_24n	Yes	BD28	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO	DEV_CLRn		LVDS2A_24p	Yes	BD27	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO			LVDS3H_1n	No	C20	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO			LVDS3H_1p	No	B20	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO			LVDS3H_2n	Yes	C18	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO			LVDS3H_2p	Yes	D18	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO			LVDS3H_3n	No	C19	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO			LVDS3H_3p	No	D19	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HN0	IO			LVDS3H_4n	Yes	A19	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO			LVDS3H_4p	Yes	A20	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HN0	IO			LVDS3H_5n	No	B22	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO			LVDS3H_5p	No	A22	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO			LVDS3H_6n	Yes	C21	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO			LVDS3H_6p	Yes	B21	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HN0	IO			LVDS3H_7n	No	B23	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO			LVDS3H_7p	No	A23	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO			LVDS3H_8n	Yes	A24	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HN0	IO			LVDS3H_8p	Yes	A25	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO			LVDS3H_9n	No	D22	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO			LVDS3H_9p	No	D21	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n		LVDS3H_10n	Yes	B25	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1		LVDS3H_10p	Yes	C25	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HN0	IO			LVDS3H_11n	No	C24	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H		LVDS3H_11p	No	D24	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n		LVDS3H_12n	Yes	D23	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p		LVDS3H_12p	Yes	C23	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n		LVDS3H_13n	No	G23	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p		LVDS3H_13p	No	F23	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO			LVDS3H_14n	Yes	E21	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO			LVDS3H_14p	Yes	E22	DQS68	DQ34	DQ17	DQS8/CQ8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n		LVDS3H_15n	No	F24	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0		LVDS3H_15p	No	E24	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO			LVDS3H_16n	Yes	E25	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO			LVDS3H_16p	Yes	F25	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HN0	IO			LVDS3H_17n	No	G22	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO			LVDS3H_17p	No	F22	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO			LVDS3H_18n	Yes	H24	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO			LVDS3H_18p	Yes	H23	DQ69	DQ34	DQS17/CQ17	DQ8
3H	11	VREFB3HN0	IO			LVDS3H_19n	No	J23	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO			LVDS3H_19p	No	J24	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO			LVDS3H_20n	Yes	K25	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO			LVDS3H_20p	Yes	L25	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO			LVDS3H_21n	No	J26	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO			LVDS3H_21p	No	K26	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO			LVDS3H_22n	Yes	K24	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO			LVDS3H_22p	Yes	L24	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HN0	IO			LVDS3H_23n	No	M23	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO			LVDS3H_23p	No	L23	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO			LVDS3H_24n	Yes	L28	DQ71	DQ35	DQ17	DQ8

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3H	0	VREFB3HN0	IO			LVDS3H_24p	Yes	L27	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO			LVDS3G_1n	No	L22	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO			LVDS3G_1p	No	K22	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO			LVDS3G_2n	Yes	L19	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO			LVDS3G_2p	Yes	K20	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO			LVDS3G_3n	No	K19	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO			LVDS3G_3p	No	J19	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO			LVDS3G_4n	Yes	J21	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO			LVDS3G_4p	Yes	J22	DQS73	DQSn36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO			LVDS3G_5n	No	K21	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO			LVDS3G_5p	No	L20	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO			LVDS3G_6n	Yes	M20	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO			LVDS3G_6p	Yes	M21	DQ73	DQ36	DQSn18/CQ18	DQ9
3G	35	VREFB3GN0	IO			LVDS3G_7n	No	G20	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO			LVDS3G_7p	No	H20	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO			LVDS3G_8n	Yes	H21	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO			LVDS3G_8p	Yes	G21	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO			LVDS3G_9n	No	H18	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO			LVDS3G_9p	No	H19	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n		LVDS3G_10n	Yes	F20	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1		LVDS3G_10p	Yes	E20	DQS75	DQSn37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO			LVDS3G_11n	No	E19	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G		LVDS3G_11p	No	F19	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n		LVDS3G_12n	Yes	F18	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p		LVDS3G_12p	Yes	G18	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n		LVDS3G_13n	No	G17	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p		LVDS3G_13p	No	F17	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO			LVDS3G_14n	Yes	H15	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO			LVDS3G_14p	Yes	H14	DQS76	DQ38	DQ19	DQSn9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n		LVDS3G_15n	No	E17	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0		LVDS3G_15p	No	E16	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO			LVDS3G_16n	Yes	E15	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO			LVDS3G_16p	Yes	F15	DQS77	DQSn38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO			LVDS3G_17n	No	F14	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO			LVDS3G_17p	No	E14	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO			LVDS3G_18n	Yes	G15	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO			LVDS3G_18p	Yes	G16	DQ77	DQ38	DQSn19/CQ19	DQ9
3G	11	VREFB3GN0	IO			LVDS3G_19n	No	J18	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO			LVDS3G_19p	No	J17	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO			LVDS3G_20n	Yes	J16	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO			LVDS3G_20p	Yes	H16	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO			LVDS3G_21n	No	M18	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO			LVDS3G_21p	No	L18	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO			LVDS3G_22n	Yes	K17	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO			LVDS3G_22p	Yes	K16	DQS79	DQSn39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO			LVDS3G_23n	No	M17	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO			LVDS3G_23p	No	M16	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO			LVDS3G_24n	Yes	L15	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO			LVDS3G_24p	Yes	M15	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO			LVDS3F_1n	No	D16	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO			LVDS3F_1p	No	D17	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO			LVDS3F_2n	Yes	C16	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO			LVDS3F_2p	Yes	B16	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO			LVDS3F_3n	No	B15	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO			LVDS3F_3p	No	C15	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO			LVDS3F_4n	Yes	B18	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO			LVDS3F_4p	Yes	A18	DQS81	DQSn40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO			LVDS3F_5n	No	B17	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO			LVDS3F_5p	No	A17	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO			LVDS3F_6n	Yes	A14	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO			LVDS3F_6p	Yes	A15	DQ81	DQ40	DQSn20/CQ20	DQ10
3F	35	VREFB3FN0	IO			LVDS3F_7n	No	B13	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO			LVDS3F_7p	No	A13	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO			LVDS3F_8n	Yes	A12	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO			LVDS3F_8p	Yes	B12	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO			LVDS3F_9n	No	D11	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO			LVDS3F_9p	No	D12	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n		LVDS3F_10n	Yes	D14	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1		LVDS3F_10p	Yes	C14	DQS83	DQSn41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO			LVDS3F_11n	No	C13	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F		LVDS3F_11p	No	D13	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n		LVDS3F_12n	Yes	C10	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p		LVDS3F_12p	Yes	C11	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n		LVDS3F_13n	No	K12	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p		LVDS3F_13p	No	J12	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO			LVDS3F_14n	Yes	J14	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO			LVDS3F_14p	Yes	K14	DQS84	DQ42	DQ21	DQSn10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n		LVDS3F_15n	No	J11	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0		LVDS3F_15p	No	K11	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO			LVDS3F_16n	Yes	L14	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO			LVDS3F_16p	Yes	M13	DQS85	DQSn42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO			LVDS3F_17n	No	J13	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO			LVDS3F_17p	No	H13	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO			LVDS3F_18n	Yes	L13	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO			LVDS3F_18p	Yes	M12	DQ85	DQ42	DQSn21/CQ21	DQ10
3F	11	VREFB3FN0	IO			LVDS3F_19n	No	G13	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO			LVDS3F_19p	No	F13	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO			LVDS3F_20n	Yes	G12	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO			LVDS3F_20p	Yes	G11	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO			LVDS3F_21n	No	E10	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO			LVDS3F_21p	No	E11	DQ86	DQ43	DQ21	DQ10

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3F	5	VREFB3FN0	IO			LVDS3F_22n	Yes	F10	DQS87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO			LVDS3F_22p	Yes	G10	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO			LVDS3F_23n	No	F12	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO			LVDS3F_23p	No	E12	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO			LVDS3F_24n	Yes	H10	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO			LVDS3F_24p	Yes	H11	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3ENO	IO			LVDS3E_1n	No	R11	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3ENO	IO			LVDS3E_1p	No	R12	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3ENO	IO			LVDS3E_2n	Yes	M10	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3ENO	IO			LVDS3E_2p	Yes	N10	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3ENO	IO			LVDS3E_3n	No	M11	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3ENO	IO			LVDS3E_3p	No	L12	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3ENO	IO			LVDS3E_4n	Yes	P12	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3ENO	IO			LVDS3E_4p	Yes	P13	DQS89	DQS44/CQ44	DQ22	DQ11
3E	39	VREFB3ENO	IO			LVDS3E_5n	No	N14	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3ENO	IO			LVDS3E_5p	No	N13	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3ENO	IO			LVDS3E_6n	Yes	P11	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3ENO	IO			LVDS3E_6p	Yes	N11	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3ENO	IO			LVDS3E_7n	No	P16	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3ENO	IO			LVDS3E_7p	No	P17	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3ENO	IO			LVDS3E_8n	Yes	N15	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3ENO	IO			LVDS3E_8p	Yes	N16	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3ENO	IO			LVDS3E_9n	No	R15	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3ENO	IO			LVDS3E_9p	No	T14	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3ENO	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes	T13	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3ENO	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes	U13	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3ENO	IO			LVDS3E_11n	No	W14	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3ENO	IO	RZQ_3E		LVDS3E_11p	No	V14	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3ENO	IO	CLK_3E_1n		LVDS3E_12n	Yes	P14	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3ENO	IO	CLK_3E_1p		LVDS3E_12p	Yes	R14	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3ENO	IO	CLK_3E_0n		LVDS3E_13n	No	AC11	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3ENO	IO	CLK_3E_0p		LVDS3E_13p	No	AB11	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3ENO	IO			LVDS3E_14n	Yes	AD13	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3ENO	IO			LVDS3E_14p	Yes	AD14	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3ENO	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No	Y12	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3ENO	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No	AA13	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3ENO	IO			LVDS3E_16n	Yes	AB12	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3ENO	IO			LVDS3E_16p	Yes	AC13	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3ENO	IO			LVDS3E_17n	No	Y11	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3ENO	IO			LVDS3E_17p	No	Y10	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3ENO	IO			LVDS3E_18n	Yes	AA14	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3ENO	IO			LVDS3E_18p	Yes	AB13	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3ENO	IO			LVDS3E_19n	No	W13	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3ENO	IO			LVDS3E_19p	No	V13	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3ENO	IO			LVDS3E_20n	Yes	T10	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3ENO	IO			LVDS3E_20p	Yes	U11	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3ENO	IO			LVDS3E_21n	No	T12	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3ENO	IO			LVDS3E_21p	No	U12	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3ENO	IO			LVDS3E_22n	Yes	W10	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3ENO	IO			LVDS3E_22p	Yes	V11	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3ENO	IO			LVDS3E_23n	No	Y15	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3ENO	IO			LVDS3E_23p	No	Y14	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3ENO	IO			LVDS3E_24n	Yes	W11	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3ENO	IO			LVDS3E_24p	Yes	W12	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO			LVDS3D_1n	No	AK12	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO			LVDS3D_1p	No	AJ11	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO			LVDS3D_2n	Yes	AL13	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO			LVDS3D_2p	Yes	AL12	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO			LVDS3D_3n	No	AJ14	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO			LVDS3D_3p	No	AK14	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO			LVDS3D_4n	Yes	AH14	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO			LVDS3D_4p	Yes	AH13	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO			LVDS3D_5n	No	AH11	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO			LVDS3D_5p	No	AH10	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO			LVDS3D_6n	Yes	AJ13	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO			LVDS3D_6p	Yes	AJ12	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO			LVDS3D_7n	No	AE12	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO			LVDS3D_7p	No	AF12	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO			LVDS3D_8n	Yes	AG11	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO			LVDS3D_8p	Yes	AG12	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO			LVDS3D_9n	No	AF15	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO			LVDS3D_9p	No	AF14	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes	AD12	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes	AE11	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO			LVDS3D_11n	No	AE15	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D		LVDS3D_11p	No	AE14	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n		LVDS3D_12n	Yes	AG13	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p		LVDS3D_12p	Yes	AF13	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n		LVDS3D_13n	No	AL18	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p		LVDS3D_13p	No	AM18	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO			LVDS3D_14n	Yes	AK15	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO			LVDS3D_14p	Yes	AL15	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No	AN16	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No	AM16	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO			LVDS3D_16n	Yes	AL14	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO			LVDS3D_16p	Yes	AM15	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO			LVDS3D_17n	No	AL20	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO			LVDS3D_17p	No	AL19	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO			LVDS3D_18n	Yes	AL17	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO			LVDS3D_18p	Yes	AM17	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO			LVDS3D_19n	No	AN10	DQ102	DQ51	DQ25	DQ12

<div>  <div>Pin Information for the Intel® Arria® 10 10AX115 Device</div> <div>Version 1.6</div> </div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	10	VREFB3DN0	IO			LVDS3D_19p	No	AN11	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO			LVDS3D_20n	Yes	AK11	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO			LVDS3D_20p	Yes	AL10	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO			LVDS3D_21n	No	AM13	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No	AN13	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes	AN14	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes	AN15	DQS103	DQSn51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No	AR10	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No	AP11	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes	AM11	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes	AM12	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No	AV10	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No	AU10	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes	AU12	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes	AU11	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No	AV13	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No	AW13	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes	AY12	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes	AW12	DQS105	DQSn52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No	AW11	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No	AV11	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes	AY11	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes	AY10	DQ105	DQ52	DQSn26/CQ26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No	AT9	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No	AR9	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes	AU13	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes	AT13	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No	AT8	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No	AU8	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes	AR12	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes	AP12	DQS107	DQSn53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No	AP13	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No	AP14	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes	AR11	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes	AT10	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No	BA13	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No	BA12	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes	BD12	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes	BD13	DQS108	DQ54	DQ27	DQSn13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No	BA10	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No	BB10	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes	BB11	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes	BB12	DQS109	DQSn54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No	BD14	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No	BC14	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes	BB13	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes	BC13	DQ109	DQ54	DQSn27/CQ27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No	BB16	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No	BC16	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes	BD16	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes	BD17	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No	BA14	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No	BA15	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes	BC15	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes	BB15	DQS111	DQSn55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No	BD18	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No	BC18	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes	BB18	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes	BB17	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO			LVDS3B_1n	No	AP16	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No	AR16	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes	AT18	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes	AU18	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No	AU17	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No	AT17	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes	AP17	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes	AR17	DQS113	DQSn56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AR14	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No	AT14	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AT15	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes	AR15	DQ113	DQ56	DQSn28/CQ28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	AW17	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No	AY17	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AW14	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes	AV14	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	AW16	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	AY16	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	AU16	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	AV16	DQS115	DQSn57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	AY14	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AY15	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	AU15	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	AV15	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	AY19	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AY20	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AV18	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AW18	DQS116	DQ58	DQ29	DQSn14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	AY21	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	AW21	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	AV21	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes	AU21	DQS117	DQSn58/CQ58	DQ29	DQ14

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AW19	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No	AV19	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AU20	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes	AV20	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	AT20	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No	AT19	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	AR21	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes	AP21	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	AN19	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No	AP18	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	AP19	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes	AN20	DQS119	DQSn59/CQn59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	AR19	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No	AR20	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	AT22	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes	AR22	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AP23	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No	AP22	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AR25	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes	AT25	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AT24	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No	AT23	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AP24	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes	AR24	DQS121	DQSn60/CQn60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AR26	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No	AP26	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AU22	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes	AU23	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	AY25	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No	BA25	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	BA24	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes	AY24	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	AV25	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No	AU25	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	AV23	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes	AW23	DQS123	DQSn61/CQn61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	AY22	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	AW22	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	AW24	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes	AV24	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	BC24	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No	BD24	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	BB25	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes	BC25	DQS124	DQ62	DQ31	DQSn15/CQn15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	BD23	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No	BC23	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	BA23	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes	BB23	DQS125	DQSn62/CQn62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	BC26	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No	BD26	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	BB22	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes	BA22	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	BD22	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No	BD21	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	BD19	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes	BC19	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	BA20	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	BA19	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	BA18	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	BA17	DQS127	DQSn63/CQn63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	BB21	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	BC21	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	BB20	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes	BC20	DQ127	DQ63	DQ31	DQ15
4H			REFCLK_GXBR4H_CHTp					L8				
4H			REFCLK_GXBR4H_CHTn					L7				
4H			GXBR4H_TX_CH5n					A8				
4H			GXBR4H_TX_CH5p					A7				
4H			GXBR4H_RX_CH5n,GXBR4H_REFCLK5n					C8				
4H			GXBR4H_RX_CH5p,GXBR4H_REFCLK5p					C7				
4H			GXBR4H_TX_CH4n					B6				
4H			GXBR4H_TX_CH4p					B5				
4H			GXBR4H_RX_CH4n,GXBR4H_REFCLK4n					D6				
4H			GXBR4H_RX_CH4p,GXBR4H_REFCLK4p					D5				
4H			GXBR4H_TX_CH3n					A4				
4H			GXBR4H_TX_CH3p					A3				
4H			GXBR4H_RX_CH3n,GXBR4H_REFCLK3n					E8				
4H			GXBR4H_RX_CH3p,GXBR4H_REFCLK3p					E7				
4H			GXBR4H_TX_CH2n					B2				
4H			GXBR4H_TX_CH2p					B1				
4H			GXBR4H_RX_CH2n,GXBR4H_REFCLK2n					F6				
4H			GXBR4H_RX_CH2p,GXBR4H_REFCLK2p					F5				
4H			GXBR4H_TX_CH1n					C4				
4H			GXBR4H_TX_CH1p					C3				
4H			GXBR4H_RX_CH1n,GXBR4H_REFCLK1n					G8				
4H			GXBR4H_RX_CH1p,GXBR4H_REFCLK1p					G7				
4H			GXBR4H_TX_CH0n					D2				
4H			GXBR4H_TX_CH0p					D1				
4H			GXBR4H_RX_CH0n,GXBR4H_REFCLK0n					H6				
4H			GXBR4H_RX_CH0p,GXBR4H_REFCLK0p					H5				
4H			REFCLK_GXBR4H_CHBp					N8				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4H			REFCLK_GXBR4H_CHBn					N7				
4G			REFCLK_GXBR4G_CHTp					R8				
4G			REFCLK_GXBR4G_CHTn					R7				
4G			GXBR4G_TX_CH5n					E4				
4G			GXBR4G_TX_CH5p					E3				
4G			GXBR4G_RX_CH5n,GXBR4G_REFCLK5n					K6				
4G			GXBR4G_RX_CH5p,GXBR4G_REFCLK5p					K5				
4G			GXBR4G_TX_CH4n					F2				
4G			GXBR4G_TX_CH4p					F1				
4G			GXBR4G_RX_CH4n,GXBR4G_REFCLK4n					L4				
4G			GXBR4G_RX_CH4p,GXBR4G_REFCLK4p					L3				
4G			GXBR4G_TX_CH3n					G4				
4G			GXBR4G_TX_CH3p					G3				
4G			GXBR4G_RX_CH3n,GXBR4G_REFCLK3n					M6				
4G			GXBR4G_RX_CH3p,GXBR4G_REFCLK3p					M5				
4G			GXBR4G_TX_CH2n					H2				
4G			GXBR4G_TX_CH2p					H1				
4G			GXBR4G_RX_CH2n,GXBR4G_REFCLK2n					N4				
4G			GXBR4G_RX_CH2p,GXBR4G_REFCLK2p					N3				
4G			GXBR4G_TX_CH1n					J4				
4G			GXBR4G_TX_CH1p					J3				
4G			GXBR4G_RX_CH1n,GXBR4G_REFCLK1n					P6				
4G			GXBR4G_RX_CH1p,GXBR4G_REFCLK1p					P5				
4G			GXBR4G_TX_CH0n					K2				
4G			GXBR4G_TX_CH0p					K1				
4G			GXBR4G_RX_CH0n,GXBR4G_REFCLK0n					R4				
4G			GXBR4G_RX_CH0p,GXBR4G_REFCLK0p					R3				
4G			REFCLK_GXBR4G_CHBp					U8				
4G			REFCLK_GXBR4G_CHBn					U7				
4F			REFCLK_GXBR4F_CHTp					W8				
4F			REFCLK_GXBR4F_CHTn					W7				
4F			GXBR4F_TX_CH5n					M2				
4F			GXBR4F_TX_CH5p					M1				
4F			GXBR4F_RX_CH5n,GXBR4F_REFCLK5n					T6				
4F			GXBR4F_RX_CH5p,GXBR4F_REFCLK5p					T5				
4F			GXBR4F_TX_CH4n					P2				
4F			GXBR4F_TX_CH4p					P1				
4F			GXBR4F_RX_CH4n,GXBR4F_REFCLK4n					U4				
4F			GXBR4F_RX_CH4p,GXBR4F_REFCLK4p					U3				
4F			GXBR4F_TX_CH3n					T2				
4F			GXBR4F_TX_CH3p					T1				
4F			GXBR4F_RX_CH3n,GXBR4F_REFCLK3n					V6				
4F			GXBR4F_RX_CH3p,GXBR4F_REFCLK3p					V5				
4F			GXBR4F_TX_CH2n					V2				
4F			GXBR4F_TX_CH2p					V1				
4F			GXBR4F_RX_CH2n,GXBR4F_REFCLK2n					Y6				
4F			GXBR4F_RX_CH2p,GXBR4F_REFCLK2p					Y5				
4F			GXBR4F_TX_CH1n					Y2				
4F			GXBR4F_TX_CH1p					Y1				
4F			GXBR4F_RX_CH1n,GXBR4F_REFCLK1n					W4				
4F			GXBR4F_RX_CH1p,GXBR4F_REFCLK1p					W3				
4F			GXBR4F_TX_CH0n					AB2				
4F			GXBR4F_TX_CH0p					AB1				
4F			GXBR4F_RX_CH0n,GXBR4F_REFCLK0n					AA4				
4F			GXBR4F_RX_CH0p,GXBR4F_REFCLK0p					AA3				
4F			REFCLK_GXBR4F_CHBp					AA8				
4F			REFCLK_GXBR4F_CHBn					AA7				
4E			REFCLK_GXBR4E_CHTp					AC8				
4E			REFCLK_GXBR4E_CHTn					AC7				
4E			GXBR4E_TX_CH5n					AD2				
4E			GXBR4E_TX_CH5p					AD1				
4E			GXBR4E_RX_CH5n,GXBR4E_REFCLK5n					AB6				
4E			GXBR4E_RX_CH5p,GXBR4E_REFCLK5p					AB5				
4E			GXBR4E_TX_CH4n					AF2				
4E			GXBR4E_TX_CH4p					AF1				
4E			GXBR4E_RX_CH4n,GXBR4E_REFCLK4n					AC4				
4E			GXBR4E_RX_CH4p,GXBR4E_REFCLK4p					AC3				
4E			GXBR4E_TX_CH3n					AH2				
4E			GXBR4E_TX_CH3p					AH1				
4E			GXBR4E_RX_CH3n,GXBR4E_REFCLK3n					AD6				
4E			GXBR4E_RX_CH3p,GXBR4E_REFCLK3p					AD5				
4E			GXBR4E_TX_CH2n					AK2				
4E			GXBR4E_TX_CH2p					AK1				
4E			GXBR4E_RX_CH2n,GXBR4E_REFCLK2n					AE4				
4E			GXBR4E_RX_CH2p,GXBR4E_REFCLK2p					AE3				
4E			GXBR4E_TX_CH1n					AM2				
4E			GXBR4E_TX_CH1p					AM1				
4E			GXBR4E_RX_CH1n,GXBR4E_REFCLK1n					AF6				
4E			GXBR4E_RX_CH1p,GXBR4E_REFCLK1p					AF5				
4E			GXBR4E_TX_CH0n					AP2				
4E			GXBR4E_TX_CH0p					AP1				
4E			GXBR4E_RX_CH0n,GXBR4E_REFCLK0n					AG4				
4E			GXBR4E_RX_CH0p,GXBR4E_REFCLK0p					AG3				
4E			REFCLK_GXBR4E_CHBp					AE8				
4E			REFCLK_GXBR4E_CHBn					AE7				
4D			REFCLK_GXBR4D_CHTp					AG8				
4D			REFCLK_GXBR4D_CHTn					AG7				
4D			GXBR4D_TX_CH5n					AR4				
4D			GXBR4D_TX_CH5p					AR3				
4D			GXBR4D_RX_CH5n,GXBR4D_REFCLK5n					AH6				
4D			GXBR4D_RX_CH5p,GXBR4D_REFCLK5p					AH5				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4D			GXBR4D_TX_CH4n					AT2				
4D			GXBR4D_TX_CH4p					AT1				
4D			GXBR4D_RX_CH4n,GXBR4D_REFCLK4n					AJ4				
4D			GXBR4D_RX_CH4p,GXBR4D_REFCLK4p					AJ3				
4D			GXBR4D_TX_CH3n					AU4				
4D			GXBR4D_TX_CH3p					AU3				
4D			GXBR4D_RX_CH3n,GXBR4D_REFCLK3n					AK6				
4D			GXBR4D_RX_CH3p,GXBR4D_REFCLK3p					AK5				
4D			GXBR4D_TX_CH2n					AV2				
4D			GXBR4D_TX_CH2p					AV1				
4D			GXBR4D_RX_CH2n,GXBR4D_REFCLK2n					AL4				
4D			GXBR4D_RX_CH2p,GXBR4D_REFCLK2p					AL3				
4D			GXBR4D_TX_CH1n					AW4				
4D			GXBR4D_TX_CH1p					AW3				
4D			GXBR4D_RX_CH1n,GXBR4D_REFCLK1n					AM6				
4D			GXBR4D_RX_CH1p,GXBR4D_REFCLK1p					AM5				
4D			GXBR4D_TX_CH0n					AY2				
4D			GXBR4D_TX_CH0p					AY1				
4D			GXBR4D_RX_CH0n,GXBR4D_REFCLK0n					AN4				
4D			GXBR4D_RX_CH0p,GXBR4D_REFCLK0p					AN3				
4D			REFCLK_GXBR4D_CHBp					AJ8				
4D			REFCLK_GXBR4D_CHBn					AJ7				
4C			REFCLK_GXBR4C_CHTp					AL8				
4C			REFCLK_GXBR4C_CHTn					AL7				
4C			GXBR4C_TX_CH5n					BA4				
4C			GXBR4C_TX_CH5p					BA3				
4C			GXBR4C_RX_CH5n,GXBR4C_REFCLK5n					AP6				
4C			GXBR4C_RX_CH5p,GXBR4C_REFCLK5p					AP5				
4C			GXBR4C_TX_CH4n					BB2				
4C			GXBR4C_TX_CH4p					BB1				
4C			GXBR4C_RX_CH4n,GXBR4C_REFCLK4n					AT6				
4C			GXBR4C_RX_CH4p,GXBR4C_REFCLK4p					AT5				
4C			GXBR4C_TX_CH3n					BC4				
4C			GXBR4C_TX_CH3p					BC3				
4C			GXBR4C_RX_CH3n,GXBR4C_REFCLK3n					AV6				
4C			GXBR4C_RX_CH3p,GXBR4C_REFCLK3p					AV5				
4C			GXBR4C_TX_CH2n					BB6				
4C			GXBR4C_TX_CH2p					BB5				
4C			GXBR4C_RX_CH2n,GXBR4C_REFCLK2n					AY6				
4C			GXBR4C_RX_CH2p,GXBR4C_REFCLK2p					AY5				
4C			GXBR4C_TX_CH1n					BD6				
4C			GXBR4C_TX_CH1p					BD5				
4C			GXBR4C_RX_CH1n,GXBR4C_REFCLK1n					BA8				
4C			GXBR4C_RX_CH1p,GXBR4C_REFCLK1p					BA7				
4C			GXBR4C_TX_CH0n					BC8				
4C			GXBR4C_TX_CH0p					BC7				
4C			GXBR4C_RX_CH0n,GXBR4C_REFCLK0n					AW8				
4C			GXBR4C_RX_CH0p,GXBR4C_REFCLK0p					AW7				
4C			REFCLK_GXBR4C_CHBp					AN8				
4C			REFCLK_GXBR4C_CHBn					AN7				
			GND					AM22				
CSS			TDO		TDO			AL29				
CSS			TMS		TMS			AL24				
CSS			TRST		TRST			AL30				
CSS			TCK		TCK			AM21				
CSS			TDI		TDI			AN21				
CSS			MSEL0		MSEL0			AN26				
CSS			MSEL1		MSEL1			AL28				
CSS			MSEL2		MSEL2			AK25				
CSS			nIO_PULLUP		nIO_PULLUP			AN24				
CSS			nSTATUS		nSTATUS			AN29				
CSS			CONF_DONE		CONF_DONE			AP27				
			GND					AM28				
CSS			nCONFIG		nCONFIG			AK30				
CSS			nCE		nCE			AM25				
CSS			nCSO0		nCSO0			AM23				
CSS			nCSO1		nCSO1			AN25				
CSS			nCSO2		nCSO2			AM27				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AL27				
CSS			AS_DATA1		AS_DATA1			AL22				
CSS			AS_DATA2		AS_DATA2			AM20				
CSS			AS_DATA3		AS_DATA3			AL25				
CSS			DCLK		DCLK			AM26				
			ADCGND					R20				
			GND					A11				
			GND					A16				
			GND					A2				
			GND					A21				
			GND					A26				
			GND					A31				
			GND					A34				
			GND					A36				
			GND					A39				
			GND					A40				
			GND					A43				
			GND					A5				
			GND					A6				
			GND					A9				
			GND					AA1				
			GND					AA10				
			GND					AA11				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AA16				
			GND					AA2				
			GND					AA21				
			GND					AA26				
			GND					AA35				
			GND					AA36				
			GND					AA39				
			GND					AA40				
			GND					AA43				
			GND					AA44				
			GND					AA5				
			GND					AA6				
			GND					AA9				
			GND					AB10				
			GND					AB19				
			GND					AB24				
			GND					AB29				
			GND					AB3				
			GND					AB34				
			GND					AB35				
			GND					AB4				
			GND					AB41				
			GND					AB42				
			GND					AC1				
			GND					AC10				
			GND					AC17				
			GND					AC2				
			GND					AC22				
			GND					AC27				
			GND					AC32				
			GND					AC35				
			GND					AC36				
			GND					AC39				
			GND					AC40				
			GND					AC43				
			GND					AC44				
			GND					AC5				
			GND					AC6				
			GND					AC9				
			GND					AD10				
			GND					AD20				
			GND					AD25				
			GND					AD3				
			GND					AD36				
			GND					AD4				
			GND					AD41				
			GND					AD42				
			GND					AD9				
			GND					AE1				
			GND					AE10				
			GND					AE18				
			GND					AE2				
			GND					AE23				
			GND					AE28				
			GND					AE33				
			GND					AE35				
			GND					AE36				
			GND					AE39				
			GND					AE40				
			GND					AE43				
			GND					AE44				
			GND					AE5				
			GND					AE6				
			GND					AE9				
			GND					AF10				
			GND					AF11				
			GND					AF16				
			GND					AF21				
			GND					AF26				
			GND					AF3				
			GND					AF31				
			GND					AF35				
			GND					AF4				
			GND					AF41				
			GND					AF42				
			GND					AG1				
			GND					AG10				
			GND					AG14				
			GND					AG19				
			GND					AG2				
			GND					AG24				
			GND					AG29				
			GND					AG34				
			GND					AG35				
			GND					AG36				
			GND					AG39				
			GND					AG40				
			GND					AG43				
			GND					AG44				
			GND					AG5				
			GND					AG6				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AG9				
			GND					AH12				
			GND					AH17				
			GND					AH22				
			GND					AH27				
			GND					AH3				
			GND					AH32				
			GND					AH36				
			GND					AH4				
			GND					AH41				
			GND					AH42				
			GND					AH9				
			GND					AJ1				
			GND					AJ10				
			GND					AJ15				
			GND					AJ2				
			GND					AJ20				
			GND					AJ25				
			GND					AJ30				
			GND					AJ35				
			GND					AJ36				
			GND					AJ39				
			GND					AJ40				
			GND					AJ43				
			GND					AJ44				
			GND					AJ5				
			GND					AJ6				
			GND					AJ9				
			GND					AK10				
			GND					AK13				
			GND					AK18				
			GND					AK23				
			GND					AK28				
			GND					AK3				
			GND					AK35				
			GND					AK4				
			GND					AK41				
			GND					AK42				
			GND					AL1				
			GND					AL11				
			GND					AL16				
			GND					AL2				
			GND					AL21				
			GND					AL26				
			GND					AL35				
			GND					AL36				
			GND					AL39				
			GND					AL40				
			GND					AL43				
			GND					AL44				
			GND					AL5				
			GND					AL6				
			GND					AL9				
			GND					AM10				
			GND					AM14				
			GND					AM24				
			GND					AM3				
			GND					AM34				
			GND					AM36				
			GND					AM4				
			GND					AM41				
			GND					AM42				
			GND					AM9				
			GND					AN1				
			GND					AN17				
			GND					AN2				
			GND					AN22				
			GND					AN27				
			GND					AN32				
			GND					AN35				
			GND					AN36				
			GND					AN39				
			GND					AN40				
			GND					AN43				
			GND					AN44				
			GND					AN5				
			GND					AN6				
			GND					AN9				
			GND					AP10				
			GND					AP25				
			GND					AP3				
			GND					AP30				
			GND					AP35				
			GND					AP36				
			GND					AP37				
			GND					AP38				
			GND					AP4				
			GND					AP41				
			GND					AP42				
			GND					AP7				
			GND					AP8				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AP9				
			GND					AR1				
			GND					AR2				
			GND					AR33				
			GND					AR38				
			GND					AR39				
			GND					AR40				
			GND					AR43				
			GND					AR44				
			GND					AR5				
			GND					AR6				
			GND					AR7				
			GND					AR8				
			GND					AT11				
			GND					AT16				
			GND					AT21				
			GND					AT26				
			GND					AT3				
			GND					AT31				
			GND					AT36				
			GND					AT38				
			GND					AT4				
			GND					AT41				
			GND					AT42				
			GND					AT7				
			GND					AU1				
			GND					AU14				
			GND					AU19				
			GND					AU2				
			GND					AU34				
			GND					AU38				
			GND					AU39				
			GND					AU40				
			GND					AU43				
			GND					AU44				
			GND					AU5				
			GND					AU6				
			GND					AU7				
			GND					AU9				
			GND					AV12				
			GND					AV17				
			GND					AV3				
			GND					AV32				
			GND					AV36				
			GND					AV37				
			GND					AV38				
			GND					AV4				
			GND					AV41				
			GND					AV42				
			GND					AV7				
			GND					AV8				
			GND					AV9				
			GND					AW1				
			GND					AW10				
			GND					AW15				
			GND					AW2				
			GND					AW20				
			GND					AW25				
			GND					AW30				
			GND					AW35				
			GND					AW36				
			GND					AW39				
			GND					AW40				
			GND					AW43				
			GND					AW44				
			GND					AW5				
			GND					AW6				
			GND					AW9				
			GND					AY13				
			GND					AY18				
			GND					AY23				
			GND					AY28				
			GND					AY3				
			GND					AY33				
			GND					AY36				
			GND					AY37				
			GND					AY38				
			GND					AY4				
			GND					AY41				
			GND					AY42				
			GND					AY7				
			GND					AY8				
			GND					AY9				
			GND					B10				
			GND					B11				
			GND					B14				
			GND					B19				
			GND					B24				
			GND					B29				
			GND					B3				
			GND					B34				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					B35				
			GND					B36				
			GND					B37				
			GND					B38				
			GND					B4				
			GND					B41				
			GND					B42				
			GND					B7				
			GND					B8				
			GND					B9				
			GND					BA1				
			GND					BA11				
			GND					BA16				
			GND					BA2				
			GND					BA21				
			GND					BA26				
			GND					BA31				
			GND					BA36				
			GND					BA39				
			GND					BA40				
			GND					BA43				
			GND					BA44				
			GND					BA5				
			GND					BA6				
			GND					BA9				
			GND					BB14				
			GND					BB19				
			GND					BB24				
			GND					BB29				
			GND					BB3				
			GND					BB34				
			GND					BB36				
			GND					BB37				
			GND					BB38				
			GND					BB4				
			GND					BB41				
			GND					BB42				
			GND					BB7				
			GND					BB8				
			GND					BB9				
			GND					BC1				
			GND					BC12				
			GND					BC17				
			GND					BC2				
			GND					BC22				
			GND					BC27				
			GND					BC32				
			GND					BC34				
			GND					BC36				
			GND					BC39				
			GND					BC40				
			GND					BC43				
			GND					BC44				
			GND					BC5				
			GND					BC6				
			GND					BC9				
			GND					BD11				
			GND					BD15				
			GND					BD2				
			GND					BD20				
			GND					BD25				
			GND					BD3				
			GND					BD30				
			GND					BD36				
			GND					BD37				
			GND					BD38				
			GND					BD4				
			GND					BD41				
			GND					BD42				
			GND					BD43				
			GND					BD7				
			GND					BD8				
			GND					BD9				
			GND					C1				
			GND					C12				
			GND					C17				
			GND					C2				
			GND					C22				
			GND					C27				
			GND					C32				
			GND					C36				
			GND					C39				
			GND					C40				
			GND					C43				
			GND					C44				
			GND					C5				
			GND					C6				
			GND					C9				
			GND					D10				
			GND					D15				
			GND					D20				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					D25				
			GND					D3				
			GND					D30				
			GND					D35				
			GND					D36				
			GND					D37				
			GND					D38				
			GND					D4				
			GND					D41				
			GND					D42				
			GND					D7				
			GND					D8				
			GND					D9				
			GND					E1				
			GND					E13				
			GND					E18				
			GND					E2				
			GND					E23				
			GND					E28				
			GND					E33				
			GND					E36				
			GND					E39				
			GND					E40				
			GND					E43				
			GND					E44				
			GND					E5				
			GND					E6				
			GND					E9				
			GND					F11				
			GND					F16				
			GND					F21				
			GND					F26				
			GND					F3				
			GND					F31				
			GND					F36				
			GND					F37				
			GND					F38				
			GND					F4				
			GND					F41				
			GND					F42				
			GND					F7				
			GND					F8				
			GND					F9				
			GND					G1				
			GND					G14				
			GND					G19				
			GND					G2				
			GND					G24				
			GND					G29				
			GND					G34				
			GND					G36				
			GND					G39				
			GND					G40				
			GND					G43				
			GND					G44				
			GND					G5				
			GND					G6				
			GND					G9				
			GND					H12				
			GND					H17				
			GND					H22				
			GND					H27				
			GND					H3				
			GND					H32				
			GND					H36				
			GND					H37				
			GND					H38				
			GND					H4				
			GND					H41				
			GND					H42				
			GND					H7				
			GND					H8				
			GND					H9				
			GND					J1				
			GND					J10				
			GND					J15				
			GND					J2				
			GND					J20				
			GND					J35				
			GND					J36				
			GND					J37				
			GND					J38				
			GND					J39				
			GND					J40				
			GND					J43				
			GND					J44				
			GND					J5				
			GND					J6				
			GND					J7				
			GND					J8				
			GND					J9				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					K10				
			GND					K3				
			GND					K33				
			GND					K35				
			GND					K4				
			GND					K41				
			GND					K42				
			GND					L1				
			GND					L10				
			GND					L11				
			GND					L16				
			GND					L2				
			GND					L26				
			GND					L31				
			GND					L35				
			GND					L36				
			GND					L39				
			GND					L40				
			GND					L43				
			GND					L44				
			GND					L5				
			GND					L6				
			GND					L9				
			GND					M3				
			GND					M34				
			GND					M36				
			GND					M4				
			GND					M41				
			GND					M42				
			GND					M9				
			GND					N1				
			GND					N17				
			GND					N2				
			GND					N22				
			GND					N27				
			GND					N32				
			GND					N35				
			GND					N36				
			GND					N39				
			GND					N40				
			GND					N43				
			GND					N44				
			GND					N5				
			GND					N6				
			GND					N9				
			GND					P10				
			GND					P15				
			GND					P20				
			GND					P25				
			GND					P3				
			GND					P35				
			GND					P4				
			GND					P41				
			GND					P42				
			GND					R1				
			GND					R10				
			GND					R13				
			GND					R18				
			GND					R2				
			GND					R23				
			GND					R28				
			GND					R33				
			GND					R35				
			GND					R36				
			GND					R39				
			GND					R40				
			GND					R43				
			GND					R44				
			GND					R5				
			GND					R6				
			GND					R9				
			GND					T11				
			GND					T16				
			GND					T21				
			GND					T26				
			GND					T3				
			GND					T36				
			GND					T4				
			GND					T41				
			GND					T42				
			GND					T9				
			GND					U1				
			GND					U10				
			GND					U14				
			GND					U19				
			GND					U2				
			GND					U24				
			GND					U29				
			GND					U34				
			GND					U35				
			GND					U36				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					U39				
			GND					U40				
			GND					U43				
			GND					U44				
			GND					U5				
			GND					U6				
			GND					U9				
			GND					V10				
			GND					V12				
			GND					V17				
			GND					V22				
			GND					V27				
			GND					V3				
			GND					V35				
			GND					V4				
			GND					V41				
			GND					V42				
			GND					W1				
			GND					W2				
			GND					W20				
			GND					W25				
			GND					W36				
			GND					W39				
			GND					W40				
			GND					W43				
			GND					W44				
			GND					W5				
			GND					W6				
			GND					W9				
			GND					Y18				
			GND					Y23				
			GND					Y28				
			GND					Y3				
			GND					Y33				
			GND					Y36				
			GND					Y4				
			GND					Y41				
			GND					Y42				
			GND					Y9				
			GNDSENSE					AF23				
			VCC					AA15				
			VCC					AA17				
			VCC					AA18				
			VCC					AA19				
			VCC					AA20				
			VCC					AA22				
			VCC					AA23				
			VCC					AA24				
			VCC					AA25				
			VCC					AA27				
			VCC					AA28				
			VCC					AA29				
			VCC					AB15				
			VCC					AB16				
			VCC					AB17				
			VCC					AB18				
			VCC					AB20				
			VCC					AB21				
			VCC					AB25				
			VCC					AB26				
			VCC					AB27				
			VCC					AB28				
			VCC					AC14				
			VCC					AC19				
			VCC					AC20				
			VCC					AC24				
			VCC					AC25				
			VCC					AC30				
			VCC					AD16				
			VCC					AD17				
			VCC					AD18				
			VCC					AD19				
			VCC					AD21				
			VCC					AD22				
			VCC					AD23				
			VCC					AD24				
			VCC					AD26				
			VCC					AD27				
			VCC					AD28				
			VCC					AD29				
			VCC					AE16				
			VCC					AE17				
			VCC					AE19				
			VCC					AE20				
			VCC					AE21				
			VCC					AE22				
			VCC					AE24				
			VCC					AE25				
			VCC					AE26				
			VCC					AE27				
			VCC					AE29				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					AF17				
			VCC					AF18				
			VCC					AF19				
			VCC					AF20				
			VCC					AF24				
			VCC					AF25				
			VCC					AF27				
			VCC					AF28				
			VCC					AF29				
			VCC					AG16				
			VCC					AG17				
			VCC					AG18				
			VCC					AG22				
			VCC					AG23				
			VCC					AG26				
			VCC					AG27				
			VCC					AG28				
			VCC					AH18				
			VCC					AH23				
			VCC					AH24				
			VCC					AH26				
			VCC					AH29				
			VCC					AJ16				
			VCC					AJ17				
			VCC					AJ18				
			VCC					AJ19				
			VCC					AJ21				
			VCC					AJ23				
			VCC					AJ24				
			VCC					AJ26				
			VCC					AJ27				
			VCC					AJ28				
			VCC					AJ29				
			VCC					AK16				
			VCC					AK17				
			VCC					AK19				
			VCC					AK20				
			VCC					AK24				
			VCC					AK26				
			VCC					AK27				
			VCC					AK29				
			VCC					R16				
			VCC					R17				
			VCC					R19				
			VCC					R22				
			VCC					R24				
			VCC					R27				
			VCC					R29				
			VCC					T15				
			VCC					T17				
			VCC					T18				
			VCC					T19				
			VCC					T20				
			VCC					T22				
			VCC					T23				
			VCC					T24				
			VCC					T25				
			VCC					T27				
			VCC					T28				
			VCC					T29				
			VCC					T30				
			VCC					U17				
			VCC					U27				
			VCC					V16				
			VCC					V18				
			VCC					V19				
			VCC					V23				
			VCC					V24				
			VCC					V28				
			VCC					V29				
			VCC					W16				
			VCC					W17				
			VCC					W18				
			VCC					W19				
			VCC					W21				
			VCC					W22				
			VCC					W23				
			VCC					W24				
			VCC					W26				
			VCC					W27				
			VCC					W28				
			VCC					W29				
			VCC					Y16				
			VCC					Y17				
			VCC					Y19				
			VCC					Y20				
			VCC					Y21				
			VCC					Y22				
			VCC					Y24				
			VCC					Y25				
			VCC					Y26				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					Y27				
			VCC					Y29				
			VCCPT					AH16				
			VCCPT					AH19				
			VCCPT					AH21				
			VCCPT					AH25				
			VCCPT					AH28				
			VCCPT					AJ22				
			VCCPT					U16				
			VCCPT					U18				
			VCCPT					U20				
			VCCPT					U22				
			VCCPT					U23				
			VCCPT					U26				
			VCCPT					U28				
			DNU					BD34				
			DNU					BC35				
			DNU					BC11				
			DNU					BC10				
			DNU					AN28				
			DNU					AP29				
			DNU					AR27				
			VCCPGM					AK21				
			VCCPGM					AK22				
			TEMPDIODEn					N21				
			TEMPDIODEp					N20				
			VCCBAT					AL23				
			VCCA_PLL					AB22				
			VCCA_PLL					AB23				
			VCCIO2A					AR28				
			VCCIO2A					AU29				
			VCCIO2A					AV27				
			VCCIO2I					AK33				
			VCCIO2I					AL31				
			VCCIO2I					AM29				
			VCCIO2J					AA31				
			VCCIO2J					AD30				
			VCCIO2J					W30				
			VCCIO2K					P30				
			VCCIO2K					T31				
			VCCIO2K					V32				
			VCCIO2L					J30				
			VCCIO2L					K28				
			VCCIO2L					M29				
			VCCIO3A					AR23				
			VCCIO3A					AU24				
			VCCIO3A					AV22				
			VCCIO3B					AM19				
			VCCIO3B					AP20				
			VCCIO3B					AR18				
			VCCIO3C					AN12				
			VCCIO3C					AP15				
			VCCIO3C					AR13				
			VCCIO3D					AC12				
			VCCIO3D					AD15				
			VCCIO3D					AE13				
			VCCIO3E					AB14				
			VCCIO3E					W15				
			VCCIO3E					Y13				
			VCCIO3F					K13				
			VCCIO3F					M14				
			VCCIO3F					N12				
			VCCIO3G					K18				
			VCCIO3G					L21				
			VCCIO3G					M19				
			VCCIO3H					J25				
			VCCIO3H					K23				
			VCCIO3H					M24				
2A		VREFB2AN0	VREFB2AN0					AT27				
2I		VREFB2IN0	VREFB2IN0					AR30				
2J		VREFB2JN0	VREFB2JN0					AB30				
2K		VREFB2KN0	VREFB2KN0					R32				
2L		VREFB2LN0	VREFB2LN0					K32				
3A		VREFB3AN0	VREFB3AN0					AN23				
3B		VREFB3BN0	VREFB3BN0					AN18				
3C		VREFB3CN0	VREFB3CN0					AT12				
3D		VREFB3DN0	VREFB3DN0					AD11				
3E		VREFB3EN0	VREFB3EN0					AA12				
3F		VREFB3FN0	VREFB3FN0					K15				
3G		VREFB3GN0	VREFB3GN0					L17				
3H		VREFB3HN0	VREFB3HN0					M22				
			VREFN_ADC					P21				
			VREFP_ADC					R21				
			NC					R25				
			NC					R26				
			NC					P22				
			NC					P23				
			NC					P24				
			NC					P26				
			NC					P27				
			NC					P28				

Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC					P29				
			NC					P31				
			NC					P32				
			NC					N23				
			NC					N24				
			NC					N25				
			NC					N26				
			NC					N28				
			NC					N29				
			NC					N30				
			NC					N31				
			NC					M25				
			NC					M26				
			NC					M27				
			NC					M28				
			NC					M30				
			NC					M31				
			VCCCH_GXBL					AB36				
			VCCCH_GXBL					AF36				
			VCCCH_GXBL					AK36				
			VCCCH_GXBL					K36				
			VCCCH_GXBL					P36				
			VCCCH_GXBL					V36				
			VCCCH_GXBR					AB9				
			VCCCH_GXBR					AF9				
			VCCCH_GXBR					AK9				
			VCCCH_GXBR					K9				
			VCCCH_GXBR					P9				
			VCCCH_GXBR					V9				
			VCCR_GXBL1C					AM37				
			VCCR_GXBL1C					AM38				
			VCCR_GXBL1D					AH37				
			VCCR_GXBL1D					AH38				
			VCCR_GXBL1E					AD37				
			VCCR_GXBL1E					AD38				
			VCCR_GXBL1F					Y37				
			VCCR_GXBL1F					Y38				
			VCCR_GXBL1G					T37				
			VCCR_GXBL1G					T38				
			VCCR_GXBL1H					M37				
			VCCR_GXBL1H					M38				
			VCCR_GXBR4C					AM7				
			VCCR_GXBR4C					AM8				
			VCCR_GXBR4D					AH7				
			VCCR_GXBR4D					AH8				
			VCCR_GXBR4E					AD7				
			VCCR_GXBR4E					AD8				
			VCCR_GXBR4F					Y7				
			VCCR_GXBR4F					Y8				
			VCCR_GXBR4G					T7				
			VCCR_GXBR4G					T8				
			VCCR_GXBR4H					M7				
			VCCR_GXBR4H					M8				
			VCCT_GXBL1C					AK37				
			VCCT_GXBL1C					AK38				
			VCCT_GXBL1D					AF37				
			VCCT_GXBL1D					AF38				
			VCCT_GXBL1E					AB37				
			VCCT_GXBL1E					AB38				
			VCCT_GXBL1F					V37				
			VCCT_GXBL1F					V38				
			VCCT_GXBL1G					P37				
			VCCT_GXBL1G					P38				
			VCCT_GXBL1H					K37				
			VCCT_GXBL1H					K38				
			VCCT_GXBR4C					AK7				
			VCCT_GXBR4C					AK8				
			VCCT_GXBR4D					AF7				
			VCCT_GXBR4D					AF8				
			VCCT_GXBR4E					AB7				
			VCCT_GXBR4E					AB8				
			VCCT_GXBR4F					V7				
			VCCT_GXBR4F					V8				
			VCCT_GXBR4G					P7				
			VCCT_GXBR4G					P8				
			VCCT_GXBR4H					K7				
			VCCT_GXBR4H					K8				
			RREF_BL					BD35				
			RREF_BR					BD10				
			RREF_TL					A35				
			RREF_TR					A10				
			VCCERAM					AC15				
			VCCERAM					AC16				
			VCCERAM					AC18				
			VCCERAM					AC21				
			VCCERAM					AC23				
			VCCERAM					AC26				
			VCCERAM					AC28				
			VCCERAM					AC29				
			VCCLSENSE					AF22				
			VCCP					AG15				

<div><div>intel</div>FPGA</div> <div>Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6</div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCP					AG20				
			VCCP					AG21				
			VCCP					AG25				
			VCCP					AG30				
			VCCP					AH15				
			VCCP					AH20				
			VCCP					AH30				
			VCCP					U15				
			VCCP					U21				
			VCCP					U25				
			VCCP					U30				
			VCCP					V15				
			VCCP					V20				
			VCCP					V21				
			VCCP					V25				
			VCCP					V26				
			VCCP					V30				
			VSIGN_0					P19				
			VSIGN_1					N18				
			VSIGP_0					N19				
			VSIGP_1					P18				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1J			REFCLK_GXBL1J_CHTp					H36				
1J			REFCLK_GXBL1J_CHTn					H35				
1J			GXBL1J_TX_CH5n					A33				
1J			GXBL1J_TX_CH5p					A34				
1J			GXBL1J_RX_CH5n,GXBL1J_REFCLK5n					C33				
1J			GXBL1J_RX_CH5p,GXBL1J_REFCLK5p					C34				
1J			GXBL1J_TX_CH4n					A37				
1J			GXBL1J_TX_CH4p					A38				
1J			GXBL1J_RX_CH4n,GXBL1J_REFCLK4n					E33				
1J			GXBL1J_RX_CH4p,GXBL1J_REFCLK4p					E34				
1J			GXBL1J_TX_CH3n					B39				
1J			GXBL1J_TX_CH3p					B40				
1J			GXBL1J_RX_CH3n,GXBL1J_REFCLK3n					B35				
1J			GXBL1J_RX_CH3p,GXBL1J_REFCLK3p					B36				
1J			GXBL1J_TX_CH2n					A41				
1J			GXBL1J_TX_CH2p					A42				
1J			GXBL1J_RX_CH2n,GXBL1J_REFCLK2n					D35				
1J			GXBL1J_RX_CH2p,GXBL1J_REFCLK2p					D36				
1J			GXBL1J_TX_CH1n					B43				
1J			GXBL1J_TX_CH1p					B44				
1J			GXBL1J_RX_CH1n,GXBL1J_REFCLK1n					F35				
1J			GXBL1J_RX_CH1p,GXBL1J_REFCLK1p					F36				
1J			GXBL1J_TX_CH0n					C41				
1J			GXBL1J_TX_CH0p					C42				
1J			GXBL1J_RX_CH0n,GXBL1J_REFCLK0n					C37				
1J			GXBL1J_RX_CH0p,GXBL1J_REFCLK0p					C38				
1J			REFCLK_GXBL1J_CHBp					K36				
1J			REFCLK_GXBL1J_CHBn					K35				
1I			REFCLK_GXBL1I_CHTp					M36				
1I			REFCLK_GXBL1I_CHTn					M35				
1I			GXBL1I_TX_CH5n					D43				
1I			GXBL1I_TX_CH5p					D44				
1I			GXBL1I_RX_CH5n,GXBL1I_REFCLK5n					E37				
1I			GXBL1I_RX_CH5p,GXBL1I_REFCLK5p					E38				
1I			GXBL1I_TX_CH4n					E41				
1I			GXBL1I_TX_CH4p					E42				
1I			GXBL1I_RX_CH4n,GXBL1I_REFCLK4n					D39				
1I			GXBL1I_RX_CH4p,GXBL1I_REFCLK4p					D40				
1I			GXBL1I_TX_CH3n					F43				
1I			GXBL1I_TX_CH3p					F44				
1I			GXBL1I_RX_CH3n,GXBL1I_REFCLK3n					G37				
1I			GXBL1I_RX_CH3p,GXBL1I_REFCLK3p					G38				
1I			GXBL1I_TX_CH2n					G41				
1I			GXBL1I_TX_CH2p					G42				
1I			GXBL1I_RX_CH2n,GXBL1I_REFCLK2n					F39				
1I			GXBL1I_RX_CH2p,GXBL1I_REFCLK2p					F40				
1I			GXBL1I_TX_CH1n					H43				
1I			GXBL1I_TX_CH1p					H44				
1I			GXBL1I_RX_CH1n,GXBL1I_REFCLK1n					H39				
1I			GXBL1I_RX_CH1p,GXBL1I_REFCLK1p					H40				
1I			GXBL1I_TX_CH0n					J41				
1I			GXBL1I_TX_CH0p					J42				
1I			GXBL1I_RX_CH0n,GXBL1I_REFCLK0n					J37				
1I			GXBL1I_RX_CH0p,GXBL1I_REFCLK0p					J38				
1I			REFCLK_GXBL1I_CHBp					P36				
1I			REFCLK_GXBL1I_CHBn					P35				
1H			REFCLK_GXBL1H_CHTp					T36				
1H			REFCLK_GXBL1H_CHTn					T35				
1H			GXBL1H_TX_CH5n					K43				
1H			GXBL1H_TX_CH5p					K44				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n					K39				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p					K40				
1H			GXBL1H_TX_CH4n					L41				
1H			GXBL1H_TX_CH4p					L42				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n					L37				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p					L38				
1H			GXBL1H_TX_CH3n					M43				
1H			GXBL1H_TX_CH3p					M44				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n					M39				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p					M40				
1H			GXBL1H_TX_CH2n					N41				
1H			GXBL1H_TX_CH2p					N42				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n					N37				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p					N38				
1H			GXBL1H_TX_CH1n					P43				
1H			GXBL1H_TX_CH1p					P44				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n					P39				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p					P40				
1H			GXBL1H_TX_CH0n					R41				
1H			GXBL1H_TX_CH0p					R42				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n					R37				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p					R38				
1H			REFCLK_GXBL1H_CHBp					V36				
1H			REFCLK_GXBL1H_CHBn					V35				
1G			REFCLK_GXBL1G_CHTp					Y36				
1G			REFCLK_GXBL1G_CHTn					Y35				
1G			GXBL1G_TX_CH5n					T43				
1G			GXBL1G_TX_CH5p					T44				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n					T39				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p					T40				
1G			GXBL1G_TX_CH4n					U41				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1G			GXBL1G_TX_CH4p					U42				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n					U37				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p					U38				
1G			GXBL1G_TX_CH3n					V43				
1G			GXBL1G_TX_CH3p					V44				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n					V39				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p					V40				
1G			GXBL1G_TX_CH2n					W41				
1G			GXBL1G_TX_CH2p					W42				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n					W37				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p					W38				
1G			GXBL1G_TX_CH1n					Y43				
1G			GXBL1G_TX_CH1p					Y44				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n					Y39				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p					Y40				
1G			GXBL1G_TX_CH0n					AA41				
1G			GXBL1G_TX_CH0p					AA42				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n					AA37				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p					AA38				
1G			REFCLK_GXBL1G_CHBp					AB36				
1G			REFCLK_GXBL1G_CHBn					AB35				
1F			REFCLK_GXBL1F_CHTp					AD36				
1F			REFCLK_GXBL1F_CHTn					AD35				
1F			GXBL1F_TX_CH5n					AB43				
1F			GXBL1F_TX_CH5p					AB44				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n					AB39				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p					AB40				
1F			GXBL1F_TX_CH4n					AC41				
1F			GXBL1F_TX_CH4p					AC42				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					AC37				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					AC38				
1F			GXBL1F_TX_CH3n					AD43				
1F			GXBL1F_TX_CH3p					AD44				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					AD39				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					AD40				
1F			GXBL1F_TX_CH2n					AE41				
1F			GXBL1F_TX_CH2p					AE42				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n					AE37				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p					AE38				
1F			GXBL1F_TX_CH1n					AF43				
1F			GXBL1F_TX_CH1p					AF44				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					AF39				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					AF40				
1F			GXBL1F_TX_CH0n					AG41				
1F			GXBL1F_TX_CH0p					AG42				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					AG37				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					AG38				
1F			REFCLK_GXBL1F_CHBp					AF36				
1F			REFCLK_GXBL1F_CHBn					AF35				
1E			REFCLK_GXBL1E_CHTp					AH36				
1E			REFCLK_GXBL1E_CHTn					AH35				
1E			GXBL1E_TX_CH5n					AH43				
1E			GXBL1E_TX_CH5p					AH44				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n					AH39				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p					AH40				
1E			GXBL1E_TX_CH4n					AJ41				
1E			GXBL1E_TX_CH4p					AJ42				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					AJ37				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					AJ38				
1E			GXBL1E_TX_CH3n					AK43				
1E			GXBL1E_TX_CH3p					AK44				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					AK39				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					AK40				
1E			GXBL1E_TX_CH2n					AL41				
1E			GXBL1E_TX_CH2p					AL42				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n					AL37				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p					AL38				
1E			GXBL1E_TX_CH1n					AM43				
1E			GXBL1E_TX_CH1p					AM44				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					AM39				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					AM40				
1E			GXBL1E_TX_CH0n					AN41				
1E			GXBL1E_TX_CH0p					AN42				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					AN37				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					AN38				
1E			REFCLK_GXBL1E_CHBp					AK36				
1E			REFCLK_GXBL1E_CHBn					AK35				
1D			REFCLK_GXBL1D_CHTp					AM36				
1D			REFCLK_GXBL1D_CHTn					AM35				
1D			GXBL1D_TX_CH5n					AP43				
1D			GXBL1D_TX_CH5p					AP44				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n					AP39				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p					AP40				
1D			GXBL1D_TX_CH4n					AR41				
1D			GXBL1D_TX_CH4p					AR42				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					AR37				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					AR38				
1D			GXBL1D_TX_CH3n					AT43				
1D			GXBL1D_TX_CH3p					AT44				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					AT39				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					AT40				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			GXBL1D_TX_CH2n					AU41				
1D			GXBL1D_TX_CH2p					AU42				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n					AU37				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p					AU38				
1D			GXBL1D_TX_CH1n					AV43				
1D			GXBL1D_TX_CH1p					AV44				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					AV39				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					AV40				
1D			GXBL1D_TX_CH0n					AW41				
1D			GXBL1D_TX_CH0p					AW42				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					AW37				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					AW38				
1D			REFCLK_GXBL1D_CHBp					AP36				
1D			REFCLK_GXBL1D_CHBn					AP35				
1C			REFCLK_GXBL1C_CHTp					AT36				
1C			REFCLK_GXBL1C_CHTn					AT35				
1C			GXBL1C_TX_CH5n					AY43				
1C			GXBL1C_TX_CH5p					AY44				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n					AY39				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p					AY40				
1C			GXBL1C_TX_CH4n					BA41				
1C			GXBL1C_TX_CH4p					BA42				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					BB39				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					BB40				
1C			GXBL1C_TX_CH3n					BB43				
1C			GXBL1C_TX_CH3p					BB44				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					BA37				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					BA38				
1C			GXBL1C_TX_CH2n					BC41				
1C			GXBL1C_TX_CH2p					BC42				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n					AY35				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p					AY36				
1C			GXBL1C_TX_CH1n					BD39				
1C			GXBL1C_TX_CH1p					BD40				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					BC37				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					BC38				
1C			GXBL1C_TX_CH0n					BD35				
1C			GXBL1C_TX_CH0p					BD36				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					BB35				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					BB36				
1C			REFCLK_GXBL1C_CHBp					AV36				
1C			REFCLK_GXBL1C_CHBn					AV35				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No	E22	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No	D22	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes	B21	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes	A21	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No	A22	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No	A23	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes	D21	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes	C21	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No	B23	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No	C22	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes	C24	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes	C23	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No	L23	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No	K23	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes	F23	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes	E23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No	H23	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No	G23	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes	G24	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes	H24	DQS3	DQSn1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No	J24	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No	K24	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes	N23	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes	M23	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No	M24	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No	M25	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes	T23	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes	R23	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No	L25	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No	L26	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes	P25	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes	N24	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No	P24	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No	R24	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes	T26	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes	R25	DQ5	DQ2	DQSn1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No	E24	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No	D24	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes	J25	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes	K25	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No	E25	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No	D25	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes	B25	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes	A26	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No	F25	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No	G25	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes	B24	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes	A25	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No	J26	DQ8	DQ4	DQ2	DQ1

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	46	VREFB2KN0	IO			LVDS2K_1p	No	K27	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes	C26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes	D26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No	F26	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No	E27	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes	P26	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes	R27	DQS9	DQSn4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No	H26	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No	G26	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes	N26	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes	M26	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No	B26	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No	A27	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes	C27	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes	D27	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No	G28	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No	F28	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes	F27	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes	E28	DQS11	DQSn5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No	H27	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No	J27	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes	H28	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes	J29	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No	A28	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No	B28	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes	D30	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes	E30	DQS12	DQ6	DQ3	DQSn1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No	C28	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No	C29	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes	E29	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes	D29	DQS13	DQSn6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No	G29	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No	H29	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes	B29	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes	A29	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No	R28	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No	P27	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes	M28	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes	N27	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No	N29	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No	N28	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes	J30	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes	K30	DQS15	DQSn7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No	K28	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No	K29	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes	L28	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes	L27	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No	P29	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No	R29	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes	P30	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes	R30	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No	T31	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No	U31	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes	N31	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes	P31	DQS17	DQSn8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No	W31	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO			LVDS2J_5p	No	V31	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes	P32	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes	R32	DQ17	DQ8	DQSn4/CQ4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No	C31	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No	D31	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes	L30	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes	M30	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No	F30	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No	G30	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes	M31	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes	L31	DQS19	DQSn9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No	H31	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No	J31	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes	G31	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes	F31	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No	G32	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No	H32	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes	K33	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes	L32	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No	H33	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No	J33	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes	P33	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes	N33	DQS21	DQSn10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No	M33	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No	N32	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes	J32	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes	K32	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No	AC32	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No	AB33	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes	AB32	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes	AA32	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No	W32	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No	Y32	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes	T32	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes	T33	DQS23	DQSn11/CQ11	DQ5	DQ2

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2J	3	VREFB2JN0	IO			LVDS2J_23n	No	AA33	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No	Y33	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes	V33	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes	U33	DQ23	DQ11	DQ5	DQ2
2I	47	VREFB2IN0	IO			LVDS2I_1n	No	N22	DQ24	DQ12	DQ6	DQ3
2I	46	VREFB2IN0	IO			LVDS2I_1p	No	P22	DQ24	DQ12	DQ6	DQ3
2I	45	VREFB2IN0	IO			LVDS2I_2n	Yes	H21	DQSn24	DQ12	DQ6	DQ3
2I	44	VREFB2IN0	IO			LVDS2I_2p	Yes	G21	DQS24	DQ12	DQ6	DQ3
2I	43	VREFB2IN0	IO			LVDS2I_3n	No	F20	DQ24	DQ12	DQ6	DQ3
2I	42	VREFB2IN0	IO			LVDS2I_3p	No	G20	DQ24	DQ12	DQ6	DQ3
2I	41	VREFB2IN0	IO			LVDS2I_4n	Yes	H22	DQSn25	DQSn12/CQn12	DQ6	DQ3
2I	40	VREFB2IN0	IO			LVDS2I_4p	Yes	J22	DQS25	DQSn12/CQ12	DQ6	DQ3
2I	39	VREFB2IN0	IO			LVDS2I_5n	No	F21	DQ25	DQ12	DQ6	DQ3
2I	38	VREFB2IN0	IO			LVDS2I_5p	No	F22	DQ25	DQ12	DQ6	DQ3
2I	37	VREFB2IN0	IO			LVDS2I_6n	Yes	L22	DQ25	DQ12	DQSn6/CQn6	DQ3
2I	36	VREFB2IN0	IO			LVDS2I_6p	Yes	K22	DQ25	DQ12	DQSn6/CQ6	DQ3
2I	35	VREFB2IN0	IO			LVDS2I_7n	No	J21	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO			LVDS2I_7p	No	J20	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO			LVDS2I_8n	Yes	M20	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO			LVDS2I_8p	Yes	L21	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO			LVDS2I_9n	No	P21	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO			LVDS2I_9p	No	R22	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes	K20	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes	L20	DQS27	DQSn13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO			LVDS2I_11n	No	R20	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I		LVDS2I_11p	No	P20	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n		LVDS2I_12n	Yes	M21	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p		LVDS2I_12p	Yes	N21	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n		LVDS2I_13n	No	D19	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p		LVDS2I_13p	No	E19	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO			LVDS2I_14n	Yes	D20	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO			LVDS2I_14p	Yes	E20	DQS28	DQ14	DQ7	DQSn3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No	B20	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No	A20	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO			LVDS2I_16n	Yes	C19	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO			LVDS2I_16p	Yes	B19	DQS29	DQSn14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO			LVDS2I_17n	No	G19	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO			LVDS2I_17p	No	H19	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO			LVDS2I_18n	Yes	C18	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO			LVDS2I_18p	Yes	D17	DQ29	DQ14	DQSn7/CQ7	DQ3
2I	11	VREFB2IN0	IO			LVDS2I_19n	No	E18	DQ30	DQ15	DQ7	DQ3
2I	10	VREFB2IN0	IO			LVDS2I_19p	No	F18	DQ30	DQ15	DQ7	DQ3
2I	9	VREFB2IN0	IO			LVDS2I_20n	Yes	B18	DQSn30	DQ15	DQ7	DQ3
2I	8	VREFB2IN0	IO			LVDS2I_20p	Yes	A18	DQS30	DQ15	DQ7	DQ3
2I	7	VREFB2IN0	IO			LVDS2I_21n	No	C17	DQ30	DQ15	DQ7	DQ3
2I	6	VREFB2IN0	IO			LVDS2I_21p	No	D16	DQ30	DQ15	DQ7	DQ3
2I	5	VREFB2IN0	IO			LVDS2I_22n	Yes	E17	DQSn31	DQSn15/CQn15	DQ7	DQ3
2I	4	VREFB2IN0	IO			LVDS2I_22p	Yes	F17	DQS31	DQSn15/CQ15	DQ7	DQ3
2I	3	VREFB2IN0	IO			LVDS2I_23n	No	A17	DQ31	DQ15	DQ7	DQ3
2I	2	VREFB2IN0	IO			LVDS2I_23p	No	A16	DQ31	DQ15	DQ7	DQ3
2I	1	VREFB2IN0	IO			LVDS2I_24n	Yes	B16	DQ31	DQ15	DQ7	DQ3
2I	0	VREFB2IN0	IO			LVDS2I_24p	Yes	C16	DQ31	DQ15	DQ7	DQ3
2A	47	VREFB2AN0	IO		DATA0	LVDS2A_1n	No	AV33	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1	LVDS2A_1p	No	AW33	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2	LVDS2A_2n	Yes	BB33	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3	LVDS2A_2p	Yes	BA33	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4	LVDS2A_3n	No	AY33	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5	LVDS2A_3p	No	AY32	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6	LVDS2A_4n	Yes	AV32	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7	LVDS2A_4p	Yes	AW32	DQS57	DQSn28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8	LVDS2A_5n	No	AT31	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9	LVDS2A_5p	No	AU31	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10	LVDS2A_6n	Yes	BA32	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11	LVDS2A_6p	Yes	BA31	DQ57	DQ28	DQSn14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12	LVDS2A_7n	No	AR32	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13	LVDS2A_7p	No	AT32	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14	LVDS2A_8n	Yes	AN33	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15	LVDS2A_8p	Yes	AP33	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16	LVDS2A_9n	No	AP31	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17	LVDS2A_9p	No	AN31	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes	AP32	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes	AN32	DQS59	DQSn29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO	LVDS2A_11n	No	AU33	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A		LVDS2A_11p	No	AT33	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes	AP30	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes	AR30	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No	AJ33	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No	AK33	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24	LVDS2A_14n	Yes	AE32	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25	LVDS2A_14p	Yes	AF32	DQS60	DQ30	DQ15	DQSn7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No	AH32	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No	AG32	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28	LVDS2A_16n	Yes	AE33	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29	LVDS2A_16p	Yes	AF33	DQS61	DQSn30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30	LVDS2A_17n	No	AK32	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31	LVDS2A_17p	No	AJ32	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR	LVDS2A_18n	Yes	AL32	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST	LVDS2A_18p	Yes	AM33	DQ61	DQ30	DQSn15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY	LVDS2A_19n	No	BB31	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0	LVDS2A_19p	No	BC31	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE	LVDS2A_20n	Yes	BB30	DQSn62	DQ31	DQ15	DQ7

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	8	VREFB2AN0	IO		nPERSTL1	LVDS2A_20p	Yes	BA30	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No	AV31	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No	AW31	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes	AY30	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes	AW30	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No	AT30	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No	AU30	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes	BD31	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes	BD30	DQ63	DQ31	DQ15	DQ7
3E	47	VREFB3EN0	IO			LVDS3E_1n	No	U14	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO			LVDS3E_1p	No	V14	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO			LVDS3E_2n	Yes	N16	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO			LVDS3E_2p	Yes	P16	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO			LVDS3E_3n	No	L16	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO			LVDS3E_3p	No	M16	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO			LVDS3E_4n	Yes	P14	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO			LVDS3E_4p	Yes	N14	DQS89	DQSn44/CQn44	DQ22	DQ11
3E	39	VREFB3EN0	IO			LVDS3E_5n	No	M15	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO			LVDS3E_5p	No	L15	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO			LVDS3E_6n	Yes	R14	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO			LVDS3E_6p	Yes	P15	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	35	VREFB3EN0	IO			LVDS3E_7n	No	T13	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO			LVDS3E_7p	No	R13	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO			LVDS3E_8n	Yes	T12	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO			LVDS3E_8p	Yes	U12	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO			LVDS3E_9n	No	V12	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO			LVDS3E_9p	No	U13	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes	P12	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes	N13	DQS91	DQSn45/CQn45	DQ22	DQ11
3E	27	VREFB3EN0	IO			LVDS3E_11n	No	M13	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E		LVDS3E_11p	No	M14	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n		LVDS3E_12n	Yes	M12	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p		LVDS3E_12p	Yes	N12	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3EN0	IO	CLK_3E_0n		LVDS3E_13n	No	J15	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p		LVDS3E_13p	No	K15	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO			LVDS3E_14n	Yes	H14	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO			LVDS3E_14p	Yes	G13	DQS92	DQ46	DQ23	DQSn11/CQn11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No	J14	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No	K14	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO			LVDS3E_16n	Yes	H12	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO			LVDS3E_16p	Yes	H13	DQS93	DQSn46/CQn46	DQ23	DQ11
3E	15	VREFB3EN0	IO			LVDS3E_17n	No	K13	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO			LVDS3E_17p	No	L13	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO			LVDS3E_18n	Yes	J12	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO			LVDS3E_18p	Yes	K12	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	11	VREFB3EN0	IO			LVDS3E_19n	No	AE12	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO			LVDS3E_19p	No	AF12	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO			LVDS3E_20n	Yes	AB13	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO			LVDS3E_20p	Yes	AA13	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO			LVDS3E_21n	No	Y12	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO			LVDS3E_21p	No	Y13	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO			LVDS3E_22n	Yes	AB12	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO			LVDS3E_22p	Yes	AA12	DQS95	DQSn47/CQn47	DQ23	DQ11
3E	3	VREFB3EN0	IO			LVDS3E_23n	No	AD12	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO			LVDS3E_23p	No	AC13	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO			LVDS3E_24n	Yes	AD13	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO			LVDS3E_24p	Yes	AE13	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO			LVDS3D_1n	No	AT12	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO			LVDS3D_1p	No	AT13	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO			LVDS3D_2n	Yes	AK13	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO			LVDS3D_2p	Yes	AL13	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO			LVDS3D_3n	No	AN14	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO			LVDS3D_3p	No	AP14	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO			LVDS3D_4n	Yes	AP12	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO			LVDS3D_4p	Yes	AN12	DQS97	DQSn48/CQn48	DQ24	DQ12
3D	39	VREFB3DN0	IO			LVDS3D_5n	No	AM12	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO			LVDS3D_5p	No	AN13	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO			LVDS3D_6n	Yes	AM14	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO			LVDS3D_6p	Yes	AM13	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	35	VREFB3DN0	IO			LVDS3D_7n	No	AL15	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO			LVDS3D_7p	No	AM15	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO			LVDS3D_8n	Yes	AK12	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO			LVDS3D_8p	Yes	AJ12	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO			LVDS3D_9n	No	AH13	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO			LVDS3D_9p	No	AH12	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes	AK14	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes	AK15	DQS99	DQSn49/CQn49	DQ24	DQ12
3D	27	VREFB3DN0	IO			LVDS3D_11n	No	AJ14	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D		LVDS3D_11p	No	AH14	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n		LVDS3D_12n	Yes	AL16	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p		LVDS3D_12p	Yes	AM16	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n		LVDS3D_13n	No	AU13	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p		LVDS3D_13p	No	AV13	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO			LVDS3D_14n	Yes	AU14	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO			LVDS3D_14p	Yes	AV14	DQS100	DQ50	DQ25	DQSn12/CQn12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No	AR13	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No	AR14	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO			LVDS3D_16n	Yes	AY14	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO			LVDS3D_16p	Yes	AW14	DQS101	DQSn50/CQn50	DQ25	DQ12
3D	15	VREFB3DN0	IO			LVDS3D_17n	No	AP15	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO			LVDS3D_17p	No	AR15	DQ101	DQ50	DQ25	DQ12

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	13	VREFB3DN0	IO			LVDS3D_18n	Yes	AT15	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO			LVDS3D_18p	Yes	AU15	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	11	VREFB3DN0	IO			LVDS3D_19n	No	AU12	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO			LVDS3D_19p	No	AV12	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO			LVDS3D_20n	Yes	AY12	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO			LVDS3D_20p	Yes	BA12	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO			LVDS3D_21n	No	AW12	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No	AY13	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes	BB14	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes	BC14	DQS103	DQSn51/CQn51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No	BA13	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No	BB13	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes	BD14	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes	BD15	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No	AU16	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No	AT16	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes	AV16	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes	AW16	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No	AW15	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No	AY15	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes	AP16	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes	AR17	DQS105	DQSn52/CQn52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No	AN16	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No	AP17	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes	AN17	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes	AN18	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No	BC16	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No	BD16	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes	BB16	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes	BA16	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No	BB15	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No	BA15	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes	BC17	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes	BD17	DQS107	DQSn53/CQn53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No	BA17	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No	AY17	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes	AV17	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes	AW17	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No	AN19	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No	AM19	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes	AM18	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes	AL17	DQS108	DQ54	DQ27	DQSn13/CQn13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No	AT18	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No	AU19	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes	AT17	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes	AR18	DQS109	DQSn54/CQn54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No	AR19	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No	AP19	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes	AR20	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes	AP20	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No	BC18	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No	BB18	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes	AV18	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes	AU18	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No	BA18	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No	BB19	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes	BC19	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes	BD19	DQS111	DQSn55/CQn55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No	AY18	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No	AY19	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes	AV19	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes	AW19	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO			LVDS3B_1n	No	AT20	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No	AU20	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes	AW20	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes	AV21	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No	AN21	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No	AP21	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes	AV22	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes	AW21	DQS113	DQSn56/CQn56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No	AU21	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No	AT21	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes	AR22	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes	AT22	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No	BA20	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No	BB20	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes	AY20	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes	BA21	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No	BD21	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No	BD20	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes	BD22	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes	BC22	DQS115	DQSn57/CQn57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No	BA22	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No	AY22	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes	BC21	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes	BB21	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No	AM23	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No	AN23	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes	AU23	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes	AV23	DQS116	DQ58	DQ29	DQSn14/CQn14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No	AT23	DQ116	DQ58	DQ29	DQ14

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No	AR23	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes	AM24	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes	AN24	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No	AP22	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No	AN22	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes	AP24	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes	AR24	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No	BB23	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No	BC23	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes	BA23	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes	BB24	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No	AW22	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No	AY23	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes	AU24	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes	AV24	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No	AY24	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No	AW24	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes	BC24	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes	BD24	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No	AV27	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No	AW27	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes	AV28	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes	AU28	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No	AR29	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No	AT28	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes	AN28	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes	AM28	DQS121	DQSn60/CQn60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No	AN27	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No	AP27	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes	AR28	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes	AR27	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No	AU29	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No	AV29	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes	AY29	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes	AW29	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No	BB28	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No	BB29	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes	AY28	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes	BA28	DQS123	DQSn61/CQn61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No	BC28	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No	BC27	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes	BD29	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes	BC29	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No	AN26	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No	AM25	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes	AT25	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes	AR25	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No	AU26	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No	AU25	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes	AW26	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes	AV26	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No	AP26	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No	AP25	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes	AT27	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes	AT26	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No	AY27	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No	BA27	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes	BD27	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes	BC26	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No	AY25	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No	AW25	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes	BA26	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes	BB26	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No	BB25	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No	BA25	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes	BD25	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes	BD26	DQ127	DQ63	DQ31	DQ15
4J			REFCLK_GXBR4J_CHTp					H9				
4J			REFCLK_GXBR4J_CHTn					H10				
4J			GXBR4J_TX_CH5n					A12				
4J			GXBR4J_TX_CH5p					A11				
4J			GXBR4J_RX_CH5n,GXBR4J_REFCLK5n					C12				
4J			GXBR4J_RX_CH5p,GXBR4J_REFCLK5p					C11				
4J			GXBR4J_TX_CH4n					A8				
4J			GXBR4J_TX_CH4p					A7				
4J			GXBR4J_RX_CH4n,GXBR4J_REFCLK4n					E12				
4J			GXBR4J_RX_CH4p,GXBR4J_REFCLK4p					E11				
4J			GXBR4J_TX_CH3n					B6				
4J			GXBR4J_TX_CH3p					B5				
4J			GXBR4J_RX_CH3n,GXBR4J_REFCLK3n					B10				
4J			GXBR4J_RX_CH3p,GXBR4J_REFCLK3p					B9				
4J			GXBR4J_TX_CH2n					A4				
4J			GXBR4J_TX_CH2p					A3				
4J			GXBR4J_RX_CH2n,GXBR4J_REFCLK2n					D10				
4J			GXBR4J_RX_CH2p,GXBR4J_REFCLK2p					D9				
4J			GXBR4J_TX_CH1n					B2				
4J			GXBR4J_TX_CH1p					B1				
4J			GXBR4J_RX_CH1n,GXBR4J_REFCLK1n					F10				
4J			GXBR4J_RX_CH1p,GXBR4J_REFCLK1p					F9				
4J			GXBR4J_TX_CH0n					C4				
4J			GXBR4J_TX_CH0p					C3				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4J			GXBR4J_RX_CH0n,GXBR4J_REFCLK0n					C8				
4J			GXBR4J_RX_CH0p,GXBR4J_REFCLK0p					C7				
4J			REFCLK_GXBR4J_CHBp					K9				
4J			REFCLK_GXBR4J_CHBn					K10				
4I			REFCLK_GXBR4I_CHTp					M9				
4I			REFCLK_GXBR4I_CHTn					M10				
4I			GXBR4I_TX_CH5n					D2				
4I			GXBR4I_TX_CH5p					D1				
4I			GXBR4I_RX_CH5n,GXBR4I_REFCLK5n					E8				
4I			GXBR4I_RX_CH5p,GXBR4I_REFCLK5p					E7				
4I			GXBR4I_TX_CH4n					E4				
4I			GXBR4I_TX_CH4p					E3				
4I			GXBR4I_RX_CH4n,GXBR4I_REFCLK4n					D6				
4I			GXBR4I_RX_CH4p,GXBR4I_REFCLK4p					D5				
4I			GXBR4I_TX_CH3n					F2				
4I			GXBR4I_TX_CH3p					F1				
4I			GXBR4I_RX_CH3n,GXBR4I_REFCLK3n					G8				
4I			GXBR4I_RX_CH3p,GXBR4I_REFCLK3p					G7				
4I			GXBR4I_TX_CH2n					G4				
4I			GXBR4I_TX_CH2p					G3				
4I			GXBR4I_RX_CH2n,GXBR4I_REFCLK2n					F6				
4I			GXBR4I_RX_CH2p,GXBR4I_REFCLK2p					F5				
4I			GXBR4I_TX_CH1n					H2				
4I			GXBR4I_TX_CH1p					H1				
4I			GXBR4I_RX_CH1n,GXBR4I_REFCLK1n					H6				
4I			GXBR4I_RX_CH1p,GXBR4I_REFCLK1p					H5				
4I			GXBR4I_TX_CH0n					J4				
4I			GXBR4I_TX_CH0p					J3				
4I			GXBR4I_RX_CH0n,GXBR4I_REFCLK0n					J8				
4I			GXBR4I_RX_CH0p,GXBR4I_REFCLK0p					J7				
4I			REFCLK_GXBR4I_CHBp					P9				
4I			REFCLK_GXBR4I_CHBn					P10				
4H			REFCLK_GXBR4H_CHTp					T9				
4H			REFCLK_GXBR4H_CHTn					T10				
4H			GXBR4H_TX_CH5n					K2				
4H			GXBR4H_TX_CH5p					K1				
4H			GXBR4H_RX_CH5n,GXBR4H_REFCLK5n					K6				
4H			GXBR4H_RX_CH5p,GXBR4H_REFCLK5p					K5				
4H			GXBR4H_TX_CH4n					L4				
4H			GXBR4H_TX_CH4p					L3				
4H			GXBR4H_RX_CH4n,GXBR4H_REFCLK4n					L8				
4H			GXBR4H_RX_CH4p,GXBR4H_REFCLK4p					L7				
4H			GXBR4H_TX_CH3n					M2				
4H			GXBR4H_TX_CH3p					M1				
4H			GXBR4H_RX_CH3n,GXBR4H_REFCLK3n					M6				
4H			GXBR4H_RX_CH3p,GXBR4H_REFCLK3p					M5				
4H			GXBR4H_TX_CH2n					N4				
4H			GXBR4H_TX_CH2p					N3				
4H			GXBR4H_RX_CH2n,GXBR4H_REFCLK2n					N8				
4H			GXBR4H_RX_CH2p,GXBR4H_REFCLK2p					N7				
4H			GXBR4H_TX_CH1n					P2				
4H			GXBR4H_TX_CH1p					P1				
4H			GXBR4H_RX_CH1n,GXBR4H_REFCLK1n					P6				
4H			GXBR4H_RX_CH1p,GXBR4H_REFCLK1p					P5				
4H			GXBR4H_TX_CH0n					R4				
4H			GXBR4H_TX_CH0p					R3				
4H			GXBR4H_RX_CH0n,GXBR4H_REFCLK0n					R8				
4H			GXBR4H_RX_CH0p,GXBR4H_REFCLK0p					R7				
4H			REFCLK_GXBR4H_CHBp					V9				
4H			REFCLK_GXBR4H_CHBn					V10				
4G			REFCLK_GXBR4G_CHTp					Y9				
4G			REFCLK_GXBR4G_CHTn					Y10				
4G			GXBR4G_TX_CH5n					T2				
4G			GXBR4G_TX_CH5p					T1				
4G			GXBR4G_RX_CH5n,GXBR4G_REFCLK5n					T6				
4G			GXBR4G_RX_CH5p,GXBR4G_REFCLK5p					T5				
4G			GXBR4G_TX_CH4n					U4				
4G			GXBR4G_TX_CH4p					U3				
4G			GXBR4G_RX_CH4n,GXBR4G_REFCLK4n					U8				
4G			GXBR4G_RX_CH4p,GXBR4G_REFCLK4p					U7				
4G			GXBR4G_TX_CH3n					V2				
4G			GXBR4G_TX_CH3p					V1				
4G			GXBR4G_RX_CH3n,GXBR4G_REFCLK3n					V6				
4G			GXBR4G_RX_CH3p,GXBR4G_REFCLK3p					V5				
4G			GXBR4G_TX_CH2n					W4				
4G			GXBR4G_TX_CH2p					W3				
4G			GXBR4G_RX_CH2n,GXBR4G_REFCLK2n					W8				
4G			GXBR4G_RX_CH2p,GXBR4G_REFCLK2p					W7				
4G			GXBR4G_TX_CH1n					Y2				
4G			GXBR4G_TX_CH1p					Y1				
4G			GXBR4G_RX_CH1n,GXBR4G_REFCLK1n					Y6				
4G			GXBR4G_RX_CH1p,GXBR4G_REFCLK1p					Y5				
4G			GXBR4G_TX_CH0n					AA4				
4G			GXBR4G_TX_CH0p					AA3				
4G			GXBR4G_RX_CH0n,GXBR4G_REFCLK0n					AA8				
4G			GXBR4G_RX_CH0p,GXBR4G_REFCLK0p					AA7				
4G			REFCLK_GXBR4G_CHBp					AB9				
4G			REFCLK_GXBR4G_CHBn					AB10				
4F			REFCLK_GXBR4F_CHTp					AD9				
4F			REFCLK_GXBR4F_CHTn					AD10				
4F			GXBR4F_TX_CH5n					AB2				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4F			GXBR4F_TX_CH5p					AB1				
4F			GXBR4F_RX_CH5n,GXBR4F_REFCLK5n					AB6				
4F			GXBR4F_RX_CH5p,GXBR4F_REFCLK5p					AB5				
4F			GXBR4F_TX_CH4n					AC4				
4F			GXBR4F_TX_CH4p					AC3				
4F			GXBR4F_RX_CH4n,GXBR4F_REFCLK4n					AC8				
4F			GXBR4F_RX_CH4p,GXBR4F_REFCLK4p					AC7				
4F			GXBR4F_TX_CH3n					AD2				
4F			GXBR4F_TX_CH3p					AD1				
4F			GXBR4F_RX_CH3n,GXBR4F_REFCLK3n					AD6				
4F			GXBR4F_RX_CH3p,GXBR4F_REFCLK3p					AD5				
4F			GXBR4F_TX_CH2n					AE4				
4F			GXBR4F_TX_CH2p					AE3				
4F			GXBR4F_RX_CH2n,GXBR4F_REFCLK2n					AE8				
4F			GXBR4F_RX_CH2p,GXBR4F_REFCLK2p					AE7				
4F			GXBR4F_TX_CH1n					AF2				
4F			GXBR4F_TX_CH1p					AF1				
4F			GXBR4F_RX_CH1n,GXBR4F_REFCLK1n					AF6				
4F			GXBR4F_RX_CH1p,GXBR4F_REFCLK1p					AF5				
4F			GXBR4F_TX_CH0n					AG4				
4F			GXBR4F_TX_CH0p					AG3				
4F			GXBR4F_RX_CH0n,GXBR4F_REFCLK0n					AG8				
4F			GXBR4F_RX_CH0p,GXBR4F_REFCLK0p					AG7				
4F			REFCLK_GXBR4F_CHBp					AF9				
4F			REFCLK_GXBR4F_CHBn					AF10				
4E			REFCLK_GXBR4E_CHTp					AH9				
4E			REFCLK_GXBR4E_CHTn					AH10				
4E			GXBR4E_TX_CH5n					AH2				
4E			GXBR4E_TX_CH5p					AH1				
4E			GXBR4E_RX_CH5n,GXBR4E_REFCLK5n					AH6				
4E			GXBR4E_RX_CH5p,GXBR4E_REFCLK5p					AH5				
4E			GXBR4E_TX_CH4n					AJ4				
4E			GXBR4E_TX_CH4p					AJ3				
4E			GXBR4E_RX_CH4n,GXBR4E_REFCLK4n					AJ8				
4E			GXBR4E_RX_CH4p,GXBR4E_REFCLK4p					AJ7				
4E			GXBR4E_TX_CH3n					AK2				
4E			GXBR4E_TX_CH3p					AK1				
4E			GXBR4E_RX_CH3n,GXBR4E_REFCLK3n					AK6				
4E			GXBR4E_RX_CH3p,GXBR4E_REFCLK3p					AK5				
4E			GXBR4E_TX_CH2n					AL4				
4E			GXBR4E_TX_CH2p					AL3				
4E			GXBR4E_RX_CH2n,GXBR4E_REFCLK2n					AL8				
4E			GXBR4E_RX_CH2p,GXBR4E_REFCLK2p					AL7				
4E			GXBR4E_TX_CH1n					AM2				
4E			GXBR4E_TX_CH1p					AM1				
4E			GXBR4E_RX_CH1n,GXBR4E_REFCLK1n					AM6				
4E			GXBR4E_RX_CH1p,GXBR4E_REFCLK1p					AM5				
4E			GXBR4E_TX_CH0n					AN4				
4E			GXBR4E_TX_CH0p					AN3				
4E			GXBR4E_RX_CH0n,GXBR4E_REFCLK0n					AN8				
4E			GXBR4E_RX_CH0p,GXBR4E_REFCLK0p					AN7				
4E			REFCLK_GXBR4E_CHBp					AK9				
4E			REFCLK_GXBR4E_CHBn					AK10				
4D			REFCLK_GXBR4D_CHTp					AM9				
4D			REFCLK_GXBR4D_CHTn					AM10				
4D			GXBR4D_TX_CH5n					AP2				
4D			GXBR4D_TX_CH5p					AP1				
4D			GXBR4D_RX_CH5n,GXBR4D_REFCLK5n					AP6				
4D			GXBR4D_RX_CH5p,GXBR4D_REFCLK5p					AP5				
4D			GXBR4D_TX_CH4n					AR4				
4D			GXBR4D_TX_CH4p					AR3				
4D			GXBR4D_RX_CH4n,GXBR4D_REFCLK4n					AR8				
4D			GXBR4D_RX_CH4p,GXBR4D_REFCLK4p					AR7				
4D			GXBR4D_TX_CH3n					AT2				
4D			GXBR4D_TX_CH3p					AT1				
4D			GXBR4D_RX_CH3n,GXBR4D_REFCLK3n					AT6				
4D			GXBR4D_RX_CH3p,GXBR4D_REFCLK3p					AT5				
4D			GXBR4D_TX_CH2n					AU4				
4D			GXBR4D_TX_CH2p					AU3				
4D			GXBR4D_RX_CH2n,GXBR4D_REFCLK2n					AU8				
4D			GXBR4D_RX_CH2p,GXBR4D_REFCLK2p					AU7				
4D			GXBR4D_TX_CH1n					AV2				
4D			GXBR4D_TX_CH1p					AV1				
4D			GXBR4D_RX_CH1n,GXBR4D_REFCLK1n					AV6				
4D			GXBR4D_RX_CH1p,GXBR4D_REFCLK1p					AV5				
4D			GXBR4D_TX_CH0n					AW4				
4D			GXBR4D_TX_CH0p					AW3				
4D			GXBR4D_RX_CH0n,GXBR4D_REFCLK0n					AW8				
4D			GXBR4D_RX_CH0p,GXBR4D_REFCLK0p					AW7				
4D			REFCLK_GXBR4D_CHBp					AP9				
4D			REFCLK_GXBR4D_CHBn					AP10				
4C			REFCLK_GXBR4C_CHTp					AT9				
4C			REFCLK_GXBR4C_CHTn					AT10				
4C			GXBR4C_TX_CH5n					AY2				
4C			GXBR4C_TX_CH5p					AY1				
4C			GXBR4C_RX_CH5n,GXBR4C_REFCLK5n					AY6				
4C			GXBR4C_RX_CH5p,GXBR4C_REFCLK5p					AY5				
4C			GXBR4C_TX_CH4n					BA4				
4C			GXBR4C_TX_CH4p					BA3				
4C			GXBR4C_RX_CH4n,GXBR4C_REFCLK4n					BB6				
4C			GXBR4C_RX_CH4p,GXBR4C_REFCLK4p					BB5				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4C			GXBR4C_TX_CH3n					BB2				
4C			GXBR4C_TX_CH3p					BB1				
4C			GXBR4C_RX_CH3n,GXBR4C_REFCLK3n					BA8				
4C			GXBR4C_RX_CH3p,GXBR4C_REFCLK3p					BA7				
4C			GXBR4C_TX_CH2n					BC4				
4C			GXBR4C_TX_CH2p					BC3				
4C			GXBR4C_RX_CH2n,GXBR4C_REFCLK2n					AY10				
4C			GXBR4C_RX_CH2p,GXBR4C_REFCLK2p					AY9				
4C			GXBR4C_TX_CH1n					BD6				
4C			GXBR4C_TX_CH1p					BD5				
4C			GXBR4C_RX_CH1n,GXBR4C_REFCLK1n					BC8				
4C			GXBR4C_RX_CH1p,GXBR4C_REFCLK1p					BC7				
4C			GXBR4C_TX_CH0n					BD10				
4C			GXBR4C_TX_CH0p					BD9				
4C			GXBR4C_RX_CH0n,GXBR4C_REFCLK0n					BB10				
4C			GXBR4C_RX_CH0p,GXBR4C_REFCLK0p					BB9				
4C			REFCLK_GXBR4C_CHBp					AV9				
4C			REFCLK_GXBR4C_CHBn					AV10				
			GND					AL31				
CSS			TDO		TDO			AM29				
CSS			TMS		TMS			AG31				
CSS			TRST		TRST			AH31				
CSS			TCK		TCK			AJ31				
CSS			TDI		TDI			AK18				
CSS			MSEL0		MSEL0			AM21				
CSS			MSEL1		MSEL1			AL20				
CSS			MSEL2		MSEL2			AK20				
CSS			nIO_PULLUP		nIO_PULLUP			AM31				
CSS			nSTATUS		nSTATUS			AP29				
CSS			CONF_DONE		CONF_DONE			AN29				
			GND					AM30				
CSS			nCONFIG		nCONFIG			AL30				
CSS			nCE		nCE			AK19				
CSS			nCSO0		nCSO0			AL23				
CSS			nCSO1		nCSO1			AK23				
CSS			nCSO2		nCSO2			AK24				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO			AL28				
CSS			AS_DATA1		AS_DATA1			AL27				
CSS			AS_DATA2		AS_DATA2			AK28				
CSS			AS_DATA3		AS_DATA3			AK27				
CSS			DCLK		DCLK			AK29				
			ADCGND					T18				
			GND					A10				
			GND					A13				
			GND					A15				
			GND					A19				
			GND					A2				
			GND					A24				
			GND					A30				
			GND					A32				
			GND					A35				
			GND					A36				
			GND					A39				
			GND					A40				
			GND					A43				
			GND					A5				
			GND					A6				
			GND					A9				
			GND					AA1				
			GND					AA11				
			GND					AA14				
			GND					AA19				
			GND					AA2				
			GND					AA24				
			GND					AA29				
			GND					AA34				
			GND					AA39				
			GND					AA40				
			GND					AA43				
			GND					AA44				
			GND					AA5				
			GND					AA6				
			GND					AB11				
			GND					AB17				
			GND					AB22				
			GND					AB27				
			GND					AB3				
			GND					AB34				
			GND					AB37				
			GND					AB38				
			GND					AB4				
			GND					AB41				
			GND					AB42				
			GND					AB7				
			GND					AB8				
			GND					AC1				
			GND					AC12				
			GND					AC15				
			GND					AC2				
			GND					AC20				
			GND					AC25				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AC30				
			GND					AC33				
			GND					AC39				
			GND					AC40				
			GND					AC43				
			GND					AC44				
			GND					AC5				
			GND					AC6				
			GND					AD11				
			GND					AD18				
			GND					AD23				
			GND					AD28				
			GND					AD3				
			GND					AD32				
			GND					AD33				
			GND					AD34				
			GND					AD37				
			GND					AD38				
			GND					AD4				
			GND					AD41				
			GND					AD42				
			GND					AD7				
			GND					AD8				
			GND					AE1				
			GND					AE11				
			GND					AE16				
			GND					AE2				
			GND					AE21				
			GND					AE26				
			GND					AE31				
			GND					AE34				
			GND					AE39				
			GND					AE40				
			GND					AE43				
			GND					AE44				
			GND					AE5				
			GND					AE6				
			GND					AF11				
			GND					AF13				
			GND					AF14				
			GND					AF19				
			GND					AF24				
			GND					AF29				
			GND					AF3				
			GND					AF34				
			GND					AF37				
			GND					AF38				
			GND					AF4				
			GND					AF41				
			GND					AF42				
			GND					AF7				
			GND					AF8				
			GND					AG1				
			GND					AG12				
			GND					AG13				
			GND					AG18				
			GND					AG2				
			GND					AG22				
			GND					AG27				
			GND					AG33				
			GND					AG39				
			GND					AG40				
			GND					AG43				
			GND					AG44				
			GND					AG5				
			GND					AG6				
			GND					AH11				
			GND					AH15				
			GND					AH20				
			GND					AH25				
			GND					AH3				
			GND					AH30				
			GND					AH33				
			GND					AH34				
			GND					AH37				
			GND					AH38				
			GND					AH4				
			GND					AH41				
			GND					AH42				
			GND					AH7				
			GND					AH8				
			GND					AJ1				
			GND					AJ11				
			GND					AJ13				
			GND					AJ18				
			GND					AJ2				
			GND					AJ23				
			GND					AJ28				
			GND					AJ34				
			GND					AJ39				
			GND					AJ40				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AJ43				
			GND					AJ44				
			GND					AJ5				
			GND					AJ6				
			GND					AK11				
			GND					AK21				
			GND					AK26				
			GND					AK3				
			GND					AK34				
			GND					AK37				
			GND					AK38				
			GND					AK4				
			GND					AK41				
			GND					AK42				
			GND					AK7				
			GND					AK8				
			GND					AL1				
			GND					AL12				
			GND					AL19				
			GND					AL2				
			GND					AL24				
			GND					AL33				
			GND					AL39				
			GND					AL40				
			GND					AL43				
			GND					AL44				
			GND					AL5				
			GND					AL6				
			GND					AM11				
			GND					AM27				
			GND					AM3				
			GND					AM32				
			GND					AM34				
			GND					AM37				
			GND					AM38				
			GND					AM4				
			GND					AM41				
			GND					AM42				
			GND					AM7				
			GND					AM8				
			GND					AN1				
			GND					AN11				
			GND					AN2				
			GND					AN20				
			GND					AN34				
			GND					AN39				
			GND					AN40				
			GND					AN43				
			GND					AN44				
			GND					AN5				
			GND					AN6				
			GND					AP11				
			GND					AP13				
			GND					AP3				
			GND					AP34				
			GND					AP37				
			GND					AP38				
			GND					AP4				
			GND					AP41				
			GND					AP42				
			GND					AP7				
			GND					AP8				
			GND					AR1				
			GND					AR12				
			GND					AR2				
			GND					AR31				
			GND					AR33				
			GND					AR39				
			GND					AR40				
			GND					AR43				
			GND					AR44				
			GND					AR5				
			GND					AR6				
			GND					AT11				
			GND					AT14				
			GND					AT19				
			GND					AT24				
			GND					AT29				
			GND					AT3				
			GND					AT34				
			GND					AT37				
			GND					AT38				
			GND					AT4				
			GND					AT41				
			GND					AT42				
			GND					AT7				
			GND					AT8				
			GND					AU1				
			GND					AU11				
			GND					AU17				
			GND					AU2				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					AU22				
			GND					AU27				
			GND					AU32				
			GND					AU34				
			GND					AU39				
			GND					AU40				
			GND					AU43				
			GND					AU44				
			GND					AU5				
			GND					AU6				
			GND					AV11				
			GND					AV15				
			GND					AV20				
			GND					AV25				
			GND					AV3				
			GND					AV30				
			GND					AV34				
			GND					AV37				
			GND					AV38				
			GND					AV4				
			GND					AV41				
			GND					AV42				
			GND					AV7				
			GND					AV8				
			GND					AW1				
			GND					AW10				
			GND					AW11				
			GND					AW13				
			GND					AW18				
			GND					AW2				
			GND					AW23				
			GND					AW28				
			GND					AW34				
			GND					AW35				
			GND					AW36				
			GND					AW39				
			GND					AW40				
			GND					AW43				
			GND					AW44				
			GND					AW5				
			GND					AW6				
			GND					AW9				
			GND					AY11				
			GND					AY16				
			GND					AY21				
			GND					AY26				
			GND					AY3				
			GND					AY31				
			GND					AY34				
			GND					AY37				
			GND					AY38				
			GND					AY4				
			GND					AY41				
			GND					AY42				
			GND					AY7				
			GND					AY8				
			GND					B11				
			GND					B12				
			GND					B13				
			GND					B14				
			GND					B15				
			GND					B17				
			GND					B22				
			GND					B27				
			GND					B3				
			GND					B30				
			GND					B31				
			GND					B32				
			GND					B33				
			GND					B34				
			GND					B37				
			GND					B38				
			GND					B4				
			GND					B41				
			GND					B42				
			GND					B7				
			GND					B8				
			GND					BA1				
			GND					BA10				
			GND					BA11				
			GND					BA14				
			GND					BA19				
			GND					BA2				
			GND					BA24				
			GND					BA29				
			GND					BA34				
			GND					BA35				
			GND					BA36				
			GND					BA39				
			GND					BA40				
			GND					BA43				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					BA44				
			GND					BA5				
			GND					BA6				
			GND					BA9				
			GND					BB11				
			GND					BB12				
			GND					BB17				
			GND					BB22				
			GND					BB27				
			GND					BB3				
			GND					BB32				
			GND					BB34				
			GND					BB37				
			GND					BB38				
			GND					BB4				
			GND					BB41				
			GND					BB42				
			GND					BB7				
			GND					BB8				
			GND					BC1				
			GND					BC10				
			GND					BC11				
			GND					BC15				
			GND					BC2				
			GND					BC20				
			GND					BC25				
			GND					BC30				
			GND					BC34				
			GND					BC35				
			GND					BC36				
			GND					BC39				
			GND					BC40				
			GND					BC43				
			GND					BC44				
			GND					BC5				
			GND					BC6				
			GND					BC9				
			GND					BD11				
			GND					BD13				
			GND					BD18				
			GND					BD2				
			GND					BD23				
			GND					BD28				
			GND					BD3				
			GND					BD32				
			GND					BD34				
			GND					BD37				
			GND					BD38				
			GND					BD4				
			GND					BD41				
			GND					BD42				
			GND					BD43				
			GND					BD7				
			GND					BD8				
			GND					C1				
			GND					C10				
			GND					C13				
			GND					C15				
			GND					C2				
			GND					C20				
			GND					C25				
			GND					C30				
			GND					C32				
			GND					C35				
			GND					C36				
			GND					C39				
			GND					C40				
			GND					C43				
			GND					C44				
			GND					C5				
			GND					C6				
			GND					C9				
			GND					D11				
			GND					D12				
			GND					D13				
			GND					D18				
			GND					D23				
			GND					D28				
			GND					D3				
			GND					D32				
			GND					D33				
			GND					D34				
			GND					D37				
			GND					D38				
			GND					D4				
			GND					D41				
			GND					D42				
			GND					D7				
			GND					D8				
			GND					E1				
			GND					E10				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					E13				
			GND					E16				
			GND					E2				
			GND					E21				
			GND					E26				
			GND					E31				
			GND					E32				
			GND					E35				
			GND					E36				
			GND					E39				
			GND					E40				
			GND					E43				
			GND					E44				
			GND					E5				
			GND					E6				
			GND					E9				
			GND					F11				
			GND					F12				
			GND					F13				
			GND					F19				
			GND					F24				
			GND					F29				
			GND					F3				
			GND					F32				
			GND					F33				
			GND					F34				
			GND					F37				
			GND					F38				
			GND					F4				
			GND					F41				
			GND					F42				
			GND					F7				
			GND					F8				
			GND					G1				
			GND					G12				
			GND					G17				
			GND					G2				
			GND					G22				
			GND					G27				
			GND					G33				
			GND					G39				
			GND					G40				
			GND					G43				
			GND					G44				
			GND					G5				
			GND					G6				
			GND					H11				
			GND					H15				
			GND					H20				
			GND					H25				
			GND					H3				
			GND					H30				
			GND					H34				
			GND					H37				
			GND					H38				
			GND					H4				
			GND					H41				
			GND					H42				
			GND					H7				
			GND					H8				
			GND					J1				
			GND					J11				
			GND					J13				
			GND					J18				
			GND					J2				
			GND					J23				
			GND					J28				
			GND					J34				
			GND					J39				
			GND					J40				
			GND					J43				
			GND					J44				
			GND					J5				
			GND					J6				
			GND					K11				
			GND					K16				
			GND					K26				
			GND					K3				
			GND					K31				
			GND					K34				
			GND					K37				
			GND					K38				
			GND					K4				
			GND					K41				
			GND					K42				
			GND					K7				
			GND					K8				
			GND					L1				
			GND					L12				
			GND					L14				
			GND					L19				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					L2				
			GND					L29				
			GND					L33				
			GND					L39				
			GND					L40				
			GND					L43				
			GND					L44				
			GND					L5				
			GND					L6				
			GND					M11				
			GND					M17				
			GND					M3				
			GND					M32				
			GND					M34				
			GND					M37				
			GND					M38				
			GND					M4				
			GND					M41				
			GND					M42				
			GND					M7				
			GND					M8				
			GND					N1				
			GND					N11				
			GND					N2				
			GND					N34				
			GND					N39				
			GND					N40				
			GND					N43				
			GND					N44				
			GND					N5				
			GND					N6				
			GND					P11				
			GND					P13				
			GND					P18				
			GND					P3				
			GND					P34				
			GND					P37				
			GND					P38				
			GND					P4				
			GND					P41				
			GND					P42				
			GND					P7				
			GND					P8				
			GND					R1				
			GND					R12				
			GND					R2				
			GND					R21				
			GND					R33				
			GND					R39				
			GND					R40				
			GND					R43				
			GND					R44				
			GND					R5				
			GND					R6				
			GND					T11				
			GND					T19				
			GND					T24				
			GND					T3				
			GND					T34				
			GND					T37				
			GND					T38				
			GND					T4				
			GND					T41				
			GND					T42				
			GND					T7				
			GND					T8				
			GND					U1				
			GND					U11				
			GND					U17				
			GND					U2				
			GND					U22				
			GND					U27				
			GND					U32				
			GND					U34				
			GND					U39				
			GND					U40				
			GND					U43				
			GND					U44				
			GND					U5				
			GND					U6				
			GND					V11				
			GND					V15				
			GND					V20				
			GND					V25				
			GND					V3				
			GND					V30				
			GND					V34				
			GND					V37				
			GND					V38				
			GND					V4				
			GND					V41				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND					V42				
			GND					V7				
			GND					V8				
			GND					W1				
			GND					W12				
			GND					W13				
			GND					W18				
			GND					W2				
			GND					W23				
			GND					W28				
			GND					W33				
			GND					W39				
			GND					W40				
			GND					W43				
			GND					W44				
			GND					W5				
			GND					W6				
			GND					Y11				
			GND					Y16				
			GND					Y21				
			GND					Y26				
			GND					Y3				
			GND					Y31				
			GND					Y34				
			GND					Y37				
			GND					Y38				
			GND					Y4				
			GND					Y41				
			GND					Y42				
			GND					Y7				
			GND					Y8				
			GNDSENSE					AE23				
			VCC					AA15				
			VCC					AA16				
			VCC					AA17				
			VCC					AA18				
			VCC					AA20				
			VCC					AA21				
			VCC					AA25				
			VCC					AA26				
			VCC					AA27				
			VCC					AA28				
			VCC					AA30				
			VCC					AA31				
			VCC					AB14				
			VCC					AB15				
			VCC					AB20				
			VCC					AB24				
			VCC					AB29				
			VCC					AB30				
			VCC					AB31				
			VCC					AC14				
			VCC					AC16				
			VCC					AC17				
			VCC					AC18				
			VCC					AC19				
			VCC					AC21				
			VCC					AC22				
			VCC					AC23				
			VCC					AC24				
			VCC					AC26				
			VCC					AC27				
			VCC					AC28				
			VCC					AC29				
			VCC					AC31				
			VCC					AD14				
			VCC					AD15				
			VCC					AD16				
			VCC					AD17				
			VCC					AD19				
			VCC					AD20				
			VCC					AD21				
			VCC					AD22				
			VCC					AD24				
			VCC					AD25				
			VCC					AD26				
			VCC					AD27				
			VCC					AD29				
			VCC					AD30				
			VCC					AD31				
			VCC					AE14				
			VCC					AE15				
			VCC					AE17				
			VCC					AE18				
			VCC					AE19				
			VCC					AE20				
			VCC					AE24				
			VCC					AE25				
			VCC					AE27				
			VCC					AE28				
			VCC					AE29				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC					AE30				
			VCC					AF15				
			VCC					AF16				
			VCC					AF17				
			VCC					AF22				
			VCC					AF23				
			VCC					AF28				
			VCC					AF30				
			VCC					AG15				
			VCC					AG23				
			VCC					AG24				
			VCC					AG25				
			VCC					AG30				
			VCC					AH16				
			VCC					AH17				
			VCC					AH18				
			VCC					AH19				
			VCC					AH21				
			VCC					AH22				
			VCC					AH23				
			VCC					AH24				
			VCC					AH26				
			VCC					AH27				
			VCC					AH28				
			VCC					AH29				
			VCC					AJ15				
			VCC					AJ16				
			VCC					AJ17				
			VCC					AJ19				
			VCC					AJ20				
			VCC					AJ21				
			VCC					AJ22				
			VCC					AJ24				
			VCC					AJ25				
			VCC					AJ26				
			VCC					AJ27				
			VCC					AJ29				
			VCC					AJ30				
			VCC					AK17				
			VCC					AK30				
			VCC					R15				
			VCC					T15				
			VCC					T16				
			VCC					T17				
			VCC					T21				
			VCC					T22				
			VCC					T27				
			VCC					T28				
			VCC					T30				
			VCC					U15				
			VCC					U16				
			VCC					U18				
			VCC					U19				
			VCC					U20				
			VCC					U21				
			VCC					U23				
			VCC					U24				
			VCC					U25				
			VCC					U26				
			VCC					U28				
			VCC					U29				
			VCC					U30				
			VCC					V18				
			VCC					V21				
			VCC					V22				
			VCC					V27				
			VCC					W14				
			VCC					W15				
			VCC					W16				
			VCC					W17				
			VCC					W22				
			VCC					W27				
			VCC					W29				
			VCC					W30				
			VCC					Y14				
			VCC					Y15				
			VCC					Y17				
			VCC					Y18				
			VCC					Y19				
			VCC					Y20				
			VCC					Y22				
			VCC					Y23				
			VCC					Y24				
			VCC					Y25				
			VCC					Y27				
			VCC					Y28				
			VCC					Y29				
			VCC					Y30				
			VCCPT					AF18				
			VCCPT					AF20				
			VCCPT					AF21				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCPT					AF25				
			VCCPT					AF26				
			VCCPT					AF27				
			VCCPT					W19				
			VCCPT					W20				
			VCCPT					W21				
			VCCPT					W24				
			VCCPT					W25				
			VCCPT					W26				
			DNU					BC33				
			DNU					BC32				
			DNU					BC13				
			DNU					BC12				
			DNU					AL25				
			DNU					AK25				
			DNU					AM26				
			VCCPGM					AL21				
			VCCPGM					AL22				
			TEMPDIODEn					K19				
			TEMPDIODEp					J19				
			VCCBAT					AK22				
			VCCA_PLL					AA22				
			VCCA_PLL					AA23				
			VCCIO2A					AK31				
			VCCIO2A					AL29				
			VCCIO2A					AN30				
			VCCIO2I					K21				
			VCCIO2I					M22				
			VCCIO2I					N20				
			VCCIO2J					N30				
			VCCIO2J					R31				
			VCCIO2J					T29				
			VCCIO2K					M27				
			VCCIO2K					P28				
			VCCIO2K					R26				
			VCCIO2L					L24				
			VCCIO2L					N25				
			VCCIO2L					P23				
			VCCIO3A					AN25				
			VCCIO3A					AP28				
			VCCIO3A					AR26				
			VCCIO3B					AM22				
			VCCIO3B					AP23				
			VCCIO3B					AR21				
			VCCIO3C					AM17				
			VCCIO3C					AP18				
			VCCIO3C					AR16				
			VCCIO3D					AK16				
			VCCIO3D					AL14				
			VCCIO3D					AN15				
			VCCIO3E					N15				
			VCCIO3E					R16				
			VCCIO3E					T14				
2A		VREFB2AN0	VREFB2AN0					AF31				
2I		VREFB2IN0	VREFB2IN0					T20				
2J		VREFB2JN0	VREFB2JN0					V32				
2K		VREFB2KN0	VREFB2KN0					M29				
2L		VREFB2LN0	VREFB2LN0					T25				
3A		VREFB3AN0	VREFB3AN0					AL26				
3B		VREFB3BN0	VREFB3BN0					AM20				
3C		VREFB3CN0	VREFB3CN0					AL18				
3D		VREFB3DN0	VREFB3DN0					AG14				
3E		VREFB3EN0	VREFB3EN0					V13				
			VREFN_ADC					N19				
			VREFP_ADC					M19				
			NC					C14				
			NC					D14				
			NC					D15				
			NC					E14				
			NC					E15				
			NC					F14				
			NC					F15				
			NC					F16				
			NC					G14				
			NC					G15				
			NC					G16				
			NC					G18				
			NC					H16				
			NC					H17				
			NC					H18				
			NC					J16				
			NC					J17				
			NC					K17				
			NC					K18				
			NC					L17				
			NC					L18				
			NC					M18				
			NC					N17				
			NC					N18				
			NC					P17				
			VCCH_GXBL					AC34				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCH_GXBL					AG34				
			VCCH_GXBL					AL34				
			VCCH_GXBL					AR34				
			VCCH_GXBL					G34				
			VCCH_GXBL					L34				
			VCCH_GXBL					R34				
			VCCH_GXBL					W34				
			VCCH_GXBR					AC11				
			VCCH_GXBR					AG11				
			VCCH_GXBR					AL11				
			VCCH_GXBR					AR11				
			VCCH_GXBR					G11				
			VCCH_GXBR					L11				
			VCCH_GXBR					R11				
			VCCH_GXBR					W11				
			VCCR_GXBL1C					AU35				
			VCCR_GXBL1C					AU36				
			VCCR_GXBL1D					AN35				
			VCCR_GXBL1D					AN36				
			VCCR_GXBL1E					AJ35				
			VCCR_GXBL1E					AJ36				
			VCCR_GXBL1F					AE35				
			VCCR_GXBL1F					AE36				
			VCCR_GXBL1G					AA35				
			VCCR_GXBL1G					AA36				
			VCCR_GXBL1H					U35				
			VCCR_GXBL1H					U36				
			VCCR_GXBL1I					N35				
			VCCR_GXBL1I					N36				
			VCCR_GXBL1J					J35				
			VCCR_GXBL1J					J36				
			VCCR_GXBR4C					AU10				
			VCCR_GXBR4C					AU9				
			VCCR_GXBR4D					AN10				
			VCCR_GXBR4D					AN9				
			VCCR_GXBR4E					AJ10				
			VCCR_GXBR4E					AJ9				
			VCCR_GXBR4F					AE10				
			VCCR_GXBR4F					AE9				
			VCCR_GXBR4G					AA10				
			VCCR_GXBR4G					AA9				
			VCCR_GXBR4H					U10				
			VCCR_GXBR4H					U9				
			VCCR_GXBR4I					N10				
			VCCR_GXBR4I					N9				
			VCCR_GXBR4J					J10				
			VCCR_GXBR4J					J9				
			VCCT_GXBL1C					AR35				
			VCCT_GXBL1C					AR36				
			VCCT_GXBL1D					AL35				
			VCCT_GXBL1D					AL36				
			VCCT_GXBL1E					AG35				
			VCCT_GXBL1E					AG36				
			VCCT_GXBL1F					AC35				
			VCCT_GXBL1F					AC36				
			VCCT_GXBL1G					W35				
			VCCT_GXBL1G					W36				
			VCCT_GXBL1H					R35				
			VCCT_GXBL1H					R36				
			VCCT_GXBL1I					L35				
			VCCT_GXBL1I					L36				
			VCCT_GXBL1J					G35				
			VCCT_GXBL1J					G36				
			VCCT_GXBR4C					AR10				
			VCCT_GXBR4C					AR9				
			VCCT_GXBR4D					AL10				
			VCCT_GXBR4D					AL9				
			VCCT_GXBR4E					AG10				
			VCCT_GXBR4E					AG9				
			VCCT_GXBR4F					AC10				
			VCCT_GXBR4F					AC9				
			VCCT_GXBR4G					W10				
			VCCT_GXBR4G					W9				
			VCCT_GXBR4H					R10				
			VCCT_GXBR4H					R9				
			VCCT_GXBR4I					L10				
			VCCT_GXBR4I					L9				
			VCCT_GXBR4J					G10				
			VCCT_GXBR4J					G9				
			RREF_BL					BD33				
			RREF_BR					BD12				
			RREF_TL					A31				
			RREF_TR					A14				
			VCCERAM					AB16				
			VCCERAM					AB18				
			VCCERAM					AB19				
			VCCERAM					AB21				
			VCCERAM					AB23				
			VCCERAM					AB25				
			VCCERAM					AB26				
			VCCERAM					AB28				

<div><div>intel</div>FPGA</div> <div>Pin Information for the Intel® Arria® 10 10AX115 Device Version 1.6</div>												
Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	UF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCLSENSE					AE22				
			VCCP					AG16				
			VCCP					AG17				
			VCCP					AG19				
			VCCP					AG20				
			VCCP					AG21				
			VCCP					AG26				
			VCCP					AG28				
			VCCP					AG29				
			VCCP					V16				
			VCCP					V17				
			VCCP					V19				
			VCCP					V23				
			VCCP					V24				
			VCCP					V26				
			VCCP					V28				
			VCCP					V29				
			VSIGN_0					P19				
			VSIGN_1					R18				
			VSIGP_0					R19				
			VSIGP_1					R17				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Version Number	Date	Changes Made
1.0	11/27/2013	Initial release.
1.1	1/22/2014	Added SF45 Pin List.
1.2	3/20/2014	<ul style="list-style-type: none"> Updated Pin List RF40, SF45, and UF45 to replace PLL_##_FB[n p] with PLL_##_FB[1 0]. Added Pin List HF34, NF40, and NF45.
1.3	5/14/2014	Added KF36 Pin List
1.4	11/11/2014	<ul style="list-style-type: none"> Updated CRCERROR pin name to CRC_ERROR pin name. Added Soft CDR Support column to all packages. Added DQS for X4 column to all packages.
1.5	11/16/2015	Removed Pin List KF36.
1.6	3/24/2017	Rebranded as Intel.