

PLL в чипах семейства Cyclone III

Семейство Cyclone III предлагает до четырёх PLL, которые предоставляют устойчивое управление и синтез тактовых сигналов для внутренних тактовых сигналов чипа, внешних тактовых сигналов и высокоскоростных I/O интерфейсов.

За дополнительной информацией о количестве PLL в чипах различной плотности, обратитесь к главе ["Общее представление о семействе Cyclone III"](#).

PLL в семействе Cyclone III имеют одинаковую структуру аналогового ядра. В табл. 5-3 представлены средства, доступные в PLL семейства Cyclone III.

Табл. 5-3. Аппаратные средства PLL семейства Cyclone III

Аппаратные средства	Наличие
С (выходные счётчики)	5
Размер счётчиков M, N, C	от 1 до 512 (1)
Количество специальных выходов тактового сигнала	1 однополярный или дифференциальный 1
Количество входных выводов тактовых сигналов	4 однополярных или дифференциальные пары 2
Отслеживание разброса частоты входного тактового сигнала	✓ (2)
Каскадирование PLL	Посредством сетей GCLK
Режимы компенсации	Режим синхронизации с источником, режим без компенсации, обычный режим и режим буфера нулевой задержки
Разрешение фазового сдвига	До 96-ти пикосекундного инкремента (3)
Программирование рабочего цикла	✓
Каскадирование выходных счётчиков	✓
Переключатель входного тактового сигнала	✓
Пользовательский режим реконfigurирования	✓
Детектирование потери защёлки	✓

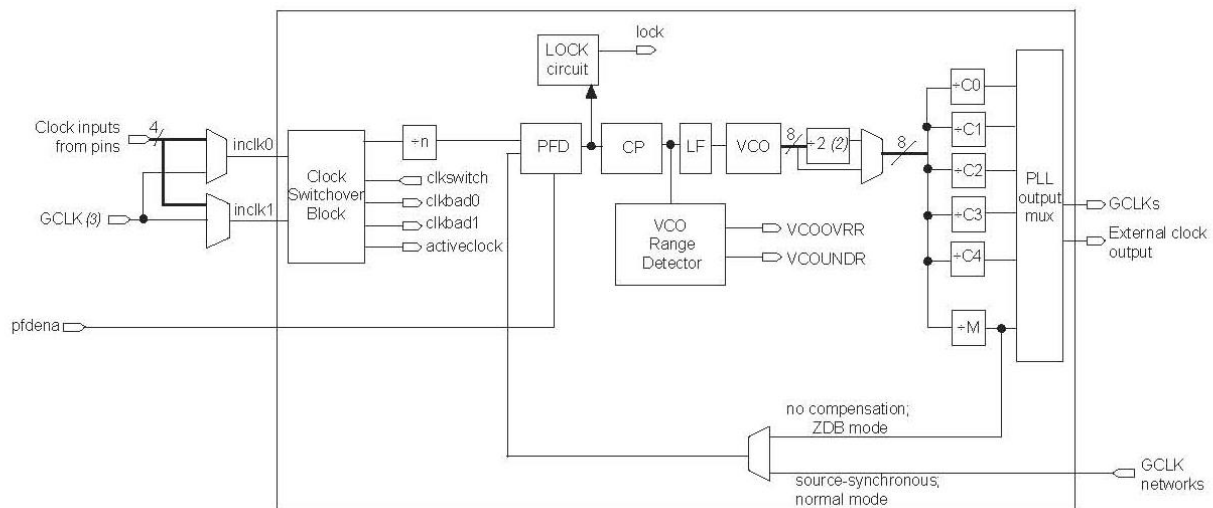
Примечания к табл. 5-3:

- (1) Счётчики С имеют диапазон от 1 до 512, если выходной тактовый сигнал использует 50% рабочий цикл. Для некоторых выходных тактовых сигналов, использующих не 50% рабочий цикл, пост масштабирующие счётчики имеют диапазон от 1 до 256.
- (2) Применимо, если джиттер (дрожание, неустойчивая синхронизация) входного тактового сигнала укладывается в отведённый диапазон для джиттера.
- (3) Наименьший фазовый сдвиг получается делением на восемь периода генератора, управляемого напряжением (ГУН, VCO). В градусах - это необходимо, чтобы в чипе Cyclone III сдвиг всех частот имел инкремент не менее 45°. Меньшие инкременты в градусах возможны в зависимости от параметров частоты и деления.

Аппаратные средства PLL семейства Cyclone III

В этой главе даётся представление об аппаратных средствах PLL в чипах семейства Cyclone III. На рис. 5-6 представлена упрощённая блок-схема основных компонентов PLL в чипах семейства Cyclone III.

Figure 5-6. Cyclone III Device Family PLL Block Diagram (1)



Примечания к рис. 5-6:

- (1) Каждый источник тактового сигнала поступает от любого из входных тактовых выводов, расположенных на одной с PLL стороне чипа.
- (2) Это пост-масштабирующий VCO (ГУН) счётчик K.
- (3) Этот входной порт управляется поступающим с входного вывода специального GCLK или посредством блока контроля тактов, если на вход блока контроля тактов поступает выходной сигнал от другой PLL или от входного вывода специального GCLK. Сгенерированные внутренней логикой глобальные тактовые сигналы не могут поступать на PLL.

Пост-масштабирующий VCO (ГУН) счётчик K используется для деления величины VCO (ГУН) на два. Частота VCO (ГУН) выдаваемая программой Quartus II в секции PLL summary отчёта о компиляции укладывается в ограничения размера пост-масштабирующего счётчика VCO.

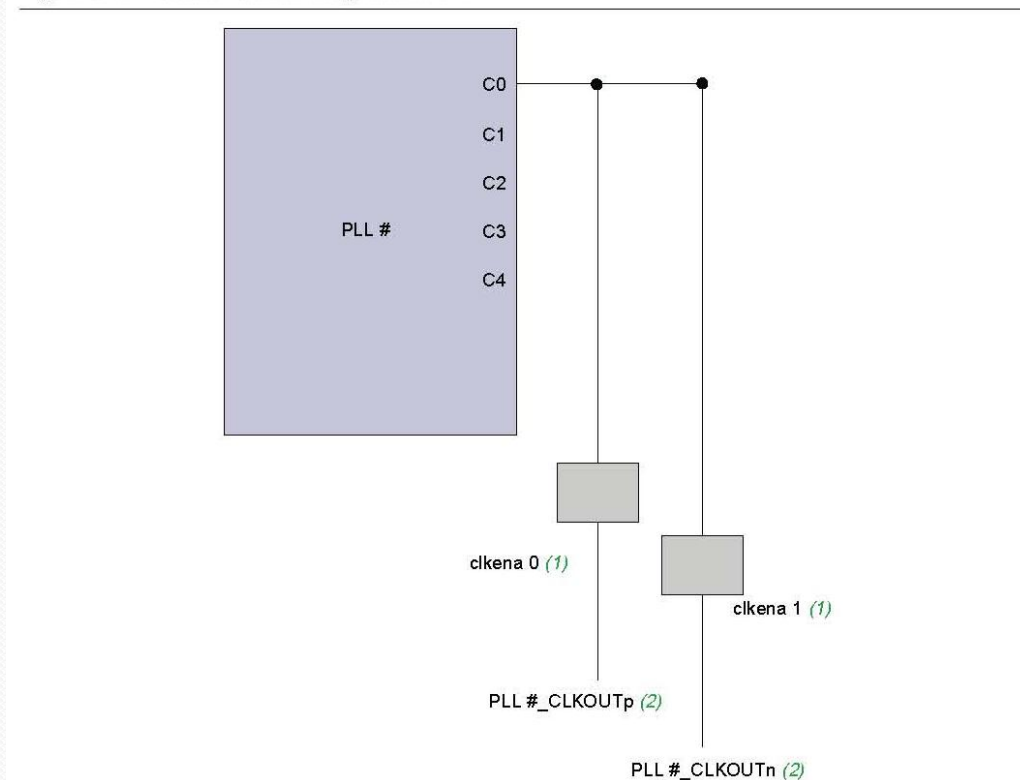
Поэтому, если VCO (ГУН) счётчик имеет значение 2, то частота, представленная в отчёте, является меньшей, чем заданная в спецификации частоты f_{VCO} в главах [Технические характеристики чипа Cyclone III](#) и [Технические характеристики чипа Cyclone III LS](#).

Внешние выходы тактовых сигналов

Каждая PLL в семействе Cyclone III поддерживает один несимметричный или один дифференциальный выход. Только выход счётчика C0 может управлять специальными выходами внешних тактовых сигналов, как это показано на рис. 5-7, без необходимости подключения для этого GCLK. Выходы других счётчиков могут управлять другими I/O выводами посредством GCLK.

На рис. 5-7 показаны выходы внешних тактовых сигналов PLL.

Figure 5-7. External Clock Outputs for PLLs



Примечания к рис. 5-7:

- (1) Этот сигнал разрешения тактовых сигналов доступен только при использовании мегафункции ALTCLKCTRL.
- (2) Выводы PLL#_CLKOUTp и PLL#_CLKOUTn являются I/O выводами двойного назначения, которые вы можете использовать как несимметричный или как дифференциальный тактовый выход.

Каждый вывод в дифференциальной паре выходов сдвину по фазе на 180°. Программа Quartus II размещает вентиль NOT в вашем проекте в элемент I/O для реализации сдвига фазы 180° по отношению к другому выводу в паре. Вывод выхода тактового сигнала поддерживает те же I/O стандарты, что и обычные выходные выводы (в верхнем и нижнем банках), такие как LVDS, LVPECL, дифференциальный HSTL и дифференциальный SSTL.

Чтобы знать, какие стандарты поддерживаются входными и выходными выводами PLL, обратитесь к главе "[Средства ввода/вывода в чипах Cyclone III](#)".

PLL семейства Cyclone III может управлять любым обычным I/O выводом посредством GCLK. Вы можете также использовать выводы внешних тактовых сигналов в качестве обычных I/O выводов, если вам не требуется внешних тактовых сигналов от PLL.

Режимы обратной связи тактового сигнала

PLL семейства Cyclone III поддерживает до четырёх различных режимов обратной связи тактового сигнала. В каждом режиме допускается умножение и деление, фазовый сдвиг и программирование рабочего цикла.

Входная и выходная задержки полностью компенсируются PLL только, если вы используете специальный входной вывод тактового сигнала, ассоциированный с этой PLL в качестве источника тактового сигнала. Например, когда используется PLL1 в обычном режиме (normal mode), тактовые задержки от входного вывода до PLL и от выхода тактового сигнала PLL до регистра назначения полностью компенсируются, если вход тактового сигнала поступает с одного из этих четырёх тактовых выводов:

- CLK0,
- CLK1,
- CLK2,
- CLK3.

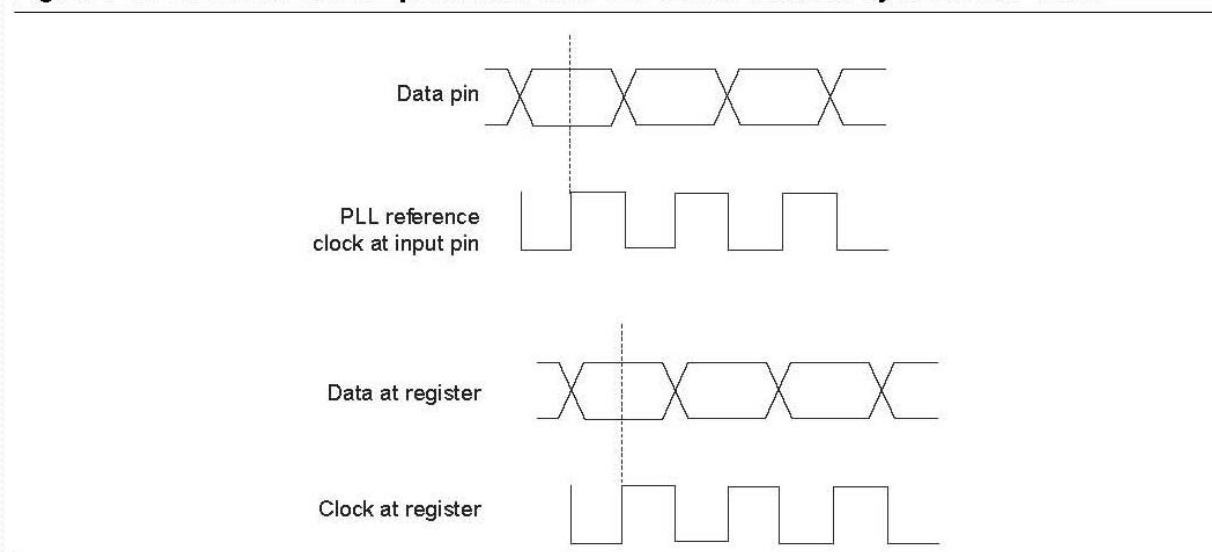
Когда PLL управляется с использованием сетей GCLK, входные и выходные задержки не могут быть полностью компенсированы в программе Quartus II.

Режим синхронизации с источником (Source-Synchronous Mode)

Если данные и тактовый сигнал поступают на входные выводы одновременно, фазовое соотношение между этими данными и тактовым сигналом остаются такими же на портах данных и тактовых сигналов любых I/O элементов входного регистра.

На рис. 5-8 показаны примеры временных диаграмм сигналов данных и тактовых в этом режиме. Используйте этот режим для синхронных с источником передачи данных. Сигналы данных и тактовый на I/O элементе имеют похожую задержку буфера, соответствующую используемому I/O стандарту.

Figure 5–8. Phase Relationship Between Data and Clock in Source-Synchronous Mode



Режим синхронизации с источником компенсирует задержку тактовой сети, используя различные сочетания в распространении задержки между следующими двумя путями:

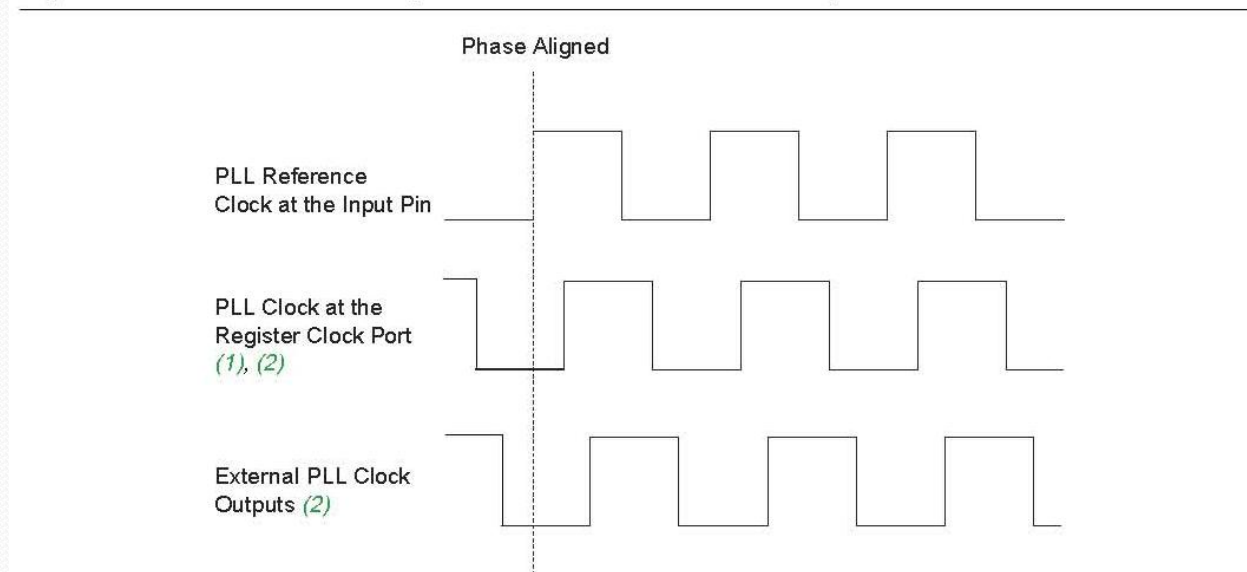
- от вывода входа данных до I/O элемента входного регистра,
- от вывода входа тактового сигнала до входа фазо-частотного детектора (PFD) PLL.

Задайте задержку цепи "входной вывод - регистр I/O элемента" равной нулю в программе Quartus II для всех входных выводов данных, тактируемых PLL в режиме синхронизации с источником. Также все входные выводы данных должны использовать опцию **PLL COMPENSATED logic** в программе Quartus II.

Режим без компенсации (No Compensation Mode)

В режиме без компенсации PLL не производит компенсацию каких-либо тактовых сетей. Это даёт лучшие характеристики по джиттеру, поскольку обратная связь тактового сигнала, поступающая в PFD, не проходит через большую часть схемы. Оба тактовых выхода PLL - внутренний и внешний - сдвинуты по фазе относительно входа тактового сигнала PLL.

На рис. 5-9 показаны примеры временных диаграмм зависимости фазы тактового сигнала PLL в этом режиме.

Figure 5–9. Phase Relationship Between PLL Clocks in No Compensation Mode**Примечания к рис. 5-9:**

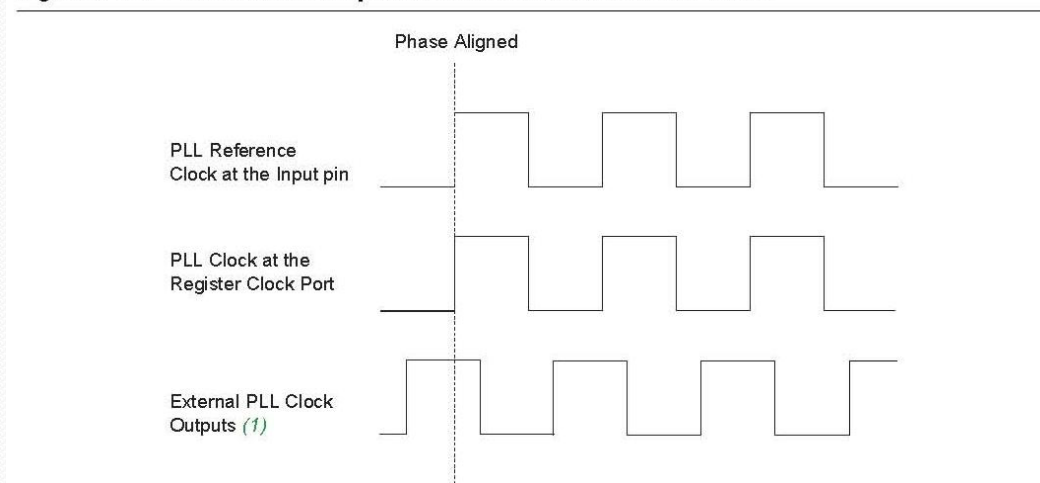
- (1) Внутренние тактовые сигналы, выходящие с PLL, выровнены по фазе по отношению друг к другу.
- (2) Тактовые выходы PLL могут опережать или отставать от входных тактовых сигналов PLL.

Обычный режим (Normal Mode)

Внутренний тактовый сигнал в обычном режиме работы выровнен по фазе с тактовым сигналом на входном выводе. Вывод внешнего тактового сигнала будет иметь задержку по фазе по отношению к выводу входа тактового сигнала, если он подключен в этом режиме. Отчёты временного анализатора программы Quartus II указывают на любые отличия в фазе между этими двумя выводами. В обычном режиме PLL полностью компенсирует задержку, вносимую сетью GCLK.

На рис. 5-10 показаны примеры временных диаграмм зависимости фазы тактового сигнала PLL в этом режиме.

Figure 5–10. Phase Relationship Between PLL Clocks in Normal Mode



Примечание к рис. 5-10:

- (1) Внешние тактовые выходы могут опережать или отставать от внутренних тактовых сигналов PLL.

Режим буфера с нулевой задержкой (Zero Delay Buffer Mode)

В режиме буфера с нулевой задержкой (ZDB) вывод внешнего тактового сигнала выровнен по фазе с тактовым сигналом на входном выводе для обеспечения нулевой задержки распространения тактового сигнала через микросхему. Когда задействован этот режим, необходимо использовать одинаковый I/O стандарт для входных и выходных тактовых сигналов, чтобы гарантировать их выравнивание на входных и выходных выводах.

На рис. 5-11 показаны примеры временных диаграмм зависимости фазы тактового сигнала PLL в ZDB режиме.

Figure 5–11. Phase Relationship Between PLL Clocks in ZDB Mode

