

## Поддержка чипов

Ядро контроллера SDRAM с интерфейсом Avalon поддерживается всеми семействами чипов Altera. Различные семейства чипов поддерживают различные I/O стандарты, которые могут влиять на способность ядра организовать интерфейс с большинством чипов SDRAM. Подробнее о поддержке I/O типов, обратитесь к настольной книге по чипу выбранного семейства.

## Инсталляция ядра в SOPC Builder

Используйте интерфейс MegaWizard™ для контроллера SDRAM в SOPC Builder, чтобы задать аппаратные средства и симуляцию. Для контроллера SDRAM в MegaWizard имеется две страницы: **Memory Profile (Профиль памяти)** и **Timing (Временные характеристики)**. В этой секции описываются возможные вариации опциями на каждой странице.

Список **Presets** предлагает несколько предустановленных конфигураций SDRAM для удобства. Если подсистема SDRAM на плате описывается одной из предложенных конфигураций, вы можете сконфигурировать ядро контроллера SDRAM, просто выбрав соответствующее значение. Определены следующие конфигурации:

- Модуль Micron MT8LSDT1664HG
- Четыре SDR100 8 MByte × 16 чипов
- Один чип Micron MT48LC2M32B2-7
- Один чип Micron MT48LC4M32B2-7
- Один чип NEC D4564163-A80 (64 MByte × 16)
- Один чип Alliance AS4LC1M16S1-10
- Один чип Alliance AS4LC2M8S0-10

Выбор предложенной конфигурации автоматически изменяет значение на вкладке **Memory Profile** и **Timing**, чтобы создать заданную конфигурацию. Изменение настройки конфигурации на любой странице изменяет значение **Preset** на **custom**.

**Страница Профиль памяти**

Страница **Memory Profile** позволяет вам задать структуру подсистемы SDRAM, такую как, ширина шины адреса и данных, количество сигналов выбора чипа и количество банков. В табл. 1-1 список доступных настроек на странице **Memory Profile**.

Таблица 1-1. Настройки страницы **Memory Profile**

Настройки		Доступные значения	Значение по умолчанию	Описание
Ширина данных		8,16,32,64	32	Ширина шины данных SDRAM. Это значение определяет ширину шины dq (данные) и шины dqm (байт разрешения).
Архитектура	Выбор чипа	1, 2, 4, 8	1	Количество независимых сигналов выбора чипа в подсистеме SDRAM. При использовании нескольких выборов чипа, контроллер SDRAM сможет скомбинировать несколько чипов в одну подсистему памяти.
	Банки	2, 4	4	Количество банков SDRAM. Это значение определяет ширину шины ba (адрес банка), подключенной к SDRAM. Корректное значение находится в технической документации на SDRAM.
Ширина адреса	Строка (Row)	11,12, 13,14	12	Количество адресных битов в строке. Это значение определяет ширину шины addr. Значение строки и столбец зависят от геометрии выбранной SDRAM. Например, SDRAM 4096 состоит из ( $2^{12}$ ) строк по 512 столбцов, и имеет значение Row – 12.
	Столбец (Column)	$\geq 8$ и меньше, чем значение Row	8	Количество адресных битов в столбце. Например, SDRAM 4096 состоит из 512 ( $2^9$ ) столбцов и имеет значение Column – 9.
Общие выводы I/O в тристабильном мосту dq/dqm/addr		On, Off	Off	Когда установлено, что их нет, все выводы предназначаются чипу SDRAM. Когда они есть, выводы addr, dq и dqm могут быть использованы в тристабильном мосту системы. В этом случае, выберите соответствующий тристабильный мост во всплывающем меню.
Включение функциональной модели памяти в испытательный стенд системы		On, Off	On	Когда разрешено, SOPC Builder создаёт модель функциональной симуляции для SDRAM чипа. Модель по умолчанию ускоряет процесс создания и верификации системы, использующей контроллер SDRAM. Смотрите "Рассмотрение аппаратной симуляции" на странице 1-7.

Основываясь на настройках, введенных на странице **Memory Profile**, wizard отображает ёмкость внешней памяти подсистемы SDRAM в мегабайтах, мегабитах и количестве слов. Сравнивая эти значения с фактическим размером выбранной SDRAM, вы проверяете корректность ваших настроек.

### Страница временных характеристик

Страница **Timing** позволяет разработчикам вводить временную спецификацию используемых чипов SDRAM. Корректное значение содержится в спецификации на выбранную SDRAM. Табл. 1-2 показывает настройки, доступные на странице **Timing**.

Таблица 1-2. Настройки страницы **Timing**

Настройки	Доступные значения	Значение по умолчанию	Описание
Задержка CAS	1,2,3	3	Задержка (в тактах) от команды чтения до выхода данных
Циклы обновления инициализации	1-8	2	Это значение определяет количество необходимых циклов обновления контроллера SDRAM на стадии инициализации после сброса.
Выдача одной команды обновления	-	15.625 $\mu$ s	Это значение определяет, как часто контроллер SDRAM обновляет SDRAM. Обычно контроллеру требуется 4096 команд обновления каждые 64 мс, следовательно, одна команда обновления: $64/4096 = 15,625 \mu$ s.
Задержка перед инициализацией после включения питания	-	100 $\mu$ s	Задержка стабилизации тактов и питания до инициализации SDRAM.
Продолжительность команды обновления (t_rfc)	-	70 ns	Период авто обновления.
Продолжительность команды предзаряд (t_rp)	-	20 ns	Период команды предзаряд
Задержка АКТИВНОСТЬ для ЧТЕНИЯ или ЗАПИСИ (t_rcd)	-	20 ns	Задержка АКТИВНОСТЬ для ЧТЕНИЯ или ЗАПИСИ
Время доступа (t_ac)	-	17 ns	Время доступа по фронту импульса. Это значение зависит от задержки CAS
Время восстановления записи (t_wg, нет автоматического предзаряда)	-	14 ns	Время восстановления, если точно используется команда предзаряда. Этот контроллер SDRAM всегда использует команды предзаряда.

В зависимости от точности задания вами временных значений, фактические временные характеристики для каждого параметра будут целыми значениями, умноженными на тактовый период Avalon. Для параметра **Issue one refresh command every (Каждый раз использовать одну команду обновления)**, фактические временные характеристики – это наибольшее количество тактовых циклов, которое не превышает выбранное значение. Для всех других параметров, фактические временные характеристики – это наименьшее количество тактов, которое больше или равно выбранному значению.

### Рассмотрение аппаратной симуляции

В этой секции рассматривается симуляция системы с SDRAM. Для симуляции необходимы три важных компонента:

- Модель симуляции для контроллера SDRAM
- Модель симуляции для чипа SDRAM, также называемой моделью памяти.
- Тестовый стенд симуляции, связывающий временную модель с выводами контроллера SDRAM.

Некоторые или все эти компоненты генерируются в SOPC Builder на стадии генерации системы.

### **Модель симуляции для контроллера SDRAM**

Файлы проекта контроллера SDRAM, генерируемые в SOPC Builder, совместимы для большинства средств синтеза и симуляции. Некоторые средства симуляции реализованы в HDL с использованием директивы “translate on/off”, которая делает большинство секций HDL кода невидимым для инструмента синтеза.

Средства симуляции реализованы главным образом для простой симуляции процессорных систем Nios и Nios II, с использованием симулятора ModelSim®. Модель симуляции контроллера SDRAM не специфична для ModelSim. Однако небольшие изменения могут потребоваться для создания модели, работающей с другими симуляторами.

Если вы изменяете директивы симулятора, чтобы создать собственный процесс симуляции, знайте, что SOPC Builder переписывает существующие файлы во время генерации системы. Примите меры, чтобы ваши изменения не были бы переписаны.

Обратитесь к [AN 351](#): *Симуляция проектов с процессором Nios II* за демонстрацией симуляции контроллера SDRAM в контексте встроенной процессорной системы Nios II.

### **Модель памяти SDRAM**

В этой секции описываются две опции для симуляции модели памяти чипа SDRAM.

#### ***Использование групповой модели памяти***

Если опция **Include a functional memory model the system testbench** (включить функциональную модель памяти в тестовый стенд системы) разрешена на стадии генерации системы, SOPC Builder генерирует HDL модель симуляции для памяти SDRAM. В авто генерируемом тестовом стенде системы SOPC Builder автоматически связывает модель памяти с выводами SDRAM контроллера.

Использование автоматической модели памяти и тестового стенда ускоряет процесс создания и верификации системы, которая использует SDRAM контроллер. Однако, модель памяти – это групповая функциональная модель, которая не может отображать реальные временные или функциональные характеристики реального SDRAM чипа. Групповая модель всегда представлена как единый монолитный блок памяти. Например, каждый раз, когда комбинируется два чипа SDRAM, групповая модель памяти реализует одиночный элемент.

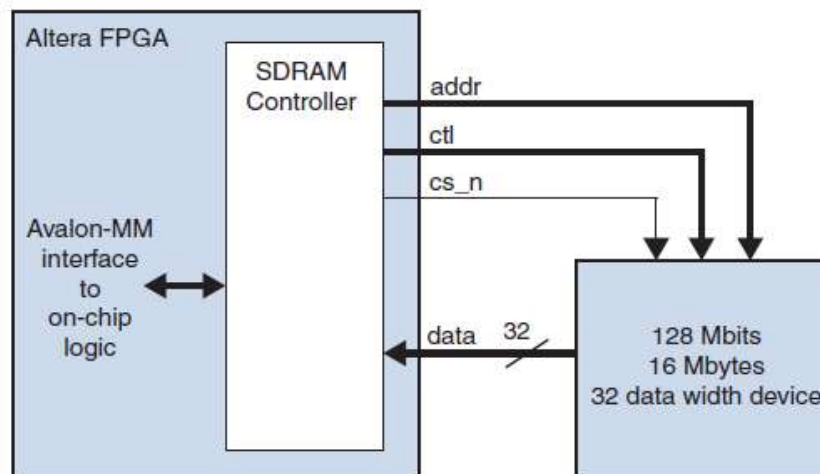
#### ***Использование SDRAM модели памяти от изготовителя***

Если опция **Include a functional memory model the system testbench** не разрешена, вы можете запросить модель памяти у изготовителя SDRAM, и вручную приписать модель к выводам SDRAM контроллера в тестовом стенде системы.

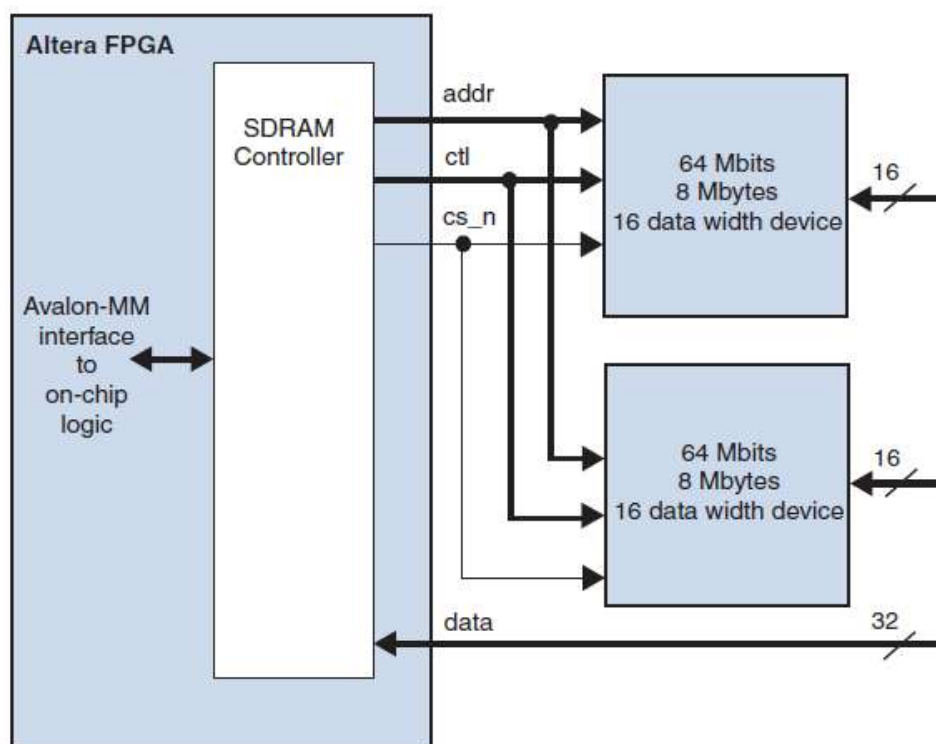
### **Примеры конфигурации**

В следующих примерах показано, как подключить выводы контроллера SDRAM к SDRAM чипу или чипам. Шина, помеченная как `ctl`, группирует оставшиеся сигналы, такие как `cas_n`, `ras_n`, `ske` и `we_n`.

На рис. 1-2 показан 128-Мбит SDRAM чип с 32-битными данными. Сигналы адреса, контроля и данных ведут прямо от контроллера на чип. В результате 128- Мбит (16-Мбайт) пространство памяти.

**Figure 1–2.** Single 128-Mbit SDRAM Chip with 32-Bit Data

На рис. 1-3 показаны два чипа 64-Мбит SDRAM, каждый с данными 16-бит. Сигналы адреса и контроля подключены параллельно к чипам. Чипы имеют общий сигнал chipselect ( $cs\_n$ ) (выбор чипа). Каждый чип является половиной шины данных 32-бит. В результате, память 128-Мбит (16 Мбайт) 32-бит данных.

**Figure 1–3.** Two 64-MBit SDRAM Chips Each with 16-Bit Data

На рис. 1-4 показаны два SDRAM чипа 128-Мбит, каждый с 32-бит данных. Сигналы адреса, контроля и данных подключены параллельно к двум чипам. Шина chipselect ( $cs\_n[1:0]$ ) определяет выбор чипа. В результате, логическая память 256-Мбит шириной 32-бита.

**Figure 1–4.** Two 128-Mbit SDRAM Chips Each with 32-Bit Data