

## 14. Отладка в системе с использованием встроенного логического анализатора SignalTap II

### Введение

Чтобы помочь вам с процессом отладки проекта, Altera предлагает вам решение, которое позволяет вам рассматривать характеристики внутренних сигналов без использования дополнительных I/O выводов, когда проект запущен на полной скорости в FPGA чипе.

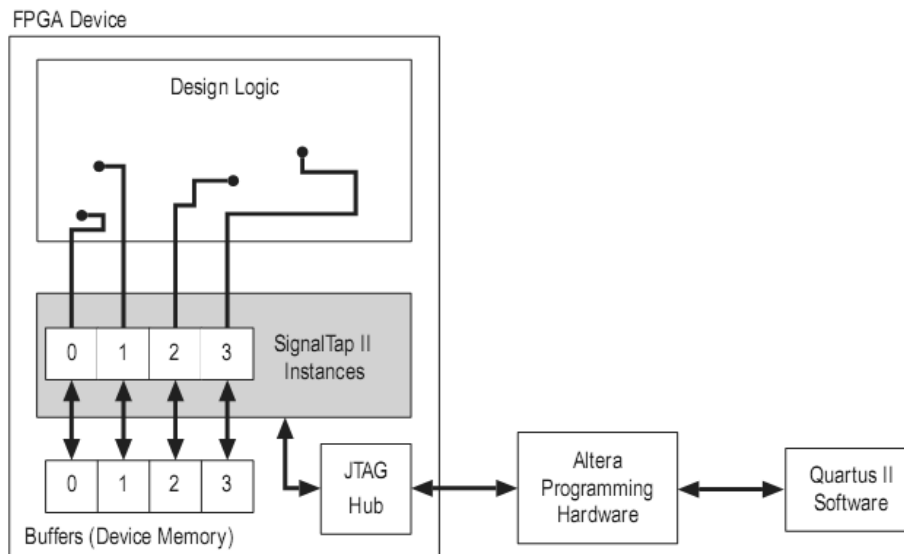
Встроенный логический анализатор SignalTap® II – масштабируемый, простой в использовании и включенный в подписку программы Quartus® II. Этот логический анализатор помогает отлаживать проект FPGA путём пробирования состояний внутренних сигналов без использования внешней обвязки. Определение состояний переключений различной логики позволяет повысить точность и улучшить способность изолирования проблем. Встроенный логический анализатор SignalTap® II не требует внешних пробников или изменения файлов проекта для захвата состояния внутренних узлов или I/O выводов в проекте. Все захваченные сигналы данных легко сохраняются в памяти чипа, пока вы не будете готовы для чтения и анализа данных.

Эта глава содержит:

- "Процесс разработки с использованием встроенного логического анализатора SignalTap® II" на странице 14-4
- "Задачи процесса встроенного логического анализатора SignalTap® II" на странице 14-4
- "Добавление встроенного логического анализатора SignalTap® II в ваш проект" на странице 14-6
- "Конфигурирование встроенного логического анализатора SignalTap® II" на странице 14-14
- "Определение триггеров" на странице 14-33
- "Компиляция проекта" на странице 14-53
- "Программирование выбранного чипа или чипов" на странице 14-59
- "Запуск встроенного логического анализатора SignalTap® II" на странице 14-60
- "Наблюдение, анализ и использование захваченных данных" на странице 14-66
- "Другие средства" на странице 14-71
- "Поддержка скриптов в SignalTap® II" на странице 14-76
- "Пример проектирования: использование встроенного логического анализатора SignalTap® II в системе конструктора SOPC" на странице 14-79
- "Примеры приложений различных триггерных процессов" на странице 14-79

Встроенный логический анализатор SignalTap® II – это следующее поколение инструментов отладки на системном уровне, которые захватывают и отображают в реальном времени характер сигнала в системе, запрограммированной в чипе (SOPC) или других проектах FPGA. Встроенный логический анализатор SignalTap® II поддерживает наивысшее число каналов, максимальную глубину отсчётов и наивысшую тактовую скорость по сравнению с другими встроенными логическими анализаторами на рынке программируемой логики. На рисунке 14-1 показана блок-схема компонентов, которые отображают встроенный логический анализатор SignalTap® II.

**Figure 14–1.** SignalTap II Embedded Logic Analyzer Block Diagram (Note 1)



Примечание к рисунку 14-1:

(1) Эта схема обобщает то, что встроенный логический анализатор SignalTap® II компилируется вместе с проектом в виде отдельного раздела проекта, используя средство инкрементной компиляции Quartus II. Это настройка по умолчанию для нового проекта в программе Quartus II. Если инкрементная компиляция отменена или не используется, встроенный логический анализатор SignalTap® II интегрируется в проект. За дополнительной информацией об использовании инкрементной компиляции совместно с SignalTap® II обратитесь к главе "Ускорение компиляций с помощью инкрементной компиляции Quartus II" на странице 14-53.

Эта глава предназначена для тех пользователей, кто хочет отлаживать свои FPGA проекты во время нормальной работы чипа, без необходимости использовать внешней лаборатории. Поскольку встроенный логический анализатор SignalTap® II близок к традиционным внешним логическим анализаторам, сходство с операциями внешних логических анализаторов помогает, но не требуется. Чтобы получить выгоду от ускорения времени компиляции, во время внесения изменений во встроенный логический анализатор SignalTap® II, знание средства инкрементной компиляции Quartus II полезно.

За дополнительной информацией об использовании средства инкрементной компиляции Quartus II, обратитесь к главе "Инкрементная компиляция Quartus II для иерархических и командных проектов" в томе 1 Настольной книги Quartus II.

## Требования к программе и оборудованию

Следующие компоненты требуются для выполнения логического анализа со встроенным логическим анализатором SignalTap® II:

- Программа Quartus II

или

- Программа Quartus II Редакция для Интернета (с разрешённым средством TalkBack)

или

- Отдельная программа встроенного логического анализатора SignalTap® II

- Загрузочный кабель

- Средство разработки Altera или плата разработки пользователя с разъёмом JTAG,

подключенным к тестовому чипу

Программа Quartus II Редакция для Интернета не поддерживает средство инкрементной компиляции для встроенного логического анализатора SignalTap® II.

Захваченные данные сохраняются в блоках памяти чипа и передаются на дисплей временных диаграмм программы Quartus II по коммуникационному кабелю JTAG, например EthernetBlaster или USB-BlasterTM. В таблице 14-1 обобщены некоторые средства и преимущества встроенного логического анализатора SignalTap® II.

**Таблица 14-1 Средства и преимущества SignalTap® II**

<b>Средства</b>	<b>Преимущества</b>
Несколько логических анализаторов в одном чипе	Захватывает данные из нескольких тактовых доменов проекта одновременно
Несколько логических анализаторов для нескольких чипов одной цепи JTAG	Одновременно захватывает данные нескольких чипов одной цепи JTAG
Поддержка плагинов	Простое определение узлов, триггеров и мнемоники сигналов для IP, например встроенного процессора Nios® II
До 10 базовых или расширенных состояний триггеров для каждого анализируемого элемента	Разрешает посылать в логический анализатор более сложные команды захвата данных, предоставляющие большую точность и изоляцию проблем
Включение триггера	Захватывает сигнал данных от триггеров, который появляется после программирования чипа, но до ручного запуска логического анализатора
Основные состояния триггерного процесса	Разрешает вам упорядочить состояния триггеров, чтобы точно определить, которые будет захватывать ваш встроенный логический анализатор
Инкрементная компиляция	Модифицируйте встроенный логический анализатор SignalTap® II, отображающий сигналы и триггеры, без выполнения полной компиляции, берегите время.
Гибкие режимы буферов захвата	Буфер захвата позволяет вам точно контролировать данные, которые записываются в буфер захвата. И сегментный и несегментный буферы, предназначенные для хранения, позволяют вам отбрасывать отсчёты даны, которые не относятся к отладке в вашем проекте.
Интеграция с MATLAB, включая функцию MEX	Собирайте захваченные встроенным логическим анализатором SignalTap® II данные в целочисленной матрице MATLAB.
До 2048 каналов на один элемент логического анализатора	Захватывает множество сигналов и большие шинные структуры.
До 128 000 отсчётов для каждого чипа	Захватывает большой набор отсчётов для каждого канала.
Высокая тактовая частота	Синхронные отсчёты от узлов данных на той же тактовой частоте, что и тестовая логика
Оценщик использования ресурсов	Позволяет оценить ресурсы (логические и память) чипа, использованные встроенным логическим анализатором SignalTap® II
Без переплаты	Встроенный логический анализатор SignalTap® II включён в подписку программы Quartus II и Quartus II Редакция для Интернета (с разрешённым TalkBack).
Совместимо с другими утилитами отладки в чипе	Встроенный логический анализатор SignalTap® II может использоваться совместно с другими инструментами отладки в чипе, например с редактором содержимого памяти в системе. Эта способность коллективного использования цепи JTAG позволяет вам

изменять значения сигналов в реальном времени, когда запущен анализ в встроенном логическом анализаторе SignalTap® II.
------------------------------------------------------------------------------------------------------------------------

Программа Quartus II предлагает набор средств отладки в чипе. Для ознакомления и сравнения всех доступных элементов отладки из набора Инструментов верификации в системе, обратитесь к главе IV. Отладка в системе.

## Процесс разработки с использованием встроенного логического анализатора SignalTap® II

На рисунке 14-2 показан общий полный цикл разработки FPGA проекта для использования в нём встроенного логического анализатора SignalTap II. Файл SignalTap II (.stp) добавляется и разрешается в вашем проекте, или функция SignalTap II HDL, созданная с помощью менеджера плагинов MegaWizard™, устанавливается в вашем проекте. На блок-схеме показан процесс операций от начального добавления встроенного логического анализатора SignalTap II в ваш проект до финального конфигурирования чипа, тестирования и отладки.

**Figure 14–2.** SignalTap II FPGA Design and Debugging Flow

