

Тактовые сети

Cyclone III содержит до 16 специальных тактовых выводов (CLK [15..0]), которые подводятся к GCLKs. Маленькие чипы Cyclone III (EP3C5, EP3C10) поддерживают четыре специальных тактовых вывода на левой и правой стороне устройства, которые способны создать в общей сложности десять GCLKs. Большие чипы Cyclone III (EP3C16 и выше) содержат по четыре специальных тактовых вывода на каждой стороне чипа. Эти тактовые выводы подводятся к 20 GCLKs.

В таблице 6-1 показано количество глобальных тактов, доступных в семействе чипов Cyclone III.

Таблица 6–1. Число глобальных тактов, доступных в Cyclone III

| Чип | Количество глобальных тактовых сетей |
|---------|--------------------------------------|
| EP3C5 | 10 |
| EP3C10 | 10 |
| EP3C16 | 20 |
| EP3C25 | 20 |
| EP3C40 | 20 |
| EP3C55 | 20 |
| EP3C80 | 20 |
| EP3C120 | 20 |

Глобальные тактовые сети

Глобальные такты проходят через весь чип, подаются на все квадраты чипа. Все ресурсы внутри чипа используют GCLKs как источник тактов (элементы I/O, блоки логических массивов [LABs], специальные блоки умножения, блоки памяти M9K). Используйте эти ресурсы тактовых сетей для контрольных сигналов, например разрешения и запрещение тактов на внешнем выводе. Внутренняя логика также использует GCLKs для внутренних сгенерированных глобальных тактов и асинхронного сброса, разрешения тактов или других контрольных сигналов с большим ветвлением по выходу.

Таблица 6-2 показывает возможность подключения источников тактов к глобальным сетям.

Таблица 6-2. Подключение к глобальным тактовым сетям (часть 1 из 3)

| Global Clock Network Clock Sources | Global Clock Networks | | | | | | | | | | | | | | | | | | | |
|---------------------------------------|-------------------------|---|---|---|---|---|---|---|---|---|-------------------------------------|----|----|----|----|----|----|----|----|----|
| | All Cyclone III Devices | | | | | | | | | | EP3C16 through EP3C120 Devices Only | | | | | | | | | |
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 |
| CLK0/DIFFCLK_0p | ✓ | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| CLK1/DIFFCLK_0n | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| CLK2/DIFFCLK_1p | — | ✓ | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| CLK3/DIFFCLK_1n | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| CLK4/DIFFCLK_2p | — | — | — | — | — | ✓ | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — |
| CLK5/DIFFCLK_2n | — | — | — | — | — | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — | — | — |
| CLK6/DIFFCLK_3p | — | — | — | — | — | — | ✓ | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — |
| CLK7/DIFFCLK_3n | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — |

Таблица 6-2. Подключение к глобальным тактовым сетям (часть 2 из 3)

| Global Clock Network Clock Sources | Global Clock Networks | | | | | | | | | | | | | | | | | | | |
|--|-------------------------|---|---|---|---|---|---|---|---|---|-------------------------------------|----|----|----|----|----|----|----|----|----|
| | All Cyclone III Devices | | | | | | | | | | EP3C16 through EP3C120 Devices Only | | | | | | | | | |
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 |
| CLK9/DIFFCLK_5n | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | ✓ | — | — | — | — | — |
| CLK9/DIFFCLK_5p | — | — | — | — | — | — | — | — | — | — | — | ✓ | ✓ | — | — | — | — | — | — | — |
| CLK10/DIFFCLK_4n | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | ✓ | — | — | — | — | — |
| CLK11/DIFFCLK_4p | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — | — |
| CLK12/DIFFCLK_7n | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | ✓ |
| CLK13/DIFFCLK_7p | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | ✓ | — | — |
| CLK14/DIFFCLK_6n | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | ✓ |
| CLK15/DIFFCLK_6p | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ | — |
| PLL1_C0 (1) | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL1_C1 (1) | — | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL1_C2 (1) | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL1_C3 (1) | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL1_C4 (1) | — | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL2_C0 (1) | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — |
| PLL2_C1 (1) | — | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — | — | — | — | — | — |
| PLL2_C2 (1) | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — |
| PLL2_C3 (1) | — | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — | — |
| PLL2_C4 (1) | — | — | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — | — | — | — | — | — |
| PLL3_C0 | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — | — |
| PLL3_C1 | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ | — | — | — | — | — |
| PLL3_C2 | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — | — | — |
| PLL3_C3 | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — | — |
| PLL3_C4 | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | — | — | — | — |
| PLL4_C0 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ | — |
| PLL4_C1 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | ✓ |
| PLL4_C2 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — | — |
| PLL4_C3 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ | — |
| PLL4_C4 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | ✓ |
| DPCLK0 | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK1 | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK7 (2) CDPCLK0, or CDPCLK7 (3) | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK2 (2) CDPCLK1 CDPCLK2 (3) | — | — | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

Таблица 6-2. Подключение к глобальным тактовым сетям (часть 3 из 3)

| Global Clock Network Clock Sources | Global Clock Networks | | | | | | | | | | | | | | | | | | | |
|---------------------------------------|-------------------------|---|---|---|---|---|---|---|---|---|-------------------------------------|----|----|----|----|----|----|----|----|----|
| | All Cyclone III Devices | | | | | | | | | | EP3C16 through EP3C120 Devices Only | | | | | | | | | |
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 |
| DPCLK5 (2) | — | — | — | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK7 (3) | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK4 (2) | — | — | — | — | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK6 (3) | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK6 (2) | — | — | — | — | — | — | — | ✓ | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK5 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK6 (3) | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK3 (2) | — | — | — | — | — | — | — | — | ✓ | ✓ | — | — | — | — | — | — | — | — | — | — |
| CDPCLK4, or CDPCLK3 (3) | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| DPCLK8 | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | — | — | — | — | — | — | — |
| DPCLK11 | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | — | — | — | — | — | — |
| DPCLK9 | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | — | — | — | — | — |
| DPCLK10 | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | ✓ | — | — | — | — | — |
| DPCLK5 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | — | — |
| DPCLK2 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — | — |
| DPCLK4 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | — | — |
| DPCLK3 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ✓ | ✓ |

Замечания к таблице 6-2:

- (1) Чипы EP3C5 и EP3C10 имеют только PLL 1 и 2.
- (2) Этот вывод используется только в чипах EP3C5 и EP3C10.
- (3) Эти выводы используются только в чипах EP3C16 и больше. Только один из двух выводов CDPCLK может подводиться к блоку контроля тактов. Вы можете использовать другой вывод как обычный I/O вывод.

Если вы используете специальные тактовые выводы для управления GCLKs, вы можете использовать их в качестве главных входных выводов управления логического массива. Однако, если вы используете их в качестве главных входных выводов, вы не можете использовать регистр I/O и должны использовать LE регистры вместо регистров I/O.

Блок контроля тактов

Блок контроля тактов управляет GCLKs. Блок контроля тактов располагается на каждой стороне чипа вблизи специальных тактовых выводов. GCLKs оптимизируются для минимальной расфазировки и задержки тактов.

Таблица 6-3 описывает источники управления блока контроля тактов, которые в свою очередь управляют GCLKs.

Таблица 6-3. Входы блока контроля тактов

| Вход | Описание |
|--|---|
| Специальные тактовые входы | Специальные тактовые входы проводят такты или глобальные сигналы, например синхронный и асинхронный сброс, установка или разрешение тактов передающиеся GCLKs. |
| Двунаправленный такт (DPCLK и CDPCLK) вход I/O | DPCLK и CDPCLK входы I/O все двунаправленные двух функциональные выводы, которые могут быть использованы для сигналов контроля с большим ветвлением по выходу, например как сигналы протокола, TRDY и IRDY – сигналы для PCI, через GCLK. Блоки контроля тактов, которые имеют входы, ведущие двух направленным тактовым I/O выводам, не применяются для управления выходами PLL. |
| Выходы PLL | Выходы счётчика PLL могут вести к GCLK. |
| Внутренняя логика | Вы можете проводить GCLK через логические массивы, чтобы разрешить внутренним логическим элементам (LE) использовать путь сигнала с большим ветвлением по выходу и низкой расфазировкой. Блок контроля тактов, входы которого идут от внутренней логики, не может разводить выходы PLL. |

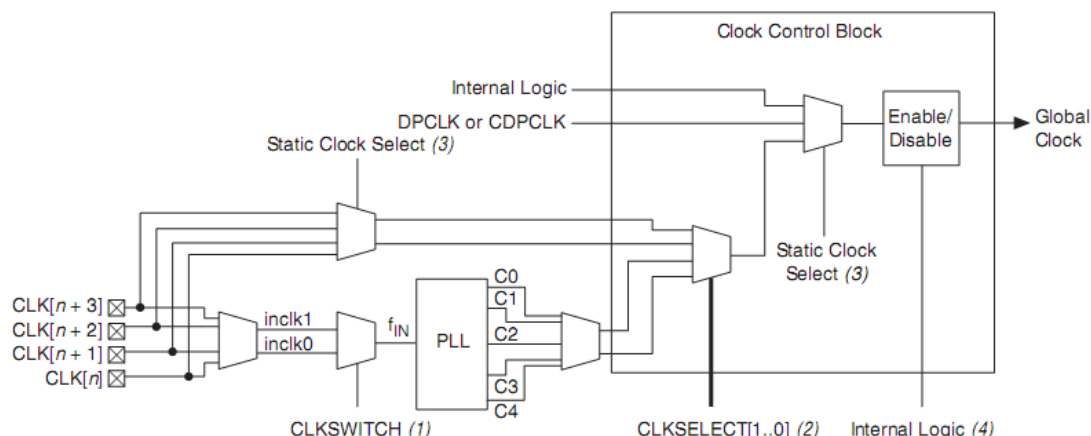
В Cyclone III выводы специальные тактовых входов, выходы счётчика PLL, двунаправленные тактовые I/O входы и внутренняя логика - все используют блок контроля тактов для каждой GCLK. Выход блока контроля тактов, в свою очередь ведёт к соответствующей GCLK. Этот глобальный такт может вести на вход PLL, если входами блока контроля тактов являются выходами другой PLL или специального входного тактового вывода. Все блоки контроля тактов располагаются по периметру чипа;- это максимум 20 блоков контроля тактов для чипов Cyclone III.

Блок контроля тактов обладает двумя функциями:

- Динамический выбор источника такта для глобальной тактовой сети (не применяется для DPCLK или CDPCLK и входа внутренней логики);
- Выключение глобальной тактовой сети (динамическое разрешение и запрещение).

На рисунке 6-1 показан блок контроля тактов.

Рисунок 6-1. Блок контроля тактов



Примечание к рисунку 6-1.

- (1) Сигнал CLKSWITCH может быть установлен в конфигурационном файле или быть установленным динамически, если используется средство ручного переключения PLL. Выход этого мультиплексора – это входной такт для PLL (f_{in}).
- (2) Сигналы CLKSELECT [1..0] – подаются внутренней логикой и могут быть использованы для динамического выбора источника такта для GCLK, когда чип находится в пользовательском режиме.
- (3) Статичный выбор тактовых сигналов устанавливается в конфигурационном файле. Следовательно, динамический контроль в пользовательском режиме не возможен.
- (4) Вы можете использовать внутреннюю логику для разрешения и запрещения GCLK в пользовательском режиме.

Каждая PLL генерирует пять тактовых выводов посредством с[4..0] счётчиков. Два из этих тактов могут вести к GCLK через блок контроля тактов, как показано на рисунке 6-1.

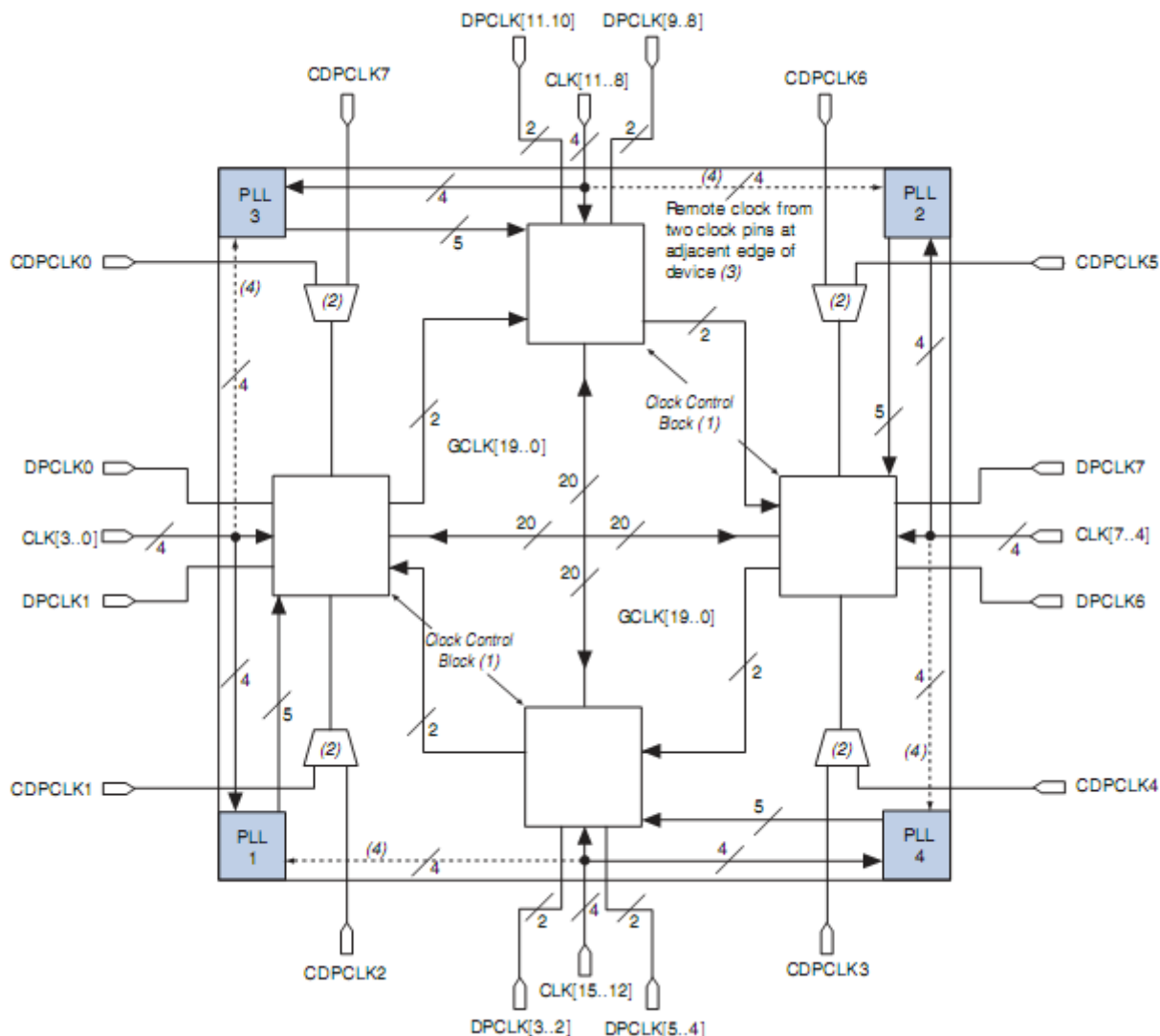
За дополнительной информацией о том, как использовать блок контроля тактов в программе Quartus II, обратитесь к руководству пользователя мегафункцией ALTCLKCTRL.

Генерация источников тактов для глобальных тактовых сетей

Всего есть десять блоков контроля тактов в маленьких чипах Cyclone III (EP3C5 и EP3C10), и всего 20 блоков контроля тактов в больших чипах Cyclone III (EP3C16 и выше).

На рисунках 6-2 и 6-3 показаны PLLs Cyclone III, тактовые входы, и размещение блоков контроля тактов для чипов различной плотности.

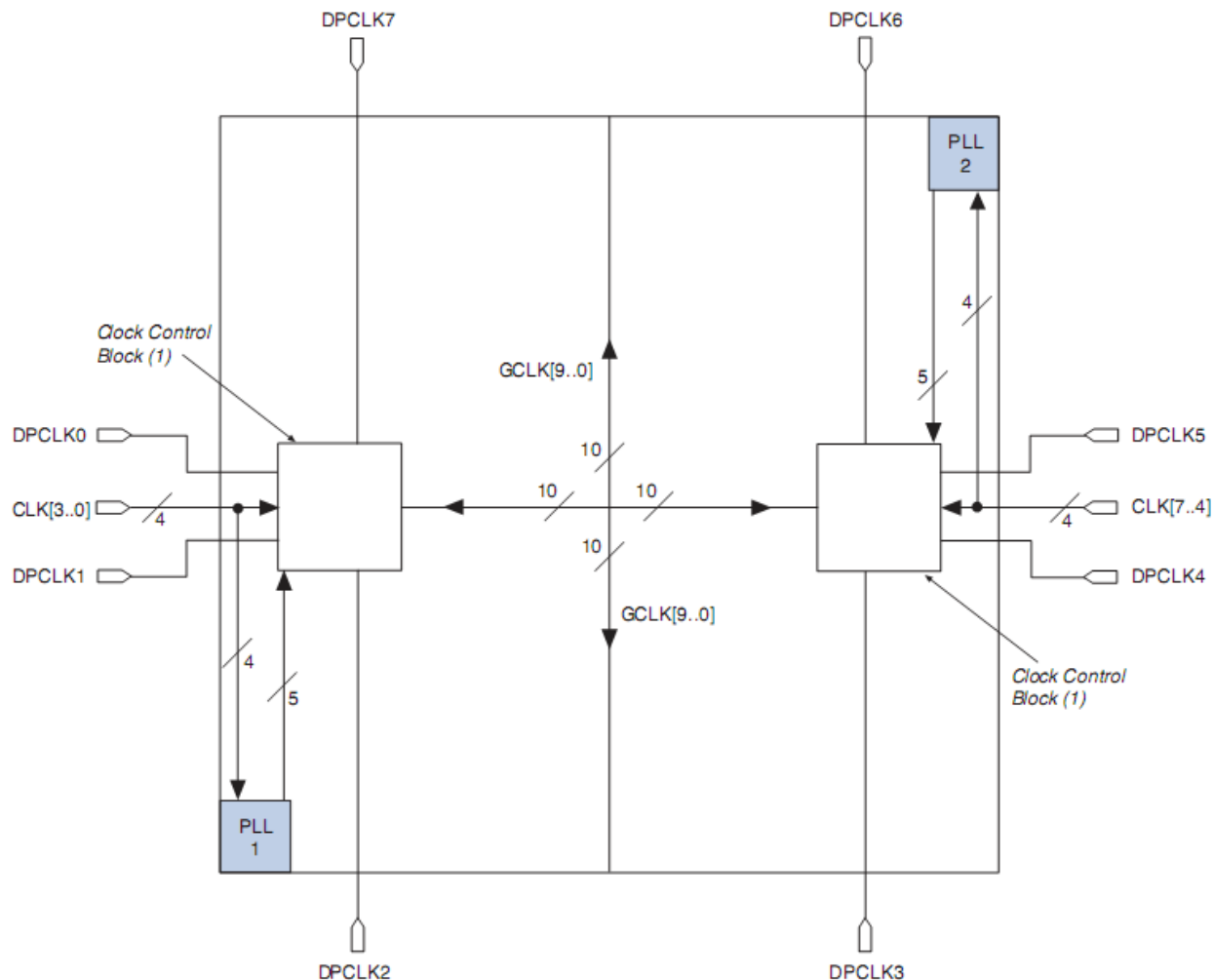
Рисунок 6–2. EP3C16 и большие PLL, CLK[], DPCLK[], и размещение блоков контроля тактов (Примечание 1)



Примечания к рисунку 6-2:

- (1) Пять блоков контроля тактов на каждой стороне.
- (2) Только один из расположенных в углу выводов CDPCLK может идти к блоку контроля тактов в одно время. Остальные CDPCLK выводы могут быть использованы как выходы главного направления I/O выводов.
- (3) Удалённые такты не могут быть использованы для управления PLL.
- (4) Специальный тактовый путь может направляться к этой PLL. Однако это не полностью компенсированный путь.

Figure 6-3. Cyclone III Clock Control Blocks Placement



Примечания к рисунку 6-3:

(1) Пять блоков контроля тактов на каждой стороне.

Входы пяти блоков контроля тактов на каждой стороне должны быть выбраны среди следующих источников:

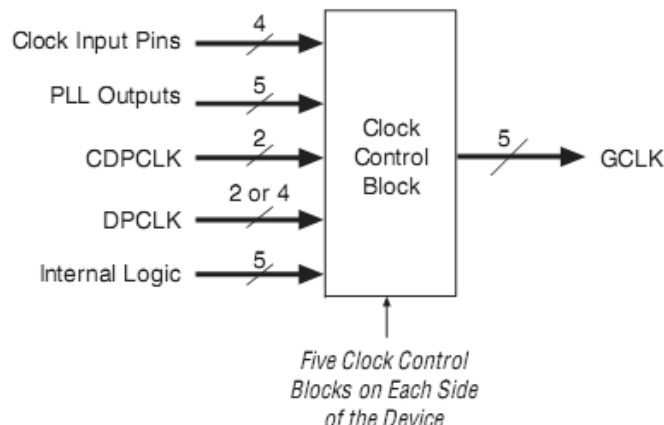
- 4 тактовых входных вывода
- 5 выходов счётчика PLL
- 2 DPCLK и 2 CDPCLK выводов с обеих левой и правой сторон и 4 DPCLK и 2 CDPCLK выводов с обеих верхней и нижней сторон
- 5 сигналов внутренней логики

Из источников тактов, объявленных выше, только 2 тактовых входных вывода, 2 выхода тактов PLL, 1 DPCLK или CDPCLK вывод и 1 источник из внутренней логики попадает в любой блок контроля тактов, как показано на рис. 6-1 на странице 6-6.

Из этих пяти входов для каждого блока контроля тактов, два входных тактовых вывода и два выхода PLL могут быть динамически выбраны и направлены к GCLK. Блок контроля тактов поддерживает статический выбор по сигналу внутренней логики.

На рисунке 6-4 показана упрощённая версия пяти блоков контроля тактов на каждой стороне по периметру Cyclone III. Cyclone III поддерживает до 20 таких блоков контроля такта; это даёт максимум 20 глобальных тактов в чипе Cyclone III.

Figure 6–4. Clock Control Blocks on Each Side of the Cyclone III Device (Note 1)



Примечания к рис. 6-4:

- (1) Левая и правая стороны устройства имеют два вывода DPCLK; верхняя и нижняя – четыре таких вывода.

Выключение питания глобальных тактовых сетей

Вы можете запретить GCLK Cyclone III (выключить питание) в статически и динамически. Статически, когда все конфигурационные биты устанавливаются в файле конфигурации, генерированном программой Quartus II, автоматически запрещая неиспользуемые GCLKs. Средство динамического разрешения или запрещения такта всегда контролируется внутренней логикой, которая разрешает или запрещает GCLKs всего чипа.

Когда тактовая сеть запрещена, вся логика, задействованная в тактовой сети, находится в выключенном состоянии, т.о. снижается энергопотребление всего устройства. Эта функция не зависит от PLL и применяется только к тактовым сетям, как показано на рис. 6-1 на странице 6-6.

Вы можете установить источники входных тактов и сигналов *clkena* для мультиплексоров GCLK с помощью программы Quartus II и мегафункции ALTCLKCTRL.

За дополнительной информацией обратитесь к руководству пользователя мегафункцией ALTCLKCTRL.

Сигналы *clkena*

Cyclone III поддерживает сигналы *clkena* в уровне тактовых сетей. Это позволяет вам выключить вентиль такта, когда вы используете PLL. На повторное разрешение выхода тактов PLL не требуется повторная синхронизация или задержка, поскольку схема выключения вентиля реализована на уровне тактовой сети. В дополнении к сказанному, PLL может сохранять положение защёлки независимо от сигналов *clkena*, с момента неисправности в петле счётчиков.

На рисунке 6-5 показано, как выполнено *clkena*

Figure 6–5. *clkena* Implementation

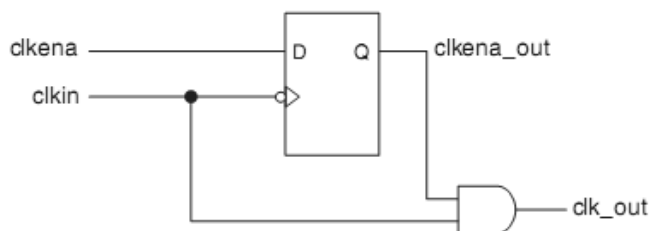
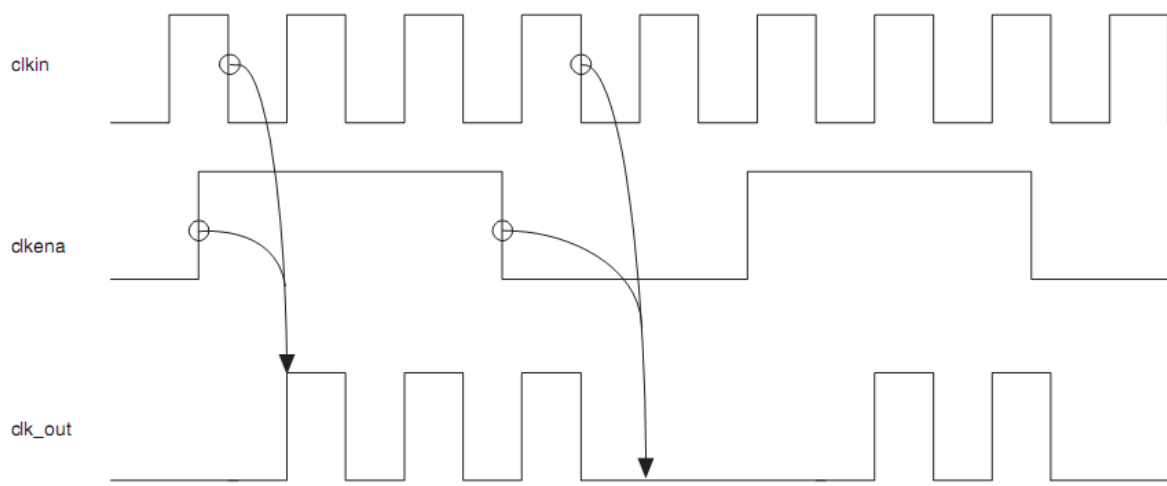


Схема *clkena*, контролирующая выходы C0 от PLL до выходного вывода, выполнена из двух регистров взамен одного регистра, как показано на рисунке 6-5.

На рисунке 6-6 показан пример временных диаграмм для разрешения выхода такта. Сигнал *clkena* замеряется на фронте спада такта (*clkina*).

Это средство особенно полезно для приложений, требующих низкое энергопотребление или режим сна.

Figure 6–6. *clkena* Implementation—Output Enable



Сигнал *clkena* может также запретить выходы тактов, если система не выдерживает перегрузок частоты во время рассинхронизации PLL.

Altera® рекомендует использовать сигнал *clkena* во время переключения источника тактов от PLL или GCLK. Рекомендован следующий порядок:

1. Запретить первый выходной такт сбросом сигнала *clkena*.
2. Переключиться на второй такт, используя динамический выбор сигналов блоком контроля тактов.
3. Допускается пропустить несколько тактовых циклов второго такта, прежде чем установить сигнал *clkena*. Точное количество тактовых циклов, которое нужно выдержать прежде, чем разрешать второй такт, зависит от проекта. Вы можете создать различную логику, чтобы добиться перехода без паразитных импульсов на выходе, во время переключений между различными источниками тактов.