



Quartus II Handbook Version 9.0

Volume 1: Design and Synthesis



2. Quartus II Incremental Compilation for Hierarchical and Team-Based Design

QII51015-9.0.0

Инкрементная компиляция в Quartus II для иерархических и командных проектов

Перевод Егоров А.В.

Содержание

Введение	2-1
Решим, стоит ли использовать процесс инкрементной компиляции.....	2-2
Линейный процесс компиляции без создания разделов	2-2
Интеллектуальная компиляция Quartus II	2-3
Процесс инкрементной компиляции с разделами проекта	2-3
Нисходящая версия процесса восходящей компиляции	2-6
Руководству по быстрому старту – общий подход к процессу инкрементной компиляции ..	2-7
Подготовка проекта к нисходящей инкрементной компиляции	2-8
Компиляция проекта с использованием инкрементной компиляции.....	2-9
Решим, какие блоки проекта будут его разделами	2-9
Влияние разделов проекта на оптимизацию проекта.....	2-10
Отчёты статистики разделов.....	2-11
Временные отчёты разделов	2-13
Советник по инкрементной компиляции.....	2-13
Использование разделов с помощью инструментов синтеза сторонних разработчиков.....	2-15
Synplicity Synplify Pro/Premier и Mentor Graphics Precision RTL Plus	2-15
Другие инструментарии синтеза	2-15
Сравнение Назначений разделов проекта и Назначений физического размещения.....	2-15
Создание назначений разделов проекта	2-16
Создание разделов проекта с помощью Планировщика разделов проекта.....	2-16
Создание разделов проекта в Окне разделов проекта	2-18
Создание разделов проекта в Навигаторе проекта	2-18
Создание разделов проекта с помощью Tcl скриптов.....	2-19
Имя раздела	2-19
Установка типа списка соединений для раздела проекта	2-19
Уровень сохранения компоновки.....	2-21
Пустые разделы.....	2-22
Где хранятся базы данных списков соединений?	2-23
Какие изменения перезапускают автоматический синтез раздела?.....	2-23
Определим, когда в разделах перезапускается синтез при изменении исходного кода.....	2-24
Форсированное использование списка соединений пост-компоновка после внесения изменений в раздел	2-25
Создание архитектуры проекта с назначениями локализации LogicLock	2-25
Привлекательные преимущества Начальной Временной Оценки.....	2-28
Какие изменения в LogicLock перезапускают компоновку?	2-28
Экспорт и импорт разделов.....	2-29
Файлы экспорта разделов Quartus II (.qxr).....	2-30
Общие сведения об инкрементной компиляции в восходящем проектировании	2-30
Подготовка проекта для инкрементной компиляции в восходящем проектировании ..	2-31
Создание и компиляция проектов нижнего уровня.....	2-31
Экспорт низкоуровневых проектов.....	2-32
Включение или импорт низкоуровневых проектов в головной проект	2-32
Выполнение инкрементной компиляции в головном проекте	2-32
Типы списков соединений для импортированных разделов	2-33
Экспорт низкоуровневого раздела для использования его в головном проекте	2-34
Экспорт низкоуровневого блока внутри проекта	2-35
Использование .qxr файла в качестве исходного файла в головном проекте	2-36
Импорт низкоуровневого раздела в головной проект	2-36
Импорт назначений и расширенные настройки импорта	2-38
Свойства разделов проекта после импортирования	2-38
Импортирование назначений раздела из подпроекта.....	2-38

Файлы Ограничений Проекта Synopsys для временного анализатора Quartus II TimeQuest	2-38
Импортирование назначений LogicLock	2-38
Импорт других назначений для блоков	2-39
Импорт глобальных назначений	2-39
Расширенные настройки импорта	2-39
Позволить создавать новые назначения	2-39
Снабдить назначениями все модули в импортированном блоке	2-39
Назначение разрешения конфликтов: регионы LogicLock	2-39
Назначение разрешение конфликтов: прочие назначения	2-40
Генерация скриптов раздела восходящего проектирования для менеджера проекта	2-40
Создание проекта	2-41
Исключенные разделы	2-41
Назначения из головного проекта	2-41
Назначения виртуальных выводов	2-42
Временные и локальные назначения для виртуальных выводов	2-42
Назначения регионов LogicLock	2-43
Назначения продвижения глобальных сигналов	2-43
Генерация сборочного файла	2-44
Импорт SDC ограничений из низкоуровневого проекта	2-45
Создание .sdc файла с общими ограничениями для проекта	2-46
Пример первого шага: Руководитель проекта создает файл .sdc с общими ограничениями проекта для проекта нижнего уровня	2-47
Создание .sdc файла со специальными ограничениями для проекта	2-47
Пример второго шага: Разработчик проекта нижнего уровня создает файл .sdc со специальными ограничениями раздела	2-48
Объединение SDC файлов в головном проекте	2-48
Пример третьего шага: Руководитель проекта выполняет окончательный временной анализ и заканчивает работу	2-48
Рекомендованные процессы проектирования и примеры компиляции	2-49
Уменьшение времени компиляции при изменении исходного файла для одного раздела	2-49
Оптимизация размещения для критичных ко времени разделов для достижения временного завершения	2-50
Сохранение результатов для выбранных разделов перед добавлением других разделов	2-51
Инкрементная отладка с помощью Логического Анализатора SignalTap II	2-52
Выполнение командного проекта в восходящем проектировании	2-53
Разрешение конфликтов назначений во время импорта	2-55
Импортирование раздела для многократного использования	2-55
Выполнение итерации проекта в восходящем проектировании	2-56
Создание макроса на аппаратном уровне (или предкомпилированных блоков проекта) для повторного использования IP	2-57
Использование экспортированного раздела для передачи проекта без включения исходных файлов	2-59
Ограничения в инкрементной компиляции	2-60
Сохранение точных временных характеристик	2-61
Когда размещение и разводка не могут быть в точности сохранены	2-61
Использование инкрементной компиляции с архивными файлами Quartus II	2-61
Поддержка формальной верификации	2-61
Импорт зашифрованного IP ядра в восходящем проектировании	2-62
Выводы SignalProbe и менеджер инженерных изменений в Планировщике Чипа	2-62
Разделы, связанные с выводами SignalProbe или изменениями ECO	2-62

Экспортируемые разделы.....	2-63
Встроенный логический анализатор Sigatap II в процессе восходящей компиляции	2-64
Интерфейс логического анализатора в процессе восходящей компиляции	2-64
Миграция проекта с разделами в различные чипы.....	2-64
Компиляция HardCopy и процесс миграции	2-65
Чипы HardCopy APEX и HardCopy Stratix	2-65
Процесс миграции HardCopy ASIC	2-65
Автономные компиляции HardCopy ASIC	2-65
Назначения, сделанные в исходном коде HDL в восходящем проектировании	2-65
Ограничения в разделах мегафункций	2-65
Упаковка регистров и границы разделов.....	2-66
Упаковка I/O регистров	2-66
Ограничения в скриптах раздела восходящего проектирования	2-67
Предупреждения о дополнительных тактах в отношении скриптов раздела восходящего проектирования	2-67
Файл ограничения проекта Synopsys для временного анализатора TimeQuest в скриптах раздела восходящего проектирования	2-67
Поддержка дикой карты в скриптах раздела восходящего проектирования	2-67
Полученные такты и PLL в скриптах раздела восходящего проектирования	2-67
Назначение выводов для блоков GXB и LVDS в скриптах раздела восходящего проектирования	2-68
Временные назначения для виртуальных выводов в скриптах раздела восходящего проектирования	2-68
Порты головного проекта, ведущие к множеству выводов проектов нижнего уровня в скриптах раздела восходящего проектирования.....	2-68
Поддержка скриптов.....	2-69
Подготовка проекта для инкрементной компиляции	2-69
Создание разделов проекта	2-69
Настройка свойств разделов проекта	2-70
Создание назначений локализации архитектуры – исключение или фильтрация определенных элементов чипа (таких как блоки памяти и DSP)	2-71
Генерация скриптов раздела восходящего проектирования.....	2-71
Поддержка командной строки	2-72
Экспорт раздела для использования в головном проекте.....	2-73
Импорт раздела нижнего уровня в головной проект.....	2-74
Создатель файлов.....	2-74
Рекомендуемый процесс разработки и примеры приложений компиляций – скриптирование и операции с командной строкой.....	2-74
Уменьшение времени компиляции, когда изменяется исходный файл для одного раздела – пример с командной строкой	2-75
Оптимизация размещения для критичных ко времени разделов	2-75
Заключение	2-76