

*СПбНИУ ИТМО
Кафедра ИПМ*

*Лабораторная работа №1
по дисциплине
«Цифровая схемотехника»
«Введение в проектирование цифровых интегральных схем»
Вариант 9*

*Выполнили
Петкевич К.В гр.Р3218
Галимов В.Р гр.Р3217*

*Преподаватель
Баевских А.Н*

*Санкт-Петербург
2017г.*

Содержание

1. Схема вентиля «AND» и изучаемых вентиляей.....	3
2. Результат моделирования работы схемы и определение задержки распространения сигнала.....	4
3. Подключение на выход вентиля аналогичного вентиля и определение задержки распространения сигнала.....	
4. Подключение на выход вентиля 4 аналогичных вентиля и определение задержки через тестируемый вентиль.....	5
5. Вывод о влиянии нагрузки на временные характеристики работы вентиля и причины их изменения.....	
6. Схема, реализующая логическую функцию « $Y = !X1 \wedge !X2 \wedge X3$ », в логическом базисе «ИЛИ-НЕ».....	6
7. Результат измерения максимальной и минимальной задержки распространения сигнала через схему от входа к выходу функции.....	7
8. Определение максимальной частоты изменения входных сигналов, при которой построенная схема сохраняет работоспособность.....	8
9. Вывод.....	

Цели

- Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП
- Познакомиться с основными параметрами цифровых вентиляей

1.

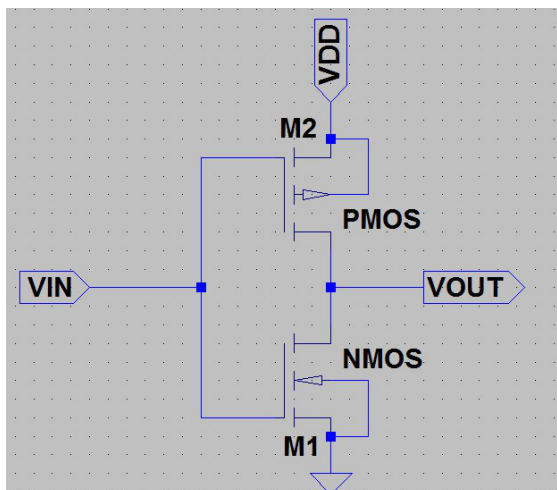


Рисунок 1: Инвертер

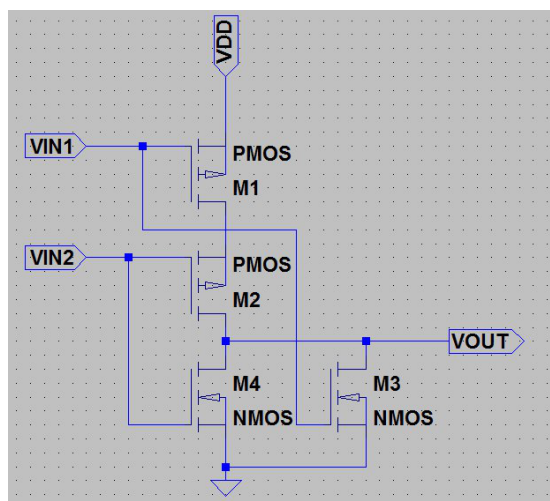


Рисунок 2: NOR

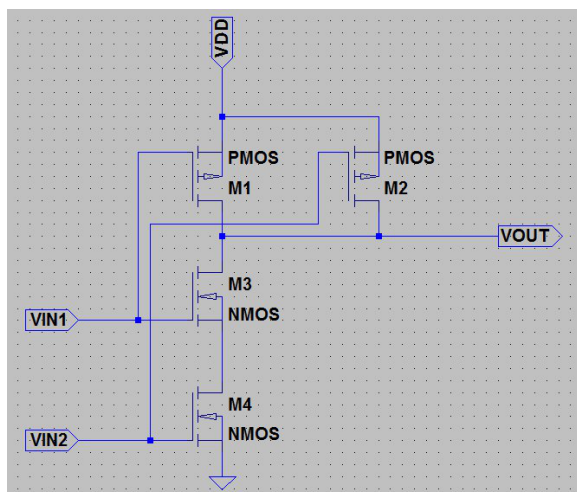


Рисунок 3: NAND

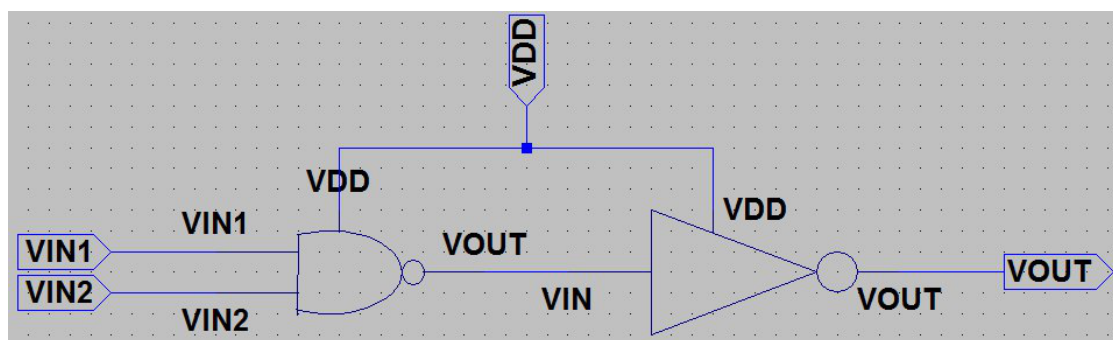


Рисунок 4: AND

2.

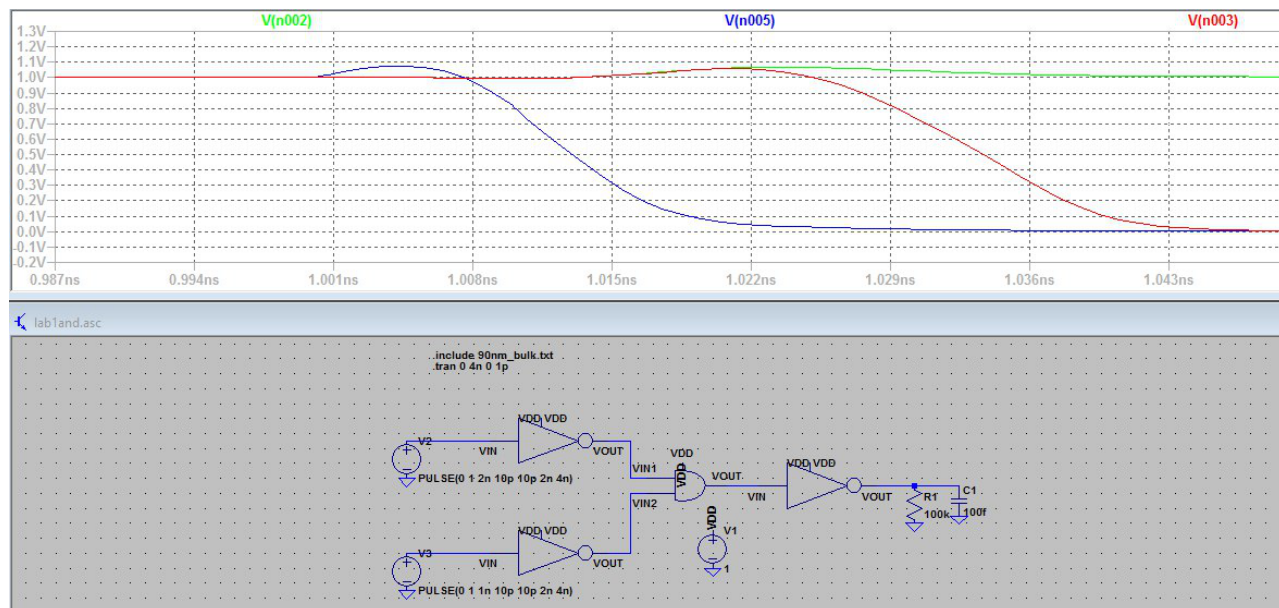


Рисунок 5

Задержка распространения сигнала (Propagation delay) - время между перепадом сигнала на входе элемента и вызванным им перепадом сигнала на выходе.

В нашем случае задержка распространения сигнала — 0.017ns

3.

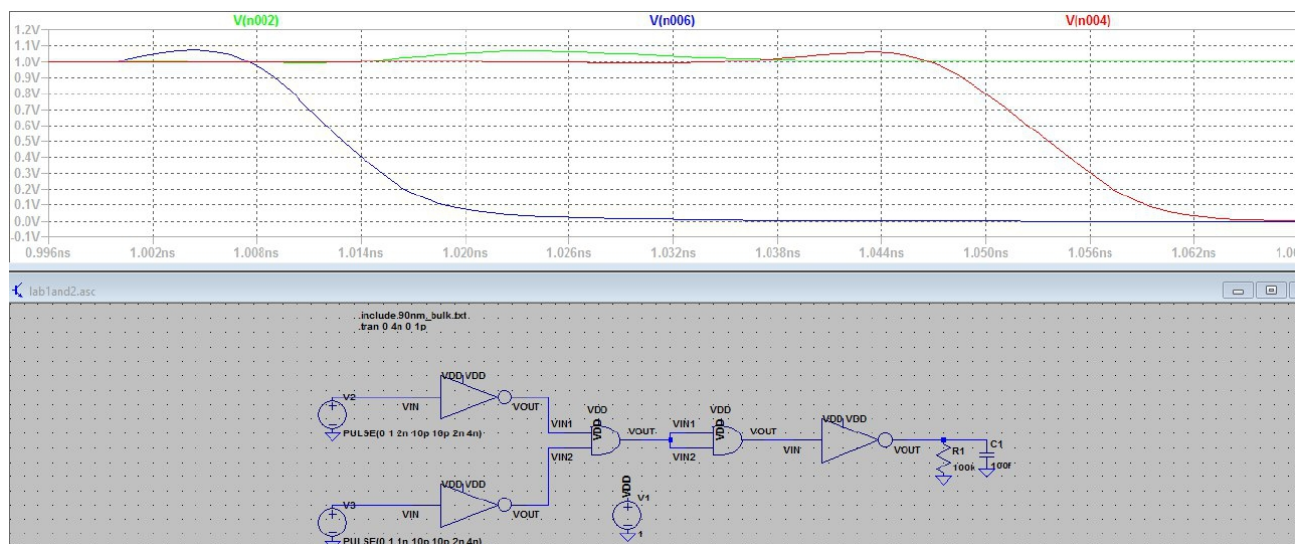


Рисунок 6

Задержка распространения сигнала — 0.039ns

4.

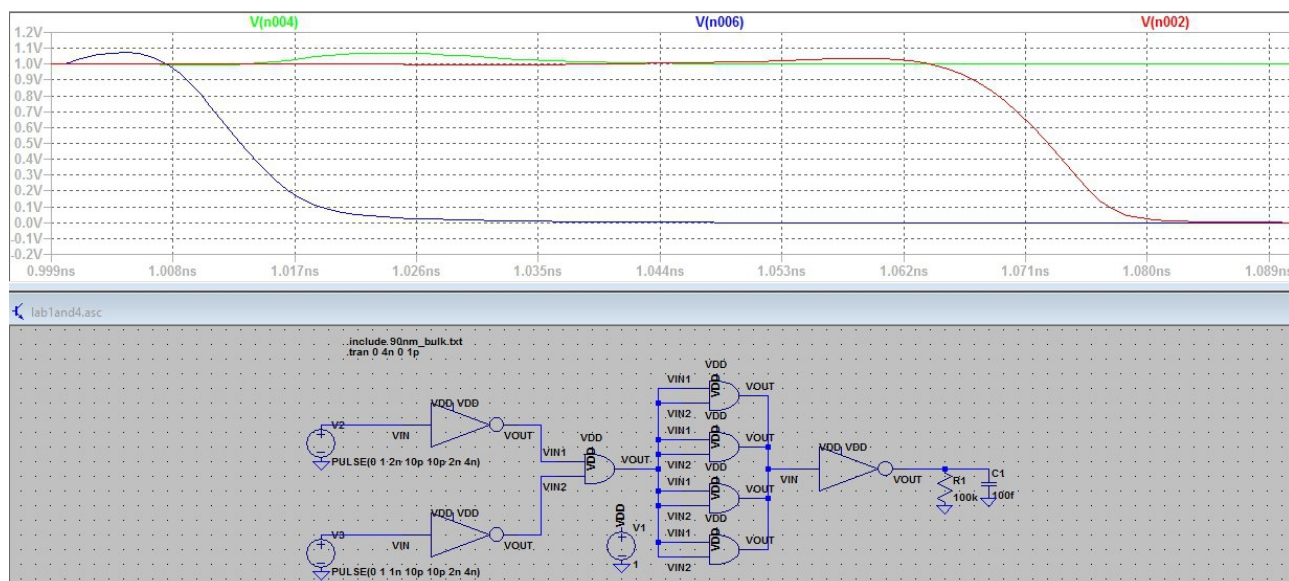


Рисунок 7

Задержка распространения сигнала — 0.056ns

5.

Задержка распространения вызвана временем срабатывания транзисторных ключей. Она будет тем больше, чем больше количество таких ключей внутри элемента.

При прохождении сигнала последовательно через несколько логических элементов, времена задержки складываются. Величина коэффициента разветвления оказывает прямую зависимость на задержку распространения сигнала, что обуславливается количеством заряда, необходимого для переключения состояния схемы.

6.

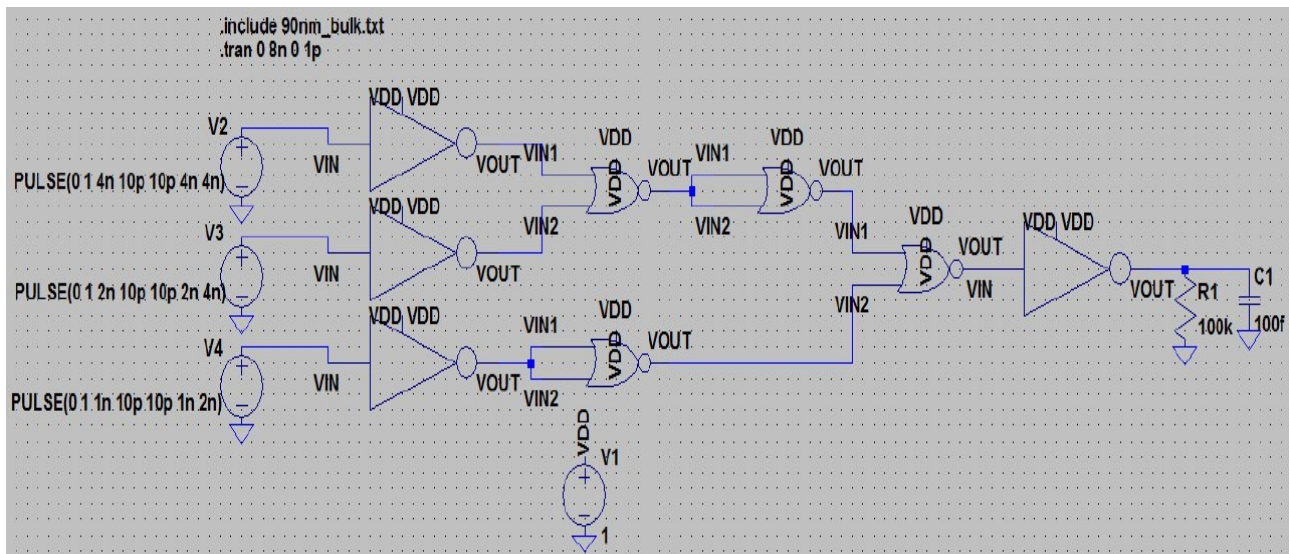


Рисунок 8

Таблица истинности формулы

X1	X2	X3	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

7.

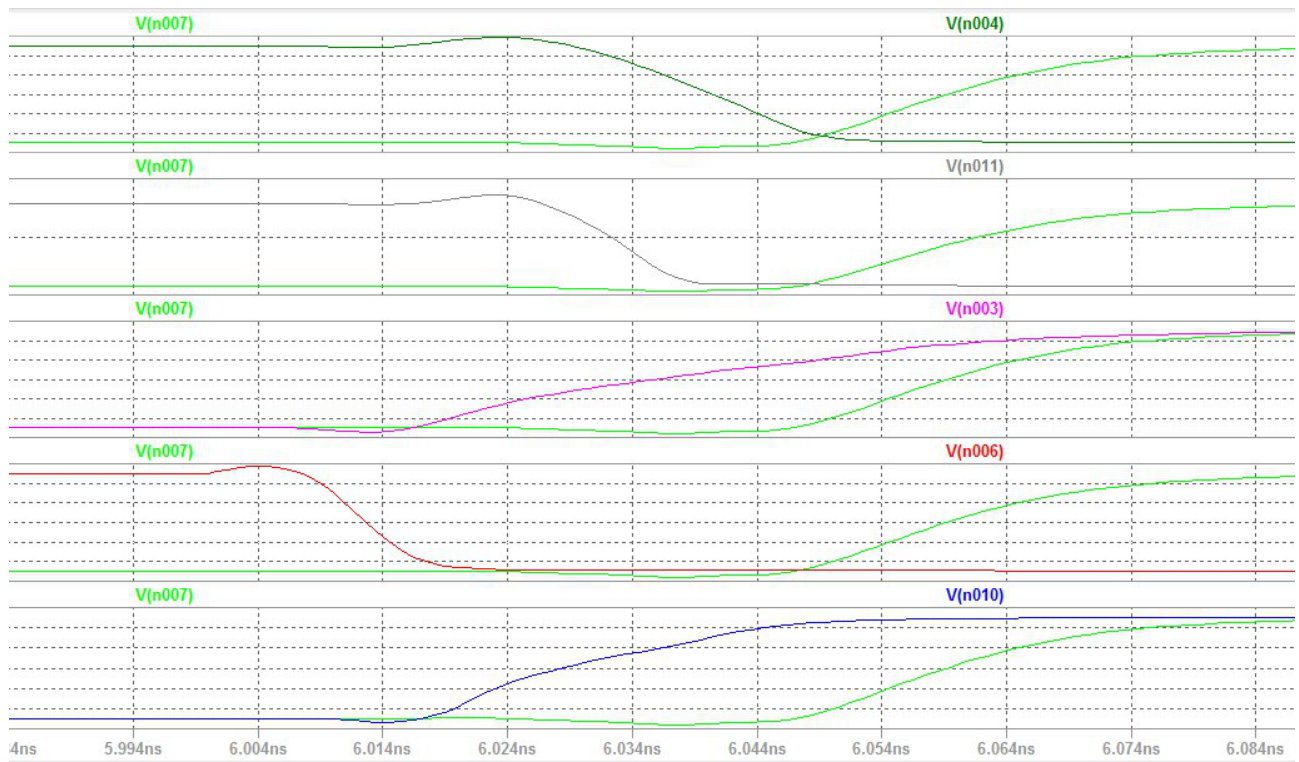


Рисунок 9

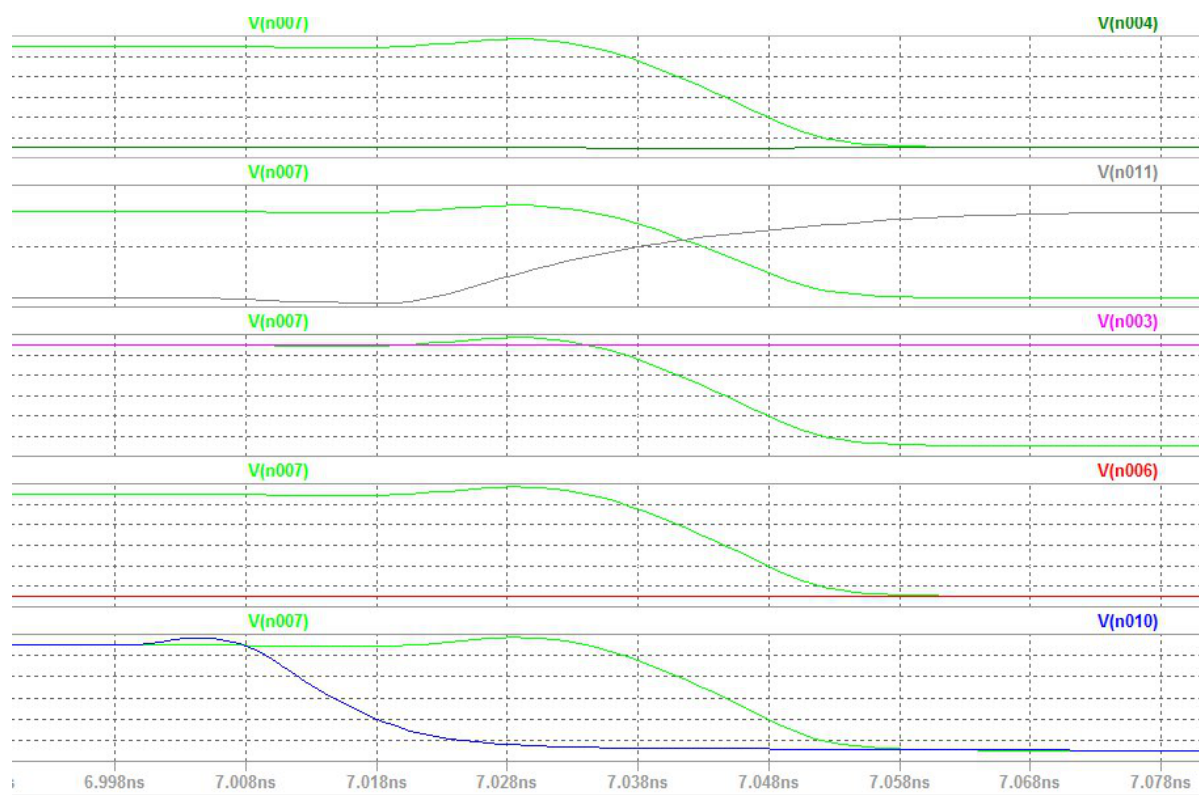


Рисунок 10

Минимальная задержка - 0.013 ns (Смотрелась при росте сигнала)

Максимальная задержка — 0.039 ns (Смотрелась на при спаде сигнала)

8.

Таким образом, максимальная частота, при которой схема еще сохраняет работоспособность, составляет

$$\nu = \frac{1}{pd_{max}} = \frac{1}{0,039} ГГц \approx 25,641$$

9.

В процессе выполнения работы была построена схема логического вентиля AND. В процессе ее исследования был также подтвержден тот факт, что большее количество пройденных сигналом каскадов увеличивает задержку распространения сигнала. И несмотря на то, что это время не велико для одного элемента, для схемы, в которой может быть огромное количество различных элементов, задержка распространения уже может быть существенно.

