



ΠΑΝΕΠΙΣΤΗΜΙΟ  
ΠΑΤΡΩΝ  
UNIVERSITY OF PATRAS

Εισαγωγή στα VLSI  
Εργαστηριακή Αναφορά  
Ομάδα 8 (vlsi1-u8)

Μεμελετζόγλου Χαρίλαος (1069364)

Παρασκευόπουλος Κωνσταντίνος (1072608)

Χειμερινό Εξάμηνο 2021

# Περιεχόμενα

1	Σχεδιασμός CMOS Αντιστροφέα . . . . .	3
1.1	Σχεδιασμός με τρανζίστορ του ενός Finger . . . . .	3
1.1.1	Λειτουργία του κυκλώματος . . . . .	3
1.1.2	Σχηματικό στο Cadence . . . . .	4
1.1.3	Transient Ανάλυση . . . . .	5
1.1.4	Μετρήσεις Χρόνων Ανόδου, Καθόδου και Καθυστέρησης Διάδοσης . . . . .	7
1.1.5	Μέτρηση Χρόνου Καθυστέρησης Διάδοσης (Propagation Delay) . . . . .	7
1.1.6	DC Ανάλυση . . . . .	10
1.2	Σχεδιασμός CMOS Αντιστροφέα με μεγαλύτερες διαστάσεις . . . . .	13
1.2.1	Transient Ανάλυση . . . . .	13
1.2.2	Μετρήσεις Χρόνων Ανόδου και Καθόδου . . . . .	14
1.2.3	Μέτρηση Χρόνου Καθυστέρησης Διάδοσης (Propagation Delay) . . . . .	14
1.2.4	DC Ανάλυση . . . . .	16
1.3	Συμπεράσματα / Σύγκριση Αποτελεσμάτων . . . . .	18
2	Σχεδιασμός CMOS NAND-2 & NOR-2 . . . . .	21
2.1	Σχεδιασμός NAND-2 . . . . .	21
2.1.1	Λειτουργία του κυκλώματος . . . . .	21
2.1.2	Σχηματικό στο Cadence . . . . .	22
2.1.3	Transient Ανάλυση . . . . .	23
2.1.4	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	24
2.1.5	Μέτρηση Καθυστέρησης Διάδοσης . . . . .	25
2.1.6	DC Ανάλυση . . . . .	26
2.2	Σχεδιασμός NOR-2 . . . . .	28
2.2.1	Λειτουργία του κυκλώματος . . . . .	28
2.2.2	Σχηματικό στο Cadence . . . . .	29
2.2.3	Transient Ανάλυση . . . . .	30
2.2.4	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	31
2.2.5	Μέτρηση Καθυστέρησης Διάδοσης . . . . .	31
2.2.6	DC Ανάλυση . . . . .	31
2.3	Συμπεράσματα / Σύγκριση Αποτελεσμάτων . . . . .	34
3	Κύκλωμα με 3 inverters . . . . .	35
3.1	Σχηματικό στο Cadence . . . . .	35
3.2	Α μέρος - Σύνδεση πυκνωτή $1fF$ στην έξοδο των αντιστροφέων . . . . .	35
3.2.1	Transient Ανάλυση . . . . .	37
3.2.2	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	38
3.2.3	Μέτρηση Καθυστέρησης Διάδοσης . . . . .	38
3.2.4	DC Ανάλυση . . . . .	39
3.3	Β μέρος - Σύνδεση πυκνωτή $5fF$ στην έξοδο των αντιστροφέων . . . . .	40
3.3.1	Transient Ανάλυση . . . . .	40
3.3.2	Μετρήσεις Χρόνων Ανόδου και Καθόδου . . . . .	41
3.3.3	Μέτρηση Καθυστέρησης Διάδοσης . . . . .	41
3.3.4	DC Ανάλυση . . . . .	41
3.4	Συμπεράσματα / Σύγκριση Αποτελεσμάτων . . . . .	41
4	Layout CMOS Αντιστροφέα, NAND-2, NOR-2 . . . . .	43

4.1	Layout Αντιστροφέα του ενός Finger . . . . .	43
4.2	Layout Αντιστροφέα των 2 Fingers . . . . .	44
4.3	Layout NAND-2 . . . . .	45
4.4	Layout NOR-2 . . . . .	47
5	Υλοποίηση Boolean Συνάρτησης . . . . .	49
5.1	Σχηματικό στο Cadence . . . . .	49
5.2	Σύνδεση πυκνωτή $1fF$ στην έξοδο . . . . .	50
5.2.1	Transient Ανάλυση . . . . .	50
5.2.2	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	51
5.2.3	Μέτρηση Χρόνου Καθυστέρησης Διάδοσης . . . . .	51
5.3	Σύνδεση πυκνωτή $20fF$ στην έξοδο . . . . .	52
5.3.1	Transient Ανάλυση . . . . .	52
5.3.2	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	52
5.3.3	Μέτρηση Χρόνου Καθυστέρησης Διάδοσης . . . . .	52
5.3.4	Transient Ανάλυση . . . . .	52
5.3.5	Μέτρηση Χρόνων Ανόδου και Καθόδου . . . . .	52
5.3.6	Μέτρηση Χρόνου Καθυστέρησης Διάδοσης . . . . .	53
5.4	DC Ανάλυση . . . . .	53
5.5	Σύγκριση Αποτελεσμάτων / Συμπεράσματα . . . . .	54
5.6	Layout της πύλης . . . . .	54
6	4-bit Serial Adder . . . . .	56
6.1	Σχηματικό Αθροιστή στο Cadence . . . . .	57
6.2	Transient Ανάλυση . . . . .	59
6.3	Layout Full Adder . . . . .	60
6.4	Layout Σειριακού Αθροιστή . . . . .	60

# 1 Σχεδιασμός CMOS Αντιστροφέα

Στην άσκηση αυτή, καλούμαστε να υλοποιήσουμε το σχηματικό ενός CMOS Αντιστροφέα. Γνωρίζουμε ότι για την υλοποίησή του, απαιτούνται δυο MOSFET τρανζίστορ. Συγκεκριμένα, χρειαζόμαστε ένα NMOS και ένα PMOS. Στην παρακάτω εικόνα βλέπουμε τον στατικό CMOS Αντιστροφέα.

## 1.1 Σχεδιασμός με τρανζίστορ του ενός Finger

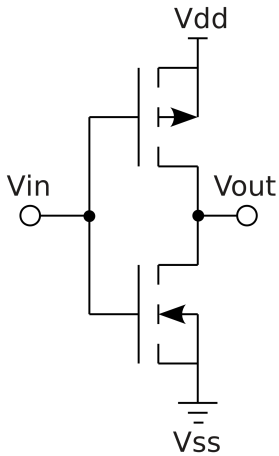


Figure 1: Σχηματικό στατικού CMOS Αντιστροφέα

Ο προσδιορισμός στατικός οφείλεται στην σχεδίαση με βάση την στατική CMOS αρχιτεκτονική, στην οποία η στατική κατανάλωση ισχύος του κυκλώματος, είναι μηδενική. Συνεπώς, όταν ο αντιστροφέας βρίσκεται σε μια εκ των δυο καταστάσεών του (στατική λειτουργία) και άρα δεν μεταβαίνει από την μια κατάσταση του στην άλλη (δυναμική λειτουργία), δεν υπάρχει ροή ρεύματος και άρα η κατανάλωση ισχύος είναι μηδενική.

Στην πραγματικότητα, η κατανάλωση ισχύος θα είναι μη-μηδενική, λόγω φαινομένων όπως τα αναπόφευκτα ρεύματα διαρροών (της τάξεως των 10pA με 100pA) και η αγωγή στην περιοχή υποκατωφλίου. Ακόμη και τότε, όμως, η ισχύς που καταναλώνεται είναι αρκετά μικρής τάξης μεγέθους, χωρίς όμως αυτό να σημαίνει, ότι δεν αποτελεί σημαντικό πρόβλημα για κυκλώματα τεράστιας κλίμακας, των οποίων το transistor count είναι της τάξεως των εκατομμυρίων. Για τους σκοπούς της άσκησης, θα θεωρήσουμε ότι δεν μας απασχολούν τα παραπάνω φαινόμενα.

Τα δύο τρανζίστορ που απαρτίζουν τον αντιστροφέα δέχονται ένα κοινό σήμα εισόδου ( $V_{in}$ ) το οποίο συνδέεται στην ακροδέκτη της πύλης τους.

Ο ακροδέκτης του Drain του PMOS τρανζίστορ συνδέεται στην τάση τροφοδοσίας ( $V_{DD}$ ) (η οποία και θα θεωρείται ως λογικό HIGH), ενώ ο ακροδέκτης του Source συνδέεται μαζί με το Drain του NMOS τρανζίστορ, προκειμένου να σχηματίσουν το σημείο από το οποίο θα λαμβάνουμε την έξοδο ( $V_{out}$ ) του κυκλώματος.

Τέλος, ο ακροδέκτης του υποστρώματος συνδέεται στο ( $V_{DD}$ ), το οποίο είναι απαραίτητο προκειμένου, οι pn επαφές (συμπεριφέρονται ως διόδοι) που σχηματίζονται από το τύπου n υπόστρωμα και τις δύο τύπου p περιοχές των Source και Drain, να είναι ανάστροφα πολωμένες, όταν στην Πύλη του PMOS τρανζίστορ, εφαρμόσουμε υψηλό δυναμικό. Αντιθέτως, όταν στην Πύλη του PMOS τρανζίστορ εφαρμόσουμε χαμηλό δυναμικό, τότε θα σχηματιστεί το κανάλι μεταξύ Source και Drain, και το τρανζίστορ θα μεταβεί στην ON κατάσταση.

Στο NMOS τρανζίστορ, ο ακροδέκτης του Source συνδέεται στην γείωση, στην οποία συνδέεται και ο ακροδέκτης του υποστρώματος, έτσι ώστε οι οι pn επαφές (συμπεριφέρονται ως διόδοι) που σχηματίζονται, μεταξύ του τύπου p υποστρώματος και των τύπου n περιοχών των Source και Drain, να είναι ανάστροφα πολωμένες, όταν στην Πύλη του NMOS τρανζίστορ, εφαρμόσουμε χαμηλό δυναμικό. Αντιθέτως, όταν στην Πύλη του NMOS τρανζίστορ εφαρμόσουμε υψηλό δυναμικό, τότε θα σχηματιστεί το κανάλι μεταξύ Source και Drain, και το τρανζίστορ θα μεταβεί στην ON κατάσταση.

### 1.1.1 Λειτουργία του κυκλώματος

Έστω ότι ως είσοδο εφαρμόζουμε  $V_{in} = HIGH$ , τότε (σύμφωνα και με τα παραπάνω), το PMOS τρανζίστορ δεν θα άγει, ενώ το NMOS τρανζίστορ θα άγει. Τότε, θα σχηματιστεί μια χαμηλής αντίστασης αγωγική διαδρομή προς την γείωση, με αποτέλεσμα το NMOS τρανζίστορ, να "τραβήξει" τον κόμβο εξόδου προς "τα κατω", συνδέοντάς τον με την γείωση. Έτσι, βλέπουμε ότι για είσοδο λογικό HIGH, η έξοδος του κυκλώματος είναι πράγματι αντεστραμμένη και ίση με λογικό LOW.

Αν ως είσοδο εφαρμόσουμε  $V_{in} = LOW$ , τότε το NMOS τρανζίστορ δεν θα άγει, ενώ το PMOS τρανζίστορ θα άγει, παρέχοντας μια χαμηλής αντίστασης διαδρομή, από την τάση τροφοδοσίας/λογικού HIGH, προς τον κόμβο εξόδου. Έτσι, η παρασιτική χωρητικότητα του κόμβου εξόδου, θα φορτιστεί σε δυναμικό  $V_{DD}$ , με αποτέλεσμα από είσοδο λογικού LOW να έχουμε έξοδο λογικού HIGH.

Τα παραπάνω μπορούν να συνοψιστούν στον ακόλουθο πίνακα αληθείας.

INPUT	OUTPUT
HIGH	LOW
LOW	HIGH

Table 1: Πίνακας Αληθείας Στατικού CMOS Αντιστροφέα

### 1.1.2 Σχηματικό στο Cadence

Στην παρακάτω εικόνα βλέπουμε το σχηματικό του Στατικού CMOS Αντιστροφέα, έπειτα από σχεδίαση στο περιβάλλον του Cadence.

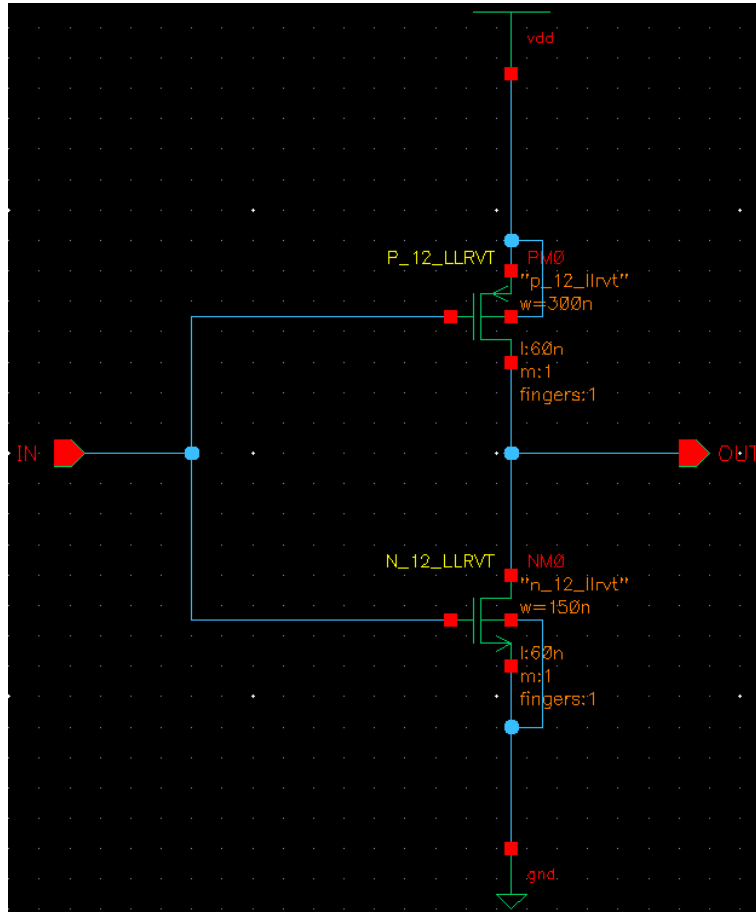


Figure 2: Σχηματικό του CMOS αντιστροφέα στο Cadence

Στα αριστερά βλέπουμε το pin εισόδου με όνομα IN, και στα δεξιά το pin εξόδου με όνομα OUT.

Στην συνέχεια δημιουργούμε ένα Test Bench, προκειμένου να ελέγξουμε την ορθή λειτουργία του αντιστροφέα αλλά και για να πάρουμε κάποια χαρακτηριστικά του, όπως οι χρόνοι ανόδου και καθόδου.

Ως είσοδο στον αντιστροφέα, εφαρμόζουμε τετραγωνικό παλμό με χαμηλή στάθμη τα 0V και υψηλή στάθμη το 1V και τα εξής χαρακτηριστικά :

- Περίοδο =  $50ns$
- Delay Time =  $0ns$
- Χρόνο Ανόδου (Rise Time) =  $10ns$
- Χρόνο Καθόδου (Fall time) =  $10ns$
- Εύρος παλμού (Pulse Width) =  $10ns$

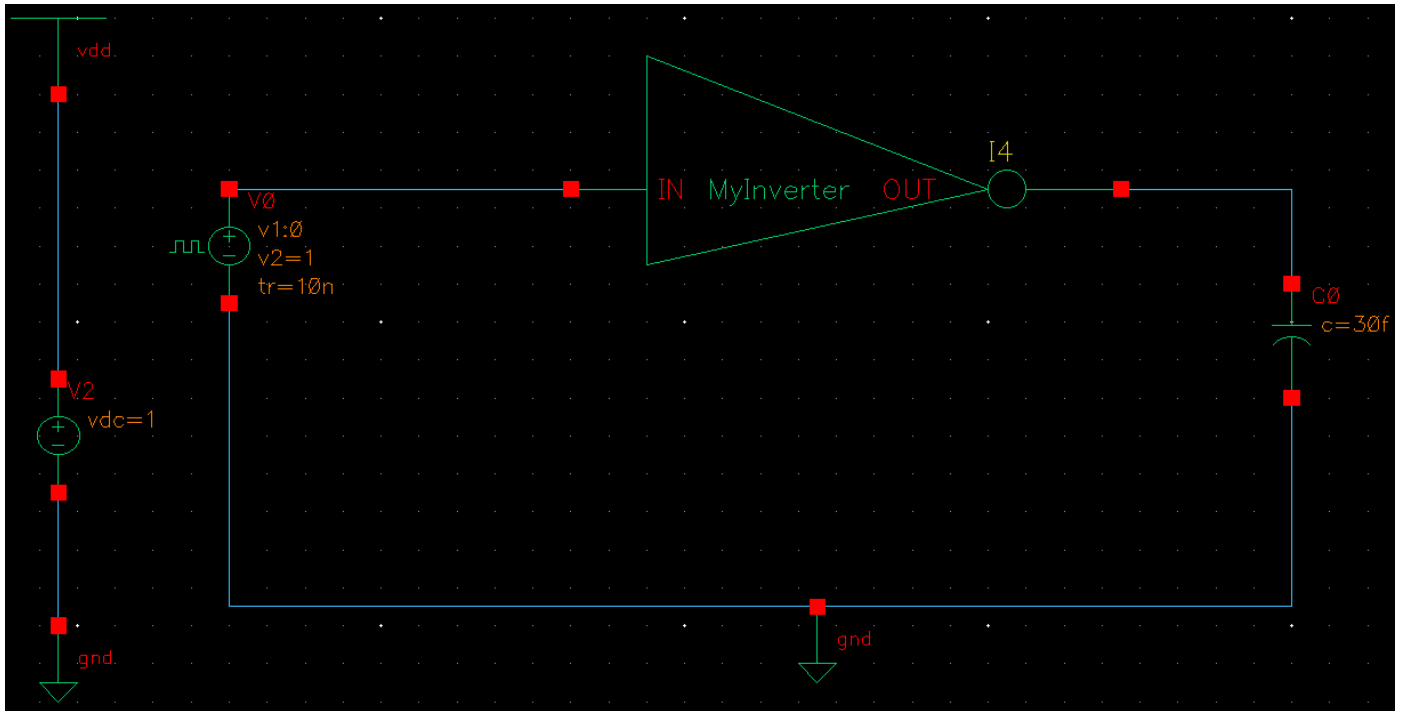


Figure 3: Δοκιμαστικό κύκλωμα για τον CMOS αντιστροφέα

Στην έξοδο του αντιστροφέα συνδέουμε έναν πυκνωτή χωρητικότητας 30f Farad, ο οποίος αντιπροσωπεύει την παρασιτική χωρητικότητα του κόμβου εξόδου, ο οποίος μπορεί να συνδέεται σε κόμβο εισόδου μιας οδηγούμενης, από τον αντιστροφέα, πύλης. Επίσης, τοποθετώντας έναν πυκνωτή της τάξεως των fFarad στην έξοδο της πύλης, μπορούμε να αποφύγουμε glitches στο σήμα εξόδου. Τα glitches εκδηλώνονται ως ξαφνικές πτώσεις δυναμικού για πολύ σύντομο χρονικό διάστημα, και μπορεί να οφείλονται σε μικρές αλλαγές στο σήμα εισόδου. Συνεπώς, τα glitches μιας και αποτελούν θόρυβο ως προς το σήμα εξόδου, μπορούν να απαλειφθούν μέσω ενός πυκνωτή. Τέλος, συνδέουμε στο κύκλωμα μας μια DC πηγή τάσεως 1V, προκειμένου να συνδεθεί το PMOS τρανζίστορ του αντιστροφέα σε τάση  $V_{DD}$  και μέσω του NMOS τρανζίστορ στην γείωση.

### 1.1.3 Transient Ανάλυση

Μιας και πλέον το δοκιμαστικό μας κύκλωμα είναι έτοιμο, μπορούμε να εκτελέσουμε Transient Ανάλυση, προκειμένου να εξομοιώσουμε την λειτουργία του κυκλώματος. Τρέχουμε την προσομοίωση για 50ns και παίρνουμε τις παρακάτω κυματομορφές για την είσοδο και για την έξοδο του αντιστροφέα.

Στην παρακάτω εικόνα με πράσινο χρώμα (net2) βλέπουμε την είσοδο του αντιστροφέα και με κόκκινο χρώμα (net3), την έξοδό του.

Παρατηρούμε ότι το κύκλωμα δουλεύει όντως σαν αντιστροφέας, αφού βλέπουμε ότι όταν ο παλμός εισόδου βρίσκεται στο λογικό HIGH, η έξοδος πέφτει εκθετικά προς την περιοχή του λογικού LOW.

Ο λόγος που η έξοδος πέφτει εκθετικά προς το LOW, οφείλεται στο γεγονός ότι ο κόμβος εξόδου συμπεριφέρεται ως πυκνωτής λόγω της παρασιτικής του χωρητικότητας.

Ομοίως, όταν η είσοδος βρίσκεται βρίσκεται στην περιοχή του λογικού LOW, η έξοδος αυξάνεται εκθετικά (λόγω φόρτισης του πυκνωτή που μοντελοποιεί την παρασιτική χωρητικότητα του κόμβου εξόδου), προς την περιοχή του λογικού HIGH.

Αξίζει να σημειωθεί το γεγονός, πως οι μεταβάσεις των παλμών δεν είναι ιδανικές, δηλ. δεν υπάρχει κατακόρυφη μετάβαση από την μια στάθμη στην άλλη, αλλά στην περίπτωση του παλμού εισόδου οι μεταβάσεις είναι γραμμικές, ενώ στην περίπτωση του παλμού εξόδου, οι μεταβάσεις είναι εκθετικές (λόγω της συμπεριφοράς του κόμβου εξόδου ως πυκνωτή). Αυτό συμβαίνει επειδή οι κατακόρυφες μεταβάσεις απαιτούν (σύμφωνα και με ανάλυση Fourier), άπειρο πλήθος όρων για να περιγραφούν.

Επίσης, στην περίπτωση του παλμού εξόδου, το πόσο απότομη είναι η μετάβαση από την μια στάθμη δυναμικού στην άλλη, εξαρτάται και από την διαμόρφωση του μήκους του καναλιού, όπου σημαντικό ρόλο διαδραματίζουν οι παράμετροι  $\beta_p$  και  $\beta_n$  των PMOS και NMOS στοιχείων, αντίστοιχα.

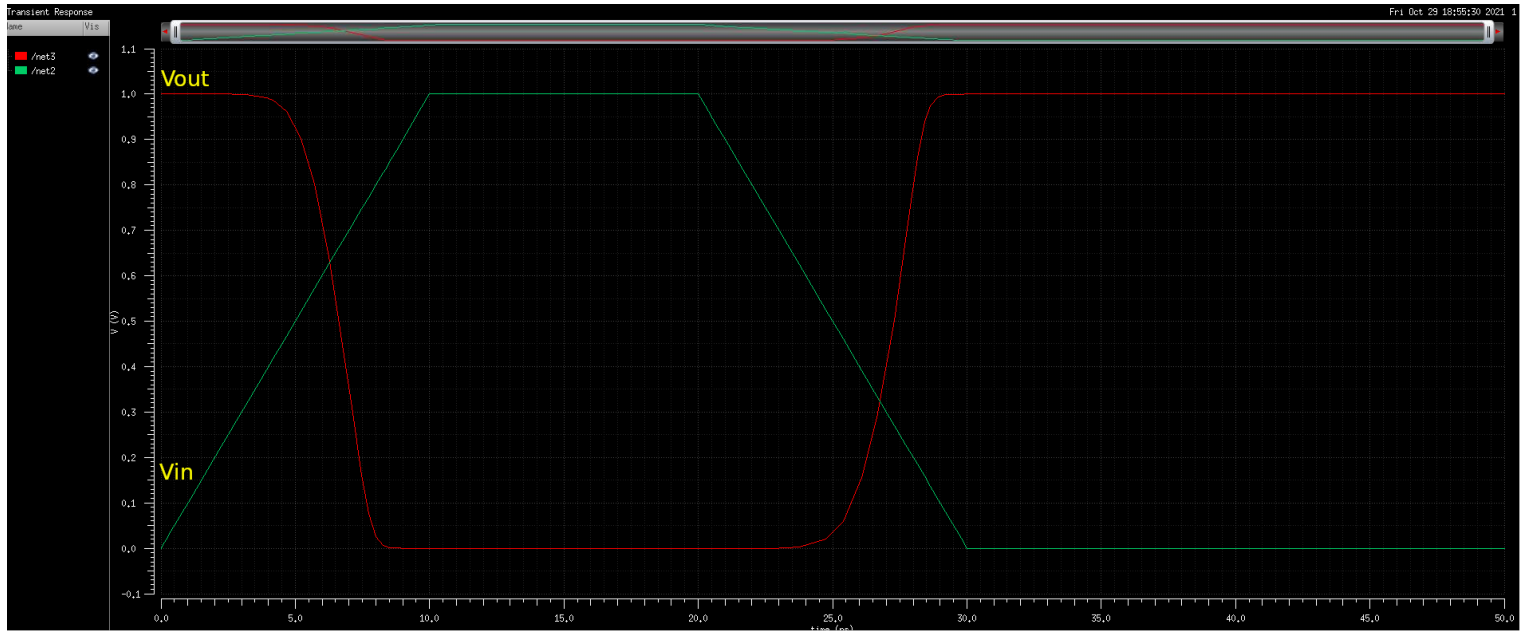


Figure 4: Οι κυματομορφές εισόδου και εξόδου του CMOS Αντιστροφέα

Οι συντελεστές αυτοί εξαρτώνται από γεωμετρικές και εξαρτώμενες από την τεχνολογία κατασκευής (fabrication process) παραμέτρους.

Συγκεκριμένα, ισχύει  $\beta = \mu C_{ox} \frac{W}{L}$ , όπου :

- $\mu$ : η κινητικότητα των φορέων στην επιφάνεια του καναλιού. Το  $\mu$  είναι μια φυσική παράμετρος που εξαρτάται από την τεχνολογία κατασκευής.
- $C_{ox}$ : Η χωρητικότητα του στρώματος του διοξειδίου του πυριτίου ( $\text{SiO}_2$ ) που βρίσκεται κάτω από το Gate ενός MOSFET τρανζίστορ. Γνωρίζουμε ότι το Gate μπορεί να μοντελοποιηθεί ως ένας πυκνωτής παράλληλων πλακών, συνεπώς έτσι προκύπτει η χωρητικότητα ( $C_{ox}$ ) ανά μονάδα επιφάνειας του οξειδίου τη πύλης.
- $W, L$ : Το πλάτος και το μήκος, αντίστοιχα, του καναλιού του MOSFET τρανζίστορ, που σχηματίζεται ανάμεσα στο Source και το Drain. Οι παράγοντες αυτοί εξαρτώνται από την γεωμετρία του εν λόγω στοιχείου.

Γνωρίζουμε ότι η κινητικότητα των οπών είναι το  $\frac{1}{4}$  με το  $\frac{1}{2}$  της κινητικότητας των ηλεκτρονίων. Συνήθως, θεωρούμε πως οι οπές έχουν την μισή κινητικότητα, απ'ότι τα ηλεκτρόνια, στην επιφάνεια του πυριτίου. Συνεπώς, ισχύει  $\mu_n = 2\mu_p$ .

Αν επιλέξουμε τα στοιχεία να είναι ταιριασμένα, τότε εξισώνουμε τις παραμέτρους  $\beta_n$  και  $\beta_p$ .

Συνεπώς, έχουμε  $\beta_n = \beta_p \iff \mu_n C_{ox} \left(\frac{W}{L}\right)_n = \mu_p C_{ox} \left(\frac{W}{L}\right)_p$ .

Υποθέτουμε πως τα στοιχεία PMOS και NMOS έχουν το ίδιο μήκος καναλιού ( $L=L_{\min}$ ), κάτι το οποίο ισχύει σχεδόν πάντα, καθώς το μήκος του καναλιού τίθεται ίσο με το ελάχιστο μήκος καναλιού που προσφέρει η εκάστοτε τεχνολογία κατασκευής των στοιχείων.

Άρα, έχουμε :

$$\begin{aligned} \mu_n C_{ox} \left(\frac{W}{L}\right)_n &= \mu_p C_{ox} \left(\frac{W}{L}\right)_p \iff \\ \mu_n W_n &= \mu_p W_p \iff \\ \frac{W_p}{W_n} &= \frac{\mu_n}{\mu_p} \\ \text{Αν } \mu_n &= 2\mu_p, \text{ τότε } W_p = 2W_n \end{aligned}$$

Καταλήγουμε δηλαδή στο συμπέρασμα ότι το πλάτος καναλιού του PMOS στοιχείου θα είναι το διπλάσιο του πλάτους του καναλιού του NMOS στοιχείου, προκειμένου να “κρύψουμε” το γεγονός πως οι οπές έχουν την μισή κινητικότητα επί του πυριτίου, απ'ότι τα ηλεκτρόνια. Αν και ως αντίτιμο έχουμε την αυξημένη χωρητικότητα και την κατανάλωση μεγαλύτερης επιφάνειας επί του πυριτίου, η σχέση  $W_p = 2W_n$ , αποτελεί έναν συνήθη συμβιβασμό, τον οποίο έχουμε ακολουθήσει και στην άσκηση αφού και για τα δύο στοιχεία έχουμε επιλέξει μήκος καναλιού, το ελάχιστο δυνατό και ίσο με 60nm και πλάτος για το NMOS τρανζίστορ ίσο με 150nm και πλάτος για το PMOS τρανζίστορ ίσο με 300nm.

Απότοκο του ταιριάσματος των PMOS και NMOS στοιχείων, είναι η μεγιστοποίηση των περιθωρίων θορύβου, η φόρτιση και η εκφόρτιση ενός χωρητικού φορτίου στον ίδιο χρόνο ( αφού για τα ταιριασμένα στοιχεία ισχύει  $t_{PLH} = t_{PHL}$  , δηλ το propagation delay για την μετάβαση του κόμβου εξόδου από χαμηλή σε υψηλή στάθμη είναι ίσο με το propagation delay για την μετάβαση του κόμβου εξόδου από υψηλή σε χαμηλή στάθμη δυναμικού).

Επίσης, η τάση κατωφλίου του αντιστροφέα, είναι ίση με  $\frac{V_{DD}}{2}$ .

Συνεπώς, αφού στην άσκηση έχουμε χρησιμοποιήσει  $V_{DD} = 1$  Volt, θα έχουμε ότι η τάση κατωφλίου του αντιστροφέα θα είναι  $V_{t_{inv}} = \frac{V_{DD}}{2} = 0.5$  Volt.

Ακόμη, όσο ο λόγος  $\frac{\beta_p}{\beta_n}$  αυξάνεται, τόσο πιο απότομη γίνεται η μετάβαση από το λογικό HIGH στο λογικό LOW (και αντίστροφα).

Τέλος, αν επιλέξουμε  $\frac{\beta_p}{\beta_n} = 10$  δηλ.  $W_p = 20W_n$  , η μετάβαση του αντιστροφέα από το λογικό HIGH στο λογικό LOW (και αντίστροφα), γίνεται πολύ απότομη. Κάτι τέτοιο όμως δεν παρουσιάζει πρακτική σημασία, καθώς για να επιτευχθεί χρειάζεται το PMOS στοιχείο να έχει το εικοσαπλάσιο(!) πλάτος από ένα NMOS στοιχείο, το οποίο έχει υπερβολικά τεράστια κατανάλωση επιφάνειας πυριτίου.

### 1.1.4 Μετρήσεις Χρόνων Ανόδου, Καθόδου και Καθυστέρησης Διάδοσης

Ο χρόνος Ανόδου (rise time,  $t_r$ ), ορίζεται ως το χρονικό διάστημα μεταξύ της αύξησης του παλμού από το 10% της τιμής της μέγιστης στάθμης δυναμικού του, έως το 90% της τιμής αυτής. Παρομοίως, ο χρόνος Καθόδου (fall time,  $t_f$ ), ορίζεται ως το χρονικό διάστημα για την αντίστροφη μετάβαση, δηλ. από το 90% της μέγιστης τιμής, μέχρι το 10%.

Χρησιμοποιώντας τον calculator του Analog Design Environment, για τους χρόνους Ανόδου και Καθόδου, βρίσκουμε πως :

$$t_f = 2.442 \text{ nsecs και } t_r = 2.596 \text{ nsecs}$$

Παρατηρούμε πως οι δυο χρόνοι έχουν διαφορά ίση με 0.154 nsecs.

Γνωρίζουμε πως το fall time είναι μικρότερο από το rise time, λόγω της μεγαλύτερης κινητικότητας των ηλεκτρονίων σε σχέση με την κινητικότητα των οπών. Η κινητικότητα των ηλεκτρονίων στο πυρίτιο είναι 2 με 3 φορές μεγαλύτερη από αυτή των οπών, δηλ.  $\mu_n = 2\mu_p$  ή  $\mu_n = 3\mu_p$  . Συνεπώς, για να “κρύψουμε” την διαφορά μεταξύ των κινητικοτήτων των δυο φορέων, συχνά θεωρούμε πως  $\mu_n = 2\mu_p$  απ’όπου προκύπτει και ο γνωστός συμβιβασμός πως  $W_p = 2W_n$  .

Συνεπώς, αν θέλουμε  $t_r = t_f$  , πρέπει  $W_p = 2W_n$  , το οποίο βλέπουμε πως μας έδωσε σχεδόν ίσα  $t_r$  και  $t_f$  (διαφορά ίση με 0.154 nsecs).

Για λόγους πειραματισμού, θέσαμε  $W_p = 3W_n$  , και τότε βρήκαμε πως

$$t_f = 2.426 \text{ nsecs και } t_r = 2.383 \text{ nsecs}$$

Πλέον το rise time είναι μικρότερο του fall time, και η διαφορά τους (0.043 nsecs) είναι μικρότερη κατά μια τάξης μια τάξη μεγέθους, σε σχέση με την περίπτωση όπου  $W_p = 2W_n$  .

Αν ακολουθήσουμε την παραδοχή  $W_p = 3W_n$  έχουμε σημαντικά μεγαλύτερη κατανάλωση επιφάνειας πυριτίου, βλέπουμε ότι και πάλι ο γνωστός συμβιβασμός  $W_p = 2W_n$  , είναι η ορθότερη επιλογή, όπου θεωρητικά μας δίνει ίσα rise και fall times.

Η Καθυστέρηση Διάδοσης (Propagation Delay,  $t_p$ ), γνωρίζουμε ότι είναι ο χρόνος που χρειάζεται ένα κύκλωμα για να ανταποκριθεί σε μια αλλαγή στην είσοδό του, δηλ. ο χρόνος μέχρι η επίδραση που θα έχει η αλλαγή του σήματος εισόδου, να διαδοθεί στην έξοδο του κυκλώματος.

Ως εκ τούτου, η Καθυστέρηση Διάδοσης, αποτελεί θεμελιώδους σημασίας παράμετρο όσον αφορά την ταχύτητα λειτουργίας μιας ψηφιακής πύλης.

### 1.1.5 Μέτρηση Χρόνου Καθυστέρησης Διάδοσης (Propagation Delay)

Η Καθυστέρηση Διάδοσης, αποτελείται από δυο παράγοντες, τον  $t_{PLH}$  και τον  $t_{PHL}$  .

Συγκεκριμένα, ισχύει πως η ολική Καθυστέρηση Διάδοσης είναι ο μέσος όρος των δυο παρπάνω συνιστωσών, δηλ.

$$t_P = \frac{t_{PLH} + t_{PHL}}{2} , \text{ όπου :}$$



- $t_{PLH}$ : η καθυστέρηση διάδοσης για την μετάβαση της εξόδου από την χαμηλή στην υψηλή στάθμη. Ο χρόνος αυτός εξαρτάται από τα PMOS στοιχεία, καθώς περιγράφει μετάβαση σε υψηλό δυναμικό, το οποίο γίνεται μόνο από ενεργοποίηση του Pull-Up Network, στο οποίο συμμετέχουν PMOS στοιχεία.
- $t_{PHL}$ : η καθυστέρηση διάδοσης για την μετάβαση της εξόδου από την υψηλή στην χαμηλή στάθμη. Ο χρόνος αυτός εξαρτάται από τα NMOS στοιχεία, καθώς περιγράφει μετάβαση σε χαμηλό δυναμικό, το οποίο γίνεται μόνο από ενεργοποίηση του Pull-Down Network, στο οποίο συμμετέχουν NMOS στοιχεία.

Οι δύο παραπάνω χρόνοι υπολογίζονται ως το χρονικό διάστημα από την στιγμή που το σήμα εισόδου υπερβαίνει το 50% της μέγιστης τιμής του, έως την στιγμή που το σήμα εξόδου υπερβαίνει το 50%. Η υπέρβαση του 50% της μέγιστης τιμής, μπορεί να είναι είτε σε rising είτε σε falling edge, του σήματος, όμως είναι σε διαφορετικού τύπου ακμή για τα δύο σήματα. Για παράδειγμα, τα δύο επιτρεπτά ζεύγη είναι:

- rising edge στο σήμα εισόδου, falling edge στο σήμα εξόδου
- falling edge στο σήμα εισόδου, falling edge στο σήμα εξόδου.

Για παράδειγμα, για την περίπτωση του αντιστροφέα ως  $t_{PLH}$  ορίζεται το χρονικό διάστημα, από την στιγμή που το σήμα εισόδου πέσει κάτω από το 50% της μέγιστης τιμής του

(μέχρι πρότινος ήταν σε στάθμη λογικού HIGH, συνεπώς ο αντιστροφέας έδινε λογικό LOW. Μετά την πτώση κάτω από το 50%, το σήμα εισόδου είναι σε λογικό LOW, συνεπώς η έξοδος του αντιστροφέα θα πρέπει να μεταβεί σε λογικό HIGH),

έως την στιγμή όπου η έξοδος του αντιστροφέα θα υπερβεί το 50% της μέγιστης τιμής της, όπου πλέον θα βρίσκεται στην περιοχή του λογικού HIGH.

Παρομοίως, για το  $t_{PHL}$ .

Για ταιριασμένα στοιχεία, δηλ. για PMOS και NMOS τρανζίστορ, για τα οποία ισχύει  $\beta_n = \beta_p$ , τότε έχουμε πως η καθυστέρηση διάδοσης είναι συμμετρική και προς τις δύο κατευθύνσεις, δηλαδή έχουμε ίσο χρόνο για την φόρτιση και την εκφόρτιση της παρασιτικής χωρητικότητας του κόμβου εξόδου ( $t_{PLH} = t_{PHL}$ ).

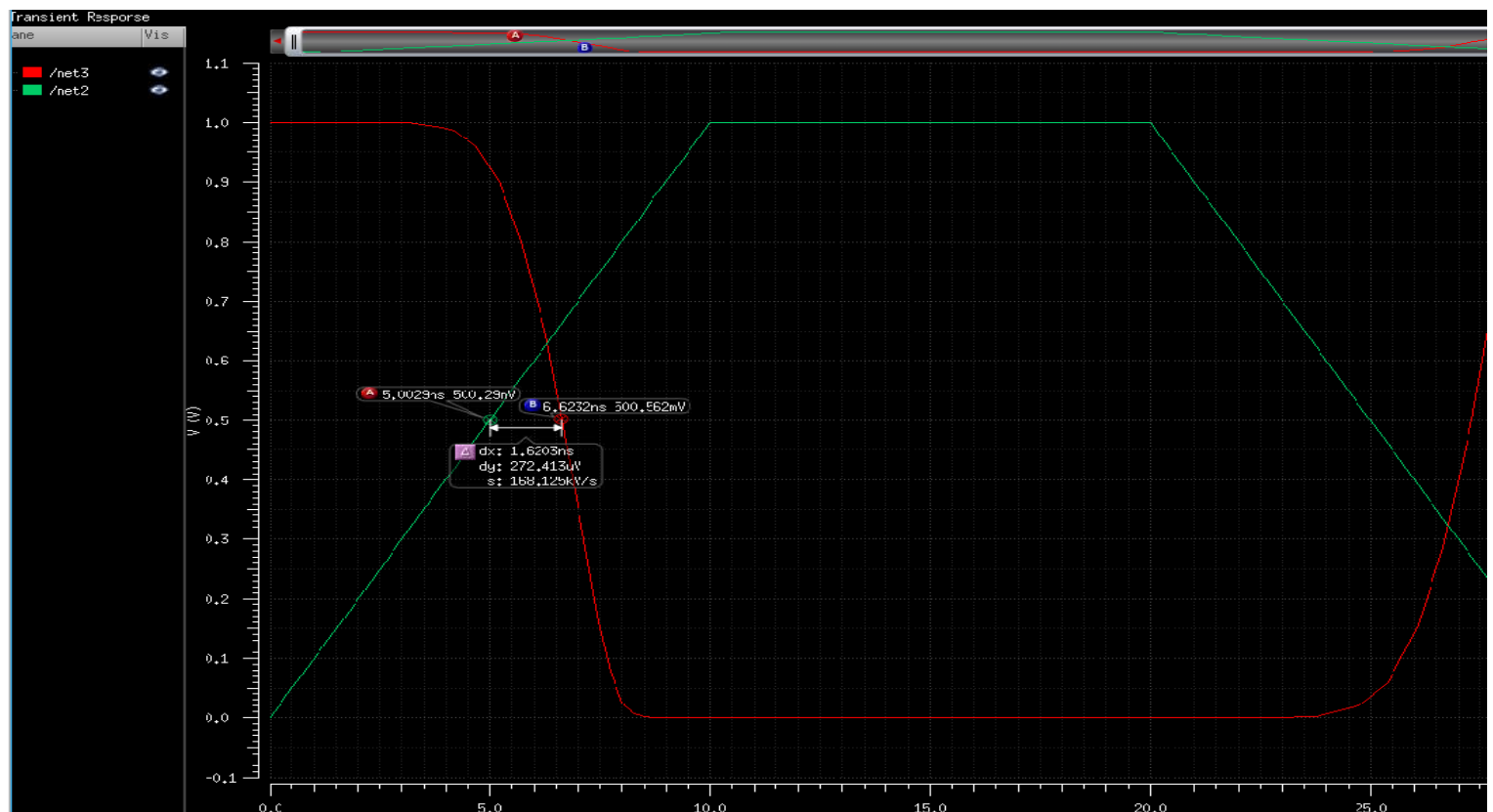


Figure 5: Υπολογισμός του  $t_{PHL}$

Στην παραπάνω εικόνα βλέπουμε τον υπολογισμό της Καθυστέρησης Διάδοσης  $t_{P_{HL}}$ , με χρήση σημείων πάνω στις κυματομορφές και μετρώντας την απόστασή τους στον άξονα των x (άξονας χρόνου).

Βρίσκουμε πως  $t_{P_{HL}} = 1.62 \text{ nsecs}$ . Επαληθεύουμε την τιμή αυτή, και με την χρήση του calculator, μέσω της συνάρτησης delay, και βρίσκουμε πως  $t_{P_{HL}} = 1.625 \text{ nsecs}$ .

Στην παρακάτω εικόνα βλέπουμε τον υπολογισμό της Καθυστέρησης Διάδοσης  $t_{P_L}$ , με χρήση σημείων πάνω στις κυματομορφές και μετρώντας την απόστασή τους στον άξονα των x (άξονας χρόνου).

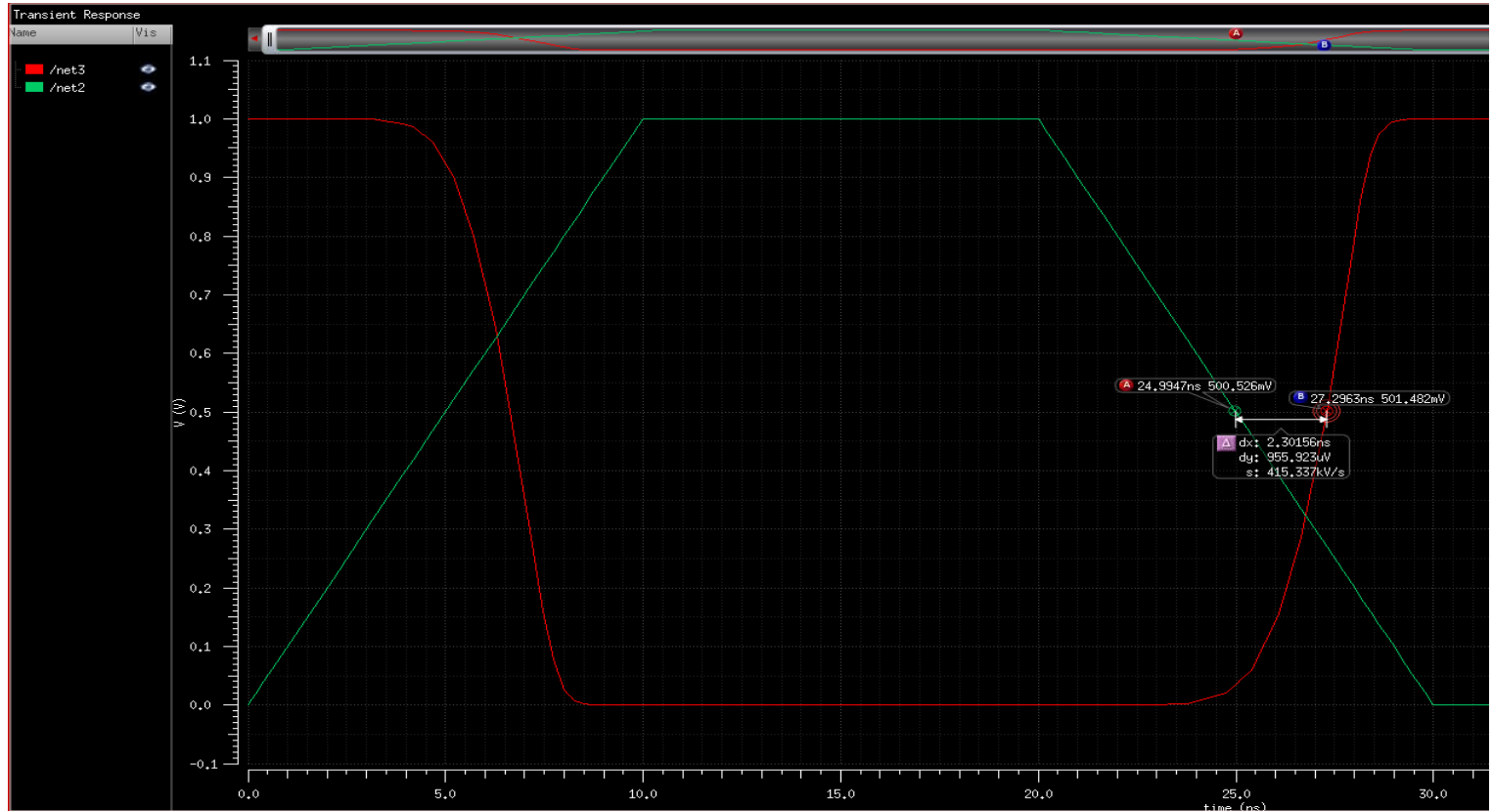


Figure 6: Υπολογισμός του  $t_{P_{LH}}$

Βρίσκουμε πως  $t_{P_L} = 2.3 \text{ nsecs}$ . Επαληθεύουμε την τιμή αυτή, και με την χρήση του calculator, μέσω της συνάρτησης delay, και βρίσκουμε πως  $t_{P_L} = 2.292 \text{ nsecs}$ .

Παρατηρούμε πως  $t_{P_{HL}} = 1.62 \text{ nsecs} \neq t_{P_{LH}} = 2.3 \text{ nsecs}$ .

Αν και οι δύο χρόνοι απέχουν **0.6 nsecs**, δεν είναι ίσοι όπως θα περιμέναμε να ισχύει για ταιριασμένα NMOS και PMOS στοιχεία. Αυτό συμβαίνει επειδή έχουμε κάνει τον συνήθη συμβιβασμό, όπου  $W_p = 2W_n$ , δηλ. το PMOS στοιχείο έχει κανάλι διπλάσιου πλάτους από το NMOS στοιχείο. Η διαφορά των 0.6 nsecs, είναι αρκετά ικανοποιητική και μικρή.

Αν θέλουμε να πετύχουμε  $t_{P_{HL}} \approx t_{P_{LH}}$ , τότε θα πρέπει να θέσουμε  $W_p = 3W_n$  ή  $W_p = 4W_n$ . Για λόγους πειραματισμού θέσαμε  $W_p = 4W_n$ , και παρατηρήσαμε πως  $t_{P_{HL}} = 1.655 \text{ nsecs}$  και  $t_{P_{LH}} = 1.708 \text{ nsecs}$ .

Βλέπουμε δηλαδή, πως ο λόγος  $\frac{t_{P_{HL}}}{t_{P_{LH}}} \rightarrow 1$ .

Όμως, έχουμε χρησιμοποιήσει την διπλάσια επιφάνεια πυριτίου για τα PMOS στοιχεία, απ'ότι στην περίπτωση του γνωστού συμβιβασμού που ακολουθείται συνήθως, όπου  $W_p = 2W_n$ .

Οπότε, έχοντας υπολογίσει τις δύο συνιστώσες της Καθυστέρησης Διάδοσης, μπορούμε να υπολογίσουμε την συνολική Καθυστέρηση Διάδοσης, ως :

$$t_P = \frac{t_{P_{LH}} + t_{P_{HL}}}{2} \iff t_P = 1.9585 \text{ nsecs}$$

### 1.1.6 DC Ανάλυση

Τρέχοντας DC Ανάλυση για το δοκιμαστικό μας κύκλωμα, παίρνουμε την γνωστή VTC του CMOS αντιστροφέα, που φαίνεται στην παρακάτω εικόνα.

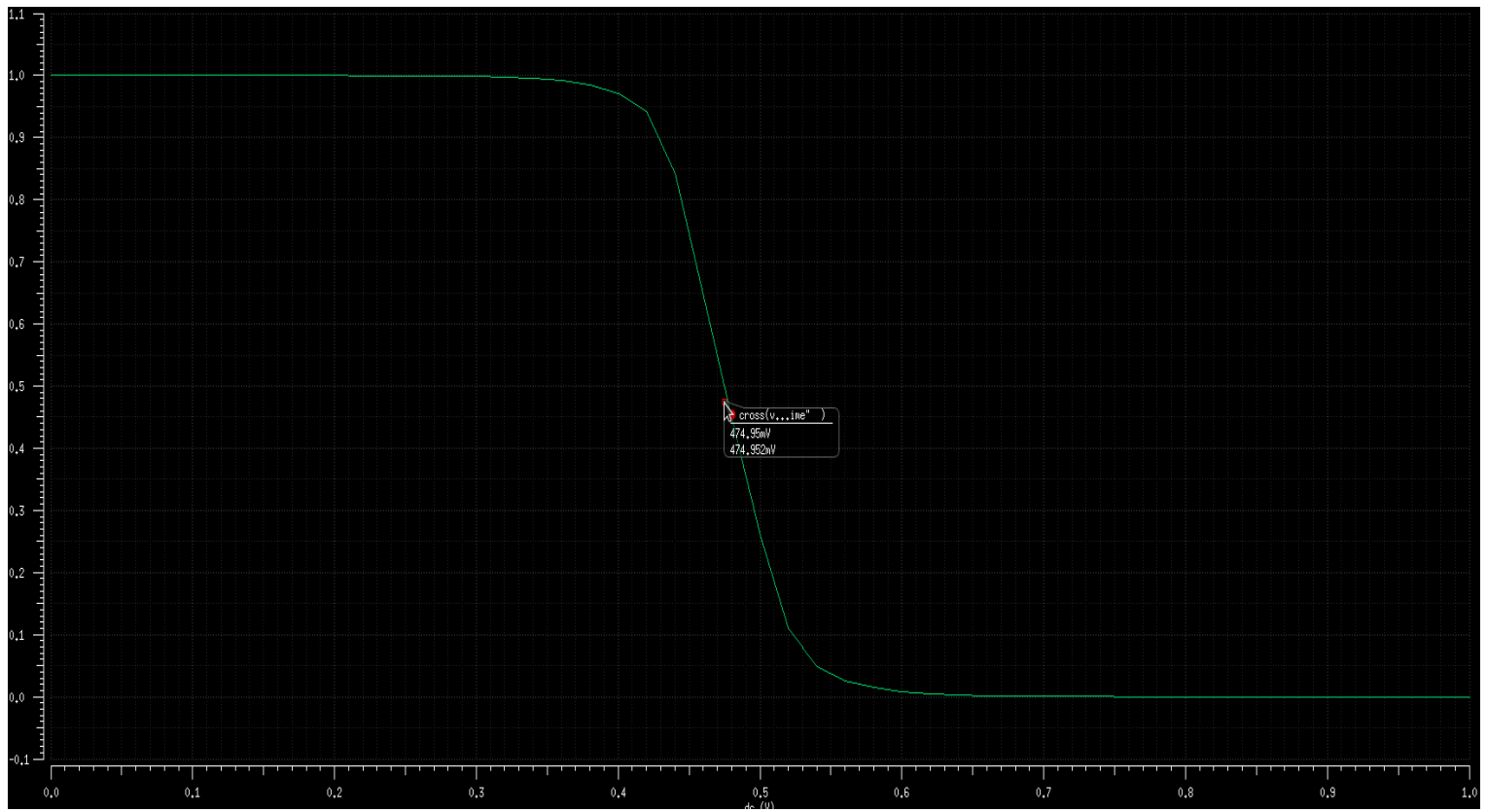


Figure 7: Χαρακτηριστική Μεταφοράς Τάσης (VTC) του CMOS αντιστροφέα και το Switching Threshold,  $V_M$

Με κόκκινο βλέπουμε το σημείο αλλαγής λειτουργίας/κατώφλι (Switching point/threshold)  $V_M$ , το οποίο υπολογίστηκε μέσω της cross συνάρτησης του calculator του ADE. Στο σημείο αυτό ισχύει  $V_{IN} = V_{OUT}$ . Οπότε, είναι  $V_M = 475$  mVolt.

Ο ιδανικός CMOS αντιστροφέας, έχει  $V_M = \frac{V_{DD}}{2}$ . Στην προκειμένη περίπτωση, έχουμε  $V_{DD} = 1$  Volt, οπότε, βλέπουμε ότι η  $V_M$  είναι εξαιρετικά κοντά στην  $\frac{V_{DD}}{2} = 500$  mVolt.

Παρατηρούμε ότι η VTC είναι αρκετά κοντά στην VTC του CMOS αντιστροφέα με ταιριασμένα στοιχεία, που φαίνεται στην εικόνα 8.

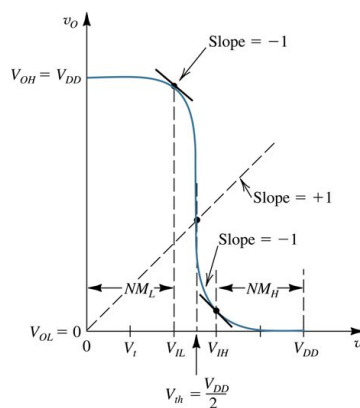


Figure 8: VTC για CMOS αντιστροφέα με ταιριασμένα PMOS και NMOS στοιχεία

Το αν η απότομη μετάβαση (περιοχή μετάβασης / transition region) από  $V_{OH}$  σε  $V_{OL}$  γίνεται στην κοντά στην τάση κατωφλίου του αντιστροφέα ( $V_{th} = \frac{V_{DD}}{2}$ ), εξαρτάται από τον λόγο των παραμέτρων  $\beta_p$  και  $\beta_n$  των PMOS και NMOS στοιχείων αντίστοιχα.

Στην εικόνα 9, μπορούμε να δούμε την επίδραση της απόκλισης του λόγου των παραμέτρων  $\beta$  των στοιχείων, στις χαρακτηριστικές μεταφοράς τάσης των αντιστροφέων. Όπως, μπορούμε να δούμε καθώς μεταβάλλεται ο λόγος μετατίθεται το κατώφλι μεταγωγής του αντιστροφέα.

Συγκεκριμένα, όσο ο λόγος  $\frac{\beta_p}{\beta_n}$  γίνεται μεγαλύτερος από 1, η μετάβαση αυτή τείνει προς το δεξιό μέρος του άξονα των x, δηλ. προς την περιοχή όπου  $V_{in} = V_{DD}$ .

Παρομοίως, όσο ο λόγος  $\frac{\beta_p}{\beta_n}$  γίνεται μικρότερος του 1, η μετάβαση αυτή τείνει προς το αριστερό μέρος του άξονα των x, δηλ. προς την περιοχή όπου  $V_{in} = 0$  Volt.

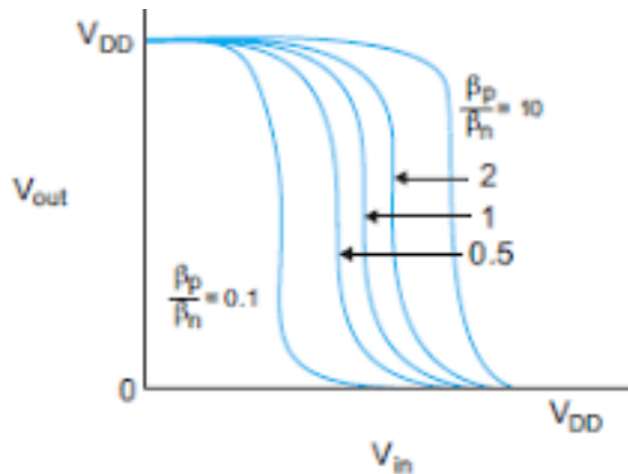


Figure 9: VTCs αντιστροφέων με απόκλιση(δηλ. Με μη-ταιριασμένα στοιχεία)

Με βάση την VTC του αντιστροφέα μας (εικόνα 7), μπορούμε να βρούμε τα περιθώρια θορύβου του αντιστροφέα.

1. Περιθώριο Θορύβου (Noise Margin) για είσοδο χαμηλής στάθμης ( $NM_L$ ) :

$$NM_L = V_{IL} - V_{OL} , \text{ όπου}$$

$V_{IL}$  : Η μέγιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό LOW

$V_{OL}$  : Χαμηλή στάθμη του σήματος εξόδου, δηλ. λογικό LOW

2. Περιθώριο Θορύβου (Noise Margin) για είσοδο υψηλής στάθμης ( $NM_H$ ) :

$$NM_H = V_{OH} - V_{IH} , \text{ όπου}$$

$V_{IH}$  : Η ελάχιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό HIGH

$V_{OL}$  : Υψηλή στάθμη του σήματος εξόδου, δηλ. λογικό HIGH

Προφανώς έχουμε πως  $V_{OL} = 0$  Volt και  $V_{OH} = V_{DD} = 1$  Volt . Οι τιμές των  $V_{IL}$  και  $V_{IH}$  προκύπτουν από την VTC του αντιστροφέα, καθώς είναι τα σημεία στα οποία η καμπύλη έχει κλίση ίση με -1.

Βρίσκουμε τα σημεία αυτά όπως φαίνεται στην παρακάτω φωτογραφία, και συνεπώς έχουμε :

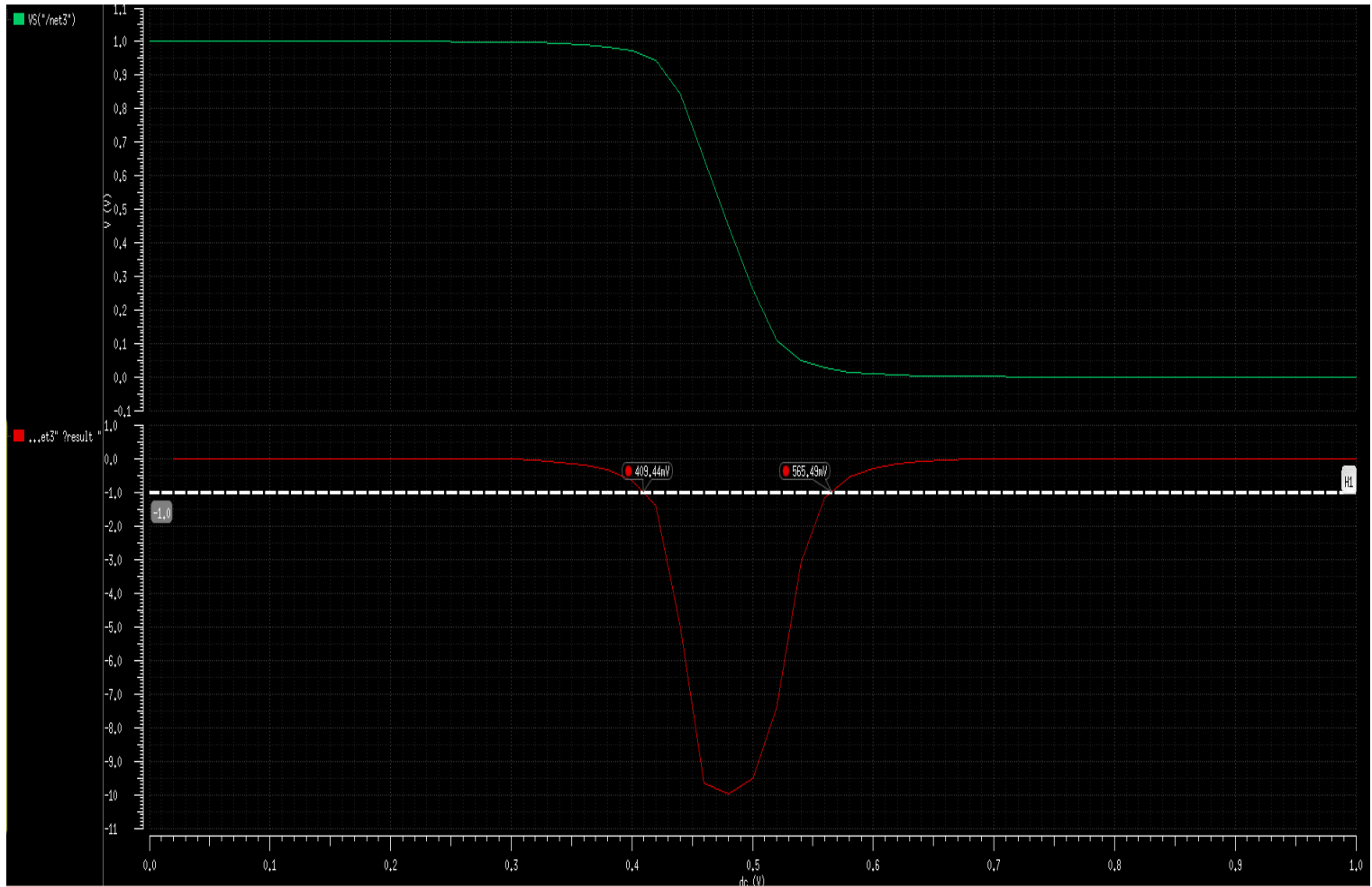


Figure 10: Εύρεση των  $V_{IL}$  και  $V_{IH}$  , από την κλίση της VTC του αντιστροφέα

$V_{IL} = 409.44 \text{ mVolt}$  και  $V_{IH} = 565.49 \text{ mVolt}$  και άρα έχουμε πως :

$$NM_L = 409.44 \text{ mVolt} \text{ και } NM_H = 1 \text{ Volt} - 565.49 \text{ mVolt} = 434.51 \text{ mVolt}$$

Από την θεωρία γνωρίζουμε πως για ταιριασμένα PMOS και NMOS στοιχεία, έχουμε μεγιστοποίηση των Noise Margins, και επίσης  $NM_L = NM_H$  . Βλέπουμε, πως οι τιμες των  $NM_L$  και  $NM_H$ , είναι πολύ κοντα.

## 1.2 Σχεδιασμός CMOS Αντιστροφέα με μεγαλύτερες διαστάσεις

Στο δεύτερο μέρος της άσκησης, καλούμαστε να σχεδιάσουμε αντιστροφέα, με μεγαλύτερες διαστάσεις απ'ότι στο πρώτο μέρος. Συγκεκριμένα, και πάλι χρησιμοποιούμε το ελάχιστο δυνατό μήκος καναλιού που μας επιτρέπει η συγκεκριμένη τεχνολογία (fabrication/node process), το οποίο είναι ίσο με **60nm**. Όμως, χρησιμοποιούμε πλάτη στοιχείων την τάξεως των *μικρόμετρων*. Συγκεκριμένα, έχουμε πως

$$W_n = 1 \mu\text{m} \text{ και } W_p = 2 \mu\text{m}$$

Ακολουθούμε και σε αυτήν την κλίμακα, τον συνήθη συμβιβασμό  $W_n = 2W_p$ .

Επίσης, στην περίπτωση αυτή επιλέγουμε κάθε τρανζίστορ να αποτελείται από **2 fingers**.

Στο πρώτο μέρος της άσκησης, είχαμε χρησιμοποιήσει τρανζίστορ με 1 finger, τα οποία έχουν το “κλασσικό” φυσικό layout που φαίνεται στην διπλανή εικόνα.

Έχουμε δηλαδή την τύπου **n** περιοχή διάχυσης (για NMOS στοιχεία) ή την τύπου **p** περιοχή διάχυσης (για PMOS στοιχεία) και ένα στρώμα πολυσιλικόνης που είναι το Gate του τρανζίστορ.

Αν όμως χρειαζόμαστε ένα MOSFET τρανζίστορ το οποίο είναι πολύ μεγάλο, μπορούμε να χρησιμοποιήσουμε την τεχνική του *fingering*.

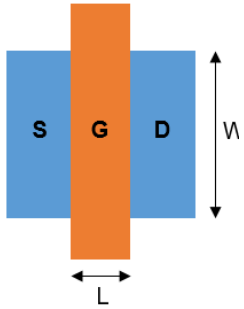


Figure 11: One finger transistor

Οπότε, αν έχουμε ένα τρανζίστορ με πολύ μεγάλο  $W$ , μπορούμε να το υλοποιήσουμε ως 2 τρανζίστορ συνδεδεμένα εν παραλλήλῳ, το καθένα από τα οποία θα έχει πλάτος  $W/2$ .

Μιας και τα δύο μικρότερα τρανζίστορ που φτιάχνουμε, πρέπει να απαρτίζουν το ίδιο μεγάλο τρανζίστορ, θα πρέπει (όπως βλέπουμε), να έχουν το ίδιο Gate και το Drain του ενός να “ακουμπάει” το Source του άλλου.

Οπότε, στην διάταξη αυτή έχουμε :

$L_{eff} = L$  και  $W_{eff} = 2W$ , δηλ. το συνολικό πλάτος του μεγάλου τρανζίστορ που σχηματίζεται από τα δύο μικρότερα τρανζίστορ, είναι διπλάσιο του πλάτους του καθενός από τα δυο μικρότερα τρανζίστορ.

$$\text{Δηλ. } W_{eff} = \text{Finger\_width} \times \text{Num\_of\_Fingers}$$

Ένα από τα πλεονεκτήματα την χρήσης *fingering*, είναι το γεγονός πως το τρανζίστορ σε επίπεδο φυσικού layout, αποκτά πιο τετράγωνη δομή. Οπότε, αντί να έχουμε ένα τρανζίστορ πολύ μεγάλων διαστάσεων, το μοντελοποιούμε με δυο μικρότερα τρανζίστορ, έχοντας έτσι και καλύτερη αξιοποίηση του χώρου πάνω στο *waffer*.

Επίσης, μιας και το Gate ενός τρανζίστορ αποτελείται από πολυσιλικόνη, η οποία είναι μονωτικό υλικό, θα έχει μεγάλη αντίσταση  $R$ . “Χωρίζοντας” το τρανζίστορ μέσω 2 fingers, το κάθε Gate θα έχει αντίσταση  $R/2$ , το οποίο λόγω θορύβου έχει σημασία σε αναλογικές εφαρμογές.

Figure 12: 2 fingers (2 τρανζίστορ εν παραλλήλῳ)

Στην προκειμένη περίπτωση, καλούμαστε να χρησιμοποιήσουμε τρανζίστορ πολύ μεγάλων διαστάσεων ( $W_n = 1 \mu\text{m}$  και  $W_p = 2 \mu\text{m}$ ).

Συνεπώς, χρησιμοποιούμε 2 fingers στο κάθε PMOS και NMOS στοιχείο.

### 1.2.1 Transient Ανάλυση

Στην παραπάνω εικόνα με κόκκινο χρώμα βλέπουμε την είσοδο, και με πράσινο χρώμα την έξοδο.

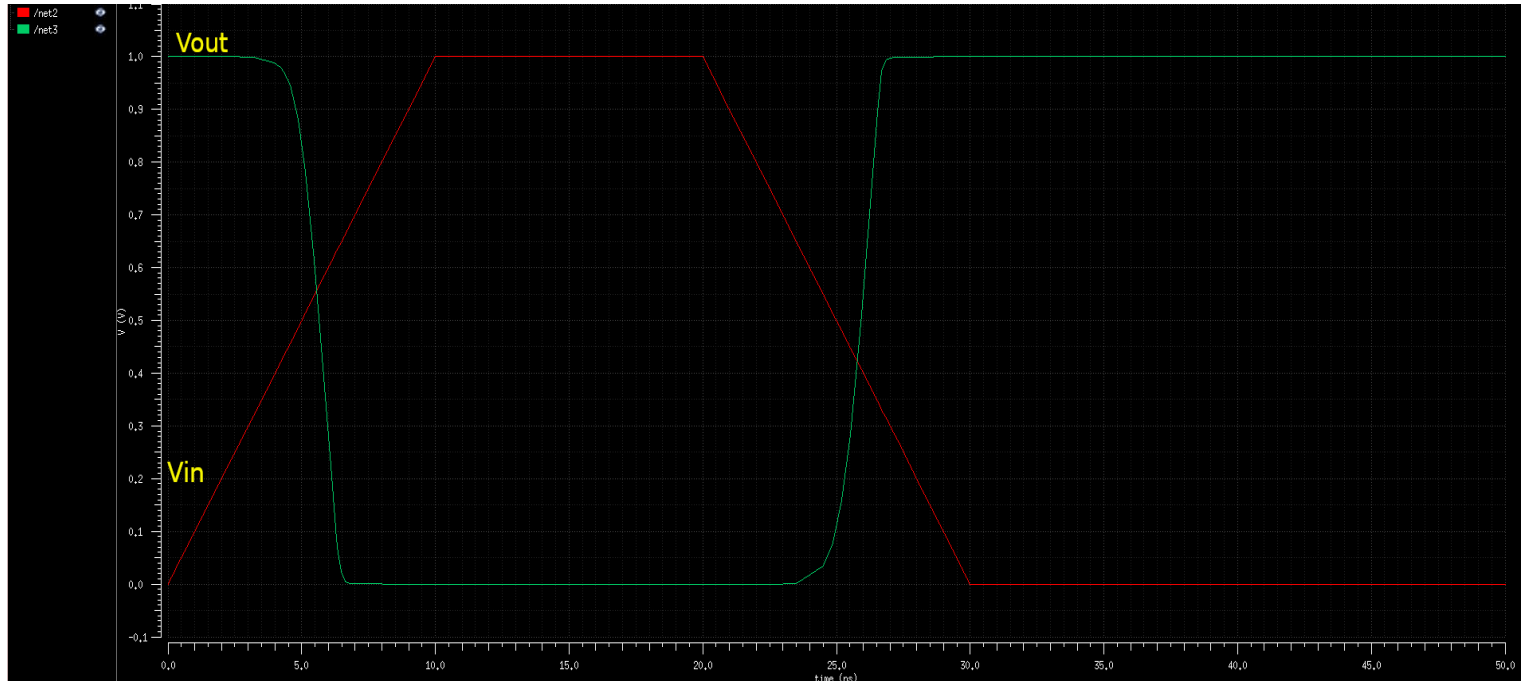


Figure 13: Οι κυματομορφές εισόδου και εξόδου

### 1.2.2 Μετρήσεις Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τον calculator του ADE, βρίσκουμε τους παρακάτω χρόνους Ανόδου και Καθόδου:

$$t_r = 1.568 \text{ ns} \text{ και } t_f = 1.512 \text{ ns}$$

Παρατηρούμε πως ανάμεσα στους δύο χρόνους υπάρχει μια διαφορά ίση με **0.056 ns**. Διαφορά η οποία είναι μικρότερη από την διαφορά (**0.154 ns**) που υπήρχε ανάμεσα στους αντίστοιχους χρόνους στο πρώτο μέρος της άσκησης όπου είχαμε μικρότερων διαστάσεων στοιχεία.

Όπως, και στο πρώτο μέρος της άσκησης έχουμε ακολουθήσει την γνωστή σύμβαση,  $W_p = 2W_n$ , για τα πλάτη των PMOS και NMOS τρανζίστορ.

Συνεπώς, αν και θεωρητικά θα περιμέναμε να έχουμε ίσους fall και rise χρόνους, έχουμε και πάλι μια πολύ ικανοποιητική προσέγγιση, μιας και η διαφορά των δυο χρόνων είναι μικρή.

### 1.2.3 Μέτρησης Χρόνου Καθυστέρησης Διάδοσης (Propagation Delay)

Στην παρακάτω εικόνα βλέπουμε την *προσεγγιστική* μέτρηση της  $t_{P_{HL}}$  συνιστώσας της Καθυστέρησης Διάδοσης.



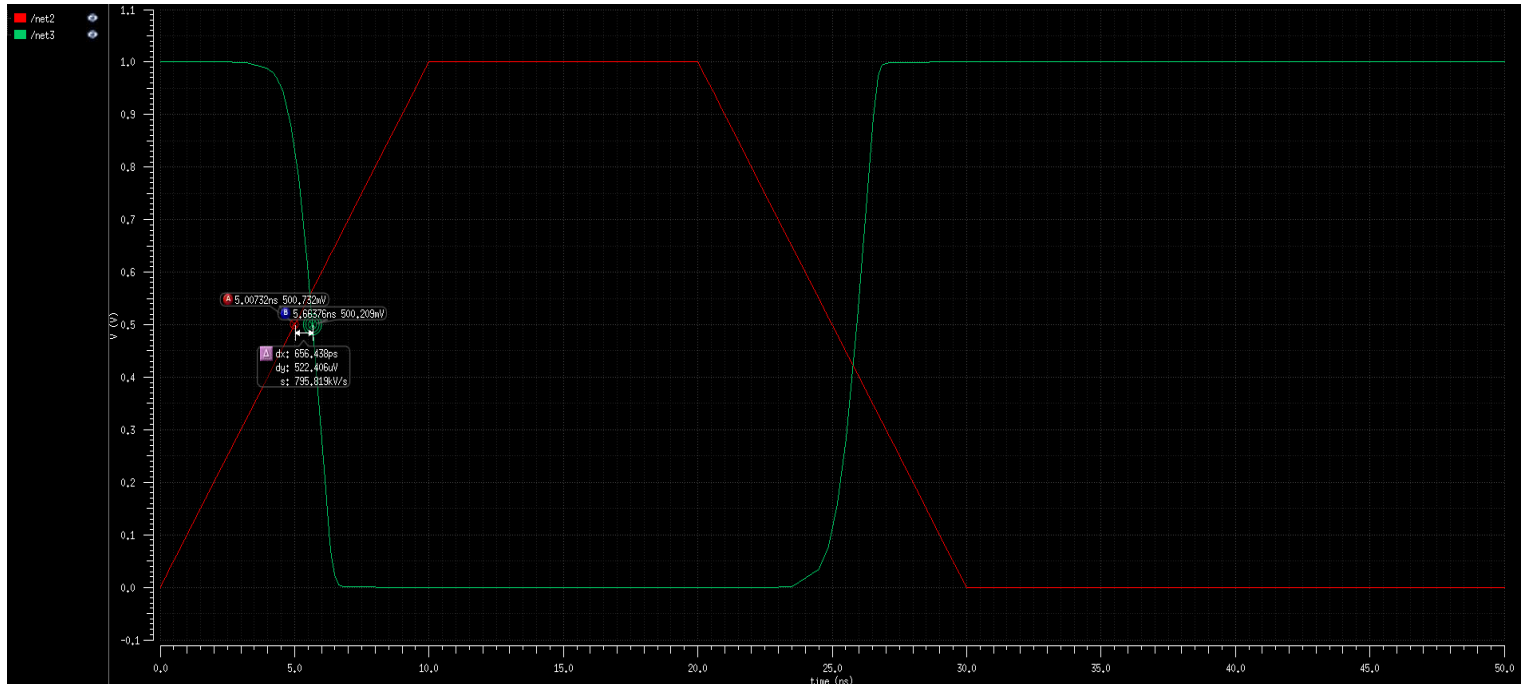


Figure 14: (Προσεγγιστική) Μέτρηση του  $t_{PHL}$  μέσω σημείων

Βλέπουμε ότι είναι ίση με **656.438 psecs**.

Χρησιμοποιώντας την συνάρτηση delay του calculator, βρίσκουμε την ακριβή τιμή από την χρονική στιγμή που η είσοδος ξεπερνά το 50% της μέγιστης τιμής της (δηλ. τα 500mV) εως την χρονική στιγμή που το σήμα εξόδου “πέφτει” κάτω από το 50% της μέγιστης τιμής του (δηλ. τα 500mV). Είναι  $t_{PHL} = 664.1 \text{ psecs}$

Στην παρακάτω εικόνα βλέπουμε την *προσεγγιστική* μέτρηση της  $t_{PLH}$  συνιστώσας της Καθυστέρησης Διάδοσης.

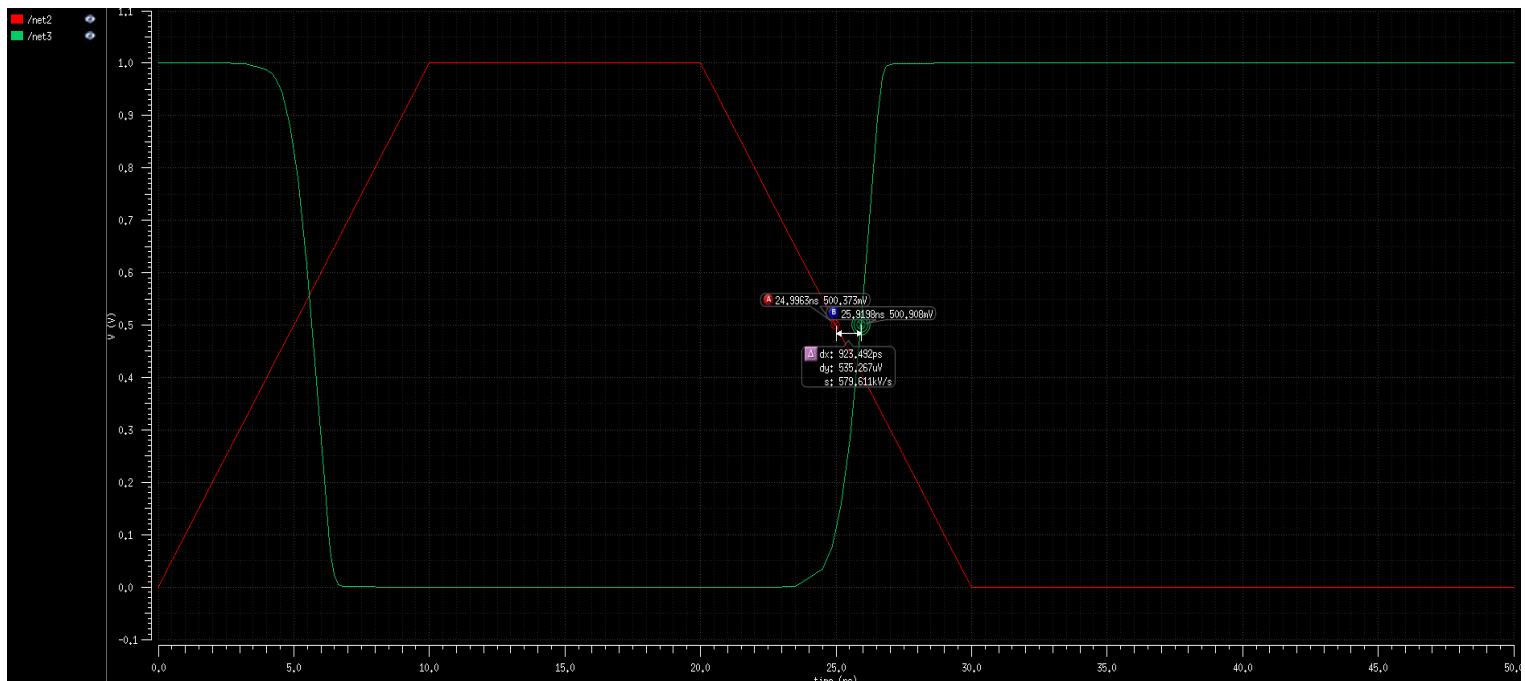


Figure 15: (Προσεγγιστική) Μέτρηση του  $t_{PLH}$  μέσω σημείων

Βλέπουμε ότι είναι ίση με **923.492 psecs**.

Χρησιμοποιώντας την συνάρτηση delay του calculator, βρίσκουμε την ακριβή τιμή από την χρονική στιγμή που η είσοδος “πέφτει” κάτω από το 50% της μέγιστης τιμής της (δηλ. τα 500mV) εως την χρονική στιγμή που το σήμα εξόδου ξεπερνά το 50% της μέγιστης τιμής του (δηλ. τα 500mV). Είναι  $t_{PLH} = 918.1 \text{ psecs}$ .



Συνεπώς, έχουμε :

$$t_{P_{HL}} = 664.1 \text{ psecs και } t_{P_{LH}} = 918.1 \text{ psecs}$$

Οπότε, μπορούμε να υπολογίσουμε την συνολική Καθυστέρηση Διάδοσης, ως :

$$t_P = \frac{t_{P_{LH}} + t_{P_{HL}}}{2} \iff t_P = 791.1 \text{ psecs}$$

Παρατηρούμε πως  $t_{P_{HL}} \neq t_{P_{LH}}$ .

Αν και οι δύο χρόνοι απέχουν **254 psecs**, δεν είναι ίσοι όπως θα περίμεναμε να ισχύει για ταιριασμένα NMOS και PMOS στοιχεία.

Αυτό συμβαίνει επειδή έχουμε κάνει τον συνηθή συμβιβασμό, όπου  $W_p = 2W_n$ , δηλ. το PMOS στοιχείο έχει κανάλι διπλάσιου πλάτους από το NMOS στοιχείο.

Όμως, η διαφορά των 254 psecs είναι αρκετά μικρή, ώστε να μπορούμε να θεωρήσουμε πως

$$t_{P_{HL}} \approx t_{P_{LH}}$$

#### 1.2.4 DC Ανάλυση

Στην παρακάτω εικόνα βλέπουμε την Χαρακτηριστική Μεταφοράς Τάσης (VTC) του αντιστροφέα των στοιχείων με τα 2 fingers.

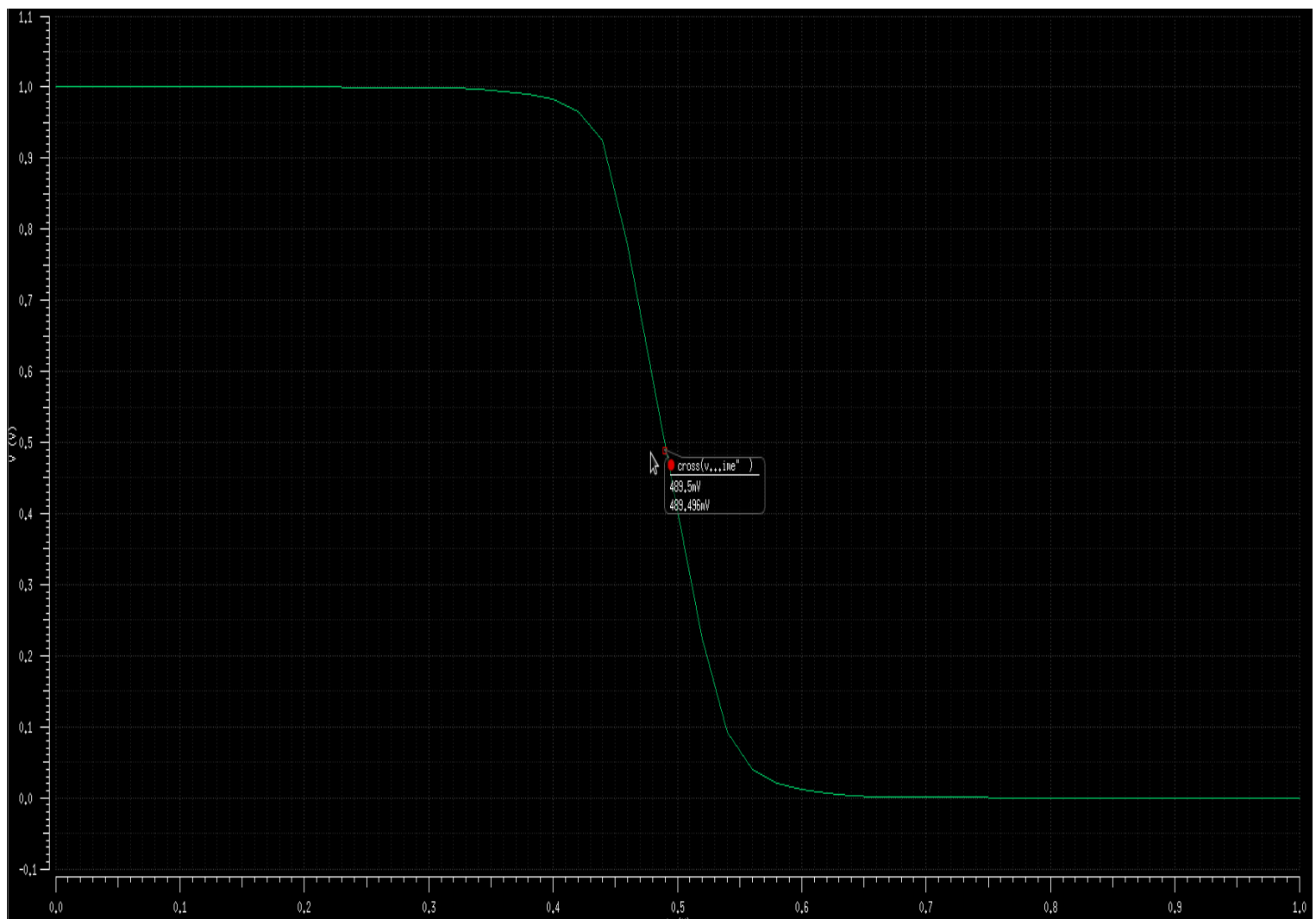


Figure 16: Η VTC του δεύτερου αντιστροφέα και το Switching Threshold  $V_M$

Με κόκκινο βλέπουμε το σημείο αλλαγής λειτουργίας/κατώφλι (Switching point/threshold)  $V_M$ , το οποίο υπολογίστηκε μέσω της cross συνάρτησης του calculator του ADE. Στο σημείο αυτό ισχύει  $V_{IN} = V_{OUT}$ . Οπότε, είναι  $V_M = 489.5 \text{ mV}$ .

Ο ιδανικός CMOS αντιστροφέας, έχει  $V_M = \frac{V_{DD}}{2}$ . Στην προκειμένη περίπτωση, έχουμε  $V_{DD} = 1 \text{ Volt}$ , οπότε, βλέπουμε ότι η  $V_M$  είναι εξαιρετικά κοντά στην  $\frac{V_{DD}}{2} = 500 \text{ mV}$ .

Παρατηρούμε πως σε σχέση με το πρώτο μέρος της άσκησης όπου είχαμε στοιχεία, με  $W=150\text{nm}$  και  $W=300\text{nm}$ , για τα NMOS και PMOS αντίστοιχα, η μετάβαση από την περιοχή υψηλού δυναμικού στην περιοχή χαμηλού δυναμικού, γίνεται λιγότερο απότομα και “γρήγορα”, δηλ. το πλάτος της περιοχής μετάβασης είναι μεγαλύτερο απ’ότι στο πρώτο μέρος.

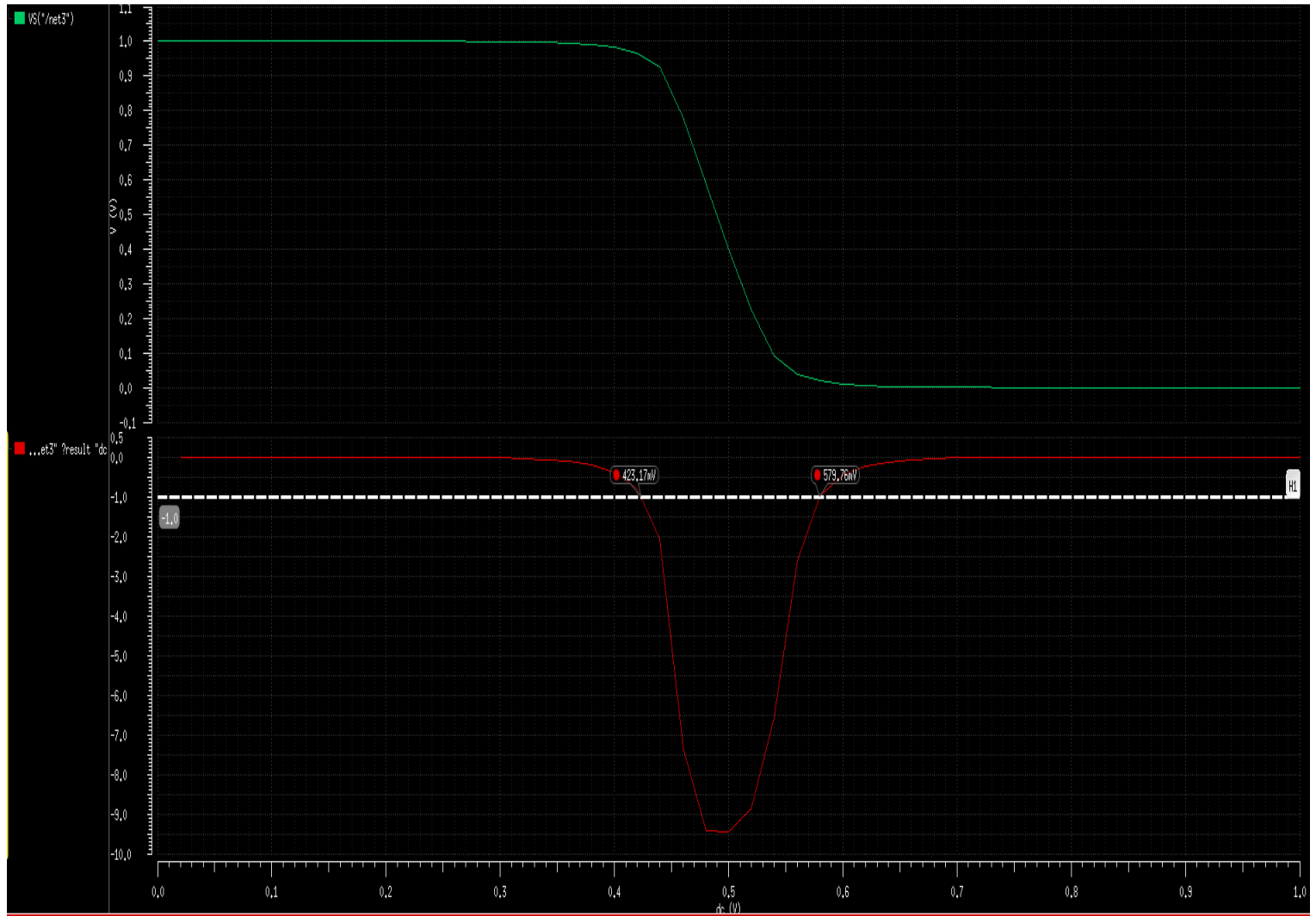


Figure 17: Η VTC του δεύτερου αντιστροφέα και η παράγωγός του

Στην παραπάνω εικόνα βλέπουμε την VTC του αντιστροφέα του δεύτερου μέρους και την παράγωγό του, με έναν marker στα σημεία στα οποία η παράγωγος είναι ίση με -1. Τα σημεία αυτά παρουσιάζουν ενδιαφέρον, αφού γνωρίζουμε ότι στα σημεία στα οποία η VTC έχει κλίση -1, εντοπίζουμε τις τιμές των  $V_{IL}$  και  $V_{IH}$ , που απαιτούνται για τον καθορισμό των Noise Margins του αντιστροφέα. Συνεπώς, από την παραπάνω εικόνα βλέπουμε πως :

$$V_{IL} = 423.17 \text{ mV} \text{ και } V_{IH} = 579.76 \text{ mV}$$

Έτσι, μπορούμε να υπολογίσουμε τα περιθώρια θορύβου :

- $NM_L = V_{IL} - V_{OL} = 423.17 - 0 = 423.17 \text{ mV}$
- $NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH} = 420.24 \text{ mV}$

Βλέπουμε δηλαδή πως,  $NM_L \approx NM_H$ , κάτι το οποίο ισχύει για τον ιδανικό CMOS αντιστροφέα.

### 1.3 Συμπεράσματα / Σύγκριση Αποτελεσμάτων

#### 1. Περιθώρια Θορύβου (Noise Margins)

- $NM_L = 409.44 \text{ mV}$  και  $NM_H = 434.51 \text{ mV}$  , για τον αντιστροφέα του πρώτου μέρους
- $NM_L = 423.17 \text{ mV}$  και  $NM_H = 420.24 \text{ mV}$  , για τον αντιστροφέα του δεύτερου μέρους

Παρατηρούμε πως, αν και στις δύο περιπτώσεις οι τιμές των  $NM_L$  και  $NM_H$  είναι αρκετά κοντά ώστε να μπορούμε να θεωρήσουμε πως  $NM_L \approx NM_H$  , στην περίπτωση του δεύτερου μέρους, δηλ. του αντιστροφέα μεγαλύτερων διαστάσεων (1μm και 2μm και 2 fingers), έχουμε μια πολύ ικανοποιητική διαφορά ανάμεσα στις τιμές των δύο περιθωρίων θορύβου.

#### 2. Ζώνες Απροσδιοριστίας (Undefined Regions)

- $V_{IL} = 404.44 \text{ mV}$  και  $V_{IH} = 565.49 \text{ mV}$  , για τον αντιστροφέα του πρώτου μέρους
- $V_{IL} = 423.17 \text{ mV}$  και  $V_{IH} = 579.76 \text{ mV}$  , για τον αντιστροφέα του δεύτερου μέρους

Γνωρίζουμε πως ως  $V_{IL}$  ορίζουμε την *μέγιστη* τάση στην είσοδο της ψηφιακής πύλης, που θεωρείται ότι αναπαριστά το λογικό LOW. Αντίστοιχα, ως  $V_{IH}$  ορίζουμε την *ελάχιστη* τάση στην είσοδο της ψηφιακής πύλης, που θεωρείται ότι αναπαριστά το λογικό HIGH.

Συνεπώς, είσοδος που ανήκει στο εύρος μεταξύ  $V_{IL}$  και  $V_{IH}$  , δεν μπορούμε να γνωρίζουμε αν αναπαριστά λογικό LOW ή λογικό HIGH, είναι δηλαδή μιας απροσδιόριστη είσοδος.

Έτσι, είναι προφανώς επιθυμητό για ένα ψηφιακό κύκλωμα, η ζώνη απροσδιοριστίας να είναι όσο το δυνατόν μικρότερη, και ιδανικά να είναι μηδενικού εύρους, όπως συμβαίνει στον ιδανικό αντιστροφέα, όπου έχουμε  $V_{IL} = V_{IH} = V_M = \frac{V_{DD}}{2}$  .

Οπότε, για τον πρώτο αντιστροφέα, η ζώνη απροσδιοριστίας έχει εύρος:

$$V_{IH} - V_{IL} = 565.49 - 404.44 = 161.05 \text{ mV}$$

Ενώ για τον δεύτερο αντιστροφέα :

$$V_{IH} - V_{IL} = 579.76 - 423.17 = 156.59 \text{ mV}$$

Συνεπώς, παρατηρούμε πως ο αντιστροφέας μεγαλύτερων διαστάσεων του δεύτερου μέρους, έχει μικρότερη ζώνη απροσδιοριστίας απ'ότι ο αντιστροφέα των μικρότερων διαστάσεων του πρώτου μέρους.

#### 3. Τάσεις Κατωφλίου (Threshold Voltages) των PMOS και NMOS στοιχείων

- $V_{tn} = 461.4 \text{ mV}$  και  $|V_{tp}| = 433.7 \text{ mV}$  , για τον αντιστροφέα του πρώτου μέρους
- $V_{tn} = 516.8 \text{ mV}$  και  $|V_{tp}| = 439 \text{ mV}$  , για τον αντιστροφέα του δεύτερου μέρους

Παρατηρούμε πως ο αντιστροφέας με τις μικρότερες διαστάσεις (150nm και 300nm) ως προς το πλάτος του καναλιού, έχει μικρότερες τάσεις κατωφλίου. Το γεγονός αυτό είναι αναμενόμενο, μιας και γνωρίζουμε πως η τάση κατωφλίου ενός MOSFET τρανζίστορ, εξαρτάται (μεταξύ άλλων) και από τις φυσικές του διαστάσεις και την γεωμετρία του.

#### 4. Σημείο / Τάση Εναλλαγής Κατάστασης (Switching Point / Threshold Voltage)

- $V_M = 475 \text{ mV}$  για τον αντιστροφέα του πρώτου μέρους
- $V_M = 489.5 \text{ mV}$  για τον αντιστροφέα του δεύτερου μέρους

Όπως, αναφέρθηκε και σε προηγούμενη σελίδα παραπάνω, μπορούμε να παρατηρήσουμε πως ο αντιστροφέας μεγαλύτερων διαστάσεων πετυχαίνει,  $V_M$  , η τιμή της οποίας είναι εξαιρετικά κοντά στην threshold voltage του ιδανικού αντιστροφέα, όπου  $V_M = \frac{V_{DD}}{2}$  .

Συγκεκριμένα, η τάση  $V_M$  προκύπτει από τον τύπο :

$$V_M = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{r+1} , \text{ όπου } r = \sqrt{\frac{k'_p(W/L)_p}{k'_n(W/L)_n}} \text{ Προφανώς για ταιριασμένα στοιχεία, ισχύει } r = 1 .$$

Συνεπώς, βλέπουμε πως η  $V_M$  εξαρτάται άμεσα όχι μόνο από την τάση τροφοδοσίας  $V_{DD}$ , αλλά και από τις τάσεις κατωφλίου των PMOS και NMOS στοιχείων που χρησιμοποιούμε. Έτσι, στην δεύτερη περίπτωση του αντιστροφέα των μεγαλύτερων διαστάσεων, έχουμε μεγαλύτερες Τάσεις Κατωφλίου και αν υποθέσουμε  $r \approx 1$ , τότε έτσι εξηγείται η μεγαλύτερη τιμή της  $V_M$ .

## 5. Χρόνοι Ανόδου και Καθόδου

- $t_f = 2.442 \text{ nsecs}$  και  $t_r = 2.596 \text{ nsecs}$ , για τον αντιστροφέα του πρώτου μέρους
- $t_f = 1.512 \text{ nsecs}$  και  $t_r = 1.568 \text{ nsecs}$ , για τον αντιστροφέα του δεύτερου μέρους

Παρατηρούμε πως, στην περίπτωση του αντιστροφέα των μεγαλύτερων διαστάσεων, έχουμε μικρότερους χρόνους Καθόδου και Ανόδου. Αυτό συμβαίνει, επειδή στην περίπτωση του αντιστροφέα του δεύτερου μέρους έχουμε μεγαλύτερο ρεύμα  $i_D$ , να ρέει στο κανάλι.

Συγκεκριμένα, γνωρίζουμε πως η τιμή του ρεύματος  $i_D$ , που ρέει στο κανάλι ενός MOSFET τρανζίστορ, όταν αυτό λειτουργεί στον κορεσμό, δίνεται από τον παρακάτω τύπο:

$i_D = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n V_{OV}^2$ , όπου  $V_{OV}$  είναι η τάση υπεροδήγησης (overdrive voltage), η οποία καθορίζει το φορτίο στο κανάλι του τρανζίστορ και είναι ίση με  $V_{OV} = V_{GS} - V_t$ . (Ο παραπάνω τύπος για το  $i_D$  αναφέρεται σε NMOS τρανζίστορ. Αν όπου  $\mu_n$  βάλουμε  $\mu_p$  και όπου  $\left(\frac{W}{L}\right)_n$  βάλουμε  $\left(\frac{W}{L}\right)_p$ , τότε παίρνουμε τον αντίστοιχο τύπο για ένα PMOS τρανζίστορ.)

Συνεπώς, στην περίπτωση του αντιστροφέα των  $1\mu\text{m}$  και  $2\mu\text{m}$ , ο λόγος  $\frac{W}{L}$  λαμβάνει μεγαλύτερη τιμή, απ'ότι στην περίπτωση του αντιστροφέα των  $150\text{nm}$  και  $300\text{nm}$ .

Ως αποτέλεσμα, στο κανάλι του αντιστροφέα του δεύτερου μέρους, θα έχουμε μεγαλύτερο  $i_D$  ρεύμα (ρεύμα κορεσμού).

Έτσι, έχουμε μικρότερο rise time, καθώς η παρασιτική χωρητικότητα του κόμβου εξόδου, μπορεί να φορτιστεί σε τάση  $V_{DD}$  πιο γρήγορα απ'ότι στην περίπτωση του αντιστροφέα του πρώτου μέρους. Για την φόρτιση της παρασιτικής χωρητικότητας, είναι υπεύθυνα τα PMOS στοιχεία του Pull-Up Network (εδώ έχουμε μόνο ένα τρανζίστορ), στο κανάλι των οποίων θα ρέει ρεύμα μεγαλύτερης έντασης, απ'ότι στην περίπτωση του πρώτου αντιστροφέα.

Παρομοίως, έχουμε μικρότερο fall time, καθώς η χωρητικότητα του κόμβου εξόδου, μπορεί να αποφορτιστεί πιο γρήγορα, μιας και στην περίπτωση του δεύτερου αντιστροφέα, τα κανάλια των NMOS τρανζίστορ του Pull-Down Network (εδώ έχουμε μόνο ένα στοιχείο), διαρρέονται από ρεύμα μεγαλύτερης έντασης απ'ότι στον αντιστροφέα του πρώτου μέρους, δίνοντας έτσι, ταχύτερη εκφόρτιση.

Τέλος, στον αντιστροφέα του δεύτερου μέρους, έχουμε χρησιμοποιήσει πολλαπλά *fingers* για την υλοποίηση των MOSFET τρανζίστορ. Στην περίπτωση που χρησιμοποιήσουμε πολλαπλά *fingers*, γνωρίζουμε πως το ρεύμα οδήγησης που μπορεί να δώσει το τρανζίστορ στον φόρτο του, είναι μεγάλο.

## 6. Καθυστέρηση Διάδοσης (Propagation Delay)

- $t_P = 1.9585 \text{ nsecs}$ , για τον πρώτο αντιστροφέα
- $t_P = 918.1 \text{ psecs}$ , για τον δεύτερο αντιστροφέα

Παρατηρούμε πως ανάμεσα στους δυο χρόνους Καθυστέρησης Διάδοσης, υπάρχει μεγάλη διαφορά, καθώς υπάρχει διαφορά, μιας τάξης μεγέθους.

Η διαφορά αυτή είναι αναμενόμενη μιας και γνωρίζουμε πως στοιχεία μεγαλύτερων διαστάσεων, *ενδέχεται* να δώσουν χαμηλότερη καθυστέρηση διάδοσης.

Γνωρίζουμε πως αν ακολουθήσουμε ανάλυση μέσω της μεθόδου του *Μέσου Όρου Ρευμάτων*, προκύπτει η εξάρτηση της Καθυστέρησης Διάδοσης από την *ισοδύναμη χωρητικότητα C*.

Η ισοδύναμη χωρητικότητα αποτελείται από :

- Τις διάφορες χωρητικότητες που εμπλέκονται σε ένα MOS τρανζίστορ
  - (a) Χωρητικότητα υπερκάλυψης μεταξύ Gate-Drain
  - (b) Χωρητικότητα μεταξύ Drain-Body/Substrate ( που οφείλεται στην χωρητικότητα απογύμνωσης των pn επαφών που σχηματίζονται )
  - (c) Χωρητικότητα Source-Body/Substrate
  - (d) Χωρητικότητα μεταξύ των Gate-Source
- Τις χωρητικότητες των αγωγών διασύνδεσης (wiring capacitance)
- Λοιπές παρασιτικές χωρητικότητες (όπως η χωρητικότητα του κόμβου εξόδου που εξαρτάται από το οδηγούμενο φορτίο)

Συγκεκριμένα, για την  $t_{PLH}$  ισχύει :  $t_{PLH} = \frac{\alpha_p C}{k'_p (\frac{W}{L})_p V_{DD}}$  . Όπου η παράμετρος  $\alpha_p$  εξαρτάται από την  $V_{DD}$  και από την τάση κατωφλίου του PMOS τρανζίστορ,  $V_{tp}$  , και  $k'_p = \mu_p C_{ox}$  .

Η καθυστέρηση Διάδοσης για την μετάβαση του κόμβου εξόδου από χαμηλό δυναμικό σε υψηλό, είναι αναμενόμενο να εξαρτάται από τα PMOS στοιχεία (Pull-Up Network), αφού μέσω αυτών μπορεί η παρασιτική χωρητικότητα του κόμβου εξόδου, να φορτιστεί σε τάση  $V_{DD}$  .

Παρομοίως, η συνιστώσα  $t_{PHL}$  θα εξαρτάται μόνο από τα NMOS στοιχεία (Pull-Down Network), μιας και μόνο μέσω αυτών μπορούμε να έχουμε εκφόρτιση του κόμβου εξόδου.

Έτσι, είναι :  $t_{PHL} = \frac{\alpha_n C}{k'_n (\frac{W}{L})_n V_{DD}}$  . Όπου η παράμετρος  $\alpha_n$  εξαρτάται από την  $V_{DD}$  και από την τάση κατωφλίου του NMOS τρανζίστορ,  $V_{tn}$  , και  $k'_n = \mu_n C_{ox}$  .

Γνωρίζουμε ότι η χρήση μεγαλύτερων λόγων  $W/L$ , μπορεί *δυναμικά* να επιφέρει μείωση της Καθυστέρησης Διάδοσης (  $t_P$  ). Όμως, η μέθοδος αυτή εμπεριέχει κινδύνους, όπως το γεγονός πως η αύξηση των διαστάσεων των στοιχείων αυξάνει την τιμή της χωρητικότητας  $C$  και λόγω αυτού, ενδέχεται να μην επιτευχθεί η επιθυμητή μείωση της  $t_P$  .

Η μείωση της  $t_P$  μέσω αύξησης των διαστάσεων είναι αποτελεσματική μόνο όταν στην χωρητικότητα  $C$ , κυριαρχούν συνιστώσες που δεν σχετίζονται άμεσα με το μέγεθος του στοιχείου οδήγησης (δηλ. του φόρτου). Παραδείγματα, τέτοιων συνιστωσών είναι οι χωρητικότητες που σχετίζονται με τους αγωγούς διασύνδεσης ή με τα οδηγούμενα στοιχεία / fan-out στοιχεία).

Τέλος, μιας και έχουμε χρησιμοποιήσει μήκος καναλιού ίσο με 60nm, η σχεδιάσή μας, εμπίπτει στην περιοχή των τεχνολογιών **βαθέως υπομικρού (deep-submicron)**, όπου έχουμε  $L < 0.25 \mu m$  .

Στις περιπτώσεις αυτές, πρέπει να λάβουμε υπόψιν μας και φαινόμενα όπως ο κορεσμός της ταχύτητας των φορέων, λόγω του “κοντού” καναλιού.

Ως ταχύτητα των φορέων, εννοούμε την *ταχύτητα ολίσθησης* των ηλεκτρονίων ή των οπών στο κανάλι ενός NMOS ή PMOS τρανζίστορ, αντίστοιχα, υπό την επίδραση του διαμήκους ηλεκτρικού πεδίου που αναπτύσσεται λόγω της  $V_{DS}$  .

Έτσι, λόγω του κοντού καναλιού, όταν η τιμή του ηλεκτρικού πεδίου ξεπεράσει ένα κατώφλι, επέρχεται κορεσμός στην ταχύτητα ολίσθησης των εκάστοτε φορέων, και αυτή παύει να αυξάνεται και παραμένει *σταθερή* και ίση με την *ταχύτητα κορεσμού*  $u_{sat} \approx 10^7 cm/s$  .

Όμως, η εξάρτηση της Καθυστερήσης Διάδοσης από την παρασιτική χωρητικότητα του κόμβου εξόδου, δεν πάει να ισχύει ακόμη και σε αυτές τις τεχνολογίες.

Συγκεκριμένα, προκύπτουν οι τύποι :  $t_{P_{HL}} = 0.69R_N C$  και  $t_{P_{LH}} = 0.69R_P C$ , όπου  $R_N$  και  $R_P$  είναι οι ενεργές αντιστάσεις των NMOS και PMOS στοιχείων, αντίστοιχα, και η τιμή τους εξαρτάται από τον λόγο των διαστάσεων του στοιχείου και είναι της τάξης των  $k\Omega$ .

Εν κατακλείδι, ένας σημαντικός παράγοντας στον καθορισμό της Καθυστερήσης Διάδοσης, είναι η *ισοδύναμη χωρητικότητα*  $C$ .

Η μείωσή της, μπορεί να επιτευχθεί με διάφορους τρόπους, όπως :

- Χρήση του ελάχιστου δυνατού μήκους καναλιού που προσφέρει η εκάστοτε τεχνολογία κατασκευής
- Ελαχιστοποίηση των χωρητικότητων των αγωγών διασύνδεσης (wiring capacitance)
- Ελαχιστοποίηση των λοιπών παρασιτικών χωρητικότητων.

## 2 Σχεδιασμός CMOS NAND-2 & NOR-2

Στην Άσκηση αυτή καλούμαστε να σχεδιάσουμε τις καθολικές (universal) πύλες NAND και NOR. Οι πύλες αυτές, χαρακτηρίζονται καθολικές καθώς μέσω αυτών μπορεί να προκύψει οποιαδήποτε πύλη μίας είτε παραπάνω εισόδων. Ανάμεσα στις δύο προτιμάται η NAND για την υλοποίηση συνδυαστικής CMOS λογικής, καθώς καταναλώνει λιγότερη επιφάνεια πυριτίου σε σχέση με την NOR (βλ. παρακάτω για λεπτομέρειες).

### 2.1 Σχεδιασμός NAND-2

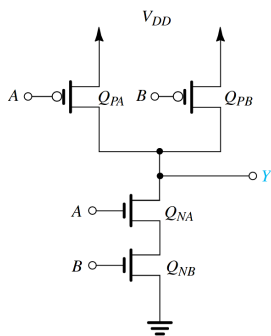


Figure 18: Σχηματικό CMOS NAND-2

Στην διπλανή εικόνα βλέπουμε το σχηματικό της CMOS πύλης. Η πύλη βλέπουμε ότι έχει δύο PMOS τρανζίστορ στο Pull-Up Δικτύωμα (ένα για κάθε είσοδο) και δύο NMOS τρανζίστορ στο Pull-Down Δικτύωμα (ένα για κάθε είσοδο).

Το σχηματικό αυτό προκύπτει ως εξής :

$Y = \overline{AB} \iff \bar{Y} = AB$ , το οποίο σημαίνει πως στο Pull-Down Network (PDN), θα έχουμε δύο τρανζίστορ σε σειρά με εισόδους τα A και B, καθώς γνωρίζουμε πως χρησιμοποιώντας την έκφραση του συμπληρώματος της εξόδου της συνάρτησης βρίσκουμε την μορφή του PDN, μιας και αυτό είναι που “τραβάει” την είσοδο σε χαμηλό δυναμικό.

Στην συνέχεια, λόγω της σχέσης δυισμού που υπάρχει ανάμεσα στην Y και το συμπλήρωμά της, και άρα και στο PDN και το PUN, μπορούμε να βρούμε πως το PUN, θα αποτελείται από δυο PMOS τρανζίστορ συνδεδεμένα εν παραλλήλω, με εισόδους A και B.

Στα παραπάνω έχουμε χρησιμοποιήσει το γεγονός πως η πράξη του λογικού AND, μεταφράζεται κυκλωματικά ως δύο εν σειρά τρανζίστορ, ενώ η εκφραση του λογικού OR, ισοδυναμεί με δυο τρανζίστορ συνδεδεμένα εν παραλλήλω.

#### 2.1.1 Λειτουργία του κυκλώματος

Παρακάτω βλέπουμε τον πίνακα αληθείας της NAND 2 εισόδων.

A	B	OUT
LOW	LOW	HIGH
LOW	HIGH	HIGH
HIGH	LOW	HIGH
HIGH	HIGH	LOW

Table 2: Πίνακας Αληθείας της NAND-2

- Όταν  $A = B = \text{LOW}$ , τότε και τα δύο NMOS τρανζίστορ του PDN βρίσκονται σε αποκοπή, ενώ και τα δύο PMOS τρανζίστορ του PUN άγουν, με αποτέλεσμα την φόρτιση του κόμβου εξόδου στο λογικό HIGH.
- Όταν  $A = \text{LOW}$ ,  $B = \text{HIGH}$ , τότε το PMOS τρανζίστορ  $Q_{P_A}$  (δηλ. το PMOS τρανζίστορ με είσοδο το σήμα A), θα άγει ενώ το  $Q_{P_B}$  δεν θα άγει. Συνεπώς, μιας και τα δύο PMOS τρανζίστορ είναι συνδεδεμένα εν παραλλήλω, θα υπάρχει χαμηλής αντίστασης αγωγίμο μονοπάτι το οποίο θα συνδέει τον κόμβο εξόδου με την τάση τροφοδοσίας  $V_{DD}$ . Στο PDN, το τρανζίστορ  $Q_{N_A}$  θα βρίσκεται σε αποκοπή μιας και το σήμα στην πύλη του είναι σε στάθμη LOW, δηλ. χαμηλότερη από την τάση κατωφλίου του,  $V_{tn}$ . Αντιθέτως, το τρανζίστορ  $Q_{N_B}$  θα άγει μιας και στην πύλη του είναι σε υψηλό δυναμικό. Όμως, μιας και τα δύο NMOS τρανζίστορ είναι συνδεδεμένα εν σειρά, προκειμένου να δημιουργηθεί αγωγίμη διαδρομή μεταξύ κόμβου εξόδου και γείωσης, θα πρέπει και τα δύο να άγουν. Οπότε, στην περίπτωση αυτή, ο κόμβος εξόδου θα φορτιστεί σε δυναμικό HIGH, μέσω του  $Q_{P_A}$  τρανζίστορ.
- Η περίπτωση  $A = \text{HIGH}$ ,  $B = \text{LOW}$ , είναι συμμετρική και αντιστοιχεί με την προηγούμενη περίπτωση, μόνο που τώρα το  $Q_{P_B}$  θα είναι αυτό που θα άγει στο PUN και το  $Q_{N_A}$  είναι αυτό που θα άγει στο PDN. Η έξοδος και πάλι θα μεταβεί σε δυναμικό HIGH.
- Όταν  $A = B = \text{HIGH}$ , τότε και τα δύο NMOS τρανζίστορ του PDN άγουν, ενώ και τα δύο PMOS τρανζίστορ του PUN βρίσκονται σε αποκοπή, με αποτέλεσμα να δημιουργείται χαμηλής αντίστασης αγωγίμο μονοπάτι μεταξύ του κόμβου εξόδου και της γείωσης. Συνεπώς, η έξοδος μεταβαίνει σε λογικό LOW.

### 2.1.2 Σχηματικό στο Cadence

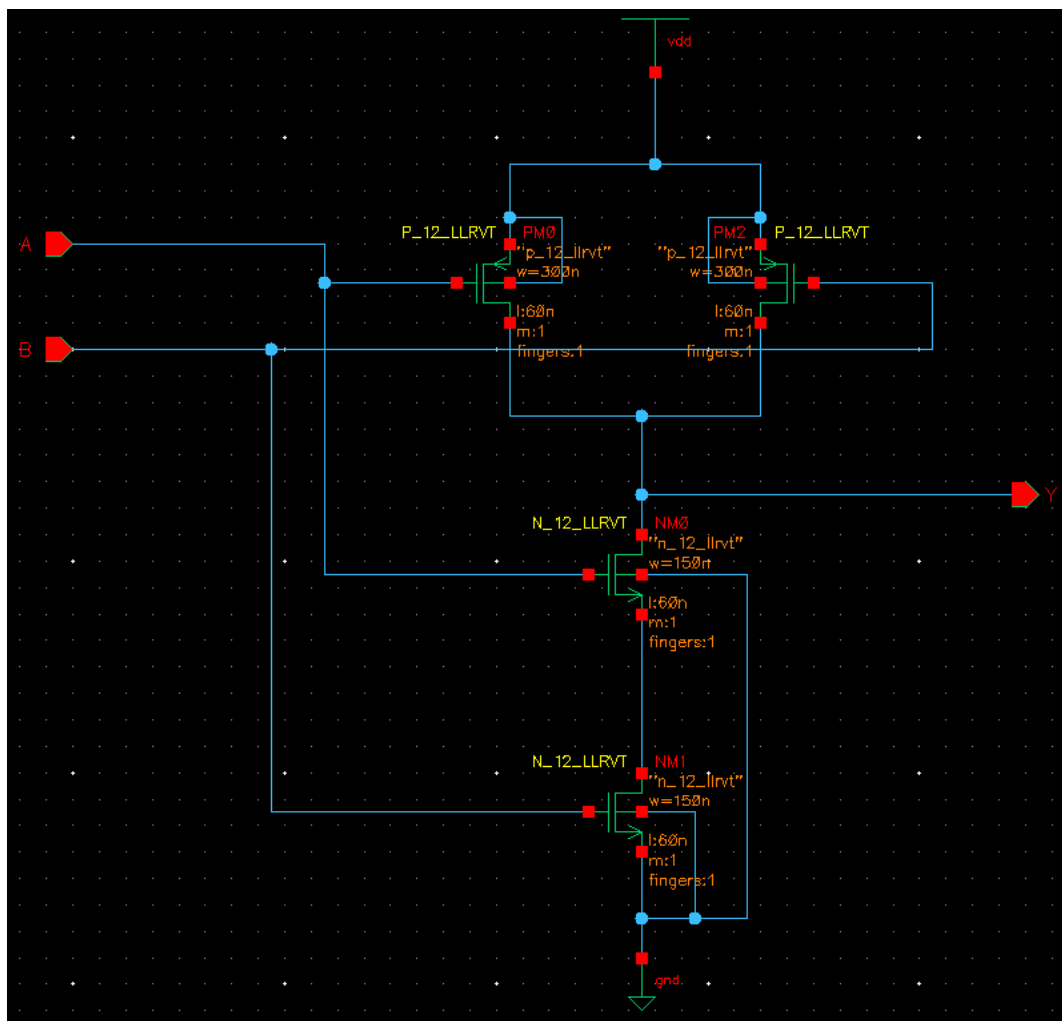


Figure 19: Σχηματικό της CMOS NAND-2 στο Cadence

Στην παρακάτω εικόνα, βλέπουμε το Test Bench που δημιουργήσαμε, προκειμένου να ελέγξουμε την ορθή λειτουργία της πύλης καθώς και για να εκτελέσουμε την Transient και DC ανάλυση.

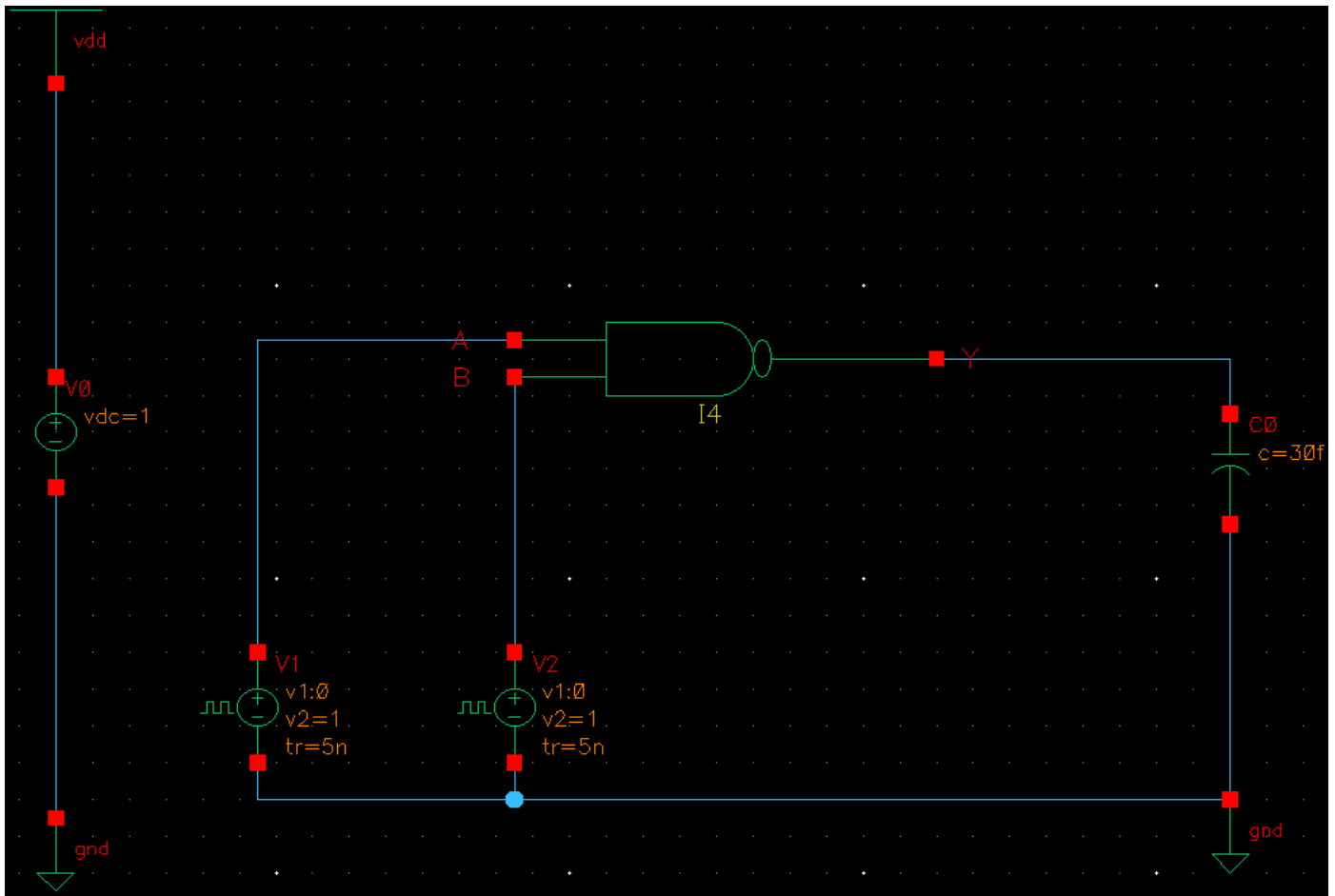


Figure 20: Test bench κύκλωμα

Και οι δύο τετραγωνικοί παλμοί που εφαρμόζουμε ως εισόδους A και B, έχουν ως χαμηλή στάθμη τα 0 Volt και ως υψηλή το 1 Volt. Τα χαρακτηριστικά που διαφοροποιούν τον έναν παλμό από τον άλλον φαίνονται στον παρακάτω πίνακα.

	Παλμός A	Παλμός B
Περίοδος	50ns	100ns
Delay time	0s	0s
Rise time	5ns	5ns
Fall time	5ns	5ns
Pulse width	20ns	45ns

Παρατηρούμε πως ο παλμός εισόδου B, έχει διπλάσια περίοδο από τον παλμό A καθώς και (περίπου) διπλάσιο χρόνο, στον οποίο είναι στην υψηλή στάθμη. Έχουμε χρησιμοποιήσει διαφορετικά Pulse Widths, προκειμένου οι δύο παλμοί να μην έχουν πλήρη χρονική επικάλυψη (δηλ. να μην είναι ο ένας αντίγραφο του άλλου), με σκοπό να υπάρχουν διαστήματα στα οποία, πχ, ο ένας παλμός είναι στην υψηλή στάθμη και ο άλλος παλμός είναι στην χαμηλή στάθμη. Έτσι, χωρίς να θέσουμε αρχική καθυστέρηση στους παλμούς, μπορούμε να δημιουργήσουμε όλους τους δυνατούς συνδυασμούς λογικών εισόδων, προκειμένου να εξακριβώσουμε την ορθή λειτουργία της πύλης. Στην έξοδο της πύλης έχουμε και πάλι, τοποθετήσει έναν πυκνωτή χωρητικότητας 30fFarad, ο οποίος και μοντελοποιεί την παρασιτική χωρητικότητα του κόμβου εξόδου αλλά και φιλτράρει και glitches από το σήμα εξόδου. Τέλος, και πάλι χρησιμοποιούμε ως  $V_{DD} = 1$  Volt.

### 2.1.3 Transient Ανάλυση

Με το δοκιμαστικό μας κύκλωμα έτοιμο, εκτελούμε Transient Ανάλυση, προκειμένου να εξομοιώσουμε την λειτουργία του κυκλώματος. Τρέχουμε την προσομοίωση για 100ns και παίρνουμε τις παρακάτω κυματομορφές εισόδων και εξόδου.



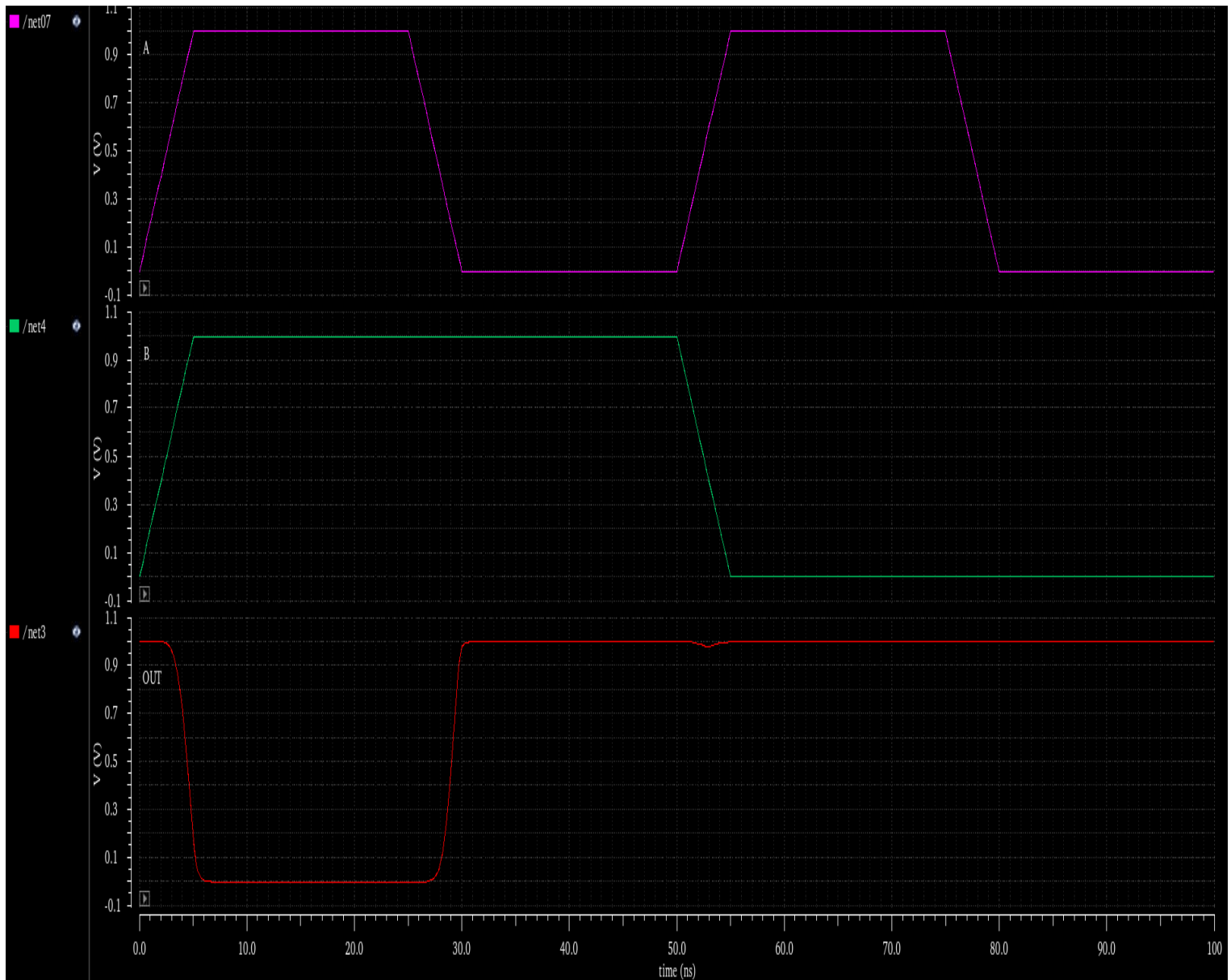


Figure 21: Οι κυματομορφές εισόδων και εξόδου για την NAND-2

Η πρώτη κυματομορφή (με το ροζ χρώμα) είναι ο παλμός εισόδου A, η δεύτερη κυματομορφή (με το πράσινο χρώμα) είναι ο παλμός εισόδου B και η τελευταία κυματομορφή είναι η έξοδος της πύλης.

Μπορούμε να εξακριβώσουμε πως όντως το κύκλωμα λειτουργεί ως πύλη NAND δύο εισόδων, καθώς οι τιμές των σημάτων εισόδου, δίνουν τις αναμενόμενες, σύμφωνα με τον πίνακα αληθείας, τιμές για τη έξοδο. Η έξοδος είναι πάντα σε υψηλό δυναμικό (λογικό HIGH), εκτός από την περίπτωση όπου αμφότερες οι A και B, είναι σε υψηλό δυναμικό. Στην περίπτωση, αυτή, βλέπουμε πως η έξοδος "πέφτει" σε λογικό LOW, όπως είναι και το αναμενόμενο.

#### 2.1.4 Μέτρηση Χρόνων Ανόδου και Καθόδου

Υπολογίζουμε τον χρόνο Ανόδου (rise time) ως, το χρονικό διάστημα για την μετάβαση της εξόδου από το 10% της μέγιστης τιμής της έως το 90% της μέγιστης τιμής της. Αντιστρόφως, ο χρόνος Καθόδου (fall time) υπολογίζεται, ως το χρονικό διάστημα για την μετάβαση της εξόδου από το 90% της μέγιστης τιμής της, έως το 10% της τιμής αυτής.

Στην άσκηση χρησιμοποιούμε  $V_{DD} = 1 \text{ Volt}$ , συνεπώς οι παραπάνω χρόνοι υπολογίζονται για το εύρος δυναμικού από τα 100mVolt έως τα 900mVolt.

Χρησιμοποιώντας τον calculator του ADE, βρίσκουμε τους ακόλουθους χρόνους Ανόδου και Καθόδου :

$$t_r = 1.612 \text{ nsecs και } t_f = 1.797 \text{ nsecs}$$

Βλέπουμε δηλαδή πως και πάλι η διαφορά των χρόνων Ανόδου και Καθόδου είναι πολύ μικρή (0.185 nsecs), ώστε να μπορούμε πρακτικά να θεωρήσουμε πως  $t_f \approx t_r$ .

### 2.1.5 Μέτρηση Καθυστερήσης Διάδοσης

Όπως έχει αναφερθεί και στην 1η Άσκηση, η Καθυστερήση Διάδοσης έχει δυο συνιστώσες,  $t_{PLH}$  και  $t_{PHL}$ , οι οποίες υπολογίζονται ως, το χρονικό διάστημα από την στιγμή που το κατάλληλο σήμα εισόδου υπερβαίνει το 50% της μέγιστης τιμής του, έως την στιγμή που το σήμα εξόδου υπερβαίνει το 50%.

Συνεπώς, η  $t_{PHL}$  μπορεί να υπολογιστεί ως το χρονικό διάστημα από την στιγμή που το σήμα εισόδου (η αλλαγή του οποίου προκαλεί αλλαγή της στάθμης δυναμικού του σήματος εξόδου), ξεπεράσει το 50% της μέγιστης τιμής του (στην ανοδική ακμή), μέχρι την στιγμή που το σήμα εξόδου "πέσει" κάτω από το 50% της μέγιστης τιμής του (στην καθοδική ακμή).

Στην προκειμένη περίπτωση, μιας και οι δύο παλμοί εισόδου αρχίζουν την ίδια στιγμή αλλά κυρίως επειδή η μετάβασή αμφοτέρων σε υψηλό δυναμικό, προκαλεί την αλλαγή της κατάστασης της πύλης από έξοδο HIGH σε έξοδο LOW, μπορούμε για τον υπολογισμό της  $t_{PHL}$ , να χρησιμοποιήσουμε οποιοδήποτε από τα δύο σήματα εισόδου.

Αντιθέτως, για τον υπολογισμό της  $t_{PLH}$  συνιστώσας, θα πρέπει να επιλέξουμε το σήμα εισόδου, η αλλαγή της στάθμης του οποίου, προκαλεί αλλαγή, στην έξοδο από δυναμικό LOW σε δυναμικό HIGH.

Όπως, μπορούμε να παρατηρήσουμε και στην εικόνα 21, (μιας και ο παλμός A έχει μικρότερη περίοδο από τον παλμό B), η μετάβαση του A από HIGH σε LOW, στην καθοδική ακμή της πρώτης του περιόδου, ενώ παράλληλα ο παλμός B παραμένει στην στάθμη HIGH, οδηγούν την είσοδο να αλλάξει από LOW σε HIGH. Ως εκ τούτου, ο παλμός A, είναι αυτός που πρέπει να χρησιμοποιηθεί, ώστε μαζί με τον παλμό εξόδου, να πάρουμε την τιμή του  $t_{PLH}$ .

Αν, όμως, είχαμε χρησιμοποιήσει τον παλμό εισόδου B, δεν θα μπορούσαμε να υπολογίσουμε την  $t_{PLH}$ , καθώς η μετάβασή του από HIGH σε LOW, στην καθοδική ακμή της πρώτης του περιόδου, δεν έχει επίδραση στο σήμα εξόδου, καθώς το τελευταίο παραμένει σε κατάσταση HIGH.

Η εφαρμογή των παραπάνω με σκοπό την προσεγγιστική μέτρηση του  $t_{PLH}$ , μέσω σημείων στα κατάλληλα σήματα, φαίνεται στην εικόνα 22.

Για τον ακριβή υπολογισμό των δύο συνιστωσών της Καθυστερήσης Διάδοσης, χρησιμοποιούμε τον calculator :

$$t_{PLH} = 1.55 \text{ nsecs και } t_{PHL} = 1.925 \text{ nsecs}$$

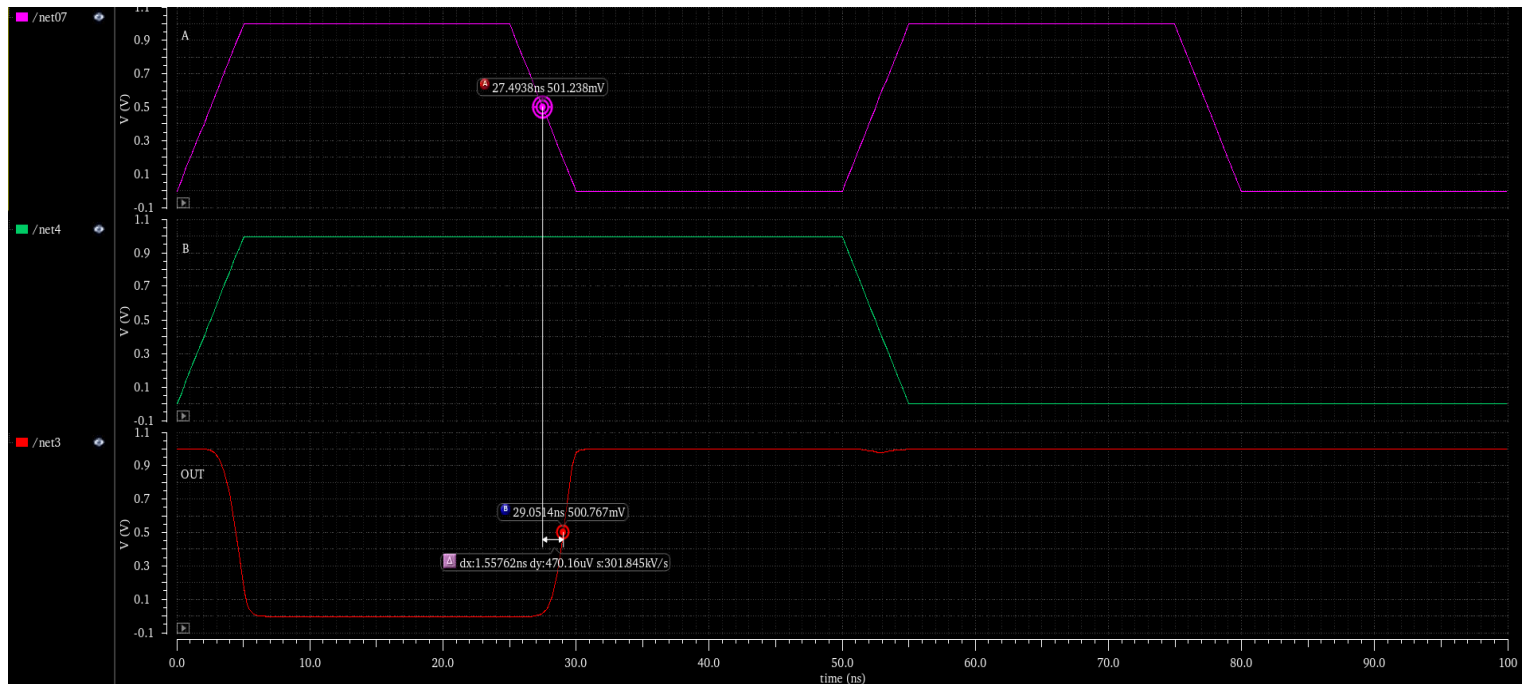


Figure 22: Προσεγγιστικός υπολογισμός του  $t_{PLH}$

Έχοντας υπολογίσει του χρόνους  $t_{PLH}$  και  $t_{PHL}$ , είμαστε πλέον σε θέση να υπολογίσουμε την συνολική Καθυστέρηση Διάδοσης της NAND-2 :

$$t_P = \frac{t_{PLH} + t_{PHL}}{2} \iff t_P = 1.7375 \text{ nsecs}$$

### 2.1.6 DC Ανάλυση

Στην παρακάτω εικόνα, με πράσινο χρώμα, βλέπουμε την VTC καμπύλη που προκύπτει τρέχοντας DC Ανάλυση για τον παλμό εισόδου A, έχοντας την είσοδο B, "κολλημένη" σε τάση  $V_{DD}$  προκειμένου να μπορεί η είσοδος A, να επιδράσει στην έξοδο της πύλης, καθώς αν είχαμε ως είσοδο B το λογικό 0, τότε η έξοδος θα ήταν μόνιμα στην τιμή του λογικού HIGH, ανεξάρτητα από τον παλμό εισόδου A. Ομοίως, με μωβ χρώμα βλέπουμε την VTC καμπύλη για την είσοδο B.

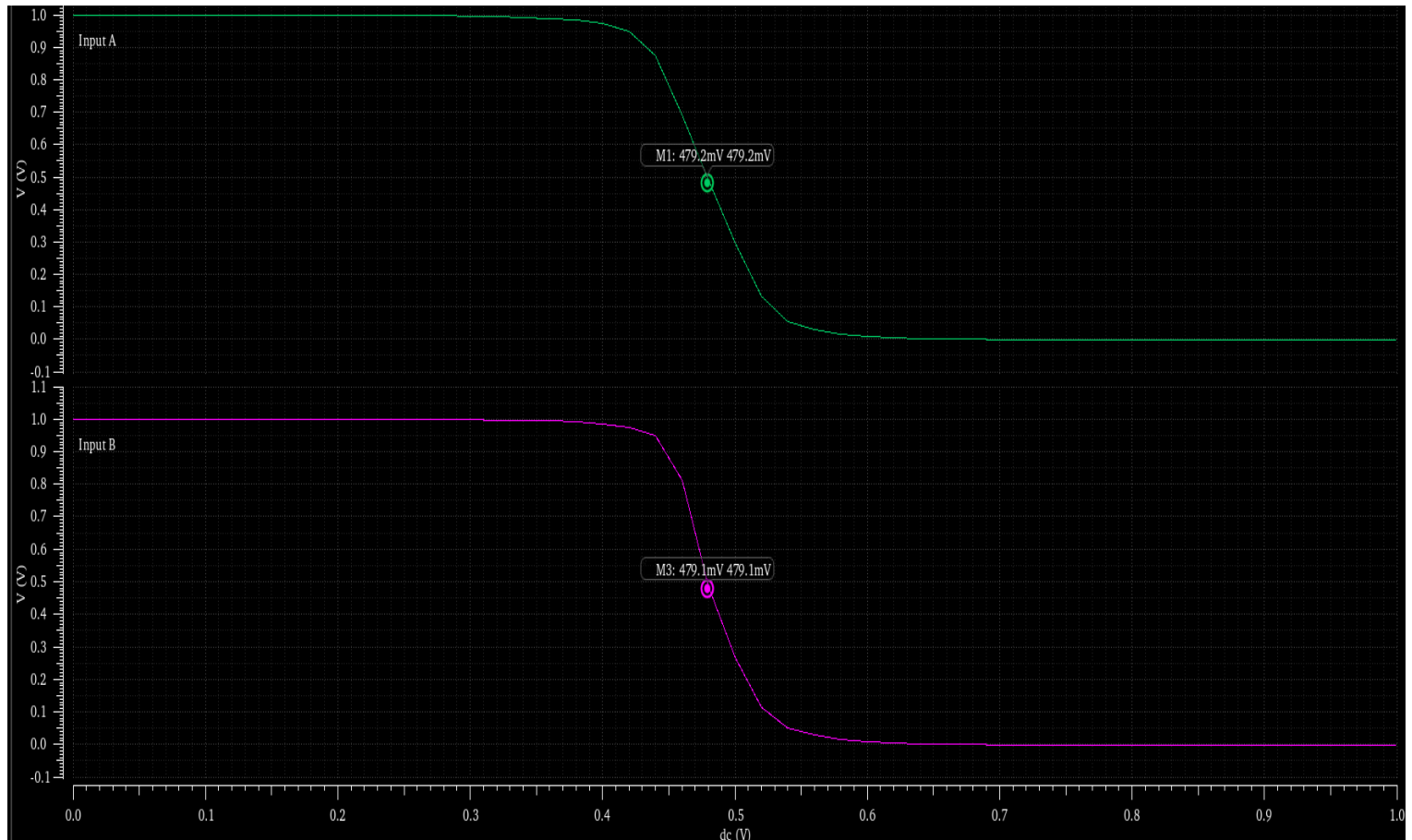


Figure 23: Οι δύο VTC καμπύλες που προκύπτουν από την DC Ανάλυση και τα Switching Thresholds

Στην καμπύλη, μέσω ενός marker, βλέπουμε και τα Switching threshold  $V_M$ , τα οποία είναι ίσα με 479.2 mVolt και 479.1 mVolts.

Μπορούμε πλέον να υπολογίσουμε τα Περιθώρια Θορύβου (Noise Margins) της πύλης.

1. Περιθώριο Θορύβου (Noise Margin) για είσοδο χαμηλής στάθμης ( $NM_L$ ) :

$$NM_L = V_{IL} - V_{OL}, \text{ όπου}$$

$V_{IL}$  : Η μέγιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό LOW

$V_{OL}$  : Χαμηλή στάθμη του σήματος εξόδου, δηλ. λογικό LOW

2. Περιθώριο Θορύβου (Noise Margin) για είσοδο υψηλής στάθμης ( $NM_H$ ) :

$$NM_H = V_{OH} - V_{IH}, \text{ όπου}$$

$V_{IH}$  : Η ελάχιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό HIGH

$V_{OH}$  : Υψηλή στάθμη του σήματος εξόδου, δηλ. λογικό HIGH

Προφανώς έχουμε πως  $V_{OL} = 0 \text{ Volt}$  και  $V_{OH} = V_{DD} = 1 \text{ Volt}$ . Οι τιμές των  $V_{IL}$  και  $V_{IH}$  προκύπτουν από την VTC, καθώς είναι τα σημεία στα οποία η καμπύλη έχει κλίση ίση με -1.

Στην παρακάτω εικόνα, βλέπουμε την VTC καμπύλη που προκύπτει για την είσοδο A, καθώς και την παράγωγό της (με κόκκινο χρώμα), προκειμένου να υπολογίσουμε τις τάσεις  $V_{IL}$  και  $V_{IH}$ .

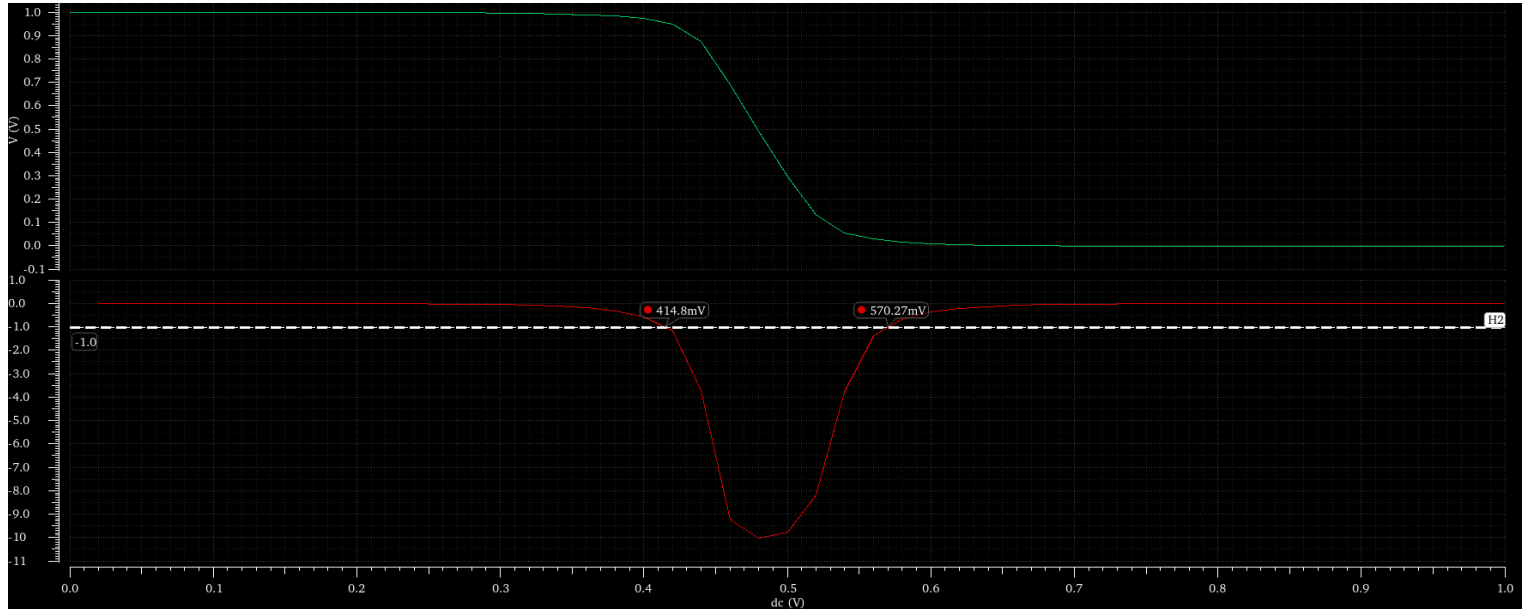


Figure 24: Υπολογισμός των  $V_{IL}$  και  $V_{IH}$  για την VTC καμπύλη της εισόδου A

Οπότε, έχουμε :

$$V_{IL} = 414.8 \text{ mV} \text{ και } V_{IH} = 570.27 \text{ mV}$$

Άρα :

- $NM_L = V_{IL} - V_{OL} = V_{IL} \iff NM_L = 414.8 \text{ mV}$
- $NM_H = V_{OH} - V_{IH} = (1000 - 570.27) \text{ mV} \iff NM_H = 429.73 \text{ mV}$

Παρομοίως, για την VTC καμπύλη που προκύπτει για την είσοδο B.

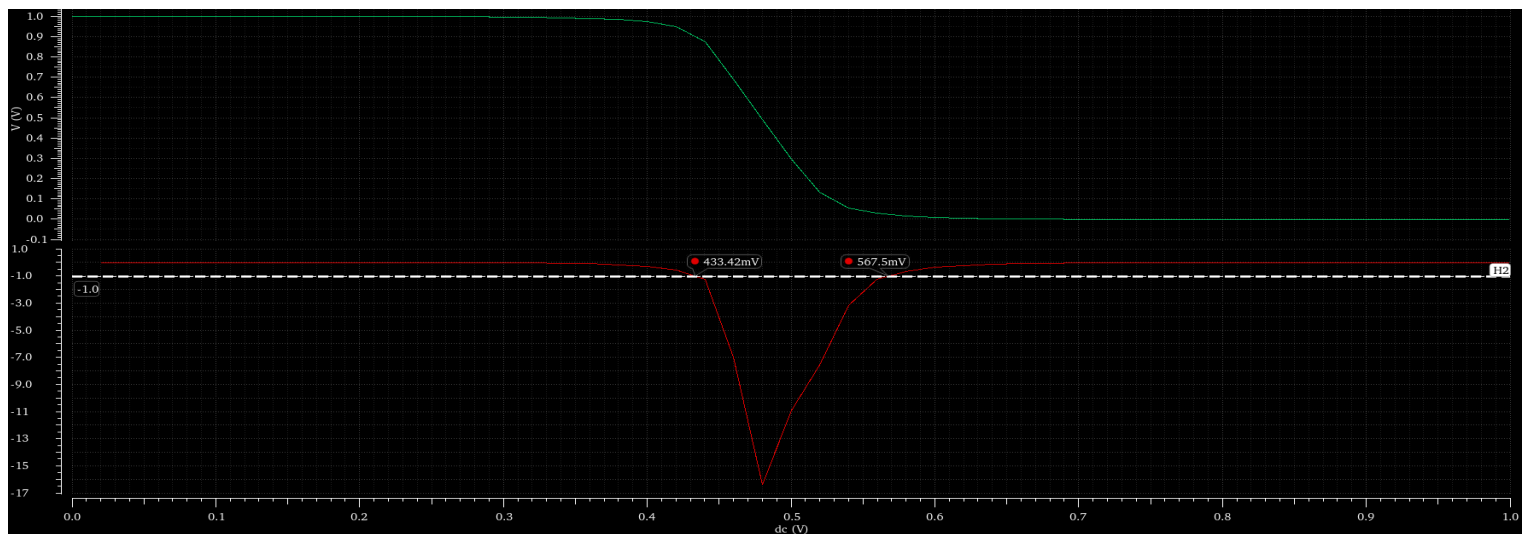


Figure 25: Υπολογισμός των  $V_{IL}$  και  $V_{IH}$  για την VTC καμπύλη της εισόδου B

Οπότε, έχουμε :

$$V_{IL} = 433.42 \text{ mV και } V_{IH} = 567.5 \text{ mV}$$

Άρα :

- $NM_L = V_{IL} - V_{OL} = V_{IL} \iff NM_L = 433.42 \text{ mVolt}$
- $NM_H = V_{OH} - V_{IH} = (1000 - 567.5) \text{ mVolt} \iff NM_H = 432.5 \text{ mVolt}$

Άρα, ως τελικά Περιθώρια Θορύβου για την πύλη NAND, μπορούμε να χρησιμοποιήσουμε τις τιμές που προκύπτουν για την είσοδο B, καθώς περιλαμβάνουν και τις τιμές που προκύπτουν για την είσοδο A.

Συνεπώς :

$$NM_L = 433.32 \text{ mVolt και } NM_H = 432.5 \text{ mVolt}$$

## 2.2 Σχεδιασμός NOR-2

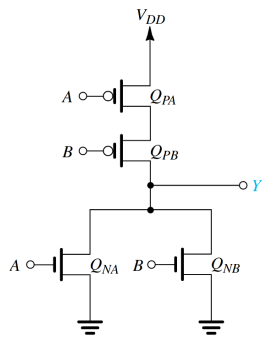


Figure 26: Σχηματικό CMOS NOR-2

Στο δεύτερο μέρος της άσκησης, καλούμαστε να σχεδιάσουμε την πύλη NOR δύο εισόδων, το σχηματικό της οποίας φαίνεται στην διπλανή εικόνα. Η πύλη έχει ένα NMOS και ένα PMOS τρανζίστορ, για κάθε είσοδο. Το σχηματικό αποτελείται από ένα Pull-Up Network, το οποίο απαρτίζουν δύο PMOS τρανζίστορ ( $Q_{PA}$  και  $Q_{PB}$ ), και από ένα Pull-Down Network, το οποίο απαρτίζουν δύο NMOS τρανζίστορ ( $Q_{NA}$  και  $Q_{NB}$ ).

Το σχηματικό αυτό προκύπτει ως εξής :

$Y = \overline{A + B} \iff \overline{Y} = A + B$ , το οποίο σημαίνει πως το PDN, θα αποτελείται από δυο NMOS τρανζίστορ συνδεδεμένα εν παραλλήλω, και λόγω της ιδιότητας του δυνισμού ανάμεσα στα PDN και PUN, το PUN θα αποτελείται από δυο PMOS τρανζίστορ συνδεδεμένα σε σειρά.

Αξίζει να σημειωθεί το γεγονός πως, αν και αμφότερες οι πύλες NAND και NOR, είναι καθολικές, στην πράξη προτιμάται η πύλη NAND, καθώς σε αυτήν τα PMOS τρανζίστορ είναι συνδεδεμένα σε σειρά, και όχι εν παραλλήλω όπως συμβαίνει στην πύλη NOR. Η εν παραλλήλω σύνδεση των PMOS τρανζίστορ, απαιτεί λιγότερη επιφάνεια πυριτίου, απ' ότι η

εν σειρά σύνδεσή τους.

Το συμπέρασμα αυτό προκύπτει αν εκτελέσουμε την ανάλυση διαστάσεων των πυλών NAND και NOR.

Συγκεκριμένα, γνωρίζουμε πως σε κάθε CMOS πύλη, το Pull-Up Network της, θα πρέπει δίνει ρεύμα φόρτισης πυκνωτή τουλάχιστον ίσο με αυτό του βασικού CMOS αντιστροφέα. Ομοίως, το Pull-Down Network, θα πρέπει να δίνει ρεύμα εκφόρτισης πυκνωτή τουλάχιστον ίσο με αυτό του βασικού CMOS αντιστροφέα.

Συνεπώς, αν ορίσουμε :  $p = (\frac{W}{L})_p$  και  $n = (\frac{W}{L})_n$ , τότε για μια NAND  $n$  εισόδων, κάθε PMOS τρανζίστορ του PUN, μιας και βρίσκονται συνδεδεμένα εν παραλλήλω, θα πρέπει να έχει διαστάσεις ίσες με  $p$ , ενώ για μια NOR  $n$  εισόδων, κάθε PMOS τρανζίστορ του PUN, μιας και βρίσκονται συνδεδεμένα σε σειρά, θα πρέπει να έχει διαστάσεις ίσες με  $4p$ .

Ως εκ τούτου, μιας και συνήθως θέτουμε  $p = 2n$  δηλ  $(\frac{W}{L})_p = 2(\frac{W}{L})_n \iff W_p = 2W_n$ , η πύλη NOR απαιτεί περισσότερη επιφάνεια πυριτίου από την NAND.

### 2.2.1 Λειτουργία του κυκλώματος

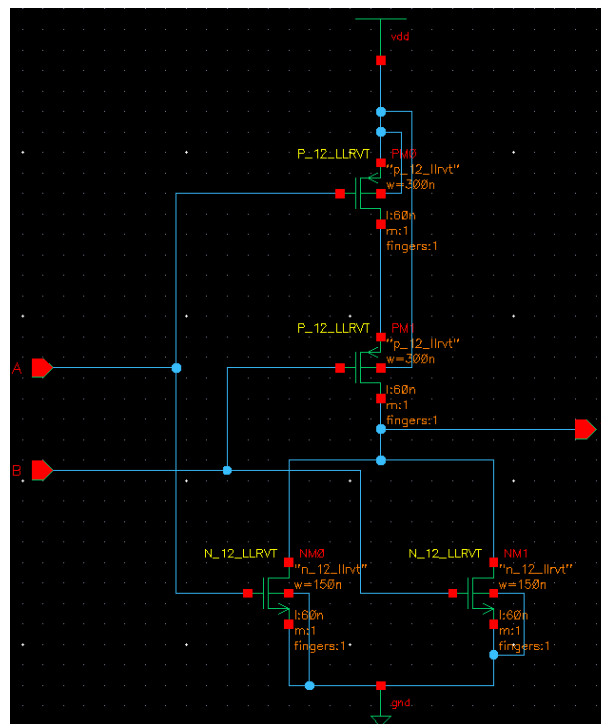
Παρακάτω βλέπουμε τον πίνακα αληθείας της NOR 2 εισόδων.

A	B	OUT
LOW	LOW	HIGH
LOW	HIGH	LOW
HIGH	LOW	LOW
HIGH	HIGH	LOW

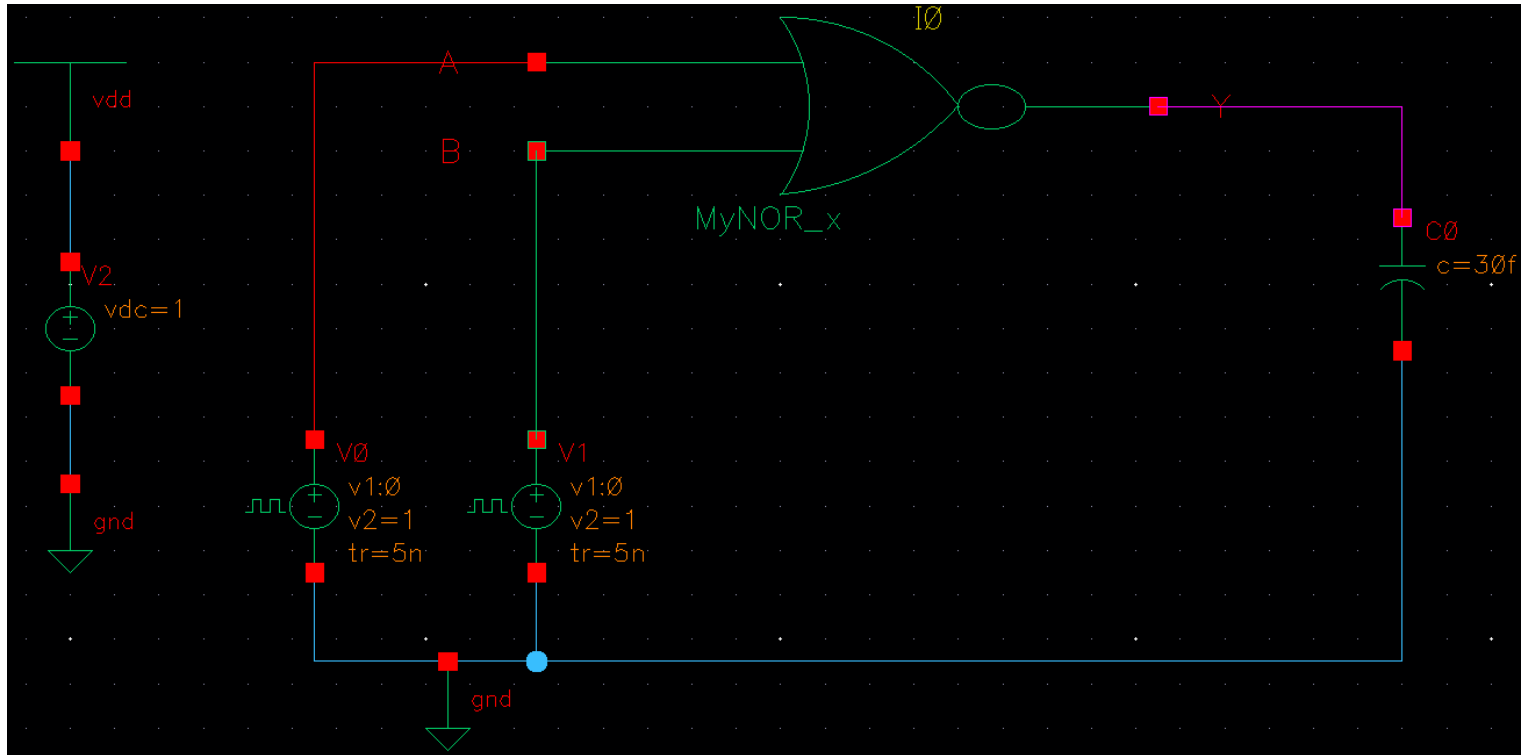
Table 3: Πίνακας Αληθείας της NOR-2

- Όταν  $A = B = \text{LOW}$ , τότε και τα δύο NMOS του PDN βρίσκονται σε αποκοπή. Αντιθέτως, αμφότερα τα PMOS του PUN, θα άγουν, με αποτέλεσμα την δημιουργία διαδρομής χαμηλής αντίστασης, μεταξύ του κόμβου εξόδου και της τάσης τροφοδοσίας  $V_{DD}$ , με αποτέλεσμα την φόρτιση της παρασιτικής χωρητικότητας του κόμβου εξόδου σε τάση  $V_{DD}$ .
- Όταν  $A = \text{LOW}$ ,  $B = \text{HIGH}$ , τότε στο PDN, το τρανζίστορ  $Q_{NA}$  θα βρίσκεται σε αποκοπή ενώ το τρανζίστορ  $Q_{NB}$  θα άγει. Στο Pull-Up δικτύωμα, το  $Q_{PA}$  θα άγει ενώ το  $Q_{PB}$  θα βρίσκεται σε αποκοπή. Συνεπώς, μιας και τα τρανζίστορ του PUN βρίσκονται συνδεδεμένα σε σειρά και δεν άγουν και τα δύο, τότε δεν θα υπάρξει φόρτιση του κόμβου εξόδου σε δυναμικό  $V_{DD}$ , ενώ μιας και το τρανζίστορ  $Q_{NB}$  άγει, θα "τραβήξει" τον κόμβο εξόδου σε LOW δυναμικό.
- Όταν  $A = \text{HIGH}$ ,  $B = \text{LOW}$ , παρομοίως με την παραπάνω περίπτωση, θα έχουμε εκφόρτιση του κόμβου εξόδου, μέσω του  $Q_{NA}$  τρανζίστορ, και άρα έξοδο LOW.
- Όταν  $A = \text{HIGH}$ ,  $B = \text{HIGH}$ , στο PDN θα άγουν και τα δύο NMOS τρανζίστορ,  $Q_{NA}$  και  $Q_N$ , ενώ αμφότερα τα PMOS τρανζίστορ του PUN, θα βρίσκονται σε αποκοπή, δίνοντας έτσι έξοδο LOW.

### 2.2.2 Σχηματικό στο Cadence



Όπως και στην περίπτωση της NAND, κατασκευάζουμε το παρακάτω Testbench κύκλωμα.



Εφαρμόζουμε ως εισόδους A και B, τους ίδιους παλμούς όπως αυτούς στο Testbench της NAND.

### 2.2.3 Transient Ανάλυση

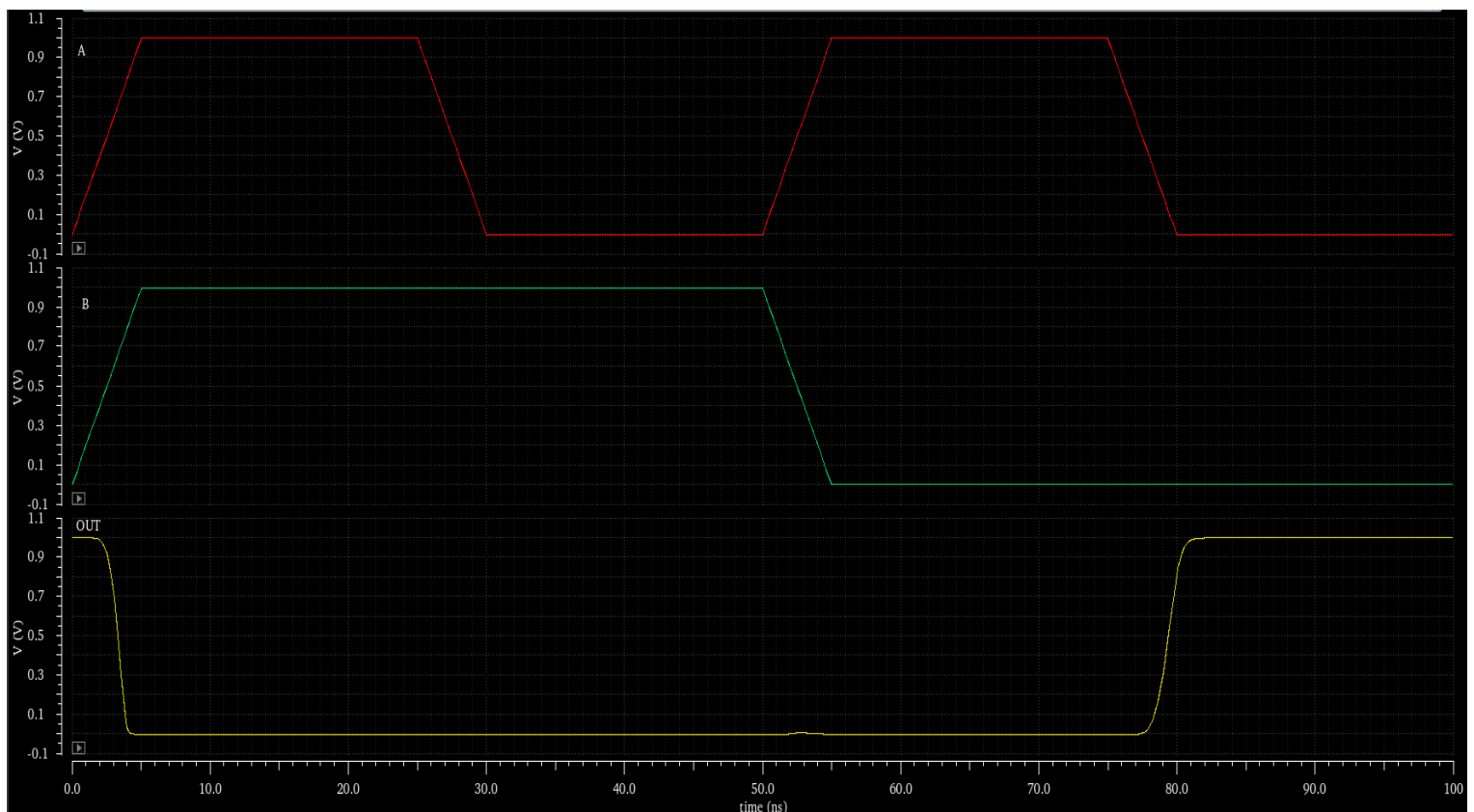


Figure 27: Οι κυματομορφές εισόδου και εξόδου της πύλης NOR

Στην παραπάνω εικόνα με κόκκινο χρώμα βλέπουμε τον παλμό εισόδου A, με πράσινο χρώμα τον παλμό εισόδου B και με κίτρινο χρώμα την έξοδο της πύλης NOR.



Μπορούμε να επιβεβαιώσουμε την ορθή λειτουργία του κυκλώματος, με βάση και τον πίνακα αληθείας της NOR-2, καθώς βλέπουμε πως αν αμφότερες οι εισόδους είναι σε λογικό LOW, η έξοδος είναι σε λογικό HIGH, ενώ για κάθε άλλον συνδυασμό εισόδων, η έξοδος παραμένει σε δυναμικό LOW.

#### 2.2.4 Μέτρηση Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τον calculator του ADE, βρίσκουμε :

$$t_r = 1.905 \text{ nsecs και } t_f = 1.259 \text{ nsecs}$$

#### 2.2.5 Μέτρηση Καθυστέρησης Διάδοσης

Όπως και στην μέτρηση της Καθυστέρησης Διάδοσης στην πύλη NAND, (και μιας και χρησιμοποιούμε ακριβώς τους ίδιους παλμούς), για την μέτρηση του χρόνου  $t_{PHL}$ , μπορούμε να χρησιμοποιήσουμε οποιοδήποτε από τα σήματα εισόδου A και B.

Ομως, για την περίπτωση του χρόνου  $t_{PLH}$ , πρέπει να χρησιμοποιήσουμε το σήμα εισόδου, η μετάβαση (είτε προς τα πάνω είτε προς τα κάτω) από το 50% της μέγιστης τιμής, του οποίου, επιφέρει μεταβολή της εξόδου από κατάσταση LOW σε κατάσταση HIGH. Συνεπώς, παρατηρώντας και τις κυματομορφές εισόδου/εξόδου της εικόνας 25, συμπεραίνουμε ότι το σήμα εισόδου που πρέπει να χρησιμοποιήσουμε είναι ο παλμός A, μιας και η μετάβασή του από HIGH δυναμικό σε LOW, ενώ το B παραμένει σταθερά σε LOW, οδηγεί την πύλη σε αλλαγή κατάστασης, από LOW σε HIGH.

Οπότε, χρησιμοποιώντας την συνάρτηση *delay* του calculator, βρίσκουμε τις ακόλουθες τιμές για τις δύο συνιστώσες της Καθυστέρησης Διάδοσης.

$$t_{PHL} = 803 \text{ psec και } t_{PLH} = 1.9 \text{ nsecs}$$

Συνεπώς, η συνολική Καθυστέρηση Διάδοσης της πύλης είναι :

$$t_P = \frac{t_{PLH} + t_{PHL}}{2} \iff t_P = 1.3515 \text{ nsecs}$$

#### 2.2.6 DC Ανάλυση

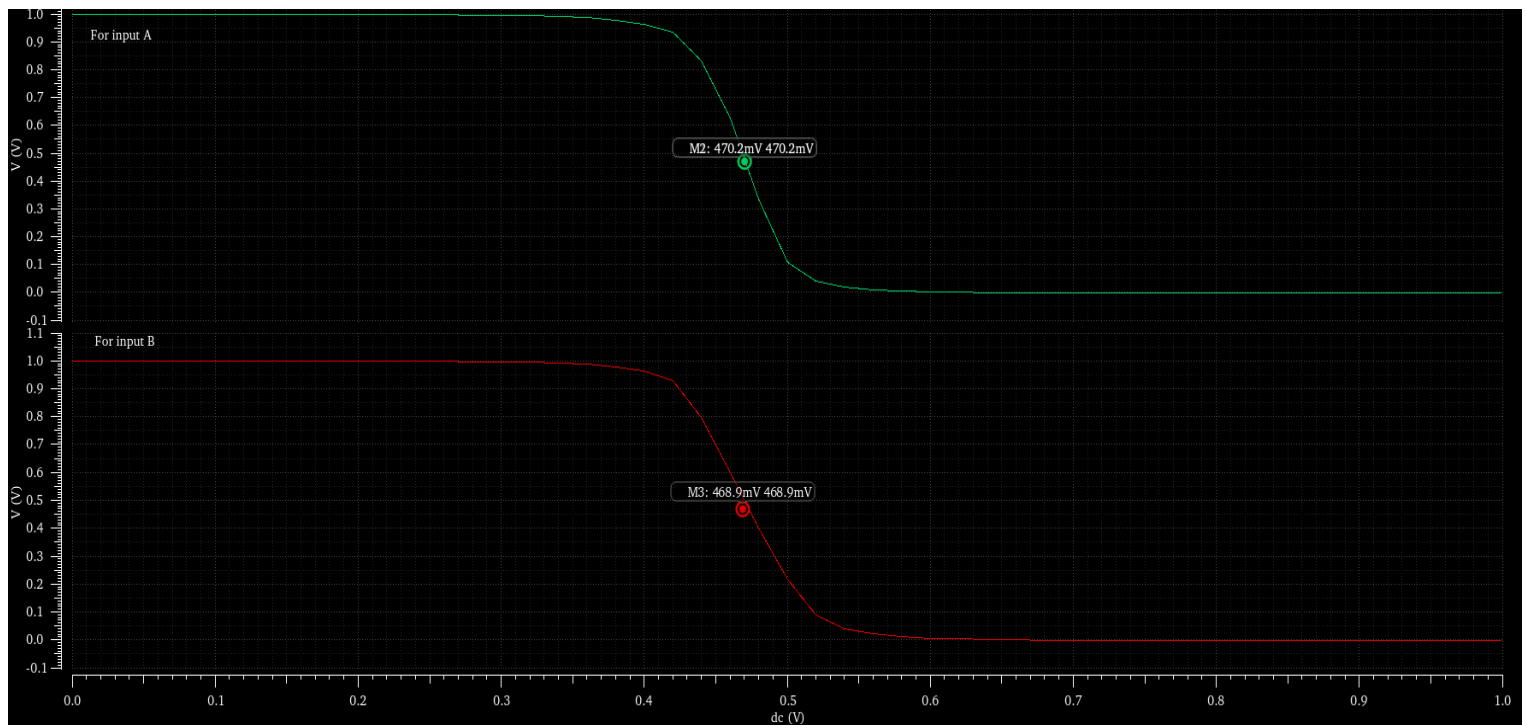


Figure 28: Οι δύο VTC καμπύλες που προκύπτουν από την DC Ανάλυση και τα Switching Thresholds

Η πράσινη VTC καμπύλη έχει προκύψει τρέχοντας DC Ανάλυση για τον παλμό εισόδου A, ενώ η κόκκινη VTC καμπύλη, τρέχοντας DC Ανάλυση για τον παλμό εισόδου B.



Μιας και στην περίπτωση αυτή, έχουμε πύλη δυο εισόδων, τρέχουμε DC Ανάλυση, για την είσοδο A, θεωρώντας την είσοδο B σταθερή, και το ίδιο και για την είσοδο B, θεωρώντας την είσοδο A, σταθερή.

Χρησιμοποιώντας την συνάρτηση *cross* του calculator, μπορούμε να βρούμε το σημείο αλλαγής λειτουργίας/κατώφλι αλλαγής κατάστασης (Switching point/threshold)  $V_M$ , στο οποίο η πύλη αλλάζει κατάσταση. Στο σημείο αυτό ισχύει  $V_{IN} = V_{OUT}$ .

Για την VTC που προκύπτει από DC Ανάλυση για την είσοδο A (πράσινη καμπύλη), έχουμε  $V_M = 470.2mV$ , ενώ για την VTC που προκύπτει για την είσοδο B (κόκκινη καμπύλη), έχουμε  $V_M = 468.9mV$ . Βλέπουμε πως πρόκειται για δύο σχεδόν ίσες τιμές, και σχεδόν ίσες με την ιδανική τάση αλλαγής κατάστασης,  $\frac{V_{DD}}{2}$ . Τα παραπάνω σημεία φαίνονται στην εικόνα με markers στο κατάλληλο σημείο της κάθε VTC καμπύλης.

Σε αυτό το σημείο είμαστε σε θέση να υπολογίσουμε τα Περιθώρια Θορύβου (Noise Margins) της πύλης.

1. Περιθώριο Θορύβου (Noise Margin) για είσοδο χαμηλής στάθμης ( $NM_L$ ) :

$$NM_L = V_{IL} - V_{OL}, \text{ όπου}$$

$V_{IL}$  : Η μέγιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό LOW

$V_{OL}$  : Χαμηλή στάθμη του σήματος εξόδου, δηλ. λογικό LOW

2. Περιθώριο Θορύβου (Noise Margin) για είσοδο υψηλής στάθμης ( $NM_H$ ) :

$$NM_H = V_{OH} - V_{IH}, \text{ όπου}$$

$V_{IH}$  : Η ελάχιστη τιμή εισόδου που ερμηνεύεται από τον αντιστροφέα ως λογικό HIGH

$V_{OL}$  : Υψηλή στάθμη του σήματος εξόδου, δηλ. λογικό HIGH

Προφανώς έχουμε πως  $V_{OL} = 0 \text{ Volt}$  και  $V_{OH} = V_{DD} = 1 \text{ Volt}$ . Οι τιμές των  $V_{IL}$  και  $V_{IH}$  προκύπτουν από την VTC, καθώς είναι τα σημεία στα οποία η καμπύλη έχει κλίση ίση με -1.

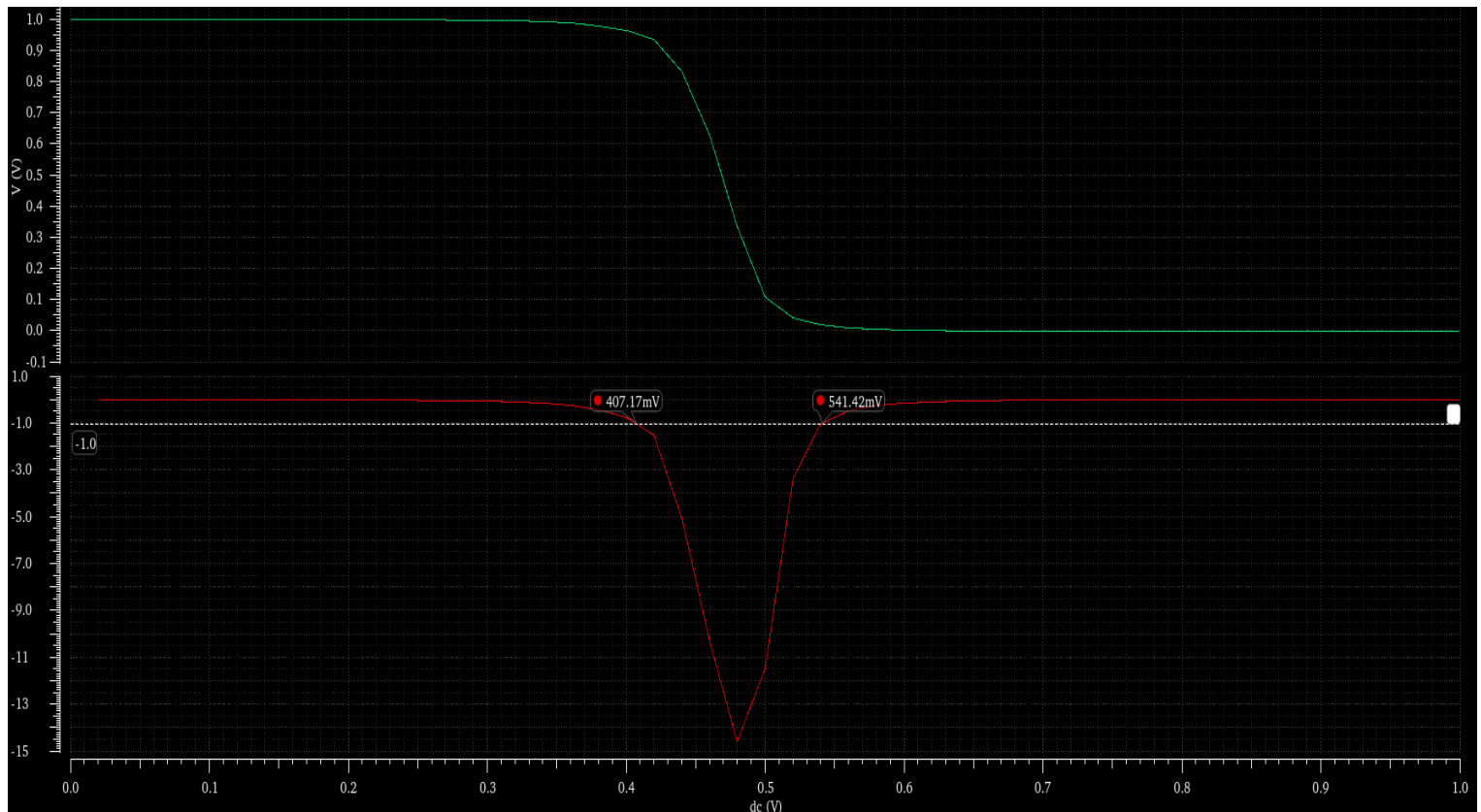


Figure 29: VTC καμπύλη για τον παλμό εισόδου A και υπολογισμός των  $V_{IL}$  και  $V_{IH}$

Στην παρακάτω εικόνα βλέπουμε την VTC καμπύλη που προκύπτει από την DC Ανάλυση για τον παλμό εισόδου A και την γραφική παράσταση της παραγώγου της. Υπολογίζουμε τις τάσεις  $V_{IL}$  και  $V_{IH}$  ως τα σημεία στα οποία η παράγωγος έχει κλίση ίση με -1. Συνεπώς, βρίσκουμε τις τιμές

$$V_{IL} = 407.17 \text{ mVolt και } V_{IH} = 541.42 \text{ mVolt}$$

Οπότε, έχουμε :

- $NM_L = V_{IL} - V_{OL} = V_{IL} \iff NM_L = 407.17 \text{ mVolt}$
- $NM_H = V_{OH} - V_{IH} = (1000 - 541.42) \text{ mVolt} \iff NM_H = 458.58 \text{ mVolt}$

Παρομοίως, στην παρακάτω εικόνα, βλέπουμε την VTC καμπύλη για την DC Ανάλυση χρησιμοποιώντας τον παλμό εισόδου B, και τον υπολογισμό των  $V_{IL}$  και  $V_{IH}$ .

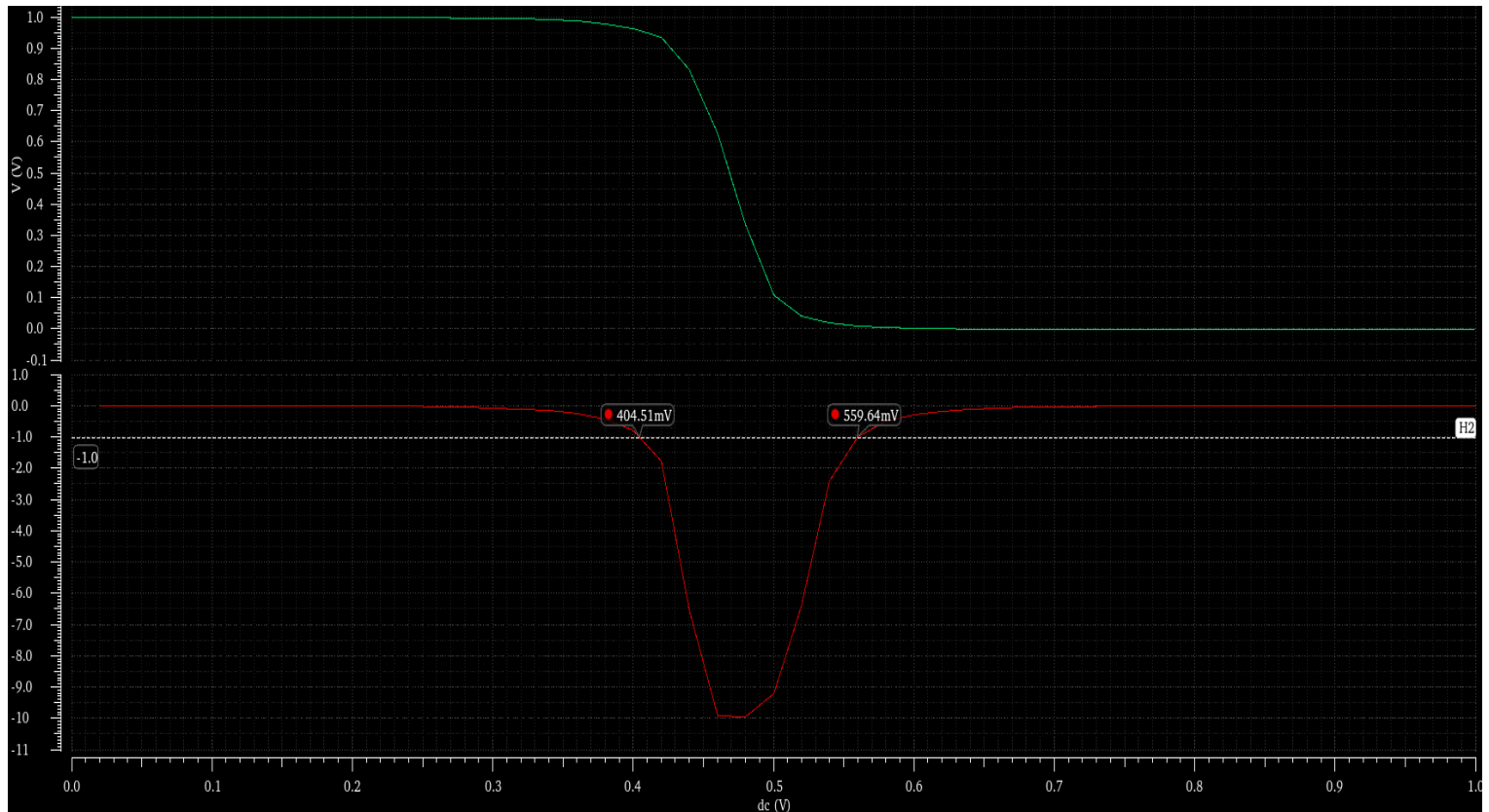


Figure 30: VTC καμπύλη για τον παλμό εισόδου B και υπολογισμός των  $V_{IL}$  και  $V_{IH}$

Οπότε :

- $NM_L = V_{IL} - V_{OL} = V_{IL} \iff NM_L = 404.51 \text{ mVolt}$
- $NM_H = V_{OH} - V_{IH} = (1000 - 559.64) \text{ mVolt} \iff NM_H = 440.36 \text{ mVolt}$

Παρατηρούμε πως τα Περιθώρια Θορύβου που υπολογίζουμε και στις δύο περιπτώσεις είναι πολύ κοντά. Συνεπώς, μπορούμε να επιλέξουμε ως τελικές τιμές, αυτές που προκύπτουν από την πρώτη περίπτωση (DC Ανάλυση για την είσοδο A), καθώς περιλαμβάνουν τις τιμές που προκύπτουν από την DC Ανάλυση για την είσοδο B.

Συνεπώς :

$$NM_L = 407.17 \text{ mVolt και } NM_H = 458.58 \text{ mVolt}$$

## 2.3 Συμπεράσματα / Σύγκριση Αποτελεσμάτων

### 1. Περιθώρια Θορύβου (Noise Margins)

- $NM_L = 433.32 \text{ mV}$  και  $NM_H = 432.5 \text{ mV}$  , για την πύλη NAND
- $NM_L = 407.17 \text{ mV}$  και  $NM_H = 458.58 \text{ mV}$  , για την πύλη NOR

Παρατηρούμε πως, στην περίπτωση της πύλης NAND, έχουμε  $NM_L \approx NM_H$  , ενώ στην περίπτωση της NOR, η διαφορά μεταξύ των  $NM_L$  και  $NM_H$  είναι μεγαλύτερη. Συνεπώς, η πύλη NAND έχει μεγαλύτερα περιθώρια θορύβου και επίσης ισχύει πως  $NM_L \approx NM_H \approx \frac{V_{DD}}{2}$  .

### 2. Ζώνες Απροσδιοριστίας (Undefined Regions)

Γνωρίζουμε πως ως  $V_{IL}$  ορίζουμε την *μέγιστη* τάση στην είσοδο της ψηφιακής πύλης, που θεωρείται ότι αναπαριστά το λογικό LOW. Αντίστοιχα, ως  $V_{IH}$  ορίζουμε την *ελάχιστη* τάση στην είσοδο της ψηφιακής πύλης, που θεωρείται ότι αναπαριστά το λογικό HIGH.

Συνεπώς, είσοδος που ανήκει στο εύρος μεταξύ  $V_{IL}$  και  $V_{IH}$  , δεν μπορούμε να γνωρίζουμε αν αναπαριστά λογικό LOW ή λογικό HIGH, είναι δηλαδή μια απροσδιόριστη είσοδος.

Έτσι, είναι προφανώς επιθυμητό για ένα ψηφιακό κύκλωμα, η ζώνη απροσδιοριστίας να είναι όσο το δυνατόν μικρότερη, και ιδανικά να είναι μηδενικού εύρους

Οπότε, για την πύλη NAND, η ζώνη απροσδιοριστίας έχει εύρος:

$$V_{IH} - V_{IL} = 567.5 - 433.42 = 134.08 \text{ mV}$$

Ενώ για την πύλη NOR:

$$V_{IH} - V_{IL} = 559.64 - 404.51 = 155.13 \text{ mV}$$

Συνεπώς, παρατηρούμε πως η πύλη NAND έχει μικρότερη ζώνη απροσδιοριστίας.

### 3. Σημείο / Τάση Εναλλαγής Κατάστασης (Switching Point / Threshold Voltage)

- $V_M \approx 479 \text{ mV}$  για την πύλη NAND
- $V_M \approx 470 \text{ mV}$  για την πύλη NOR

Άρα, η πύλη NAND έχει ελάχιστα μεγαλύτερη τάση εναλλαγής κατάστασης, η οποία βρίσκεται πιο κοντά στην ιδανική  $V_M = \frac{V_{DD}}{2}$  .

### 4. Χρόνοι Ανόδου και Καθόδου

- $t_f = 1.797 \text{ nsecs}$  και  $t_r = 1.612 \text{ nsecs}$  , για την πύλη NAND
- $t_f = 1.259 \text{ nsecs}$  και  $t_r = 1.905 \text{ nsecs}$  , για την πύλη NOR

Παρατηρούμε πως ισχύει :  $t_{f_{NAND}} \approx t_{f_{NOR}}$  και  $t_{r_{NAND}} \approx t_{r_{NOR}}$  .

### 5. Καθυστερήση Διάδοσης (Propagation Delay)

- $t_P = 1.7375 \text{ nsecs}$ , για την πύλη NAND
- $t_P = 1.3515 \text{ psecs}$ , για την πύλη NOR

Παρατηρούμε πως  $t_{P_{NOR}} < t_{P_{NAND}}$  .

### 3 Κύκλωμα με 3 inverters

Στην άσκηση αυτή, καλούμαστε να σχεδιάσουμε το παρακάτω κύκλωμα των 3 Αντιστροφέων.

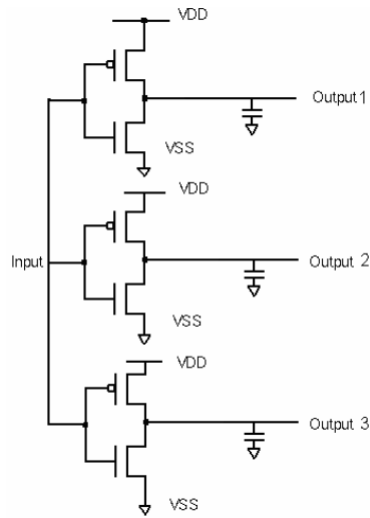


Figure 31: Σχηματικό του κυκλώματος

Παρατηρούμε πως και οι 3 inverters, δέχονται το ίδιο σήμα εισόδου. Οι inverters διαφοροποιούνται ως προς τις διαστάσεις των στοιχείων που χρησιμοποιούν (σε όλες τις περιπτώσεις όμως έχουμε μήκος  $L = L_{min} = 60nm$ ). Συγκεκριμένα, έχουμε :

- Για τον 1<sup>ο</sup> inverter, έχουμε πλάτος  $W_p = 800nm$  και  $W_n = 400nm$
- Για τον 2<sup>ο</sup> inverter, έχουμε πλάτος στοιχείων,  $W_p = 400nm$  και  $W_n = 400nm$
- Για τον 3<sup>ο</sup> inverter, έχουμε πλάτος στοιχείων,  $W_p = 400nm$  και  $W_n = 800nm$

#### 3.1 Σχηματικό στο Cadence

Στην παρακάτω εικόνα βλέπουμε το σχηματικό του κυκλώματος στο Cadence.

#### 3.2 Α μέρος - Σύνδεση πυκνωτή $1fF$ στην έξοδο των αντιστροφέων

Στις εξόδους κάθε αντιστροφέα, έχουμε συνδέσει πυκνωτή χωρητικότητας  $1fF$ .

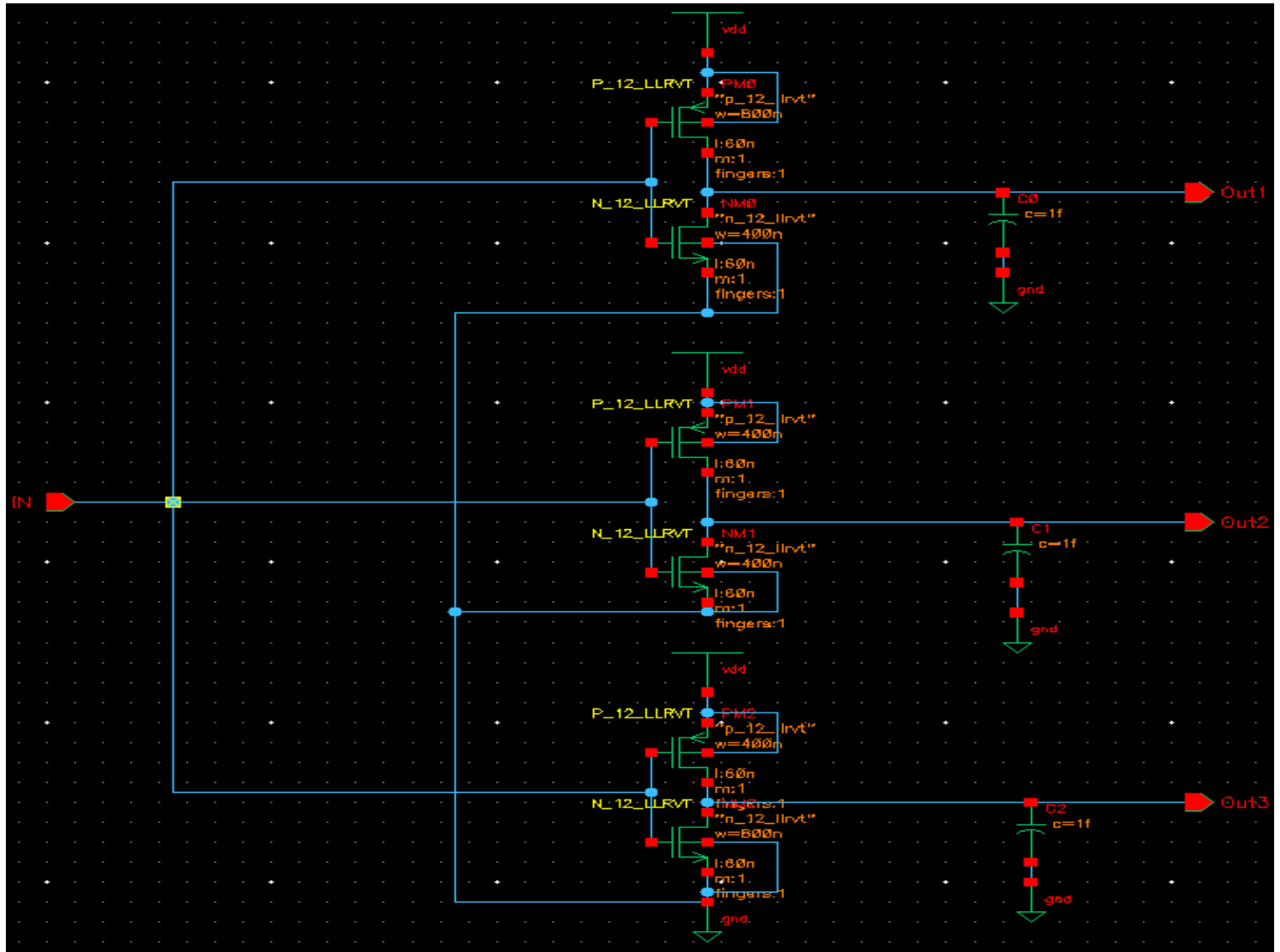


Figure 32: Σχηματικό στο Cadence

Με βάση το κύκλωμα, κατασκευάζουμε το παρακάτω Test Bench, προκειμένου να εκτελέσουμε Transient και DC Ανάλυση του κυκλώματος.

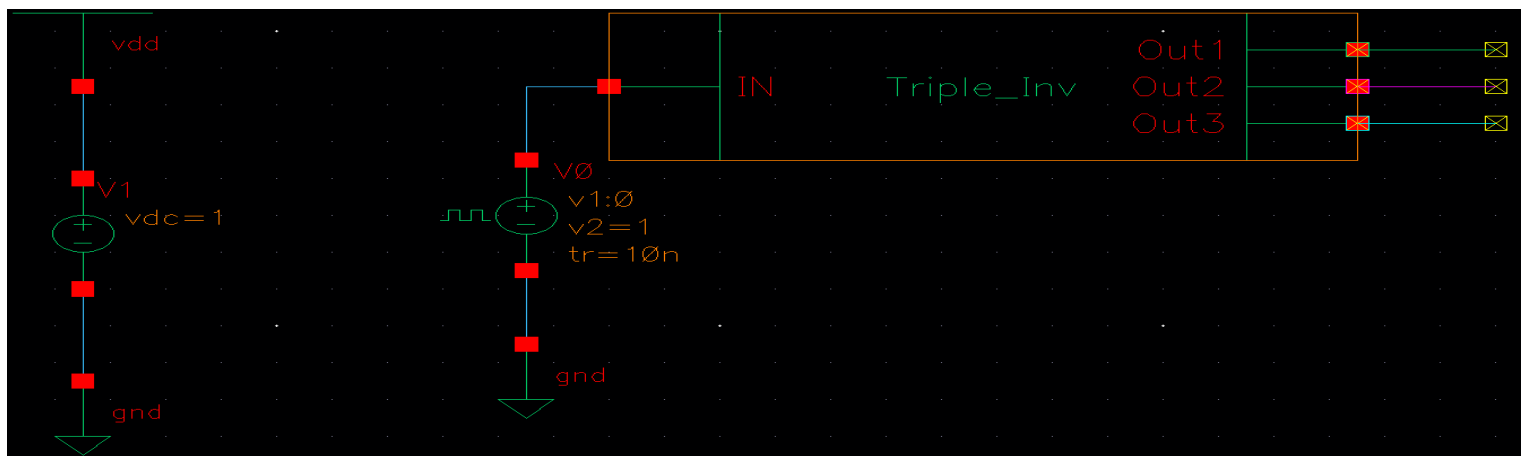


Figure 33: Testbench κύκλωμα

Η πηγή σήματος που χρησιμοποιούμε έχει υψηλή στάθμη στο 1 Volt και χαμηλή στα 0 Volt, και τα εξής χαρακτηριστικά :

- Περίοδο =  $200ns$
- Delay Time =  $0ns$
- Χρόνο Ανόδου (Rise Time) =  $10ns$
- Χρόνο Καθόδου (Fall time) =  $10ns$
- Εύρος παλμού (Pulse Width) =  $100ns$

### 3.2.1 Transient Ανάλυση

Στην παρακάτω εικόνα βλέπουμε την κυματομορφή εισόδου, και στην συνέχεια τις κυματομορφές εξόδου των 3 αντιστροφών, από την έξοδο του πρώτου αντιστροφέα έως την έξοδο του τρίτου αντιστροφέα.

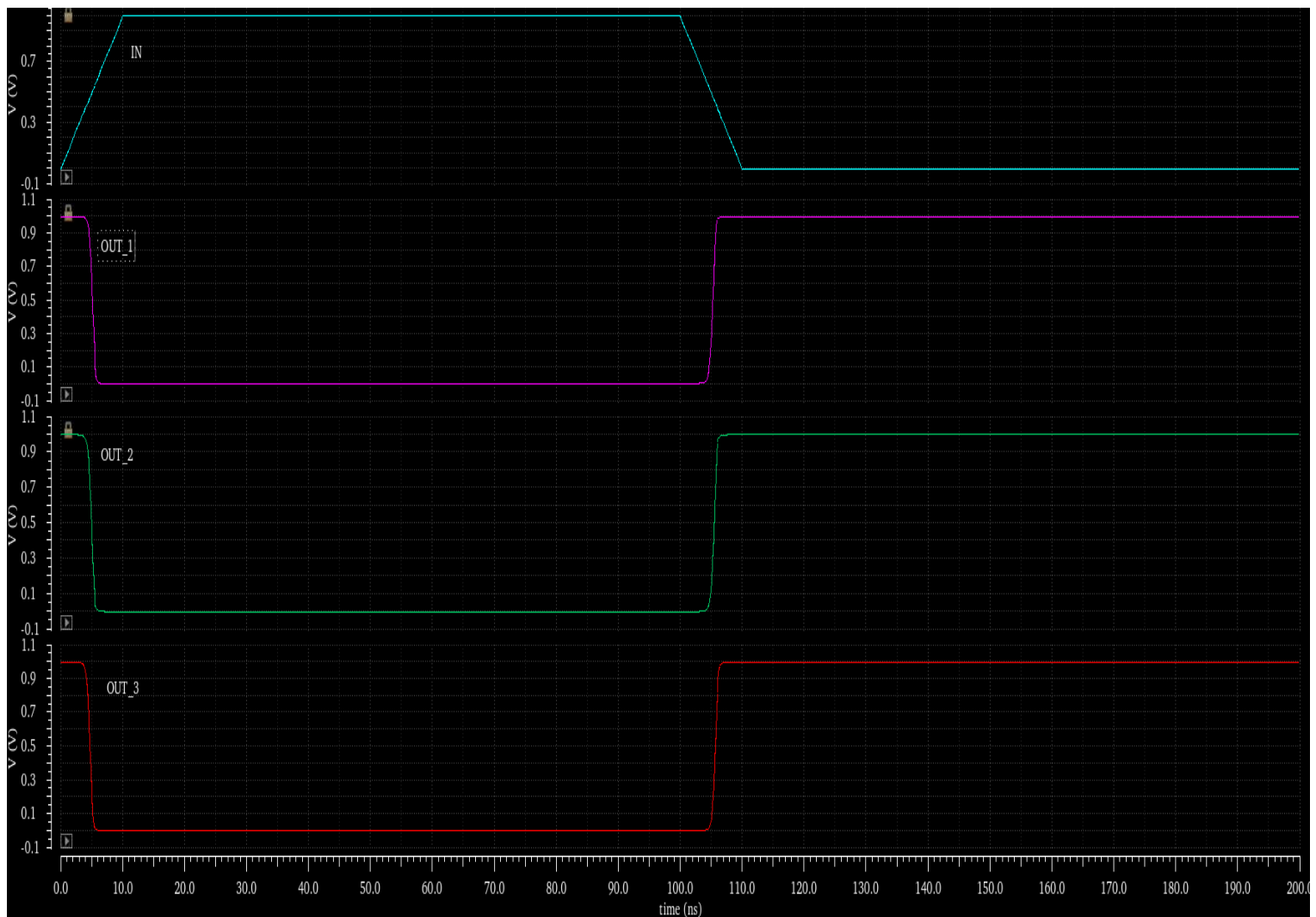


Figure 34: Οι κυματομορφές του κυκλώματος, για χωρητικότητα εξόδου  $1fF$

Παρατηρούμε πως υπάρχει μια μικρή χρονική διαφορά ανάμεσα στις μεταβάσεις των εξόδων των αντιστροφών, από HIGH σε LOW και από LOW σε HIGH.

### 3.2.2 Μέτρηση Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τον calculator του ADE, βρίσκουμε τους παρακάτω χρόνους Καθόδου ( $t_f$ ) και Ανόδου ( $t_r$ ).

1. Inverter 1:  $t_f = 1.005ns$ ,  $t_r = 1.045ns$

2. Inverter 2:  $t_f = 1.021ns$ ,  $t_r = 1.046ns$

3. Inverter 3:  $t_f = 1.013ns$ ,  $t_r = 1.032ns$

### 3.2.3 Μέτρηση Καθυστέρησης Διάδοσης

Χρησιμοποιώντας την συνάρτηση *delay* του calculator, βρίσκουμε τους παρακάτω Χρόνους Καθυστέρησης Διάδοσης .

1. Inverter 1:  $t_{pHL} = 89.0510psec$   $t_{pLH} = 281.4137psec \implies t_P = 185.23psec$

2. Inverter 2:  $t_{pHL} = 69.7758psec$   $t_{pLH} = 507.2126psec \implies t_P = 288.4942psec$

3. Inverter 3:  $t_{pHL} = 318.6377psec$   $t_{pLH} = 701.1155psec \implies t_P = 509.8766psec$

### 3.2.4 DC Ανάλυση

Στην παρακάτω εικόνα βλέπουμε τις VTC καμπύλες για τους 3 αντιστροφείς.

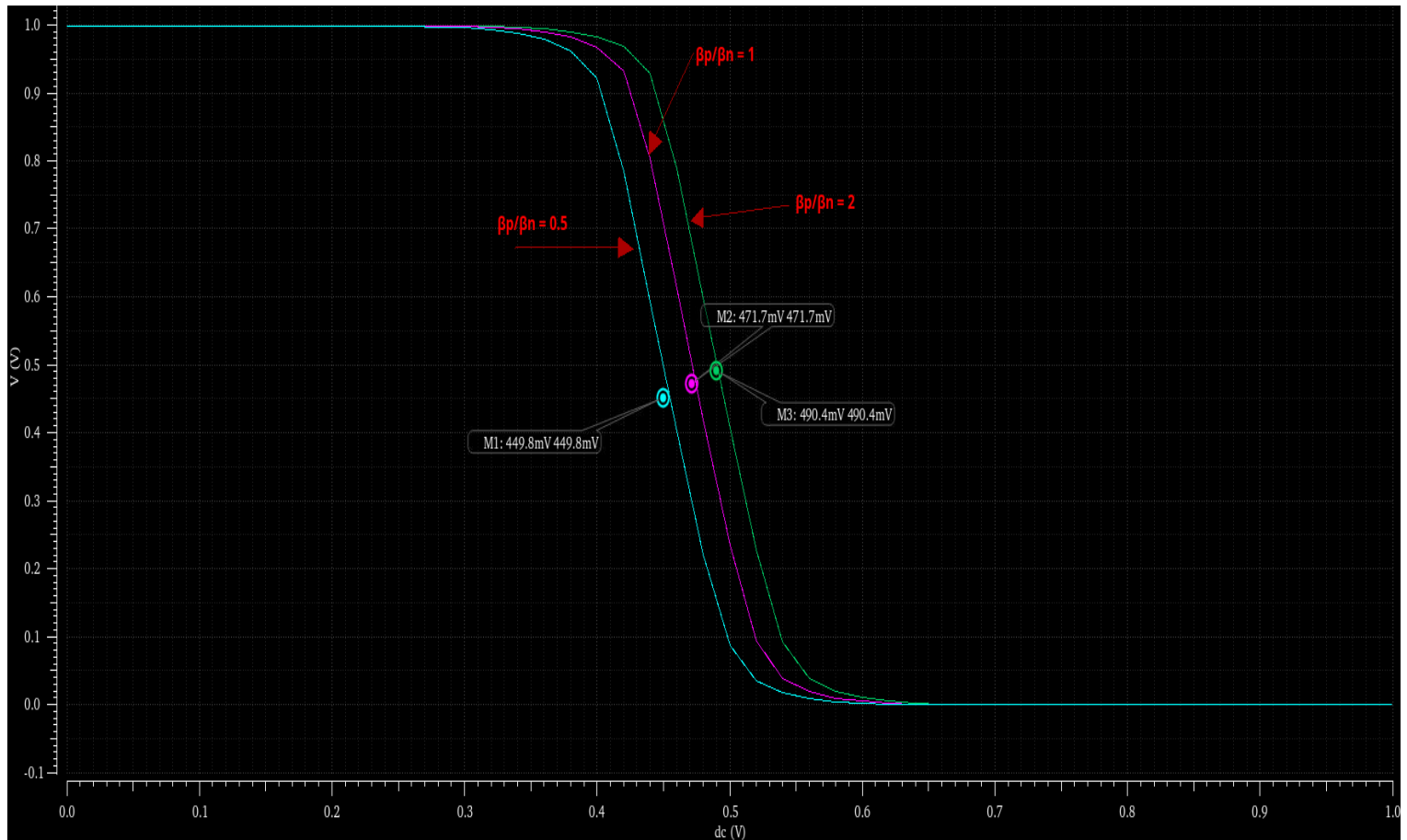
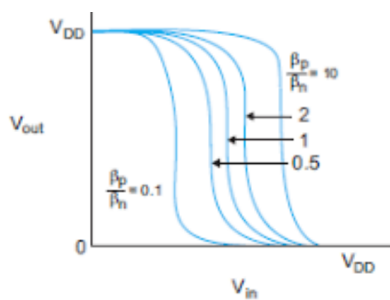


Figure 35: VTC καμπύλες των inverters



Όπως έχει αναφερθεί και στην 1η άσκηση, και όπως φαίνεται και στην διπλανή εικόνα, καθώς ο λόγος  $\frac{\beta_p}{\beta_n}$ , μεγαλώνει, η VTC καμπύλη του αντιστροφέα μετακινείται προς τα δεξιά, δηλ. η τάση αλλαγής κατάστασης,  $V_M$ , μετακινείται προς το  $V_{DD}$ . Ομοίως, για όταν ο λόγος μικραίνει, υπάρχει μετακίνηση προς τα αριστερά.

Η DC Ανάλυση του κυκλώματος, επιβεβαιώνει το παραπάνω αναμενόμενο αποτέλεσμα, καθώς στην παραπάνω εικόνα βλέπουμε, πως από τα αριστερά προς τα δεξιά, έχουμε :

- την VTC καμπύλη του αντιστροφέα με  $\frac{\beta_p}{\beta_n} = 0.5$ , δηλ. του τρίτου αντιστροφέα, με  $W_n = 2 \cdot W_p$
- την VTC καμπύλη του αντιστροφέα με  $\frac{\beta_p}{\beta_n} = 1$ , δηλ. του δεύτερου αντιστροφέα, με  $W_n = W_p$
- την VTC καμπύλη του αντιστροφέα με  $\frac{\beta_p}{\beta_n} = 2$ , δηλ. του πρώτου αντιστροφέα, με  $W_p = 2 \cdot W_n$

Στην εικόνα βλέπουμε επίσης, και τις αντίστοιχες τάσεις Εναλλαγής Κατάστασης,  $V_M$ , για κάθε περίπτωση, όπου βλέπουμε πως η μεγαλύτερη τάση κατωφλίου, ανήκει στον πρώτο αντιστροφέα.



Στην συνέχεια, υπολογίζουμε τα Περιθώρια Θορύβου των αντιστροφών :

- $V_{IL} = 382.35mV$ ,  $V_{IH} = 538.92mV$ .  
Οπότε,  $NM_L = V_{IL} - V_{OL} = 382.35mV$ ,  $NM_H = V_{OH} - V_{IH} = 461.08mV$
- $V_{IL} = 405.08mV$ ,  $V_{IH} = 559.91mV$ .  
Οπότε,  $NM_L = 405.08mV$ ,  $NM_H = 440.09mV$
- $V_{IL} = 424.36mV$ ,  $V_{IH} = 579.87mV$ .  
Οπότε,  $NM_L = 424.36mV$ ,  $NM_H = 420.13mV$

### 3.3 Β μέρος - Σύνδεση πυκνωτή $5fF$ στην έξοδο των αντιστροφών

Στην περίπτωση αυτή το μόνο που αλλάζουμε στο κύκλωμά μας, είναι ότι συνδέουμε πλέον ένα πυκνωτή πενταπλάσιας χωρητικότητας ( $5fF$ ), στην έξοδο του κάθε αντιστροφέα, ως φόρτο, έναντι του πυκνωτή του  $1fF$  που είχαμε συνδέσει στο πρώτο μέρος.

#### 3.3.1 Transient Ανάλυση

Στην παρακάτω εικόνα βλέπουμε τις προκύπτουσες κυματομορφές.

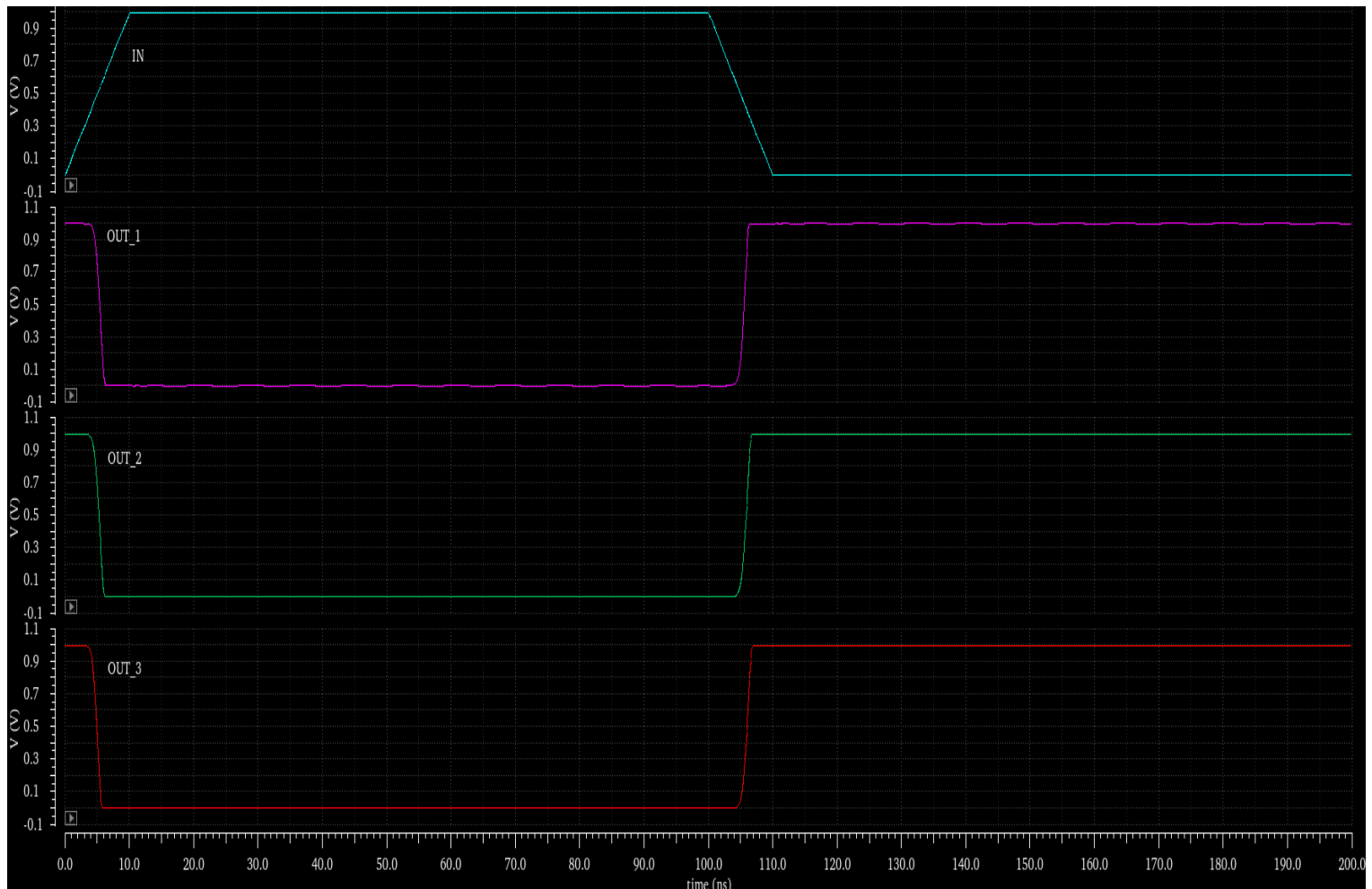


Figure 36: Κυματομορφές για την περίπτωση του πυκνωτή  $5fF$

Βλέπουμε πως και πάλι υπάρχει μια μικρή χρονική διαφορά (της τάξης των  $90ps$ ) ανάμεσα στις όμοιες μεταβάσεις των αντιστροφών.

### 3.3.2 Μετρήσεις Χρόνων Ανόδου και Καθόδου

Προκύπτουν οι παρακάτω χρόνοι :

- Inverter 1:  $t_f = 1.241ns$ ,  $t_r = 1.293ns$
- Inverter 2:  $t_f = 1.301ns$ ,  $t_r = 1.388ns$
- Inverter 3:  $t_f = 1.251ns$ ,  $t_r = 1.323ns$

### 3.3.3 Μέτρηση Καθυστέρησης Διάδοσης

Προκύπτουν οι παρακάτω χρόνοι :

- Inverter 1:  $t_{pHL} = 374.89psec$   $t_{pLH} = 580.83psec \implies t_P = 477.86psec$
- Inverter 2:  $t_{pHL} = 273.282psec$   $t_{pLH} = 902.935psec \implies t_P = 588.10psec$
- Inverter 3:  $t_{pHL} = 51.08psec$   $t_{pLH} = 1.037nsec \implies t_P = 544.04psec$

### 3.3.4 DC Ανάλυση

Οι VTC χαρακτηριστικές καμπύλες που παίρνουμε ως αποτέλεσμα της DC Ανάλυσης, είναι ακριβώς ίδιες με το Α μέρος όπου χρησιμοποιούσαμε τον πυκνωτή του  $1fF$  στην έξοδο των inverters.

Αυτό συμβαίνει διότι, ο φόρτος στην έξοδο των αντιστροφών, δεν επηρεάζει τους παράγοντες από τους οποίους εξαρτάται η μορφή της VTC καμπύλης.

Συγκεκριμένα, σημαντικό ρόλο διαδραματίζει το Switching Threshold Voltage,  $V_M = \frac{r(V_{DD}-|V_{tp}|)+V_{tn}}{r+1}$ , όπου  $r = \sqrt{\frac{k'_p(W/L)_p}{k'_n(W/L)_n}}$ . Προφανώς για ταιριασμένα στοιχεία, ισχύει  $r = 1$ . Βλέπουμε πως δεν υπάρχει εξάρτηση από την χωρητικότητα του κόμβου εξόδου.

Επίσης, δεν επηρεάζονται οι τάσεις  $V_{IL}$ ,  $V_{IH}$ , οι οποίες εξαρτώνται από της τάση τροφοδοσίας  $V_{DD}$  και την τάση κατωφλίου,  $V_t$ .

Συνεπώς, μιας και δεν αλλάζουν οι VTC καμπύλες, δεν αλλάζουν και τα Περιθώρια Θορύβου. Αυτή είναι μια ιδιαίτερα σημαντική ιδιότητα, καθώς τα Περιθώρια Θορύβου, δεν εξαρτώνται από την χωρητικότητα του κόμβου εξόδου, αλλά από ενδογενείς ιδιότητες του κυκλώματος. Οπότε, όσο μεγάλο και να είναι το φορτίο της επόμενης βαθμίδας, το CMOS κύκλωμα, θα έχει ακριβώς τα ίδια Περιθώρια Θορύβου.

## 3.4 Συμπεράσματα / Σύγκριση Αποτελεσμάτων

### 1. Περιθώρια Θορύβου (Noise Margins)

- Inverter 1:  $NM_L = 382.35mV$ ,  $NM_H = 461.08mV$
- Inverter 2:  $NM_L = 405.08mV$ ,  $NM_H = 440.09mV$
- Inverter 3:  $NM_L = 424.36mV$ ,  $NM_H = 420.13mV$

Μπορούμε να πούμε πως ο τρίτος αντιστροφέας, παρουσιάζει την καλύτερη συμπεριφορά ως προς τα Περιθώρια Θορύβου, καθώς  $NM_L \approx NM_H$ .

### 2. Σημείο / Τάση Εναλλαγής Κατάστασης (Switching Point / Threshold Voltage)

- Inverter 1:  $V_M = 490.4 mV$
- Inverter 2:  $V_M = 471.7 mV$
- Inverter 3:  $V_M = 449.8 mV$

Άρα, ο πρώτος αντιστροφέας ( $W_p = 2 \cdot W_n$ ), έχει Τάση Εναλλαγής Κατάστασης, πολύ κοντά στην αντίστοιχη τάση του ιδανικού CMOS αντιστροφέα, στον οποίο έχουμε  $V_M = \frac{V_{DD}}{2} = 500mV$

	$C = 1fF$	$C = 5fF$
Inverter 1	$t_f = 1.005ns, t_r = 1.045ns$	$t_f = 1.241ns, t_r = 1.293ns$
Inverter 2	$t_f = 1.021ns, t_r = 1.046ns$	$t_f = 1.301ns, t_r = 1.388ns$
Inverter 3	$t_f = 1.013ns, t_r = 1.032ns$	$t_f = 1.251ns, t_r = 1.323ns$

### 3. Χρόνοι Ανόδου και Καθόδου

Παρατηρούμε πως στην περίπτωση που ως χωρητικότητα για τον κόμβο εξόδου έχουμε  $5fF$ , οι χρόνοι Ανόδου και Καθόδου είναι σημαντικά μεγαλύτεροι. Συγκεκριμένα, στην περίπτωση του πρώτου η διαφορά στους αντίστοιχους χρόνους είναι σημαντική, καθώς υπάρχει χάσμα 2 τάξεων μεγέθους. Τα αποτελέσματα αυτά, είναι αναμενόμενα, μιας και η χωρητικότητα στο δεύτερο μέρος είναι όχι απλώς μεγαλύτερη της χωρητικότητας του πρώτου μέρους, αλλά και πενταπλάσια. Συνεπώς, ο πυκνωτής που μοντελοποιεί την παρασιτική χωρητικότητα του κόμβου εξόδου, θα χρειάζεται παραπάνω χρόνο για να φορτιστεί και να εκφορτιστεί, δίνοντας έτσι την ανάλογη αύξηση στους αντίστοιχους χρόνους. Έτσι, ενώ με την αντικατάσταση του πυκνωτή του  $1fF$  από τον πυκνωτή των  $5fF$ , δεν υπάρχει μεταβολή στην DC συμπεριφορά του κυκλώματος, υπάρχει σημαντική μεταβολή στην Transient συμπεριφορά του κυκλώματος.

### 4. Καθυστέρηση Διάδοσης (Propagation Delay)

	$C = 1fF$	$C = 5fF$
Inverter 1	$t_P = 185.23ps$	$t_P = 477.86ps$
Inverter 2	$t_P = 288.4942ps$	$t_P = 588.10ps$
Inverter 3	$t_P = 509.8766ps$	$t_P = 544.04ps$

Παρατηρούμε πως με την αλλαγή του πυκνωτή φόρτου από  $1fF$  σε  $5fF$ , η Καθυστέρηση Διάδοσης για τους πρώτους δύο αντιστροφείς σχεδόν τριπλασιάζεται για τον πρώτο αντιστροφέα και σχεδόν διπλασιάζεται για τον δεύτερο αντιστροφέα. Αντιθέτως, για τον τρίτο αντιστροφέα, η Καθυστέρηση Διάδοσης, αυξάνεται κατά ένα μικρό χρονικό ποσό.

Συνεπώς, παρατηρούμε την επίδραση του λόγου  $\frac{W}{L}$  ενός τρανζίστορ στους χρόνους Ανόδου, Καθόδου και Καθυστέρησης Διάδοσης, αλλά κυρίως την επίδραση στους χρόνους αυτούς, της χωρητικότητας φορτίου.

## 4 Layout CMOS Αντιστροφέα, NAND-2, NOR-2

Στην άσκηση αυτή καλούμαστε να σχεδιάσουμε το Φυσικό Σχέδιο (Layout), για τον CMOS Inverter και τις CMOS πύλες NAND-2, NOR-2.

### 4.1 Layout Αντιστροφέα του ενός Finger

Στο μέρος αυτό υλοποιούμε το Layout του CMOS Αντιστροφέα του ενός finger, όπου το μήκος του καναλιού είναι το ελάχιστο δυνατό σύμφωνα με την τεχνολογία κατασκευής, δηλ.  $L = L_{min} = 60nm$  και για τα πλάτη των στοιχείων έχουμε,  $W_n = 150nm$ ,  $W_p = 2 \cdot W_n = 300nm$ .

Το Layout φαίνεται στην παρακάτω εικόνα.

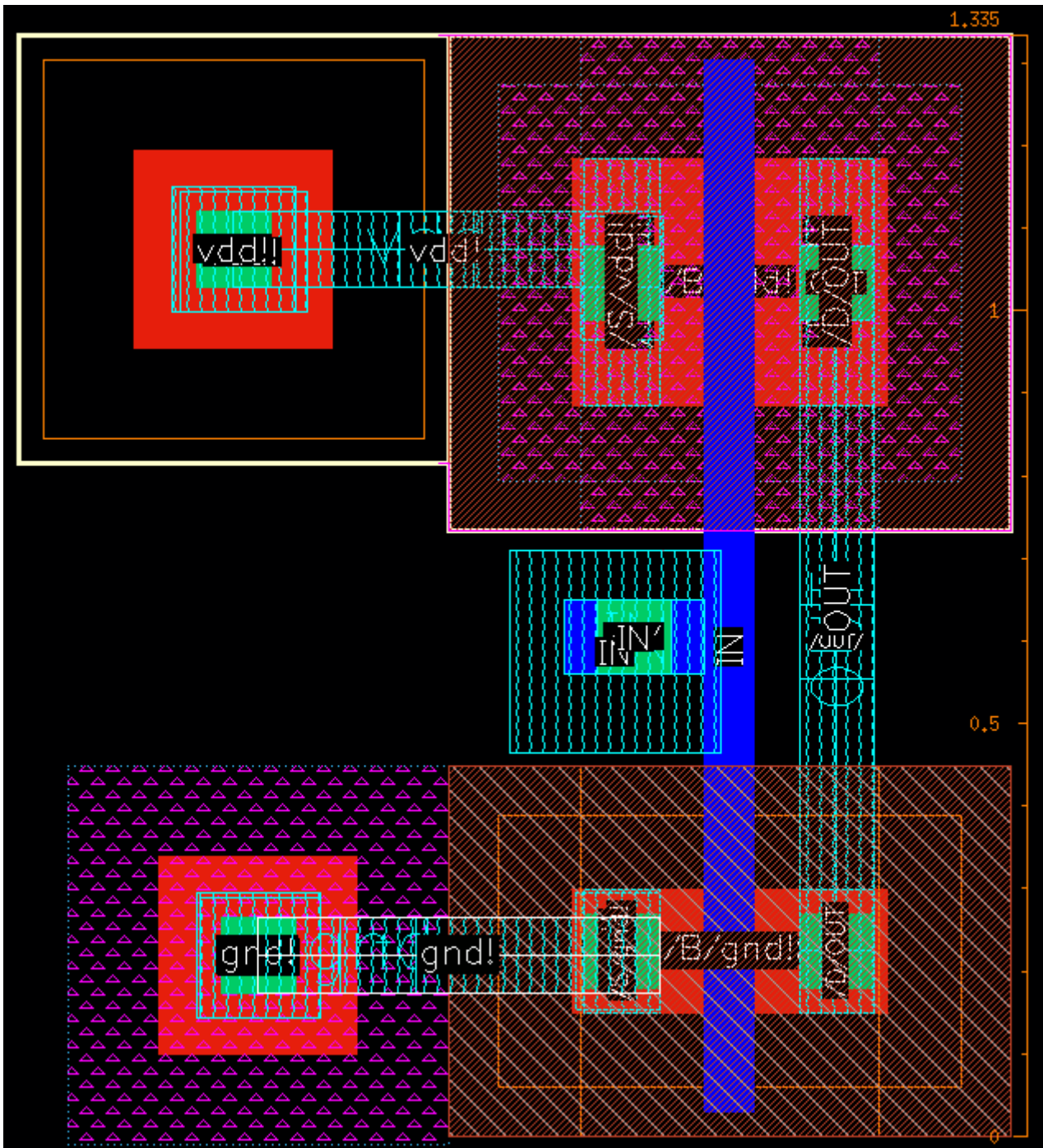


Figure 37: Layout του αντιστροφέα του ενός finger

Μέσω ενός *measurement* από το το περιβάλλον του *Layout Suite XL*, βλέπουμε πως το πλάτος του συνολικού σχεδιασμού

είναι ίσο με  $1.335\mu m$ , μικρότερο από το όριο των  $1.4\mu m$  που μας τίθεται από την εκφώνηση.

Στο κάτω μέρος έχουμε το NMOS τρανζίστορ και στο πάνω μέρος το PMOS. Το υπόστρωμα για όλο το wafer είναι τύπου  $p$ , συνεπώς μιας και το PMOS τρανζίστορ απαιτεί υπόστρωμα τύπου  $n$ , χρησιμοποιείται ένα  $n$ -well στην περιοχή του PMOS.

Για τον σχεδιασμό έχει χρησιμοποιηθεί μόνο ένα μέταλλο.

Τα δύο τετράγωνα που βλέπουμε στα αριστερά των στοιχείων, είναι τα taps τύπου  $p$  και τύπου  $n$ , που συνδέουν το υπόστρωμα με την γείωση και την τροφοδοσία, για το NMOS και το PMOS αντίστοιχα.

Με πράσινο τετράγωνο βλέπουμε τα contacts μεταξύ μετάλλου-1 και των νοθευμένων περιοχών και της πολυσιλικόνης (στην περίπτωση του gate).

Με την μπλε λωρίδα, βλέπουμε την πολυσιλικόνη που απαρτίζει τις πύλες των στοιχείων και τέλος στα δεξιά, βλέπουμε την σύνδεση των τρανζίστορ που σχηματίζει τον κόμβο εξόδου του αντιστροφέα, μέσω του μετάλλου-1.

## 4.2 Layout Αντιστροφέα των 2 Fingers

Στο μέρος αυτό τα PMOS και NMOS τρανζίστορ, που χρησιμοποιούμε για τον Αντιστροφέα, απαρτίζονται από δύο fingers το καθένα.

Και πάλι έχουμε μήκος καναλιού,  $L = L_{min} = 60nm$ , όμως χρησιμοποιούμε στοιχεία μεγαλύτερων διαστάσεων απ' ότι στο προηγούμενο μέρος, καθώς πλέον τα πλάτη τους βρίσκονται στην κλίμακα των μικρόμετρων.

Συγκεκριμένα, έχουμε  $W_n = 1\mu m$ ,  $W_p = 2 \cdot W_n = 2\mu m$ .

Το Layout φαίνεται στην παρακάτω εικόνα.

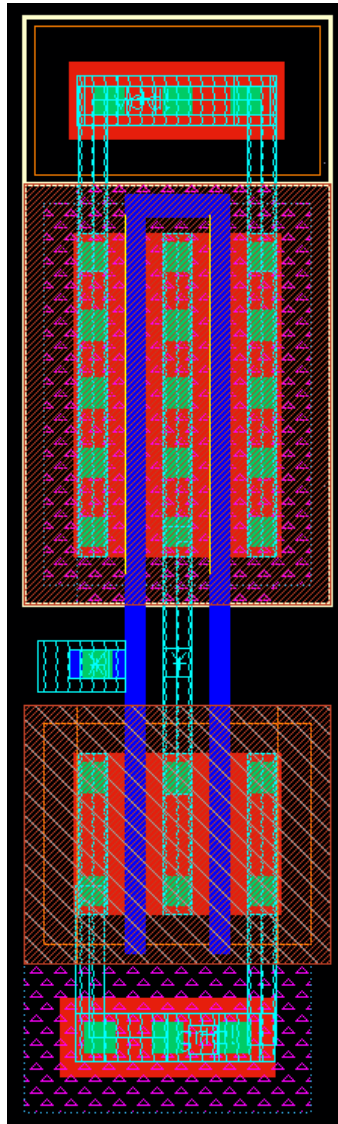


Figure 38: Layout Αντιστροφέα με στοιχεία των 2 fingers

Στο layout αυτό μπορούμε να παρατηρήσουμε πως τα taps τύπου  $p$  και τύπου  $n$ , έχουν τοποθετηθεί κάτω και πάνω από το NMOS και το PMOS, αντίστοιχα.

Και πάλι ένα μόνο επίπεδο μετάλλου, επαρκεί για τις ανάγκες του κυκλώματος.

Ο λόγος για αυτήν μας την επιλογή είναι πως έτσι μπορούμε να πετύχουμε καλύτερη αξιοποίηση του χώρου πάνω στο wafer, καθώς έτσι το cell του κυκλώματος είναι εγκλεισμένο μέσα σε ένα ορθογώνιο, και δεν έχει πλαϊνά "εξογκώματα" όπως στην παραπάνω περίπτωση. Έτσι, αν χρειάζεται να τοποθετηθούν πάρα πολλά τέτοια cells το ένα δίπλα στο άλλο, δεν θα υπάρχουν αναξιοποίητοι χώροι πάνω στο wafer του πυριτίου.

Ένα μειονέκτημα είναι πως με αυτόν τον τρόπο, μεγαλώνει το συνολικό πλάτος του σχεδιασμού, όμως το κέρδος που έχουμε λόγω της καλύτερης αξιοποίησης του χώρου, υπερτερεί.

### 4.3 Layout NAND-2

Το Layout θα βασιστεί στο παρακάτω Stick Diagram.

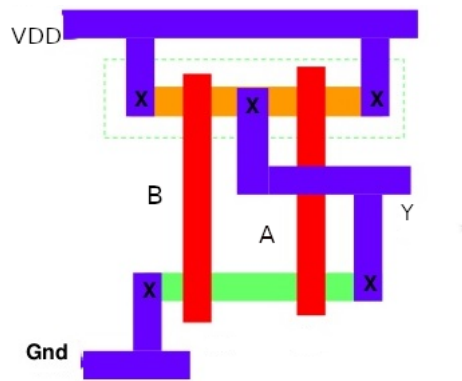


Figure 39: NAND-2 Stick Diagram

Με βάση το παραπάνω Stick Diagram, προκύπτει το παρακάτω Layout.



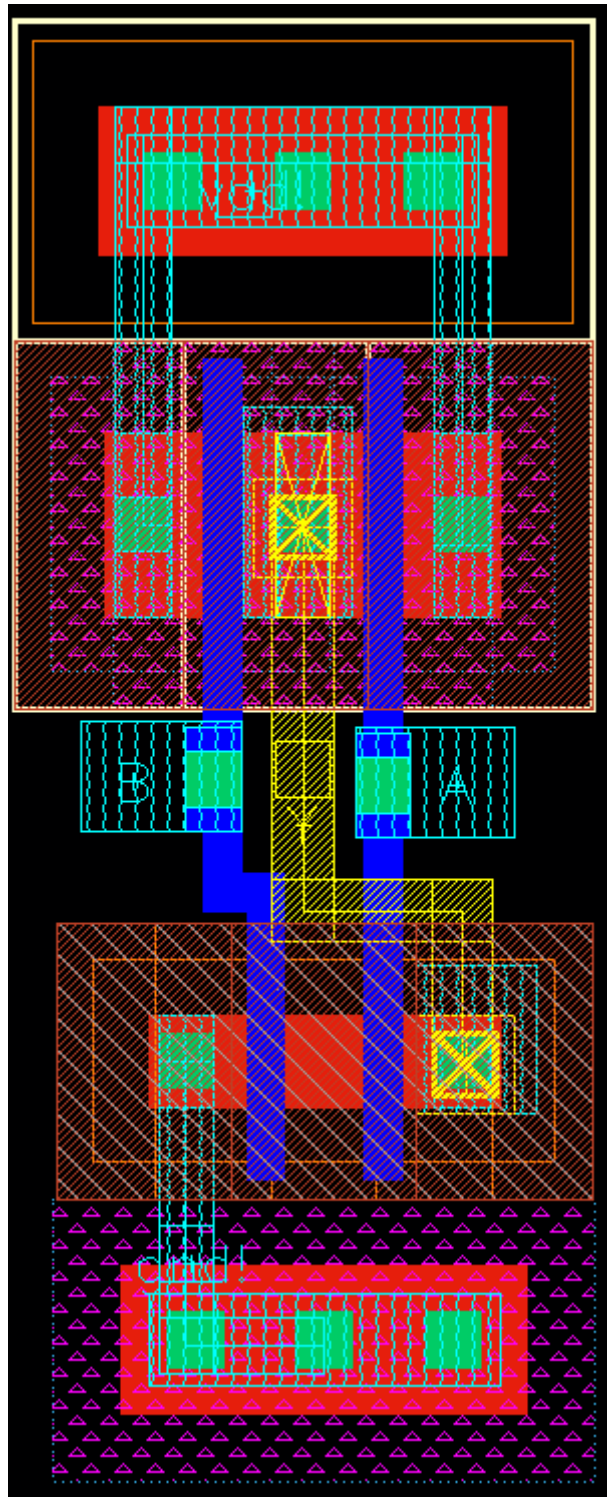


Figure 40: Layout CMOS NAND-2

Παρατηρούμε πως αυτήν την φορά δεν μπορούμε να χρησιμοποιήσουμε μόνο ένα επιπέδο μετάλλων, χωρίς να μεγαλώσουν πολύ οι διαστάσεις του cell. Έτσι, έχουμε χρησιμοποιήσει το μέταλλο-1, για τις εσωτερικές διασυνδέσεις των στοιχείων και για τις συνδέσεις των εισόδων με την πολυσιλικόνη της κάθε πύλης, και το μέταλλο-2, για να ενώσουμε τις κατάλληλες περιοχές των NMOS και PMOS, και να πάρουμε έτσι την έξοδο του κυκλώματος.

#### 4.4 Layout NOR-2

Το Layout θα βασιστεί στο παρακάτω Stick Diagram.

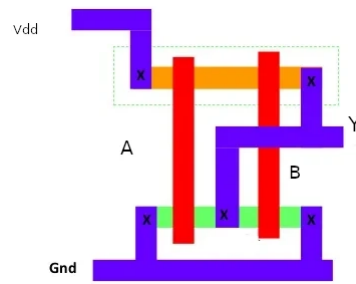


Figure 41: NOR-2 Stick Diagram

Οπότε, προκύπτει το ακόλουθο Layout.

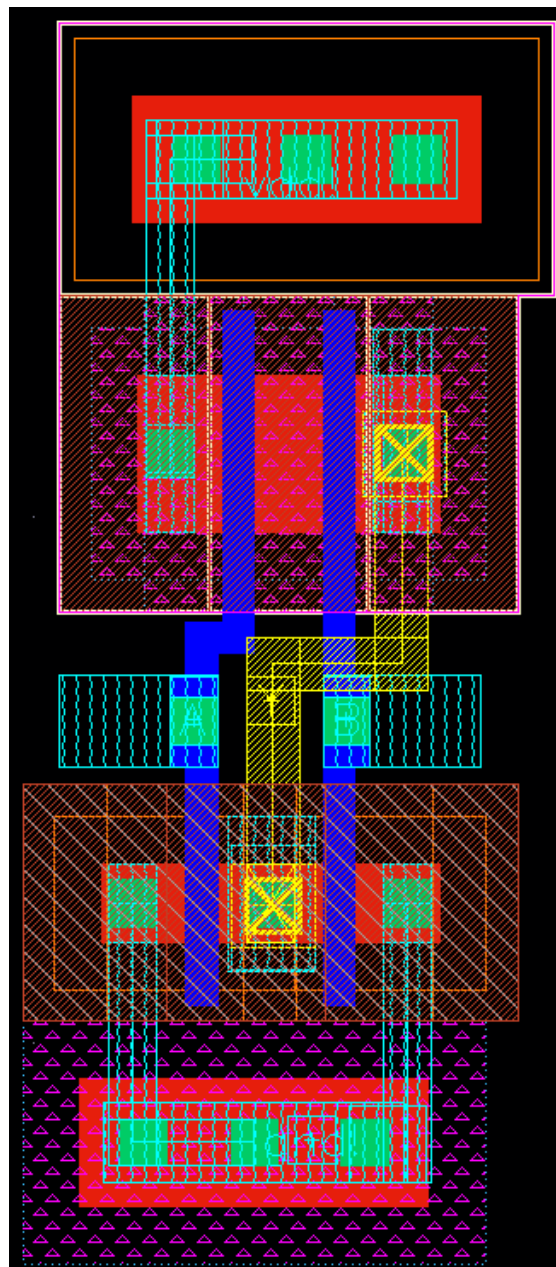


Figure 42: Layout CMOS NOR-2



Μπορούμε να παρατηρήσουμε πως και πάλι έχουμε χρησιμοποιήσει δύο επίπεδα μετάλλων, καθώς αν χρησιμοποιούσαμε μόνο ένα επίπεδο μετάλλου, στο σημείο που παίρνουμε την έξοδο της πύλης, δεν θα είχαμε την απαραίτητη απόσταση, μεταξύ του σημείου εξόδου και των μετάλλων που συνδέουν τις εισόδους με τις πολυσιλικόνες των πυλών.

Έτσι, είμαστε αναγκασμένοι να χρησιμοποιήσουμε μέταλλο-2, προκειμένου να αποφύγουμε αυτόν τον περιορισμό.

## 5 Υλοποίηση Boolean Συνάρτησης

Σε αυτήν την άσκηση καλούμαστε να υλοποιήσουμε την συνάρτηση,  $F = \overline{(A \cdot (B + C + D))}$ , ο πίνακας αληθείας της οποίας φαίνεται παρακάτω σε συνεπτυγμένη μορφή.

A	B	C	D	F
0	X	X	X	1
1	0	0	0	1
1	X	X	1	1
1	X	1	X	1
1	1	X	X	1

Οι 3 τελευταίες γραμμές του πίνακα υποδηλώνουν πως αν  $A = 1$  και *τουλάχιστον ένα* από τα  $B, C, D$  είναι ίσο με 1, τότε η έξοδος θα είναι ίση με 1.

### 5.1 Σχηματικό στο Cadence

Το σχηματικό της συνάρτησης στο Cadence, φαίνεται παρακάτω.

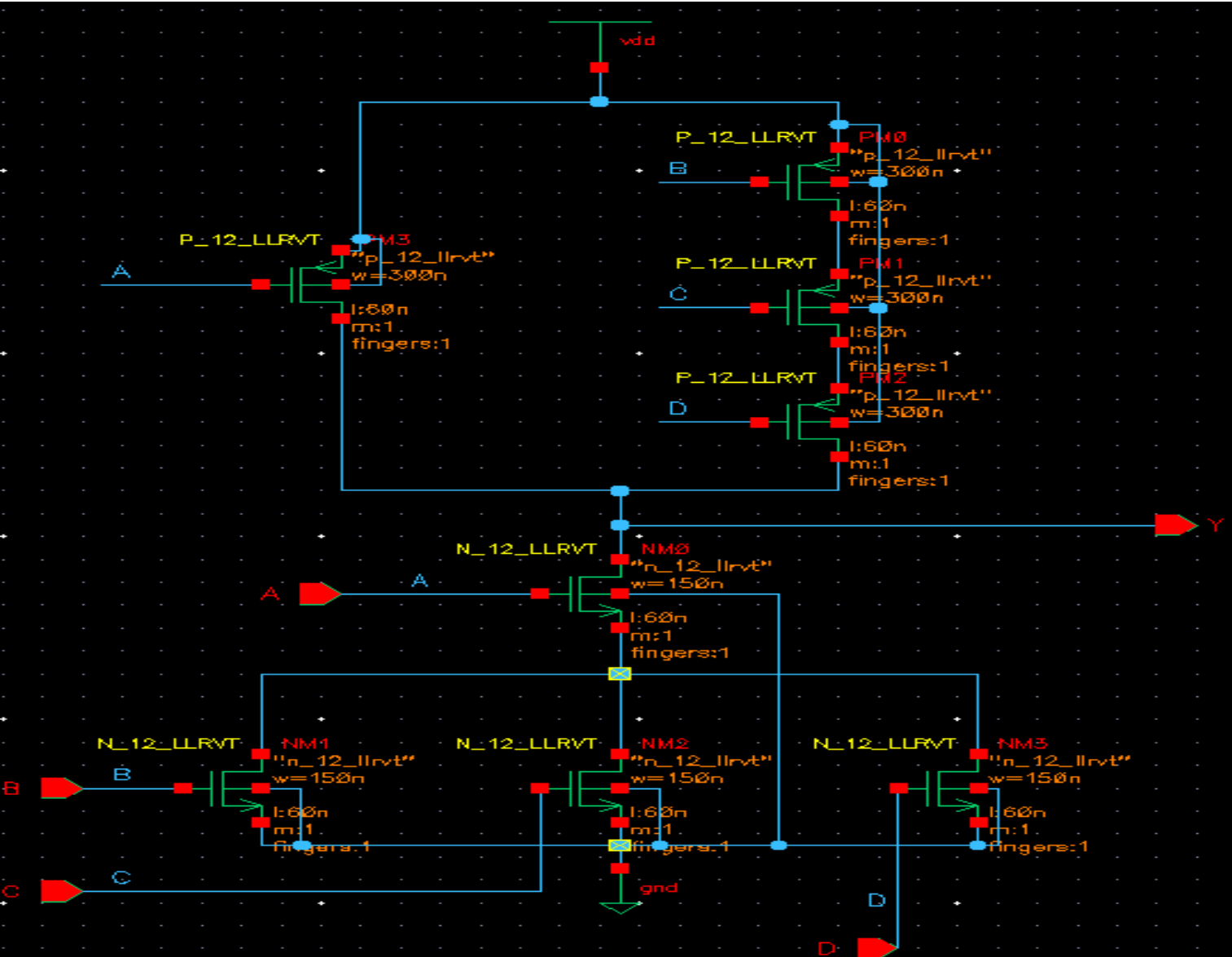


Figure 43: Σχηματικό της συνάρτησης στο Cadence

Κατασκευάζουμε και το ακόλουθο Test Bench προκειμένου να εκτελέσουμε Transient Ανάλυση του κυκλώματος.

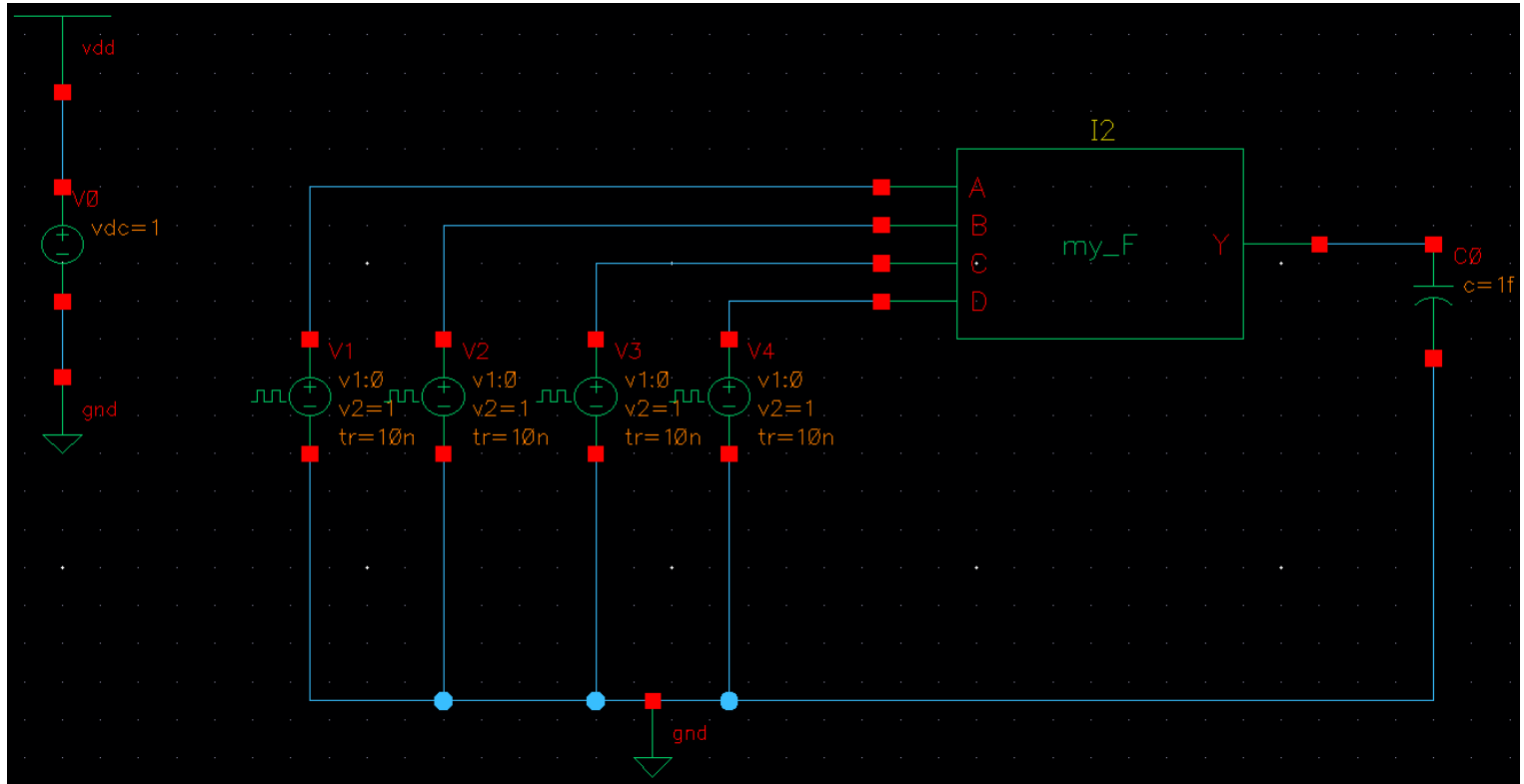


Figure 44: Test Bench κύκλωμα

Ως εισόδους χρησιμοποιούμε τους παλμούς :

	Παλμός A	Παλμός B	Παλμός C	Παλμός D
Delay	0 s	0 s	0 s	0 s
Rise Time	5 ns	5 ns	5 ns	5 ns
Fall Time	5 ns	5 ns	5 ns	5 ns
Period	400 ns	200 ns	100 ns	50 ns
Pulse Width	195 ns	95 ns	45 ns	20 ns

## 5.2 Σύνδεση πυκνωτή $1fF$ στην έξοδο

Στο πρώτο μέρος, στην έξοδο του κυκλώματος συνδέουμε πυκνωτή χωρητικότητας  $1fF$ .

### 5.2.1 Transient Ανάλυση

Εκτελώντας Transient Ανάλυση, προκύπτουν οι παρακάτω κυματομορφές.

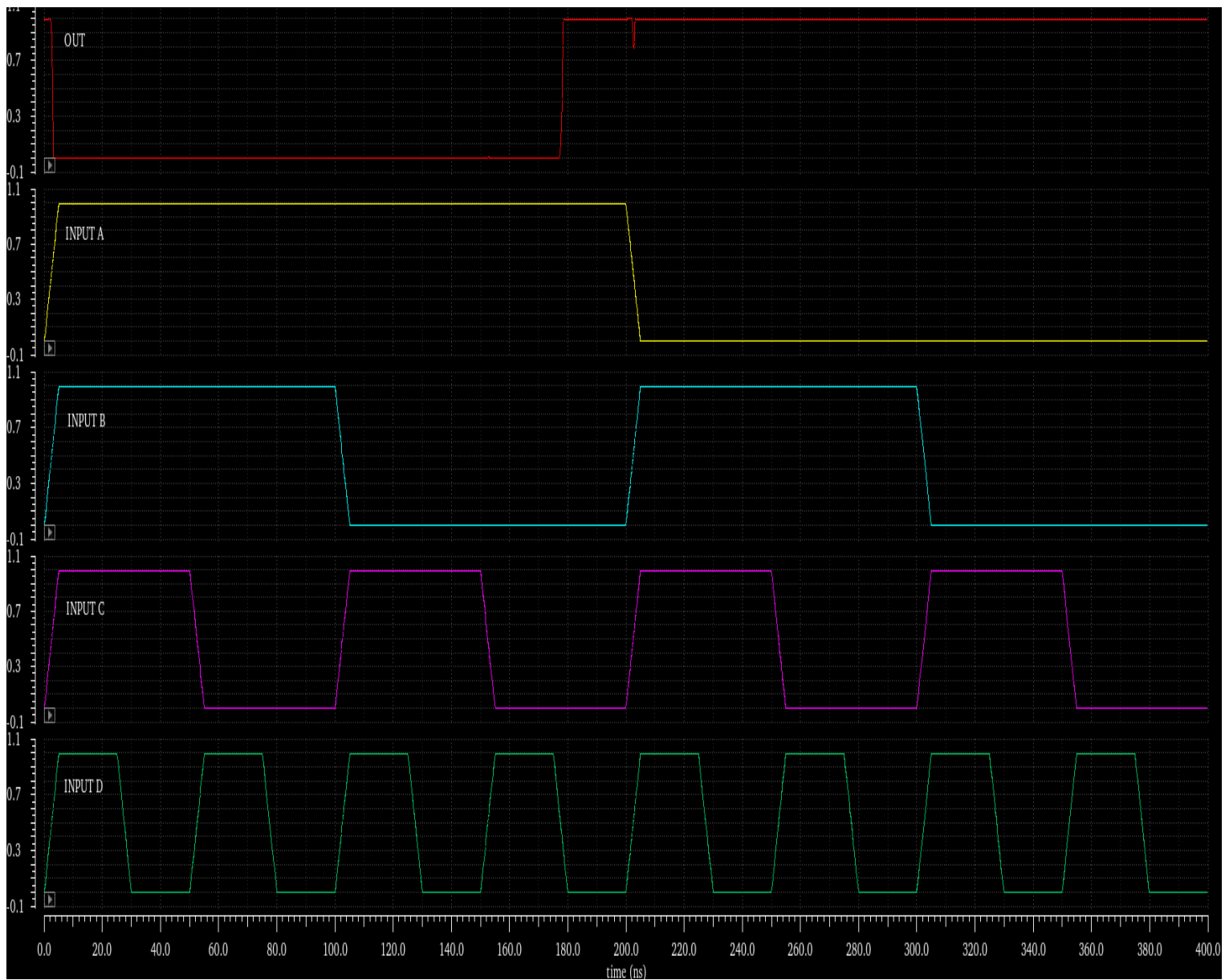


Figure 45: Η κυματομορφή εισόδου και οι κυματομορφές εξόδου

Παρατηρούμε πως εμφανίζονται όλοι οι όροι του πίνακα αληθείας και πως η έξοδος της συνάρτησης λαμβάνει τις αναμενόμενες τιμές.

### 5.2.2 Μέτρηση Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τις αντίστοιχες συναρτήσεις του calculator του ADE, προκύπτουν οι παρακάτω χρόνοι.

$$t_f = 556.2ps, t_r = 770.4ps$$

### 5.2.3 Μέτρηση Χρόνου Καθυστέρησης Διάδοσης

Μιας και τώρα το κύκλωμά μας έχει πολλές εισόδους, για να βρούμε την εκάστοτε συνιστώσα της Καθυστέρησης Διάδοσης, θα πρέπει να επιλέγουμε κάθε φορά το κατάλληλο σήμα εισόδου.

Συγκεκριμένα, για να υπολογίσουμε την  $t_{PHL}$ , πρέπει να επιλέξουμε το σήμα εισόδου, το οποίο όταν ξεπεράσει το 50% της μέγιστης τιμής του, επιφέρει μεταβολή του σήματος εξόδου από την στάθμη του λογικού HIGH στην στάθμη του λογικού LOW.

Από τον πίνακα αληθείας, παρατηρούμε πως όταν όλες οι εισοδοι είναι ίσες με το 0, τότε η έξοδος είναι ίση με 1. Συνεπώς, η έξοδος αρχικά βρίσκεται στην στάθμη του λογικού HIGH. Έτσι, όπως φαίνεται και στην εικόνα 45, οποιαδήποτε κυματομορφή εισόδου και αν επιλέξουμε, στην συνέχεια, η έξοδος "πέφτει" σε λογικό LOW.

Συνεπώς, ο χρόνος  $t_{P_{HL}}$ , θα προκύψει ως το χρονικό διάστημα, από την στιγμή που ο παλμός εισόδου A, ξεπεράσει το 50% της μέγιστης τιμής του στην ανοδική του ακμή, έως την χρονική στιγμή που ο παλμός εξόδου ξεπεράσει το 50% της μέγιστης τιμής του στην καθοδική του ακμή.

Οπότε, έχουμε :  $t_{P_{HL}} = 330.2287ps$

Ομοίως, για την συνιστώσα  $t_{P_{LH}}$ , επιλέγουμε τον παλμό εισόδου, ο οποίο όταν διέλθει από το 50% της μέγιστης τιμής του (είτε στην ανοδική είτε στην καθοδική ακμή), προκαλεί την μεταβολή της εξόδου από λογικό LOW σε λογικό HIGH.

Από την εικόνα 45, μπορούμε να παρατηρήσουμε, πως ο παλμός εισόδου που πρέπει να επιλέξουμε, είναι ο παλμός D, ο οποίος στην καθοδική του ακμή προκαλεί την μεταβολή της λογικής στάθμης του σήματος εξόδου.

Οπότε, προκύπτει :  $t_{P_{LH}} = 548.167ps$

Οπότε, για την ολική Καθυστέρηση Διάδοσης, έχουμε :  $t_P = 439.197ps$ .

### 5.3 Σύνδεση πυκνωτή $20fF$ στην έξοδο

Στο μέρος αυτό συνδέουμε πυκνωτή χωρητικότητας  $20fF$  στον κόμβο εξόδου του κυκλώματος. Όπως έχει παρατηρηθεί και στην άσκηση 3, λόγω της αύξησης της χωρητικότητας του κόμβου εξόδου, αναμένουμε αύξηση στους Χρόνους Ανόδου και Καθόδου, καθώς και στην Καθυστέρηση Διάδοσης.

#### 5.3.1 Transient Ανάλυση

Το μόνο που αλλάζει σε σχέση με το προηγούμενο μέρος, ως προς τις κυματομορφές, είναι πως μειώνεται το "βάθος" του *glitch* που εμφανίζεται στον παλμό εξόδου περί τα 200ns. Κάτι τέτοιο είναι αναμενόμενο, καθώς η μεγαλύτερη χωρητικότητα εξόδου, μπορεί να φιλτράρει αποτελεσματικότερα το voltage spike αυτό.

#### 5.3.2 Μέτρηση Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τις αντίστοιχες συναρτήσεις του calculator του ADE, προκύπτουν οι παρακάτω χρόνοι.

$$t_f = 1.368ns, t_r = 2.139ns$$

Παρατηρούμε πως πλέον οι χρόνοι Ανόδου και Καθόδου, βρίσκονται στην κλίμακα των nsec, ενώ στην περίπτωση που χρησιμοποιούσαμε πυκνωτή χωρητικότητας  $1fF$ , οι χρόνοι αυτοί βρίσκονταν στην κλίμακα των psec.

Επίσης, παρατηρούμε πως ο χρόνος Ανόδου είναι σχεδόν διπλάσιος από τον χρόνο Καθόδου, καθώς γνωρίζουμε πως η φόρτιση ενός πυκνωτή, απαιτεί περισσότερο χρόνο απ' ότι η εκφόρτισή του.

#### 5.3.3 Μέτρηση Χρόνου Καθυστέρησης Διάδοσης

Όπως και στο προηγούμενο μέρος, χρησιμοποιώντας τις κυματομορφές εισόδου A και D, για τις  $t_{P_{HL}}, t_{P_{LH}}$  αντίστοιχα, έχουμε :

$$t_{P_{HL}} = 1.272ns, t_{P_{LH}} = 1.846ns$$

Οπότε,  $t_P = 1.559ns$ , χρόνος μεγαλύτερος από την περίπτωση της χωρητικότητας του  $1fF$ , όπου είχαμε  $t_P \approx 0.4ns$ . Βλέπουμε δηλαδή πως με την εικοσαπλάσια χωρητικότητα, ο χρόνος Καθυστέρησης Διάδοσης, σχεδόν τετραπλασιάστηκε.

#### 5.3.4 Transient Ανάλυση

Και πάλι το μόνο που αλλάζει στις κυματομορφές εξόδου, είναι πως πλέον το spike στον παλμό εξόδου έχει εξαλειφθεί σχεδόν εξ' ολοκλήρου.

#### 5.3.5 Μέτρηση Χρόνων Ανόδου και Καθόδου

Χρησιμοποιώντας τις αντίστοιχες συναρτήσεις του calculator του ADE, προκύπτουν οι παρακάτω χρόνοι.

$$t_f = 1.96ns, t_r = 3.895ns$$

Και πάλι παρατηρούμε πως οι χρόνοι Ανόδου και Καθόδου, αυξήθηκαν λόγω της αύξησης της χωρητικότητας του κόμβου εξόδου, καθώς είναι μεγαλύτεροι από την προηγούμενη περίπτωση της χωρητικότητας των  $20fF$ .

### 5.3.6 Μέτρηση Χρόνου Καθυστέρησης Διάδοσης

Όπως και στο προηγούμενο μέρος, χρησιμοποιώντας τις κυματομορφές εισόδου A και D, για τις  $t_{P_{HL}}$ ,  $t_{P_{LH}}$  αντίστοιχα, έχουμε :

$$t_{P_{HL}} = 1.902ns, t_{P_{LH}} = 2.958ns$$

Οπότε,  $t_P = 2.43ns$ .

### 5.4 DC Ανάλυση

Όπως έχει αναφερθεί και στην Άσκηση 3, η χωρητικότητα του κόμβου εξόδου, δεν παίζει κάποιο ρόλο στην DC Ανάλυση και άρα στην VTC καμπύλη που προκύπτει. Ως εκ τούτου, δεν υπάρχει ανάγκη να εκτελέσουμε την DC Ανάλυση 3 φορές, μια για κάθε διαφορετική χωρητικότητα κόμβου εξόδου.

Σκοπός μας είναι να εκτελέσουμε DC Ανάλυση, στην περίπτωση που η έξοδος του κυκλώματος εξαρτάται μόνο από την είσοδο. Για να μπορέσουμε να το πετύχουμε αυτό, πρέπει να βραχυκυκλώσουμε τις υπόλοιπες εισόδους, A, C, D, σε κάποιο γνωστό και σταθερό δυναμικό, είτε την γείωση είτε  $V_{DD}$ .

Από την έκφραση της συνάρτησης μπορούμε να παρατηρήσουμε, πως οι μεταβλητές C, D μπορούν να σταθεροποιηθούν στο λογικό 0. Τότε, η τιμή του όρου  $B + C + D$ , θα εξαρτάται μόνο από την τιμή της εισόδου.

Ομοίως, αν η είσοδος, τεθεί μονίμως στο λογικό 0, τότε το αποτέλεσμα της F, θα είναι πάντα ίσο με 1, και άρα οι μεταβολές της εισόδου B, δεν θα επηρεάζουν καθόλου την έξοδο του κυκλώματος. Συνεπώς, η είσοδος A, πρέπει να τεθεί ίση με το λογικό 1, προκειμένου, να μπορεί η είσοδος B, να επηρεάζει την έξοδο του κυκλώματος.

Οπότε, έχουμε :

- Για  $A = 0$ ,  $C = D = 0$  και  $B = 0 \implies F = 1 = \bar{B}$
- Για  $A = 1$ ,  $C = D = 0$  και  $B = 1 \implies F = 0 = \bar{B}$

Προκύπτει η παρακάτω VTC καμπύλη.

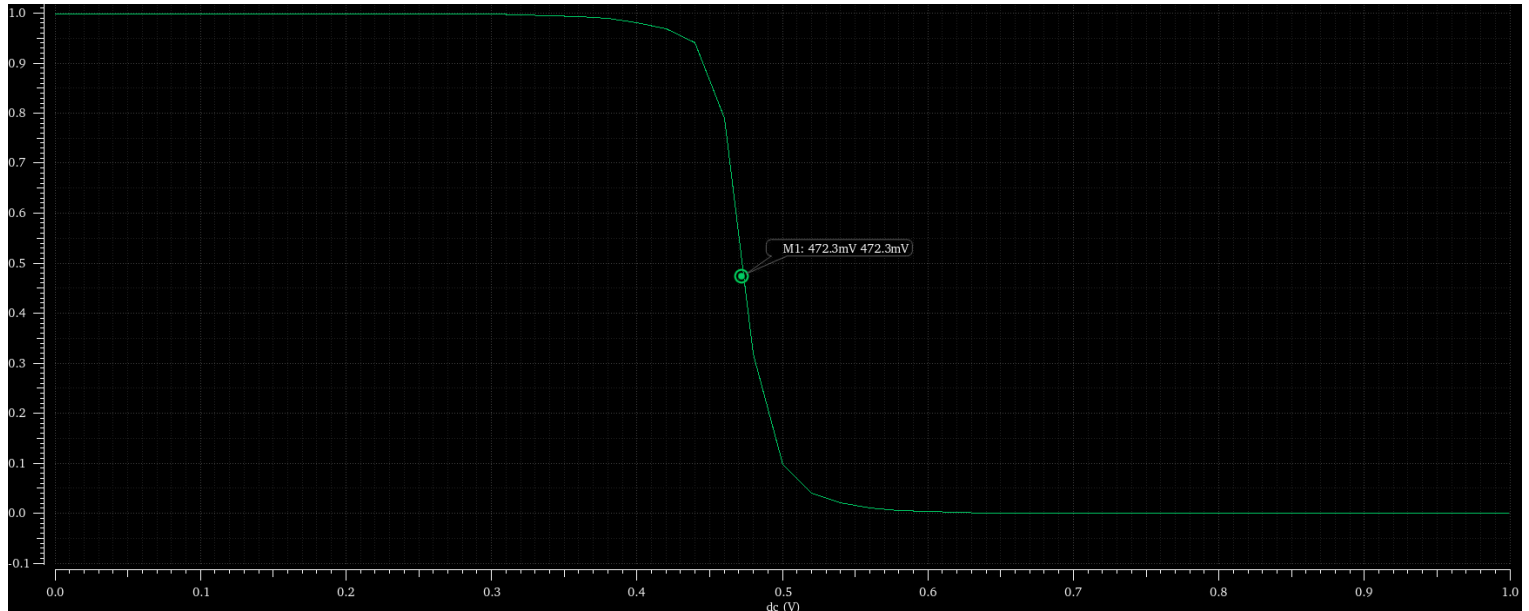


Figure 46: Η VTC καμπύλη του κυκλώματος όταν η έξοδος εξαρτάται μόνο από την είσοδο B

Στην εικόνα βλέπουμε μέσω ενός marker, και την Τάση Εναλλαγής Κατάστασης,  $V_M$ , υπολογισμένη μέσω της συνάρτησης cross του calculator. Βλέπουμε, πως  $V_M = 472.3mV$ .

Με βάση την VTC καμπύλη μπορούμε να υπολογίσουμε τα Περιθώρια Θορύβου του κυκλώματος.

Βρίσκουμε τις τάσεις  $V_{IL}$ ,  $V_{IH}$ , ως τα σημεία στα οποία η παράγωγος/κλίση της VTC είναι ίση με  $-1$ .

Προκύπτει πως,  $V_{IL} = 429.08mV$ ,  $V_{IH} = 539.6mV$ .

Συνεπώς, έχουμε :

$$NM_L = V_{IL} - V_{OL} = 429.08mV, NM_H = V_{OH} - V_{IH} = 460.4mV$$

## 5.5 Σύγκριση Αποτελεσμάτων / Συμπεράσματα

Μπορούμε να παρατηρήσουμε πως η αύξηση της χωρητικότητας του κόμβου εξόδου, έχει σημαντική επίδραση στους χρόνους Ανόδου και Καθόδου, αλλά και στην Καθυστέρηση Διάδοσης.

Συγκεκριμένα, έχουμε :

<b>C = 1fF</b>	<b>C = 20fF</b>	<b>C = 50fF</b>
$t_f = 556.2ps$ , $t_r = 770.4ps$	$t_f = 1.368ns$ , $t_r = 2.139ns$	$t_f = 1.96ns$ , $t_r = 3.895ns$
$t_P = 439.197ps$	$t_P = 1.559ns$	$t_P = 2.43ns$

Παρατηρούμε πως υπάρχει σημαντική διαφορά ανάμεσα στους αντίστοιχους χρόνους. Για παράδειγμα, ο χρόνος Ανόδου για  $C = 50fF$  είναι σχεδόν 5,5 φορές μεγαλύτερος από τον αντίστοιχο χρόνο, για χωρητικότητα  $1fF$ , καθώς η 50 φορές μεγαλύτερη χωρητικότητα προφανώς απαιτεί πολύ περισσότερο χρόνο προκειμένου να φορτιστεί.

Συμπεραίνουμε, πως (όπως και στην Άσκηση 3), η χωρητικότητα του κόμβου εξόδου μιας CMOS διάταξης, έχει καθοριστικό ρόλο στην απόκριση της διάταξης, καθώς επηρεάζει σημαντικούς χρονικούς παράγοντες όπως οι χρόνοι Ανόδου-Καθόδου, αλλά και την ακόμα πιο σημαντική, Καθυστέρηση Διάδοσης.

## 5.6 Layout της πύλης

Το Layout θα βασιστεί στο παρακάτω Stick Diagram.

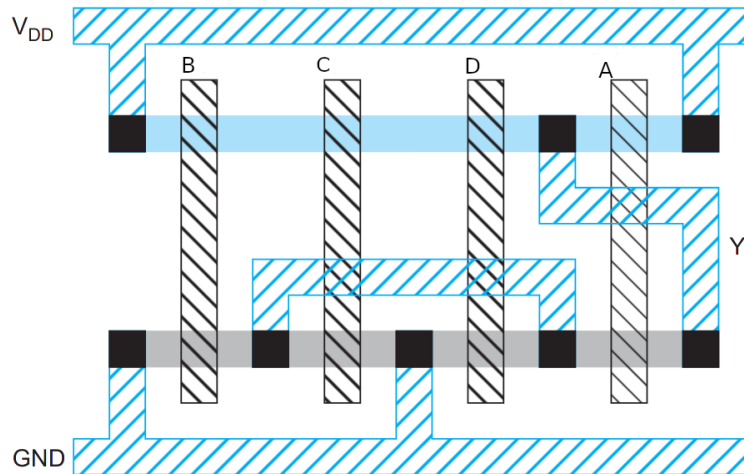


Figure 47: Stick Diagram της πύλης

Στην παρακάτω εικόνα βλέπουμε το Layout της πύλης.

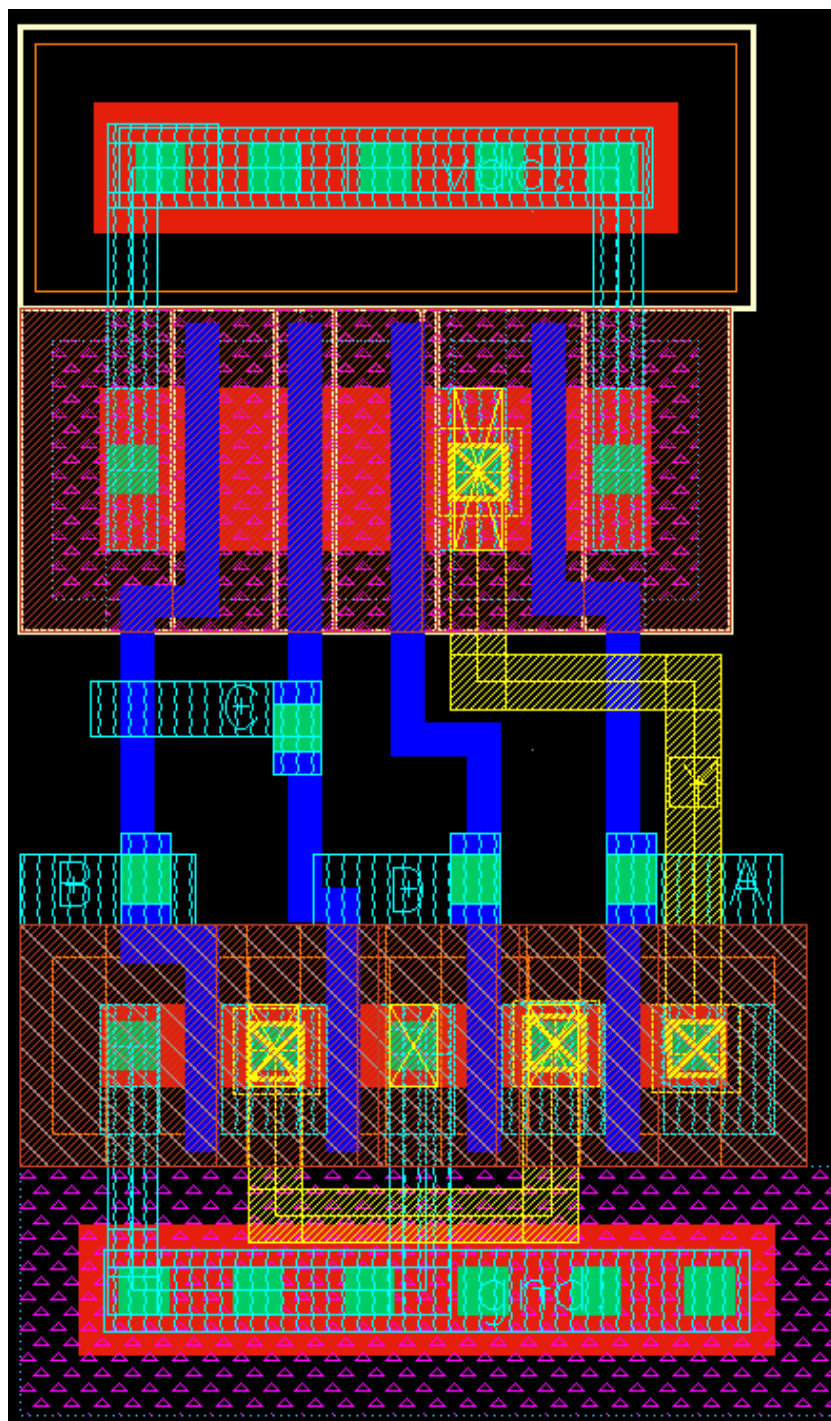


Figure 48: Layout της πύλης

Μπορούμε να παρατηρήσουμε πως και πάλι χρειάστηκε να χρησιμοποιήσουμε δύο επίπεδα μετάλλου, καθώς για τις ανάγκες του κυκλώματος ένα επίπεδο, δεν είναι αρκετό.



## 6 4-bit Serial Adder

Στην άσκηση αυτή καλούμαστε να σχεδιάσουμε σε επίπεδο σχηματικού αλλά και επίπεδο Layout, τον Σειριακό Αθροιστή των 4-bit, που φαίνεται στην παρακάτω εικόνα.

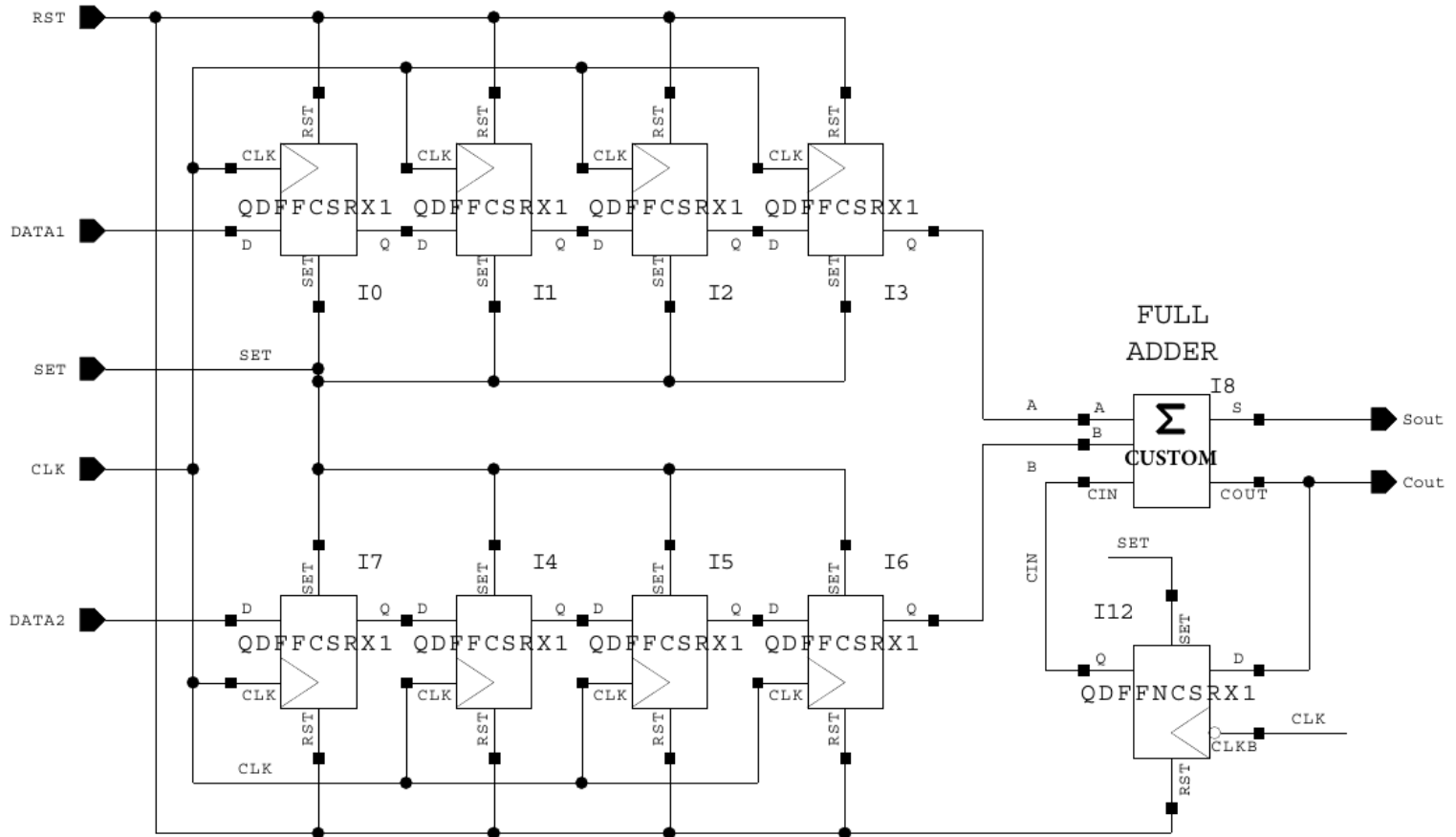


Figure 49: 4-bit Serial Adder

Ο αθροιστής αποτελείται από 2 *Shift Registers*, καθένα από τους οποίους αποτελείται από 4 positive-edge triggered, D Flip-Flop. Ο κάθε Shift Register, χρησιμοποιείται για ένα input bitstream.

Στην έξοδο κρατούμενου του αθροιστή,  $C_{out}$ , υπάρχει ένα ακόμη D Flip-Flop, το οποίο χρησιμοποιείται ως στοιχείο ανάδρασης, δίνοντας το κρατούμενο εξόδου της προηγούμενης άθροισης, ως κρατούμενο εισόδου,  $C_{in}$ , για την επόμενη άθροιση του κυκλώματος.

Για την υλοποίηση του Σειριακού Αθροιστή μπορούμε να χρησιμοποιήσουμε είτε την πύλη NAND είτε την πύλη NOR, καθώς είναι καθολικές πύλες, με αποτέλεσμα να μπορούμε με αυτές να σχεδιάσουμε οποιοδήποτε κύκλωμα.

Στην σχεδιάσή μας, έχουμε χρησιμοποιήσει ως βασική πύλη, την πύλη *NAND*, καθώς όπως έχει αναφερθεί και σε προηγούμενη άσκηση, η πύλη *NAND* απαιτεί καταναλώνει λιγότερη επιφάνεια πυριτίου, από την πύλη *NOR*.

Συνεπώς, ο Σειριακός Αθροιστής υλοποιημένος αποκλειστικά και μόνο με πύλες *NAND*, φαίνεται στην παρακάτω εικόνα.

Απαιτούνται, συνολικά 9 πύλες *NAND*.

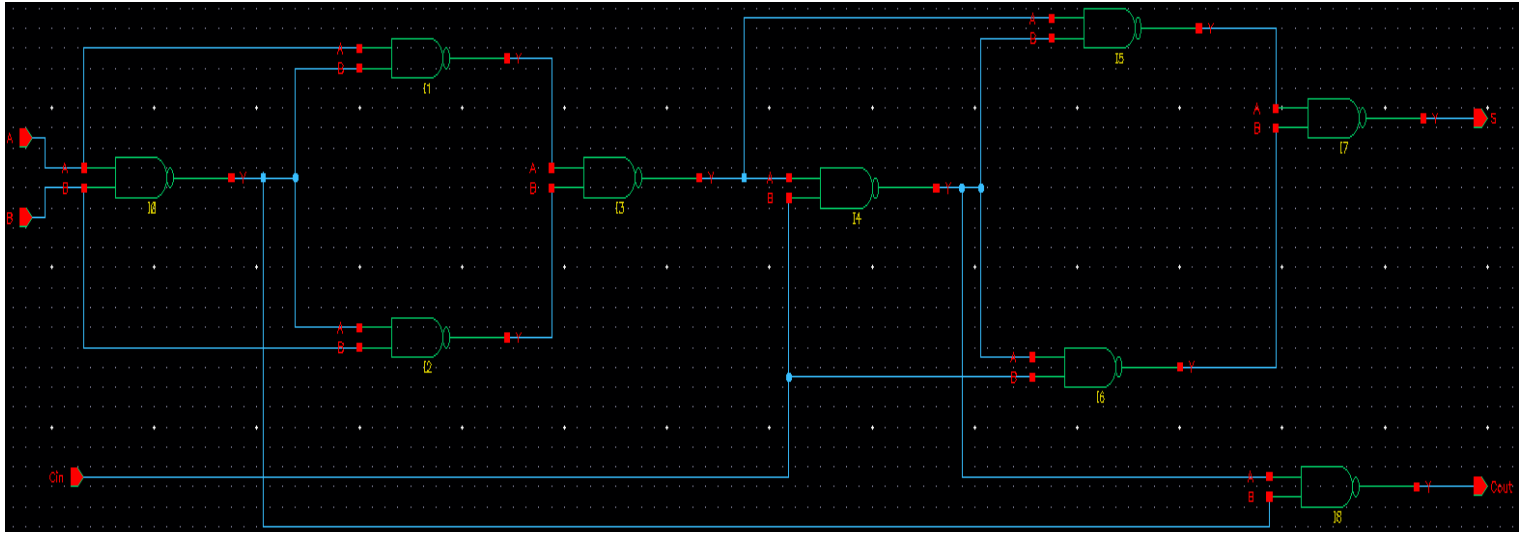


Figure 50: Αθροιστής του ενός bit, υλοποιημένος με πύλες NAND

Συνεπώς, ο παραπάνω 1-bit Αθροιστής, μπορεί να μετατραπεί σε  $n$ -bit Αθροιστή, αν στις εισόδους δεδομένων του, συνδέσουμε  $n$ -bit Shift Registers.

### 6.1 Σχηματικό Αθροιστή στο Cadence

Στην παρακάτω εικόνα βλέπουμε το σχηματικό του 4-bit Serial Adder, στο Cadence.

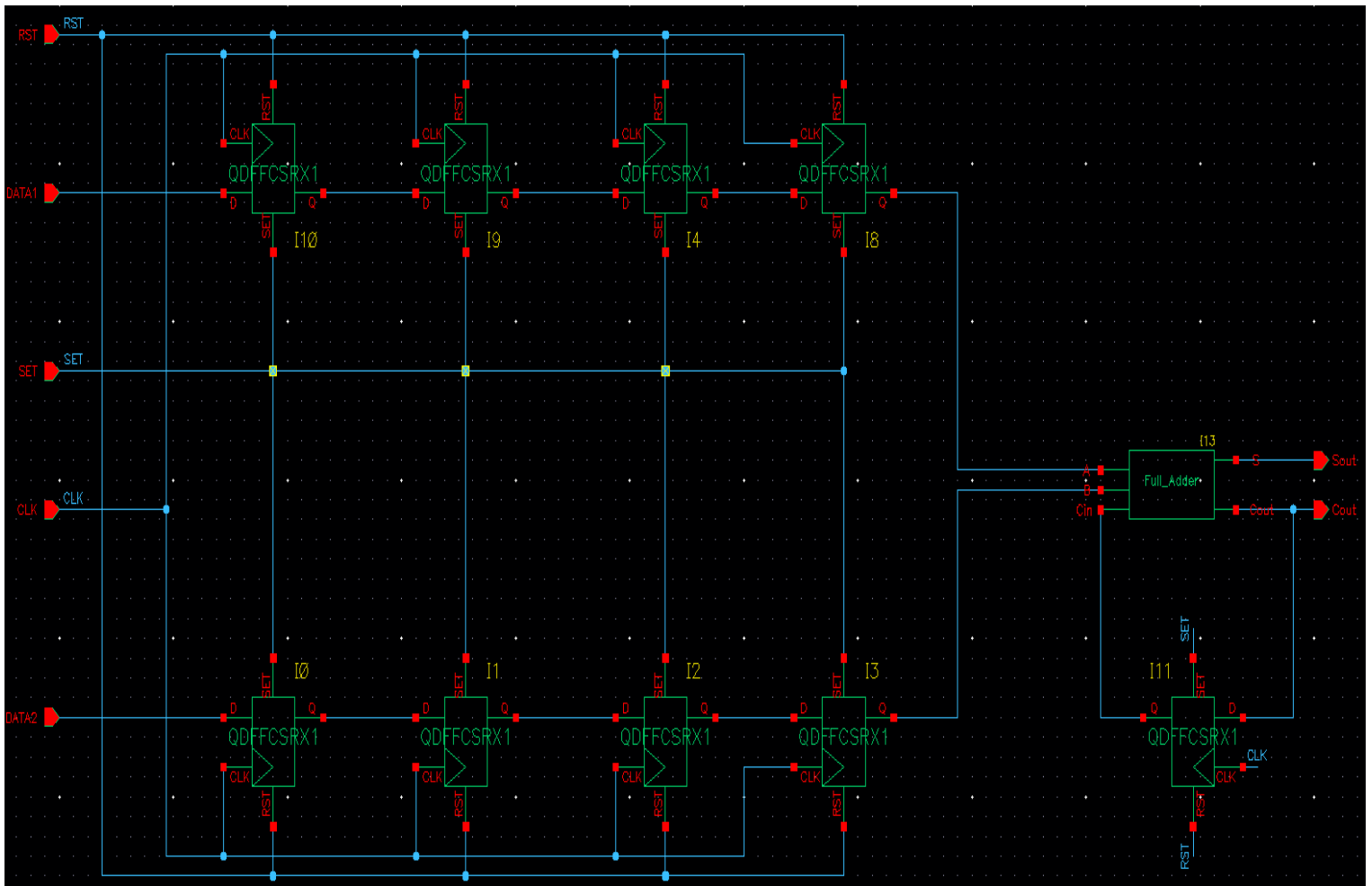


Figure 51: Σχηματικό του 4-bit Σειριακού Αθροιστή στο Cadence

Με βάση το παραπάνω κύκλωμα, δημιουργούμε το παρακάτω Test Bench κύκλωμα.

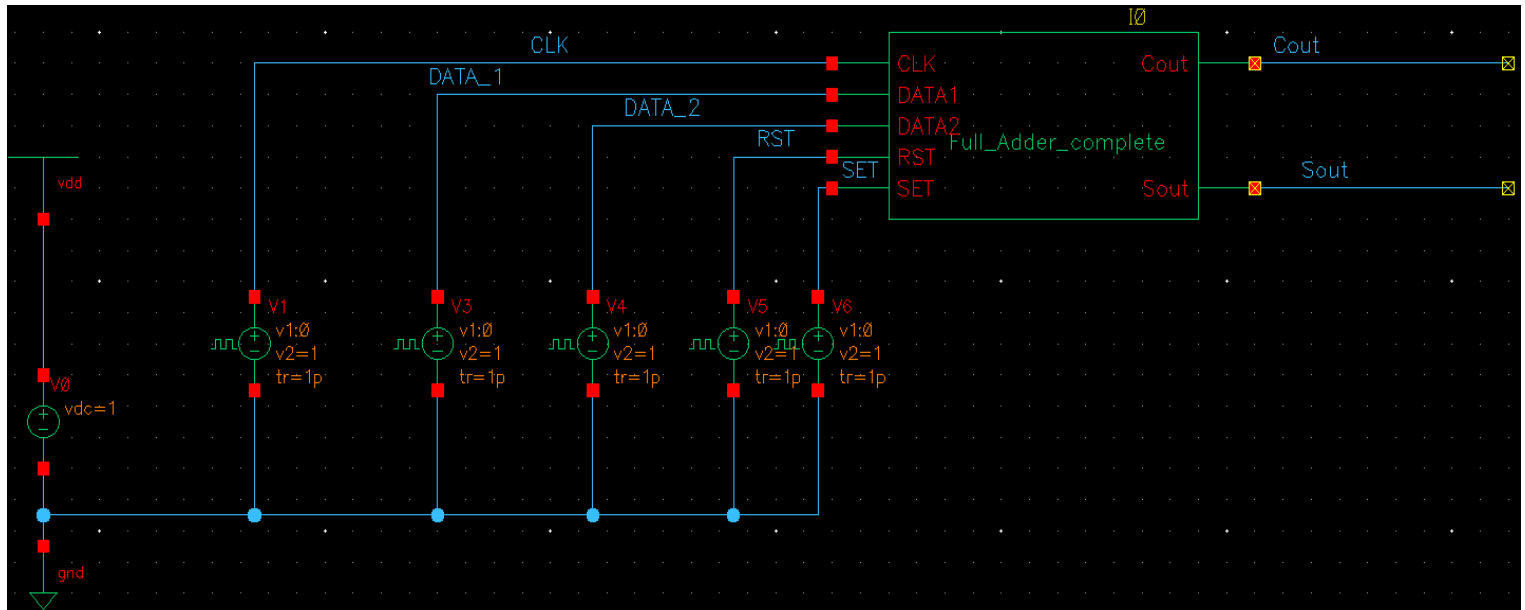


Figure 52: Test Bench κύκλωμα για τον Σειριακό Αθροιστή

Ως παλμούς εισόδου χρησιμοποιούμε :

	CLK	DATA_1	DATA_2	RST	SET
Delay	0s	0s	0s	0s	1ns
Rise Time	1ps	1ps	1ps	1ps	1ps
Fall Time	1ps	1ps	1ps	1ps	1ps
Period	2ns	4ns	8ns	500ns	500ns
Pulse Width	1ns	2ns	4ns	1ns	1ns

Δηλαδή, στο πρώτο nanosecond, ενεργοποιούμε το *RST*, για να καθαρίσουμε τα Flip-Flop και στο δεύτερο nanosecond, ενεργοποιούμε το *SET*, προκειμένου να θέσουμε όλα τα Flip-Flop στο 1.

## 6.2 Transient Ανάλυση

Εκτελώντας Transient Ανάλυση, προκύπτουν οι παρακάτω κυματομορφές .

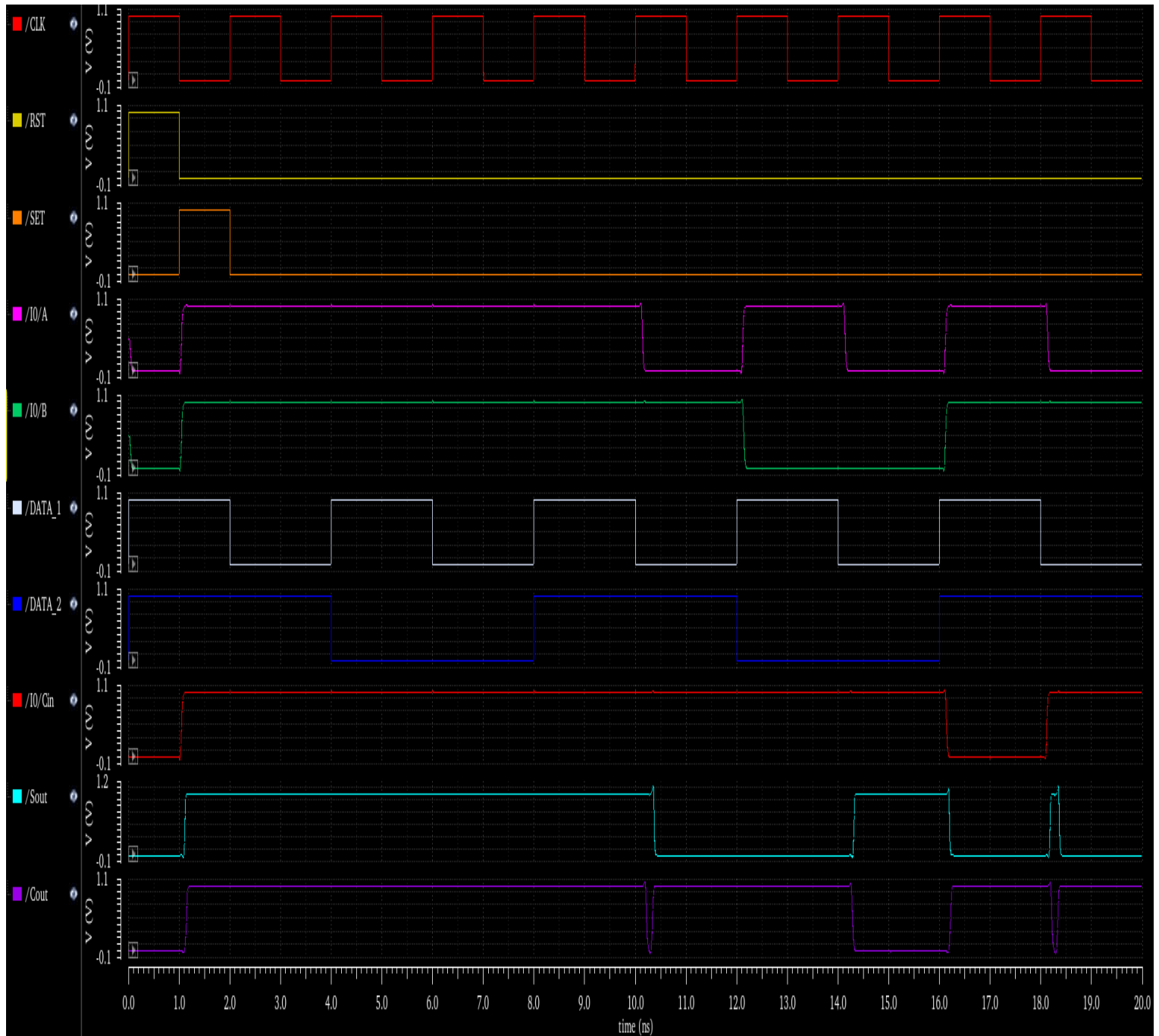


Figure 53: Transient Ανάλυση για τον Σειριακό Αθροιστή

Παρατηρώντας την παραπάνω εικόνα, μπορούμε να επιβεβαιώσουμε την ορθή λειτουργία του κυκλώματος.

### 6.3 Layout Full Adder

Στην παρακάτω εικόνα βλέπουμε το Layout του Full Adder, ο οποίος αποτελεί μέρος του Σειριακού Αθροιστή των 4-bit. Υπενθυμίζουμε πως ο Full Adder, έχει κατασκευαστεί χρησιμοποιώντας 9 πύλες NAND.

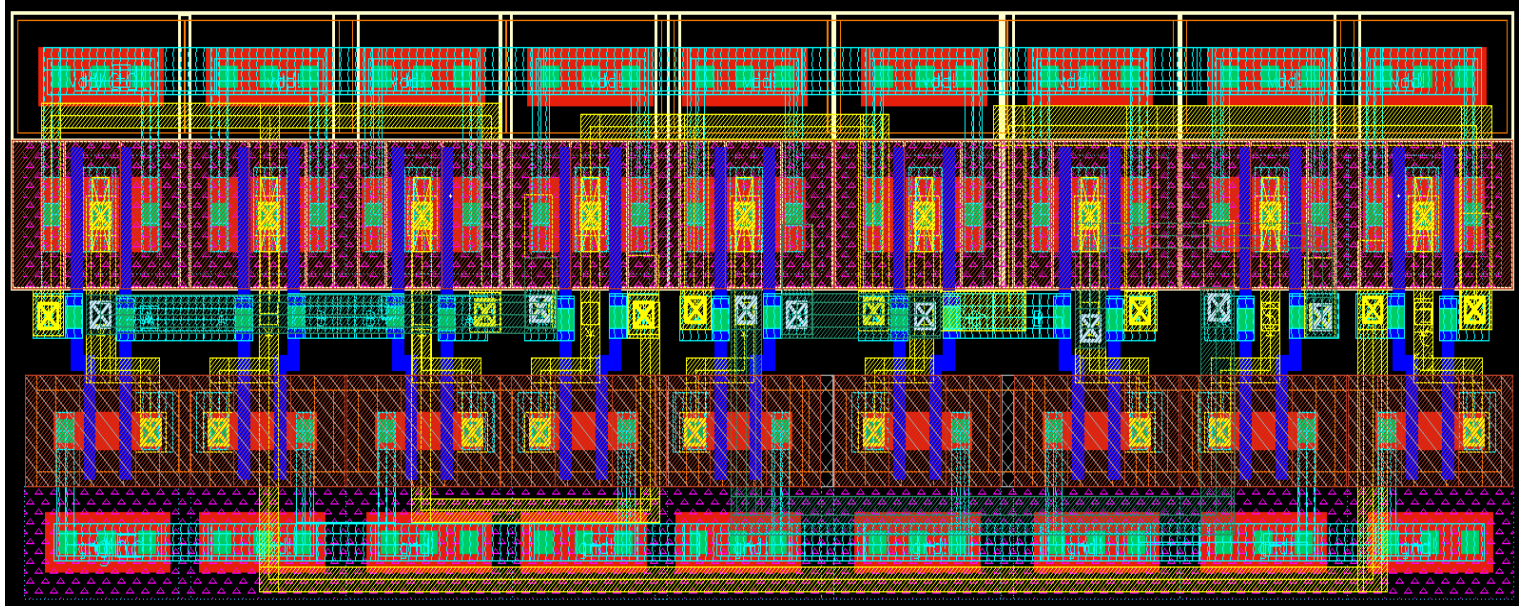


Figure 54: Layout Full Adder υλοποιημένου με 9 CMOS πύλες NAND

Από τα αριστερά προς τα δεξιά έχουμε τις πύλες (βλ. σχηματικό)  $I_1, I_0, I_2, I_3, I_5, I_4, I_6, I_7, I_8$ . Η διάταξη αυτή, επιλέχθηκε αντί της διάταξης με αύξων αριθμό δείκτη (δηλ.  $I_0, I_1, I_2 \dots$ ), λόγω των συσχετίσεων ανάμεσα στις εισόδους και εξόδους των πυλών. Έτσι, μπορούμε να πετύχουμε καλύτερη αξιοποίηση του χώρου πάνω στο πυρίτιο.

Για την υλοποίηση έχουν χρησιμοποιηθεί 3 επίπεδα μετάλλου, καθώς για να έχουμε ελάχιστο μήκος και πλάτος σχεδιασμού, είναι αδύνατον, να χρησιμοποιήσουμε μόνο δύο επίπεδα μετάλλου.

### 6.4 Layout Σειριακού Αθροιστή

Χρησιμοποιώντας τον παραπάνω Full Adder αλλά και 9 D FF τύπου *QDFFCSR1*, προκύπτει ο παρακάτω 4-bit Σειριακός Αθροιστής.

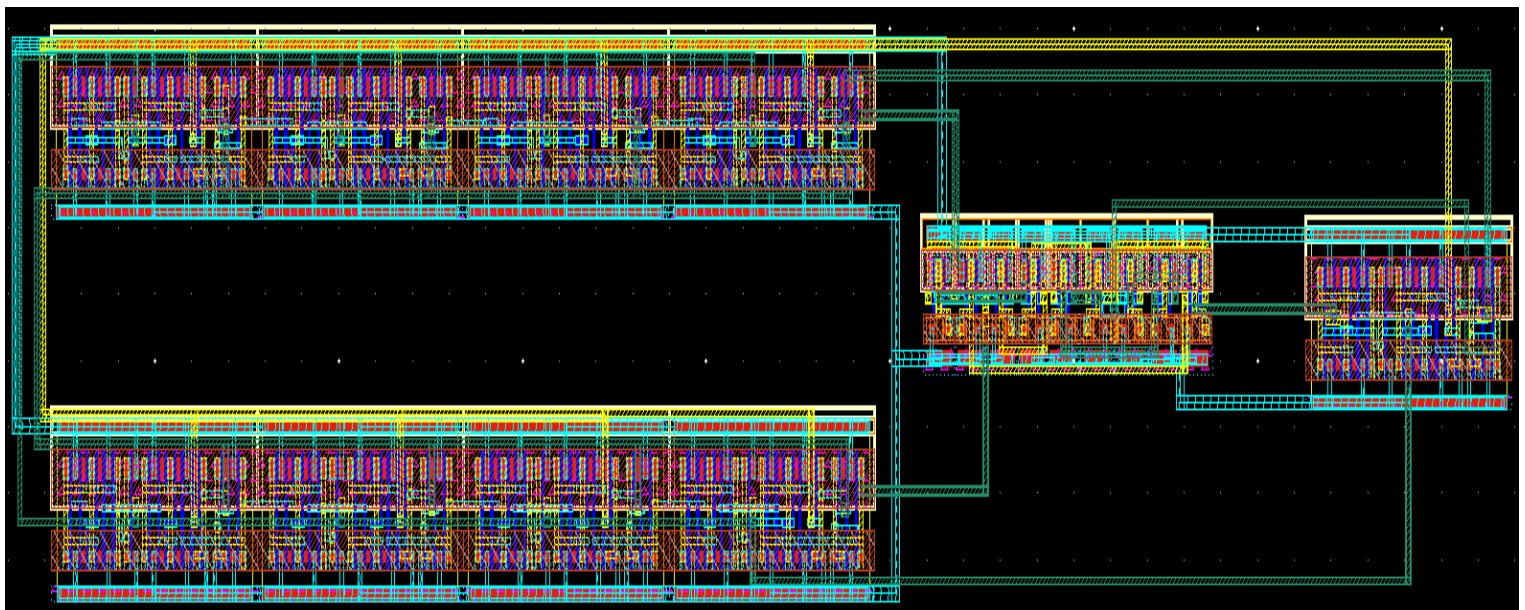


Figure 55: Layout Σειριακού Αθροιστή των 4-bit

Παρατηρώντας την εικόνα από τα αριστερά, βλέπουμε πάνω και κάτω τους δύο Shift Registers των 4-bit, στην συνέχεια τον Full Adder και τέλος το D Flip-Flop που αποθηκεύει το κρατούμενο εξόδου της κάθε πρόσθεσης.

Για τον σχεδιασμό έχουν χρησιμοποιηθεί και πάλι 3 επίπεδα μετάλλου.