

5η Εργαστηριακή Άσκηση

The end

Εξέταση Άσκησης: 31/5/2023

Παράδοση αναφοράς: 6/6/2023

Σε αυτή την εργαστηριακή άσκηση θα ασχοληθείτε με πιο προηγμένα θέματα και κυκλώματα στη σχεδίαση συστημάτων VLSI.

Timing Simulation

Σε όλες τις εργαστηριακές ασκήσεις μέχρι τώρα έχετε τρέξει functional simulations. Σε αυτή την εργαστηριακή άσκηση θα κληθείτε να τρέξετε gate-level (post-synthesis) timing simulation. Δηλαδή αντιπροσωπευτικές προσομοιώσεις στις οποίες ο simulator (vcs) προσομοιώνει το netlist που έχει προκύψει από την σύνθεση λαμβάνοντας υπόψη και τις χρονικές καθυστερήσεις των πυλών/μεταβάσεων (gate delays, setup-hold violations κλπ).

Αφου ολοκληρώσετε τη βελτιστοποίηση και σύνθεση ενός κυκλώματος μπορείτε να τρέξετε τις ακόλουθες εντολές:

```
change_names -h -rules verilog
write -h -f verilog -output netlist.v
write_sdf netlist.sdf
```

Το αρχείο netlist.v περιέχει το netlist που παράχθηκε από τη σύνθεση και το [Standard Delay Format](#) αρχείο netlist.sdf περιέχει τη χρονική πληροφορία για το netlist αυτό.

Στη συνέχεια μπορείτε να κάνετε timing simulation του κυκλώματός σας παρόμοια με τον τρόπο που κάνατε functional simulation. Για να το πετύχετε αυτό πρέπει να κάνετε annotate τα delays στο netlist. Για παράδειγμα στο κύκλωμα του rca, υποθέτοντας ότι κάνατε σύνθεση, ότι το testbench ονομάζεται rca_tb και ότι το instance του rca στο testbench ονομάζεται DUT, μπορείτε να τρέξετε το ακόλουθο:

```
vcs -full64 -sdf max:rca_tb.DUT:netlist.sdf \
    src/rca_tb.v \
    netlist.v \
    -o rca_timing
```

Παρατηρείστε το λάθος που πήρατε και διορθώστε το:

```
vcs -full64 -sdf max:rca_tb.DUT:netlist.sdf \
    src/rca_tb.v \
    netlist.v \
    /usr/local/eda/synLibs/asap7/7nm/verilog/*.v \
    -o rca_timing
```

Τρέξτε το simulation με γραφικό περιβάλλον για να παρατηρήσετε τις διαφορές σε σχέση με το functional simulation

```
./rca_timing -gui=dve
```

Power Analysis

Κατα τη διάρκεια της χρονικής προσομοίωσης, μπορείτε να αποθηκεύσετε και τις τιμές των σημάτων έτσι ώστε να μετρήσετε την κατανάλωση του κυκλώματός μας. (Γιατί θέλουμε τις τιμές των σημάτων; Η σύνθεση σας έδινε power.) Για να το πετύχετε αυτό πρέπει να τρέξετε τα ακόλουθα

```
vcs -full64 -kdb -debug_access \  
-sdf max:rca_tb.DUT:netlist.sdf \  
src/rca_tb.v \  
netlist.v \  
/usr/local/eda/synLibs/asap7/7nm/verilog/*.v \  
-o rca_timing  
  
./rca_timing -ucli -do dump.tcl
```

Όπου τα περιεχόμενα του dump.tcl είναι:

```
dump -file rca.fsdb -type FSDB  
dump -add rca_tb.DUT -fid FSDB0  
  
run  
quit
```

Προσοχή: Υπάρχουν πολλοί και καλύτεροι τρόποι να φτιάξετε το vcd/ saif/ fsdb αρχείο.

Όταν ολοκληρωθεί η προσομοίωση είσαστε έτοιμοι να τρέξετε power analysis. Δημιουργήστε το αρχείο .synopsys_pt.setup με ίδια περιεχόμενα με το .synopsys_dc.setup που είχατε χρησιμοποιήσει στην προηγούμενη άσκηση π.χ.:

```
ln -s .synopsys_dc.setup .synopsys_pt.setup
```

Ανοίξτε το Synopsys PrimeTime:

```
pt_shell
```

Διαβάστε το netlist που παράχθηκε από τη σύνθεση (γιατί;) και κάντε link το design (γιατί;):

```
read_verilog netlist.v  
link_design
```

Ενεργοποιήστε το power analysis

```
set power_enable_analysis true
```

Διαβάστε το switching activity αρχείο και κάντε annotate το design σας

```
read_fsdb -strip_path rca_tb/DUT rca.fsdb
```

Υπολογίστε το power

```
update_power  
report_power
```

Ζητούμενα

Ζητούμενο 1.1 Γράψτε τις εντολές του power analysis σε ένα tcl script και εκτελέστε το. (Παρόμοια με την προηγούμενη εργαστηριακή άσκηση)

Ζητούμενο 1.2 Να τρέξετε post-synthesis timing simulation και να μετρήσετε την κατανάλωση σε 3 από τα κυκλώματα τα οποία έχετε υλοποιήσει μέχρι τώρα. Τουλάχιστον 2 από αυτά πρέπει να περιέχουν ακολουθιακά στοιχεία.

Ζητούμενο 1.3 Υλοποιήστε έναν artificial neuron που να δέχεται m input activations, τα weights είναι των n bits, τα input activations των k bits και το bias των b bits. Το activation function να είναι η Relu. Τα weights και το bias να αλλάζουν μόνο όταν έρχεται στην είσοδο ένα σήμα load_params.

Ζητούμενο 1.4 Χρησιμοποιώντας το 1.3 φτιάξτε το κυκλωμα του [RedWine](#) MLP classifier. Η αρχιτεκτονική του δικτύου που έχουμε εκπαιδεύσει είναι (11,2,6). Το activation function του output layer είναι argmax. Για την επίτευξη της μεγαλύτερης επίδοσης βάλτε όσα στάδια pipeline πιστεύετε είναι σκόπιμα. Χρησιμοποιείστε 4 bit για την είσοδο και 8bit για τα weights και biases. Θεωρείστε ότι οι είσοδοι είναι μόνο θετικές τιμές στο [0,1). Για τα input activations του output layer χρησιμοποιείστε όσα bit κρίνετε σκόπιμα. Γενικά να κάνετε όσες (λογικές) παραδοχές νομίζετε ότι χρειάζονται. Το accuracy που πρέπει να επιτύχετε είναι περίπου 56.6%.

Ζητούμενο 1.5: Υλοποιήστε ένα MLP accelerator που θα έχει μόνο 5 MAC units και θα μπορεί να χρησιμοποιείται με οποιοδήποτε MLP που έχει κατα μέγιστο 20 weights ανα νευρώνα και 10 νευρώνες ανά layer.

Το ζητούμενο 1.5 είναι προαιρετικό και δίνει 1 μονάδα bonus (1.5 αν χρησιμοποιήσετε SRAM) στον τελικό βαθμό. Παράδοση τέλος Ιουνίου.

Appendix

Redwine MLP parameters

Τα weights που πήραμε από την [εκπαίδευση](#) είναι:

```
[  
[-0.8146148655759198, -1.4375935469971692],  
[-4.2628384592091315, 0.026859837046930173],  
[-1.6200690758899692, -0.19968391912469172],  
[-1.4630887882620827, -1.2050670961421925],  
[-1.0552339091022012, 0.3819363237215568],  
[0.9117632090502793, -0.1605300600753916],  
[-0.5283504009770416, 1.7530285546077928],  
[1.8902270283616216, 1.633745411231447],  
[-1.4694954286460196, -0.8139241140670058],  
[0.9648685089278798, -1.4510163842312016],  
[2.8505671431265047, -1.0392129458405341],  
[-4.704311271005899, -1.1821168427121347, 0.1027622980935572, 1.1372883593649863,  
1.849282667410555, 1.5903209405955712],  
[0.058947520657321124, 0.6246695523834257, 3.1573604608454313, 1.0672045509839985,  
-1.5197365247686894, -3.4094845276834684]]  
]
```

Αντίστοιχα τα intercepts είναι:

```
[[1.8295145047157206, 1.337871690627331],  
[1.330996356115058, 1.071224365105175, 0.3134086784535283, 1.0125835352853179,  
0.08543150184855058, -1.3767807923045494]]  
]
```

Μπορούν να σας δοθούν σε ότι μορφή θέλετε text, python object, transposed, κλπ.
Μπορούν να σας δωθούν περισσότερα MLP αν το επιθυμείτε.