

2^η Εργαστηριακή Άσκηση

Εξοικείωση με τη Verilog

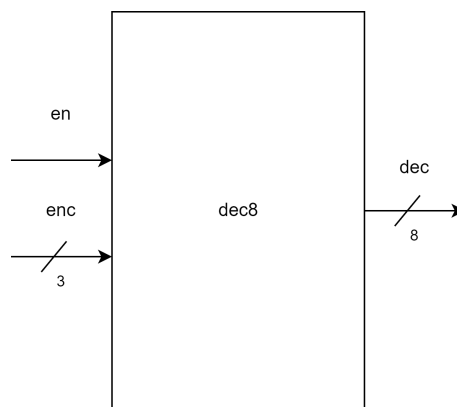
Εξέταση Άσκησης: 5/4/2023

Παράδοση αναφοράς: 9/4/2023

Στόχος της άσκησης είναι η εξοικείωση με τη γλώσσα Verilog μέσω του σχεδιασμού, περιγραφής και προσομοίωσης απλών κυκλωμάτων.

Ζητούμενο 1: Decoder

Ένας δυαδικός αποκωδικοποιητής (decoder) 3 σε 8 (Σχήμα 1) είναι ένα συνδυαστικό κύκλωμα που ενεργοποιεί (high) διαφορετική έξοδο (μία από τις 8) για κάθε διαφορετικό συνδυασμό των 3 εισόδων. Επίσης, έχει μια είσοδο enable η οποία όταν είναι low ο decoder λειτουργεί κανονικά, ενώ όταν είναι high όλες οι έξοδοι είναι low.



Σχήμα 1: 3-8 Decoder

Ζητούμενο 1.1 Υλοποιήστε έναν 3-8 decoder σε Verilog RTL.

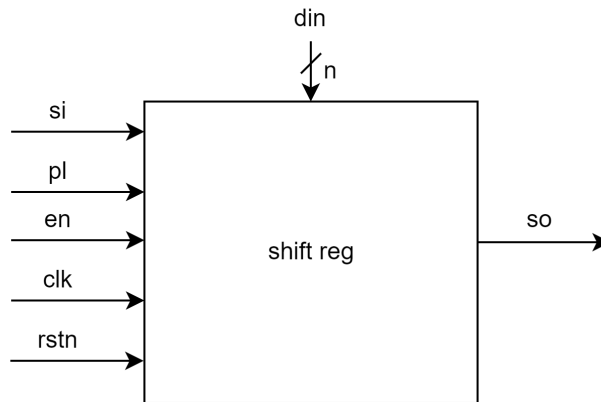
Ζητούμενο 1.2 Υλοποιήστε ένα testbench που ελέγχει τη λειτουργία ενός n -2ⁿ decoder.

Επαληθεύστε την ορθότητα του 3-8 decoder που υλοποιήσατε στο 1.1

Ζητούμενο 1.3 Υλοποιήστε σε structural Verilog έναν 4-16 decoder. Μπορείτε να χρησιμοποιήσετε το ζητούμενο 1.1. Επαληθεύστε την ορθότητα του design σας.

Ζητούμενο 2: Shift Register

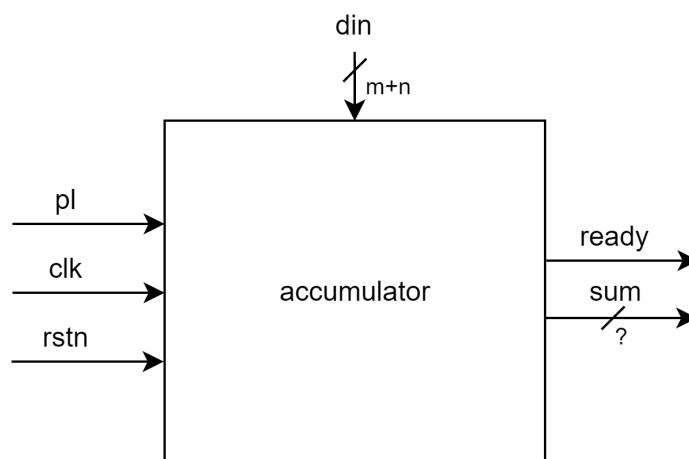
Ο καταχωρητής ολίσθησης (Σχήμα 2) είναι ένα κύκλωμα το οποίο δέχεται μια παράλληλη είσοδο *din* (Data in) η οποία φορτώνεται μέσω του σύγχρονου σήματος ενεργοποίησης παράλληλης φόρτωσης *pl* (Parallel Load). Η ενεργοποίηση της ολίσθησης γίνεται μέσω του σήματος *en* (Enable). Τα *pl* και *en* είναι ενεργά στο high. Επίσης, ο καταχωρητής έχει μια σειριακή είσοδο *si* (Serial Input), καθώς και μια σειριακή έξοδο *so* (Serial Output). Κατά την δεξιά ολίσθηση το περιεχόμενο του καταχωρητή ολισθαίνει κατά μια θέση προς το LSB (bit 0). Το LSB βγαίνει στην έξοδο *so* και η είσοδος *si* περνά στο MSB του καταχωρητή. Αυτό γίνεται σε κάθε θετικό παλμό του ρολογιού *clk*. Η ασύγχρονη είσοδος *rstn* (reset) μηδενίζει τα flip-flops του καταχωρητή ολίσθησης. Το *rstn* είναι ενεργό στο low.

Σχήμα 2: *n-bit shift register*

Ζητούμενο 2.1 Υλοποιήστε έναν n -bit shift register καθώς κι ένα testbench για τον έλεγχο της λειτουργίας του.

Ζητούμενο 3: Accumulator

Δίνεται ένα κύκλωμα accumulator (Σχήμα 3) το οποίο έχει k καταχωρητές των $m+n$ bit. Το κύκλωμα αυτό δέχεται από μια παράλληλη είσοδο din (Data in) k προσημασμένους αριθμούς σταθερής υποδιαστολής σε $Qm.n$ format. Η είσοδος αυτή φορτώνεται μέσω του σύγχρονου σήματος παράλληλης φόρτωσης pl (Parallel Load) στους καταχωρητές (ένας αριθμός σε κάθε καταχωρητή). Το pl είναι ενεργό στο high. Ο accumulator υπολογίζει το άθροισμα των αριθμών που φορτώθηκαν στους καταχωρητές και το παρέχει στην έξοδο μέσω της πόρτας sum . Όταν το άθροισμα είναι έτοιμο, ένα σήμα εξόδου $ready$ γίνεται 1. Σε κάθε άλλη περίπτωση το $ready$ είναι 0. Μέχρι να ολοκληρωθεί ο υπολογισμός του αθροίσματος η είσοδος pl αγνοείται. Τα $ready$ και sum παραμένουν σταθερά μέχρι να ξαναρχίσει νέος υπολογισμός. Το κυκλωμα έχει και μια ασύγχρονη είσοδο $rstn$ (reset) ενεργή στο low. Για την υλοποίησή σας να χρησιμοποιήσετε έναν μόνο αθροιστή του μικρότερου δυνατού μεγέθους.

Σχήμα 3: *accumulator.*

Ζητούμενο 3.1 Υλοποιήστε το κύκλωμα του accumulator καθώς κι ένα testbench για τον έλεγχο της λειτουργίας του.

Ζητούμενο 3: ALU

Η αριθμητική/λογική μονάδα (arithmetic logic units (ALU)) είναι ένα ψηφιακό κύκλωμα το οποίο εκτελεί αριθμητικούς και λογικούς υπολογισμούς. Η ALU είναι θεμελιώδες δομικό στοιχείο των CPU. Ακόμα και οι πιο απλοί μικροεπεξεργαστές έχουν μια ALU. Οι σύγχρονοι επεξεργαστές και οι μονάδες επεξεργασίας γραφικών, φιλοξενούν ισχυρές και πολύ πολύπλοκες ALU. Η ALU (Σχήμα 4) που καλείστε να υλοποιήσετε παίρνει σαν είσοδο 2 ακεραίους A και B των n-bit και παράγει ένα αποτέλεσμα Y των n-bit. Επίσης, έχει σαν είσοδο ένα σήμα opcode που καθορίζει την λειτουργία της και σαν έξοδο ένα σήμα status που παρέχει πρόσθετες πληροφορίες. Συγκεκριμένα:

Status

status={*Parity, Overflow, Negative, Zero, Carry-out*} και

Carry-out: το κρατούμενο από τις πράξεις πρόσθεσης, αφαίρεσης και ολίσθησης,

Zero: υποδηλώνει αν όλα τα bit του Y είναι μηδέν,

Negative: υποδηλώνει αν το αποτέλεσμα μιας αριθμητικής πράξης είναι αρνητικό,

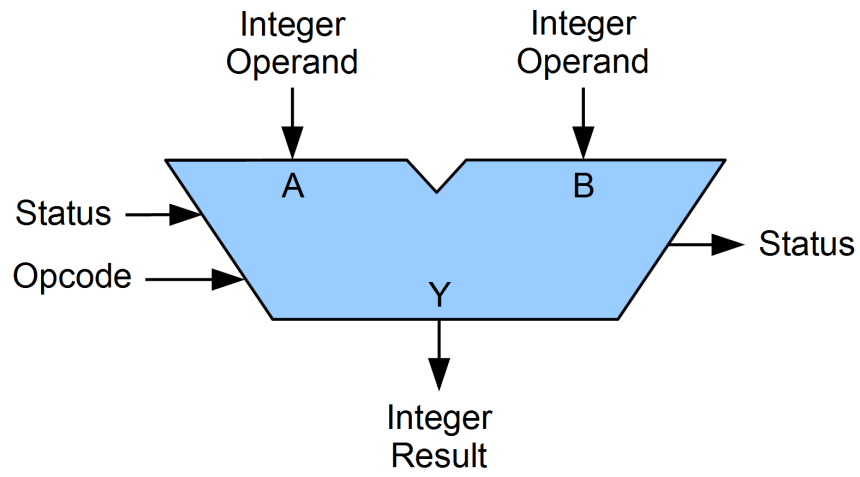
Overflow: υποδηλώνει την ύπαρξη υπερχειλίσσης στις αριθμητικές πράξεις,

Parity: υποδηλώνει αν το Y έχει έναν άρτιο ή περιττό αριθμό από '1'.

Opcode

Opcode	Λειτουργία
0	A-B
1	A+B
2	A-1
3	A+1
4	A*B
5	not A
6	A and B
7	A or B
8	A xor B
9	Αριθμητική ολίσθηση αριστερά του A κατά B θέσεις
10	Αριθμητική ολίσθηση δεξιά του A κατά B θέσεις
11	Ολίσθηση δεξιά του A κατά B θέσεις
12	Κυκλική ολίσθηση αριστερά του A κατά B θέσεις
13	Κυκλική ολίσθηση δεξιά του A κατά B θέσεις
14	0
15	1

Ζητούμενο 3.1 Υλοποιήστε το κύκλωμα της ALU καθώς κι ένα testbench για τον έλεγχο της λειτουργίας του.



Σχήμα 4: ALU.