

Министерство науки и высшего образования Российской Федерации
Федеральное государственное автономное образовательное учреждение
высшего образования

«Национальный исследовательский университет ИТМО»

Факультет Программной Инженерии и Компьютерной Техники

Дисциплина: Функциональная схемотехника

Лабораторная работа 1

Вариант 1

Выполнил:

Гурьянов Кирилл Алексеевич

Группа: Р33302

Преподаватель:

Табунщик Сергей Михайлович

Санкт-Петербург

2024

Цель работы

Изучение и освоение основных принципов проектирования цифровых вентилях на полевых транзисторах с использованием технологии CMOS, а также в овладении навыками моделирования электрических цепей с использованием программного пакета LTspice. Освоение принципов работы цифровых вентилях, овладение методами моделирования в LTspice и использование языка Verilog HDL для создания и тестирования цифровых схем на вентилях уровне.

Задание

Реализовать демультиплексор "1 в 4" в логическом базисе NOR.

Часть 1:

1. Постройте в LTspice на транзисторах схему вентиля, составляющего основу логического базиса согласно варианту задания.
2. Создайте символ для разработанного вентиля как иерархического элемента.
3. С использованием созданного иерархического элемента постройте схему тестирования вентиля.
4. Проведите моделирование работы схемы и определите задержку распространения сигнала через тестируемый вентиль.
5. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.
6. Постройте БОЭ на базе созданного вентиля согласно варианту задания.
7. Создайте символ для построенного БОЭ.
8. Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.
9. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.
10. Составьте отчет по результатам выполнения заданий первой части лабораторной работы.

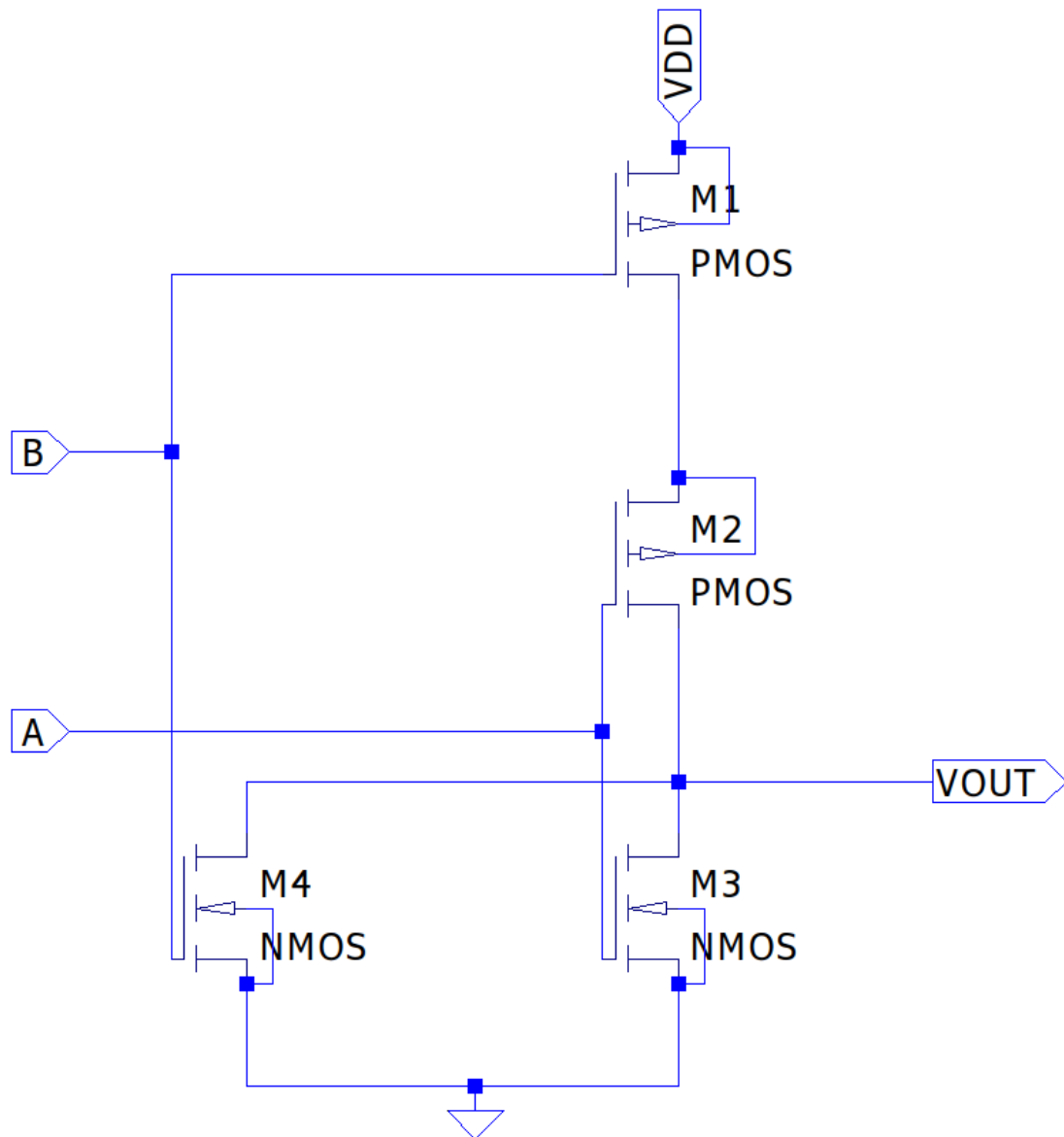
Часть 2:

1. Опишите на Verilog HDL на вентилях уровне модуль, реализующий функцию БОЭ в указанном логическом базисе согласно варианту задания.
2. Разработайте тестовое окружение для созданного модуля.
3. Проведите моделирование работы схемы.

4. Составьте отчет по результатам выполнения заданий второй части лабораторной работы.

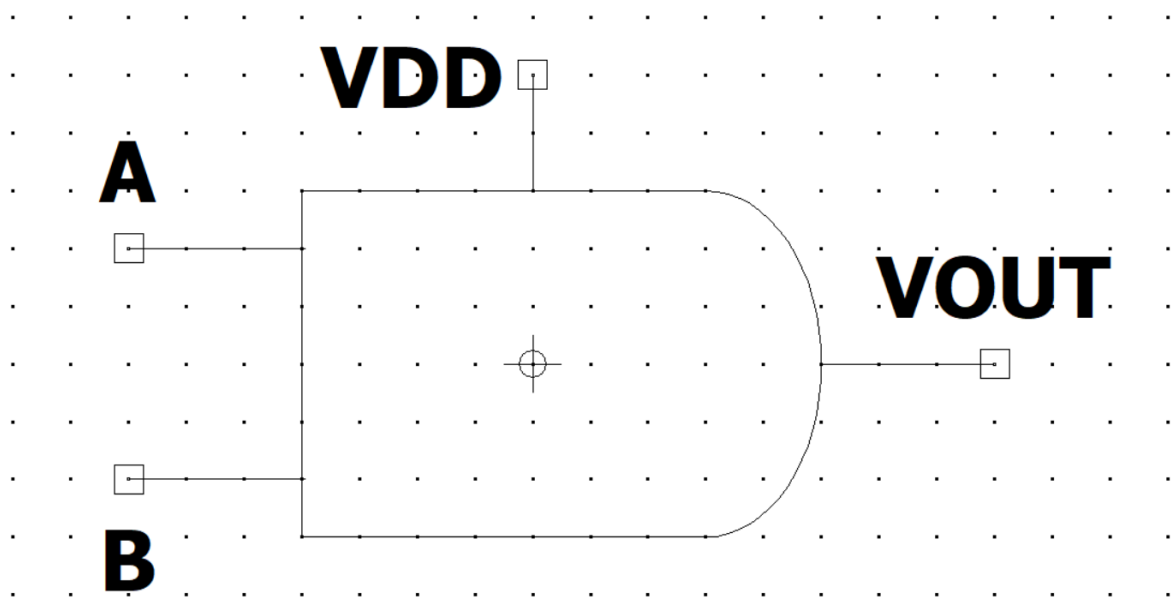
Отчет о выполнении 1 части

Схема разработанного вентиля

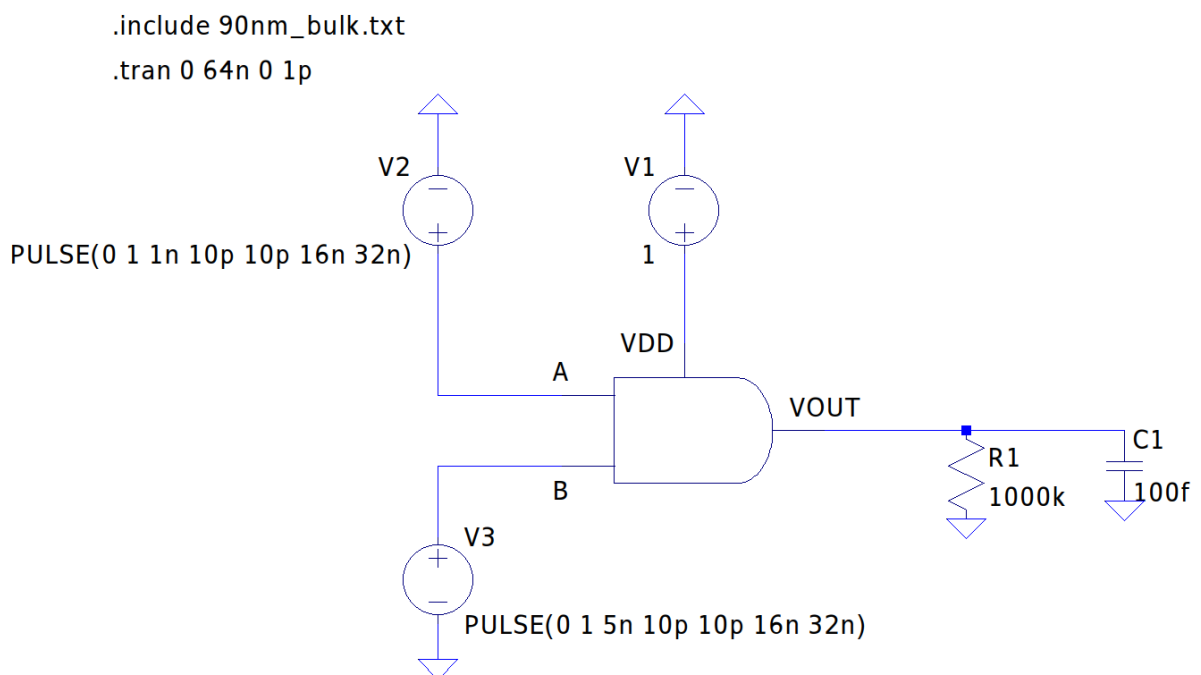


"Рисунок 1. Схема NOR"

Символ вентиля и схема тестирования

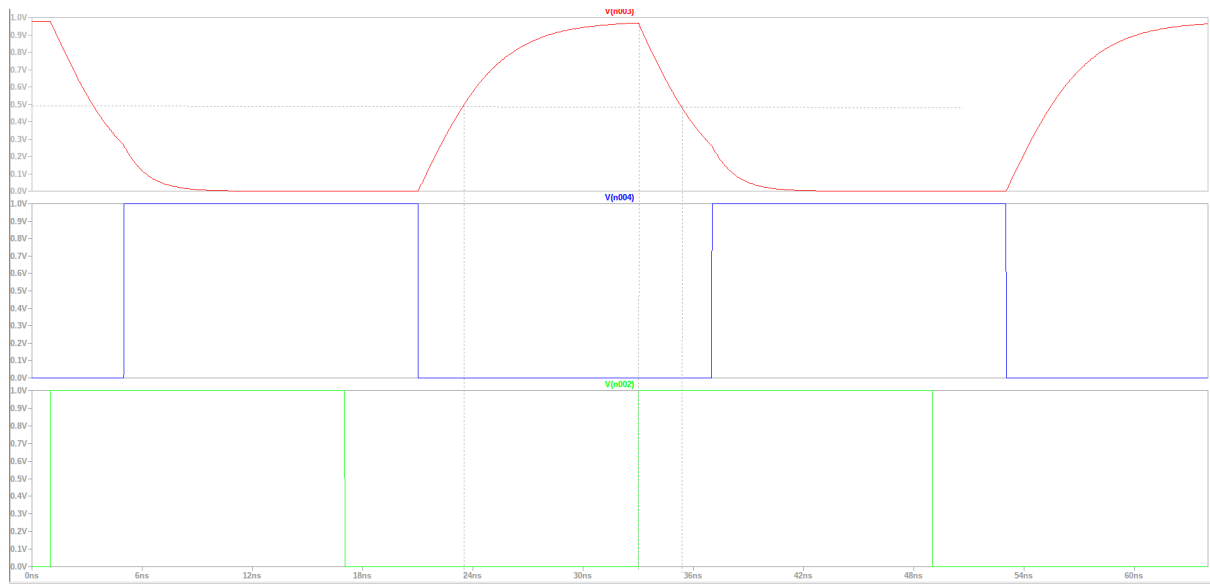


"Рисунок 2. Символ вентиля NOR"



"Рисунок 3. Схема для тестирования вентиля NOR"

Временная диаграмма процесса тестирования вентиля



"Рисунок 4. Временная диаграмма процесса тестирования вентиля NOR"

Результат измерения задержки распространения сигнала через вентиль

Время задержки распространения сигнала через вентиль на фронте равно:

$$t_1 \approx 23.5 \text{ нс} - 21 \text{ нс} = 2.5 \text{ нс}$$

Время задержки распространения сигнала через вентиль на спаде равно:

$$t_2 \approx 35.5 \text{ нс} - 33 \text{ нс} = 2.5 \text{ нс}$$

Максимальная частота работы вентиля

$$\nu = \frac{1}{t_1} = \frac{1}{2.5 \text{ нс}} \approx 400 \text{ МГц}$$

Схема разработанного БОЭ

$$z_0 = \overline{x_1} \wedge \overline{x_2} \wedge y$$

$$z_1 = \overline{x_1} \wedge x_2 \wedge y$$

$$z_2 = x_1 \wedge \overline{x_2} \wedge y$$

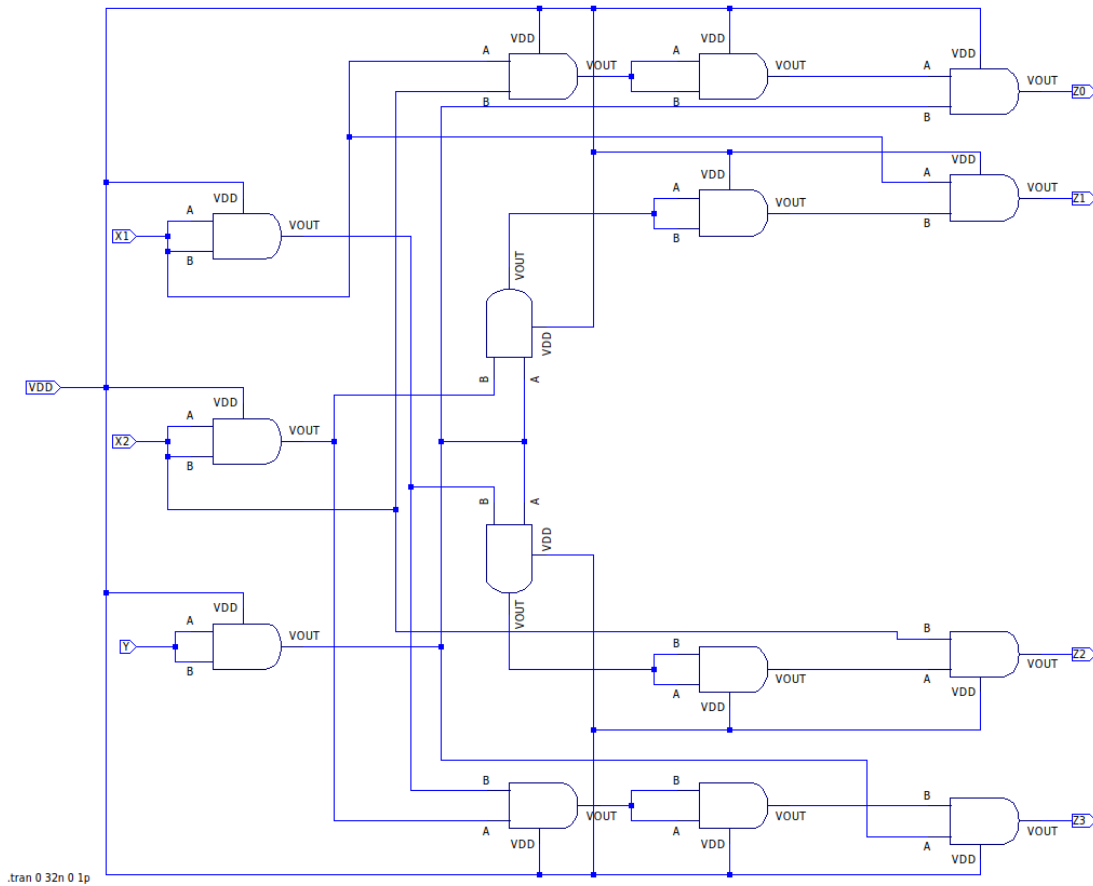
$$z_3 = x_1 \wedge x_2 \wedge y$$

Сделаем переход в базис NOR:

$$\begin{aligned} z_0 &= \overline{x_1} \wedge \overline{x_2} \wedge y = \overline{x_1 \vee x_2} \wedge y = (x_1 \downarrow x_2) \wedge y = \overline{\overline{(x_1 \downarrow x_2)} \vee \overline{y}} = \overline{(x_1 \downarrow x_2) \downarrow \overline{y}} = \\ &= ((x_1 \downarrow x_2) \downarrow (x_1 \downarrow x_2)) \downarrow (y \downarrow y) \end{aligned}$$

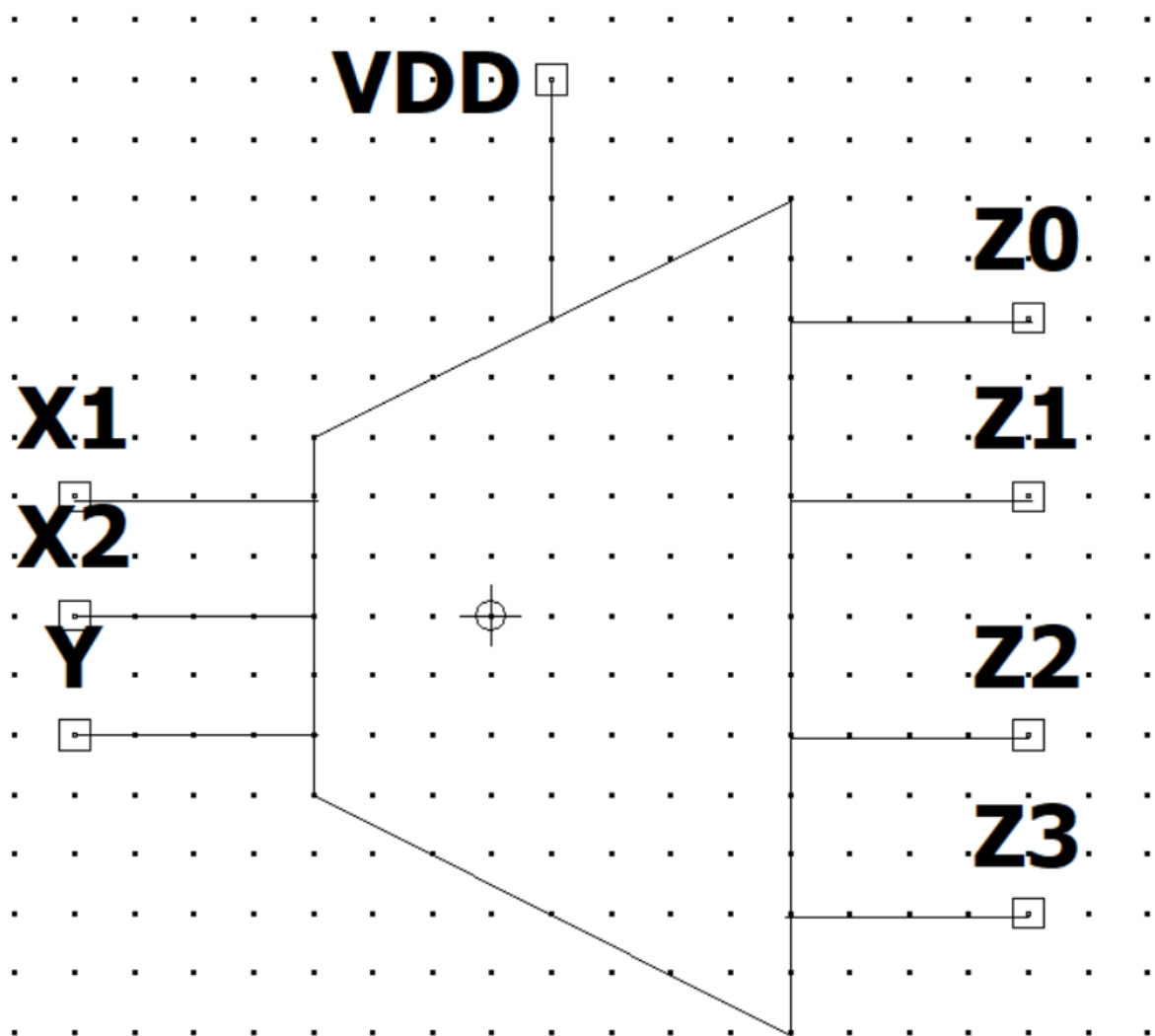
$$z_1 = \overline{x_1} \wedge x_2 \wedge y = \overline{x_1 \vee \overline{x_2}} \wedge y = x_1 \downarrow \overline{(x_2 \wedge y)} = x_1 \downarrow \overline{\overline{\overline{x_2 \vee y}}} = x_1 \downarrow \overline{\overline{\overline{x_2 \downarrow y}}} =$$

$$\begin{aligned}
&= x_1 \downarrow ((x_2 \downarrow x_2) \downarrow (y \downarrow y)) = x_1 \downarrow (((x_2 \downarrow x_2) \downarrow (y \downarrow y)) \downarrow ((x_2 \downarrow x_2) \downarrow (y \downarrow y))) \\
z_2 &= x_1 \wedge \overline{x_2} \wedge y = \overline{x_2} \wedge x_1 \wedge y = \overline{x_2 \vee x_1 \wedge y} = x_2 \downarrow (\overline{x_1 \wedge y}) = x_2 \downarrow (\overline{\overline{x_1 \vee y}}) = x_2 \downarrow (\overline{\overline{x_1} \downarrow \overline{y}}) = \\
&= x_2 \downarrow ((x_1 \downarrow x_1) \downarrow (y \downarrow y)) = x_2 \downarrow (((x_1 \downarrow x_1) \downarrow (y \downarrow y)) \downarrow ((x_1 \downarrow x_1) \downarrow (y \downarrow y))) \\
z_3 &= x_1 \wedge x_2 \wedge y = (\overline{\overline{x_1 \vee x_2}}) \wedge y = (\overline{x_1 \downarrow x_2}) \wedge y = ((x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)) \wedge y = \\
&= \overline{((x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)) \vee \overline{y}} = \overline{((x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)) \downarrow \overline{y}} = (((x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)) \downarrow ((x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2))) \downarrow \\
&\downarrow (y \downarrow y)
\end{aligned}$$

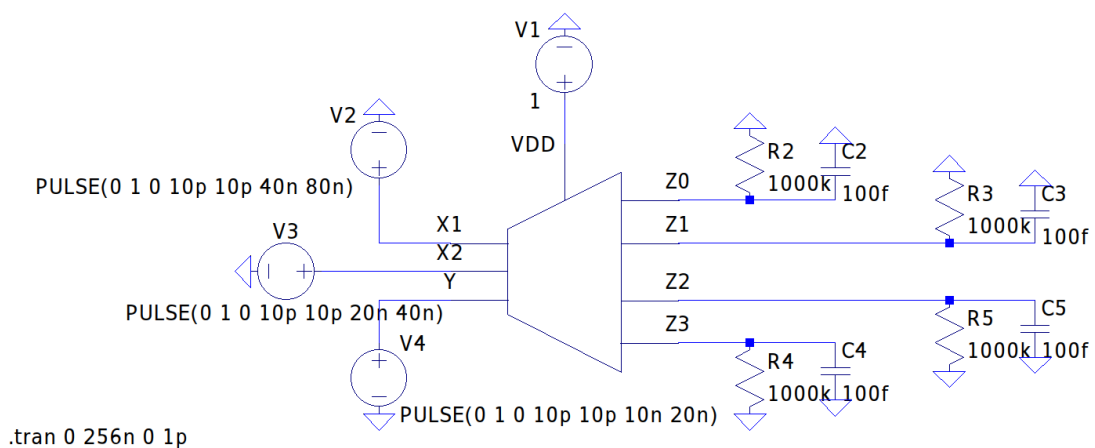


"Рисунок 5 Схема БОЕ демультиплексора"

Символ разработанного БОЭ и схема тестирования

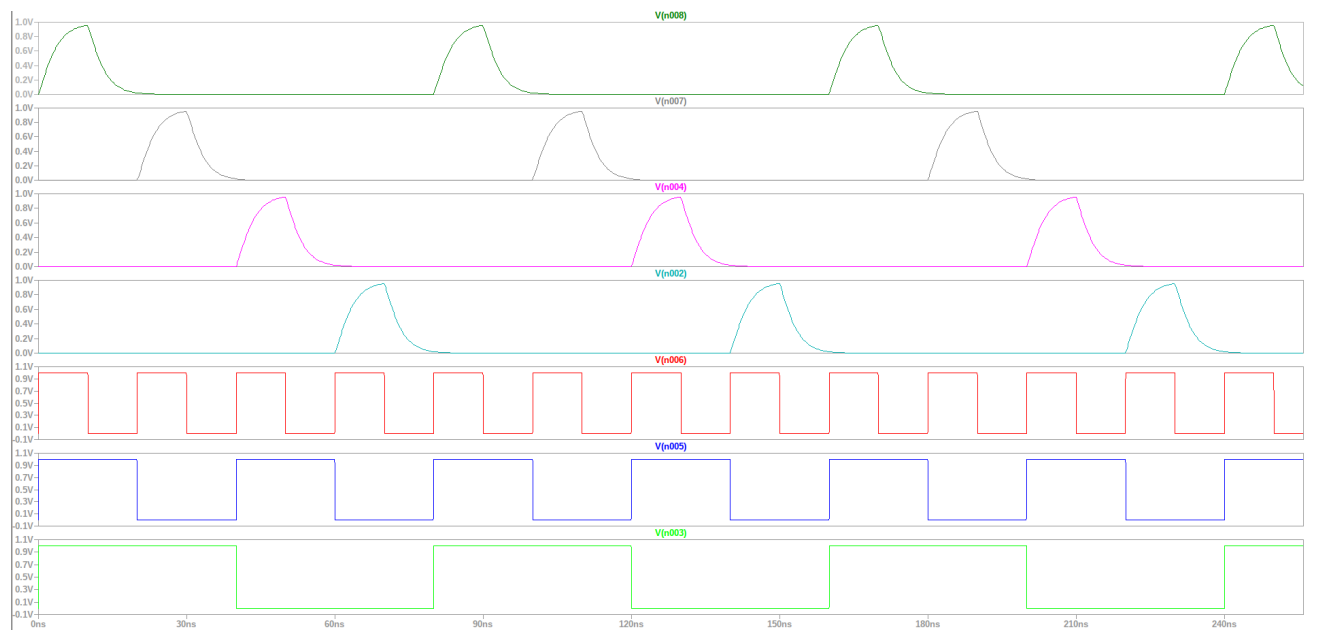


"Рисунок 6. Символ БОЭ демультиплексора"



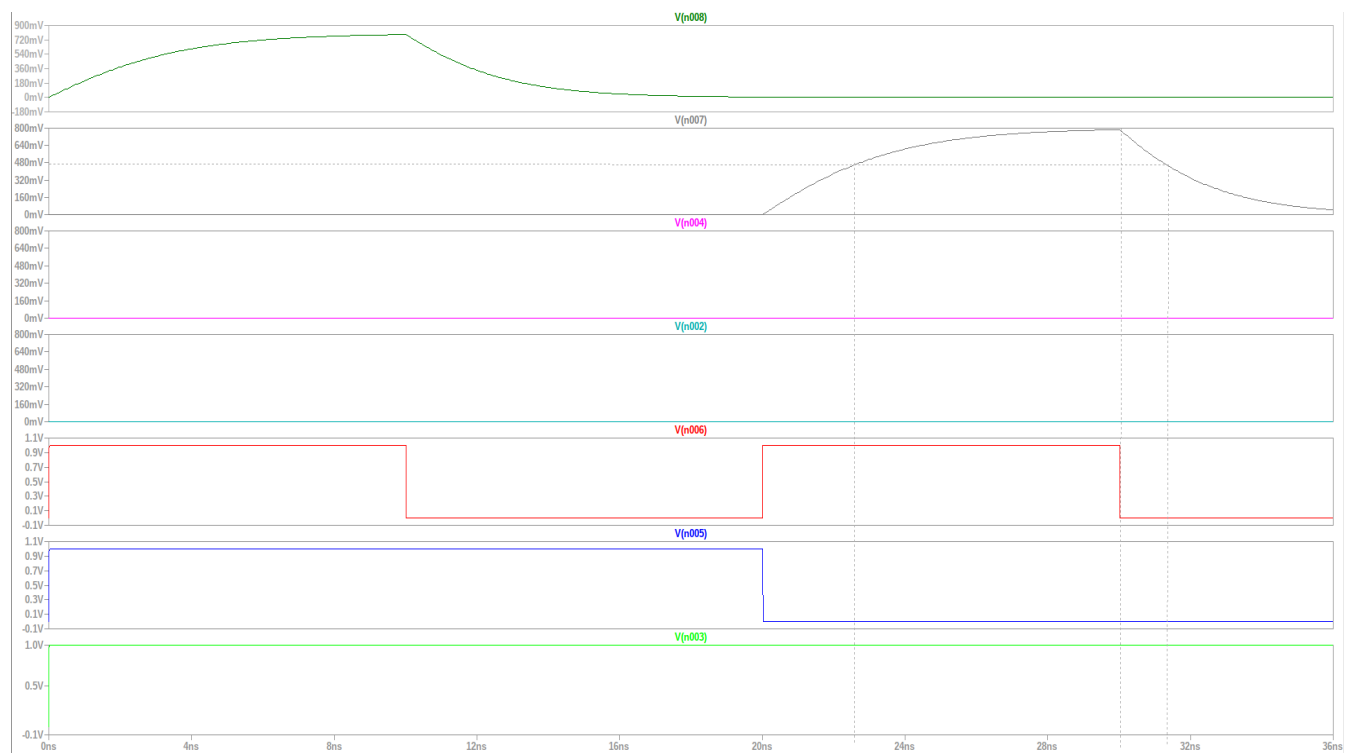
"Рисунок 7. Схема тестирования БОЭ демультиплексора"

Временная диаграмма процесса тестирования БОЭ



"Рисунок 8. Временная диаграмма процесса тестирования БОЭ"

Результат измерения задержки распространения сигнала через БОЭ



"Рисунок 9. Приближенная временная диаграмма для измерения временных задержек на схеме БОЭ демультиплексора"

Время задержки распространения сигнала через БОЭ на фронте равно:

$$t_1 \approx 22.7 \text{ нс} - 20 \text{ нс} = 2.7 \text{ нс}$$

Время задержки распространения сигнала через вентиль на спаде равно:

$$t_2 \approx 32 \text{ нс} - 30 \text{ нс} = 2 \text{ нс}$$

Максимальная частота работы БОЭ

$$\nu = \frac{1}{t_1} = \frac{1}{2.7 \text{ нс}} \approx 370 \text{ МГц}$$

Отчет о выполнении 2 части

Код разработанного модуля БОЭ

```
`timescale 1ns / 1ps

module demultiplexer(
    input y,
    input x1,
    input x2,
    output z0,
    output z1,
    output z2,
    output z3
);

    wire not_x1, not_x2, not_y;
    wire nor_x12, nor_nx2ny, nor_nx1ny, nor_nx1nx2;
    wire not_nor_x12, not_nor_nx2ny, not_nor_nx1ny, not_nor_nx1nx2;

    nor(not_x1, x1, x1);
    nor(not_x2, x2, x2);
    nor(not_y, y, y);

    nor(nor_x12, x1, x2);
    nor(nor_nx2ny, not_x2, not_y);
    nor(nor_nx1ny, not_x1, not_y);
    nor(nor_nx1nx2, not_x1, not_x2);

    nor(not_nor_x12, nor_x12, nor_x12);
    nor(not_nor_nx2ny, nor_nx2ny, nor_nx2ny);
    nor(not_nor_nx1ny, nor_nx1ny, nor_nx1ny);
    nor(not_nor_nx1nx2, nor_nx1nx2, nor_nx1nx2);
```

```

nor(z0, not_nor_x12, not_y);
nor(z1, not_nor_nx2ny, x1);
nor(z2, not_nor_nx1ny, x2);
nor(z3, not_nor_nx1nx2, not_y);

endmodule

```

Код разработанного тестового окружения БОЭ

```

`timescale 1ns / 1ps

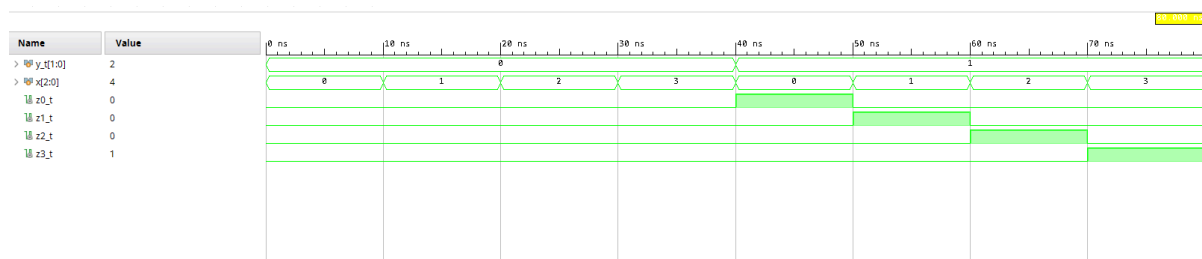
module demultiplexer_tb;
    reg [1:0] y_t;
    reg [2:0] x;
    wire z0_t, z1_t, z2_t, z3_t;

    demultiplexer dem(
        .x1(x[1]),
        .x2(x[0]),
        .y(y_t[0]),
        .z0(z0_t),
        .z1(z1_t),
        .z2(z2_t),
        .z3(z3_t)
    );

    initial begin
        y_t = 2'b00;
        while (y_t < 2'b10) begin
            x = 2'b00;
            while (x <= 2'b11) begin
                #10
                $display("x1=%b, x2=%b, input=%b, output: z0=%b, z1=%b,
z2=%b, z3=%b", x[1], x[0], y_t[0], z0_t, z1_t, z2_t, z3_t);
                x = x + 1;
            end
            y_t = y_t + 1;
        end
        $stop;
    end
endmodule

```

Временная диаграмма процесса тестирования БОЭ



"Рисунок 10. Временная диаграмма процесса тестирования БОЭ"

Вывод в консоль:

```
x1=0, x2=0, input=0, output: z0=0, z1=0, z2=0, z3=0
x1=0, x2=1, input=0, output: z0=0, z1=0, z2=0, z3=0
x1=1, x2=0, input=0, output: z0=0, z1=0, z2=0, z3=0
x1=1, x2=1, input=0, output: z0=0, z1=0, z2=0, z3=0
x1=0, x2=0, input=1, output: z0=1, z1=0, z2=0, z3=0
x1=0, x2=1, input=1, output: z0=0, z1=1, z2=0, z3=0
x1=1, x2=0, input=1, output: z0=0, z1=0, z2=1, z3=0
x1=1, x2=1, input=1, output: z0=0, z1=0, z2=0, z3=1
```

Вывод

В данной работе были изучены и освоены основные принципы проектирования цифровых вентилях на полевых транзисторах. Также были приобретены навыки моделирования электрических цепей с использованием программного пакета LTspice. Основные шаги работы включали в себя проектирование цифровых вентилях с использованием языка Verilog HDL, создание и тестирование цифровых схем на вентилях уровне.

Таким образом, выполнение данной работы позволило получить практические навыки в области проектирования цифровых вентилях, а также научиться использовать инструменты моделирования для эффективного анализа разработанных цифровых схем.