

2022 Digital IC Design Homework 1

NAME	歐禮寬				
Student ID	F74074122				
Functional Simulation Result					
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass
Stage 1					
<div><div>Transcript</div><div># -----Stage 1 : 1-bit ALU Simulation----- # # --And Operation-- # # Pass! # # --Or Operation-- # # Pass! # # --Nand Operation-- # # Pass! # # --Nor Operation-- # # Pass! # # --Add Operation-- # # Pass! # # --Sub Operation-- # # Pass! # # --Slt Operation-- # # Pass! #</div></div>					
Stage 2					
<div><div></div><div># -----Stage 2 : 8-bit ALU bitwise operation Simulation----- # # --And Operation-- # # Pass! # # --Or Operation-- # # Pass! # # --Nand Operation-- # # Pass! # # --Nor Operation-- # # Pass! #</div></div>					
Stage 3					

```

# -----Stage 3 : 8-bit ALU arithmetic operation Simulation-----
#
# --Add Operation--
#
# Pass!
#
# --Sub Operation--
#
# Pass!
#
# --Slt Operation--
#
# Pass!
#
# -----Stage 1 : Pass!-----
#
# -----Stage 2 : Pass!-----
#
# -----Stage 3 : Pass!-----
#

```

Description of your design

1bitsALU:

Bitwise 操作寫在一個 always block，並根據 op、Ainvert 及 Binvert 將結果寫到 reg regresult；Add、Sub 及 Slt 因為會呼叫 FA module 所以透過 assign 來實作，並結果寫到 wire wireresult 及 c_out，透過三元運算子(?:)來決定 result 是 wireresult、regresult 或 less，c_out 及 c_in 不同時產生 overflow，第一個 bit 為 sign bit 所以 set 即為 wireresult。

8bitsALU:

主要透過 8 個 1bitsALU 來實作，並傳入對應的 input 及 output，zero 則看每個 result[i] 是否都是 0，LSB 的 1bitsALU less 則透過三元運算子根據 overflow 決定要寫入 ALU_src1[7] 或 set，因為減法 overflow 的情況只有負減正跟正減負，所以 ALU_src1[7] 就可以表示 (Operand1 < Operand2)? 1 : 0