

## ĐỀ THI GIỮA KỲ

Môn: Thiết kế luận lý số – **CE118**

Ngày thi: 27/10/2014 - Thời gian: 60 phút

(Đề thi gồm 2 trang

SV được sử dụng tài liệu giấy)

**Câu 1 (2đ):** Thiết kế bộ nhớ RAM  $128K \times 8$  sử dụng các thanh RAM  $32K \times 8$ .

**Câu 2 (4đ):**

Cho hệ tuần tự có bảng chuyển trạng thái như bên dưới:

Current State	Next State		Output (Z)	
	X=0	X=1	X=0	X=1
S <sub>0</sub>	S <sub>0</sub>	S <sub>1</sub>	0	1
S <sub>1</sub>	S <sub>2</sub>	S <sub>5</sub>	0	0
S <sub>2</sub>	S <sub>2</sub>	S <sub>3</sub>	0	1
S <sub>3</sub>	S <sub>0</sub>	S <sub>4</sub>	1	0
S <sub>4</sub>	S <sub>2</sub>	S <sub>0</sub>	0	0
S <sub>5</sub>	S <sub>0</sub>	S <sub>1</sub>	0	1

- Mô hình của hệ tuần tự trên thuộc kiểu Moore hay Mealy? (0.5đ)
- Rút gọn bảng trên bằng phương pháp phân hoạch trạng thái (1đ)
- Mã hóa các trạng thái sau rút gọn bằng phương pháp ưu tiên liên kề (prioritied adjacency). Chỉ ra các cặp ưu tiên 1 và ưu tiên 2 (Ví dụ: P1: (S<sub>x</sub>, S<sub>y</sub>),...; P2 (S<sub>x</sub>, S<sub>z</sub>), ... ) (1đ)
- Lập bảng kích thích (excitation table) của các flip-flop sử dụng và bảng giá trị ngõ ra của mạch. Biết rằng **T flip-flop** được sử dụng để làm thành phần nhớ. (1đ)
- Vẽ mạch thực hiện hệ tuần tự trên (0.5đ)

**Câu 3 (2đ):** Thiết kế thanh ghi 4 bit có khả năng làm 2 chức năng sau:

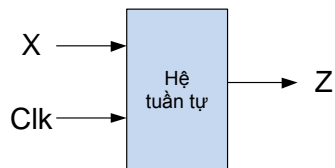
- Nạp dữ liệu mới.
- Hoán đổi bit 0 với bit 1, và ngược lại; hoán đổi bit 2 với bit 3, và ngược lại.

(**Chú ý:** SV phải trình bày cách thiết kế)

**Câu 4 (2đ):**

Cho hệ tuần tự có 1 ngõ vào dữ liệu (X), chân xung clock (Clk) và 1 ngõ ra (Z).

Biết rằng ngõ ra  $Z = 1$ , khi chuỗi ngõ vào X có dạng **{1101}**



Lập bảng chuyển trạng thái theo mô hình máy trạng thái kiểu **Moore** cho hệ tuần tự trên và rút gọn trạng thái nếu có.

----- **HẾT** -----

Duyệt của Trưởng bộ môn/khoa

Cán bộ ra đề