

<p><u>Date:</u> 23/09/2024</p> <p><u>Họ và Tên:</u> Trương Thiên Quý</p> <p><u>MSSV:</u> 23521321</p> <p><u>Lớp:</u> CE119.P12.2</p> <p><u>GVHD:</u> Ta Trí Đức</p>	<p><u>University Of Information Technology</u></p> <p><u>ĐHOG HCMC</u></p> <p><u>Môn: Thực hành Thiết kế lý luận số</u></p>
--	--

LAB 1: THIẾT KẾ MẠCH ĐẾM ĐỒNG BỘ CÓ KHẢ NĂNG NẠP GIÁ TRỊ BAN ĐẦU (SONG SONG/NÓI TIẾP)

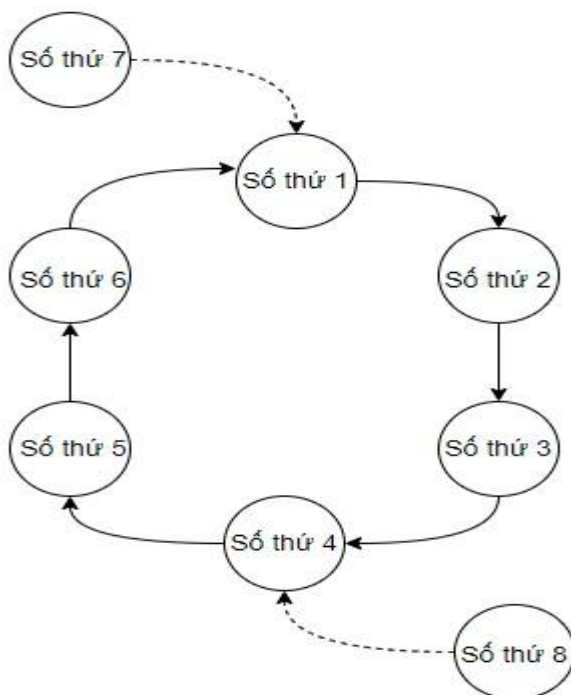
1.1. Mục tiêu

-Trong bài thực hành này, sinh viên sẽ thiết kế một mạch đếm đồng bộ theo một chu trình đếm cho trước. Giá trị ban đầu có thể được nạp vào bộ đếm thông qua các chân Preset và Clear của các Flip-flop - nạp song song bất đồng bộ. Ngoài ra sinh viên có thể nạp giá trị ban đầu bằng cách nạp song song đồng bộ.

-Hiện thực thiết kế trên kit DE2 với giá trị ngõ ra của bộ đếm được hiển thị giá trị đếm trên LED đơn hoặc LED 7 đoạn.

1.2. Nội dung thực hành

Sử dụng FF-D để thiết kế mạch đếm đồng bộ có chu trình đếm là mã số sinh viên của bạn, với phương pháp nạp giá trị ban đầu song song bất đồng bộ:



1.3. Sinh viên chuẩn bị

- Lập bản kích thích cho mạch đếm trên:
- Tìm phương trình ngõ vào của các FF. - Vẽ mạch thực hiện.

1.4. Hướng dẫn thực hành

- Tạo 1 project Quartus, đặt tên Lab1_mssv
- Thực thi mạch thiết kế trong phần chuẩn bị. Với
 - KEY[3]: Xung clock của mạch
 - KEY[2]: Cho phép nạp (LE: Load Enable)
 - SW[3:0]: Giá trị dữ liệu ban đầu cần nạp
 - LEDG[3:0]: Hiển thị kết quả ngõ ra của bộ đếm (Khuyến khích sinh viên sử dụng bộ giải mã BCD 7447 để hiển thị led 7 đoạn
- Gán pin cho mạch trên
- Biên dịch để tổng hợp và tạo file .sof
- Nạp file lên KIT DE2 kiểm tra hoạt động của mạch

1.5. Bài tập làm thêm

- Thực hiện lại chu trình đếm là mã số sinh viên của bạn nhưng sử dụng phương pháp nạp giá trị ban đầu song song đồng bộ.

Bài Làm

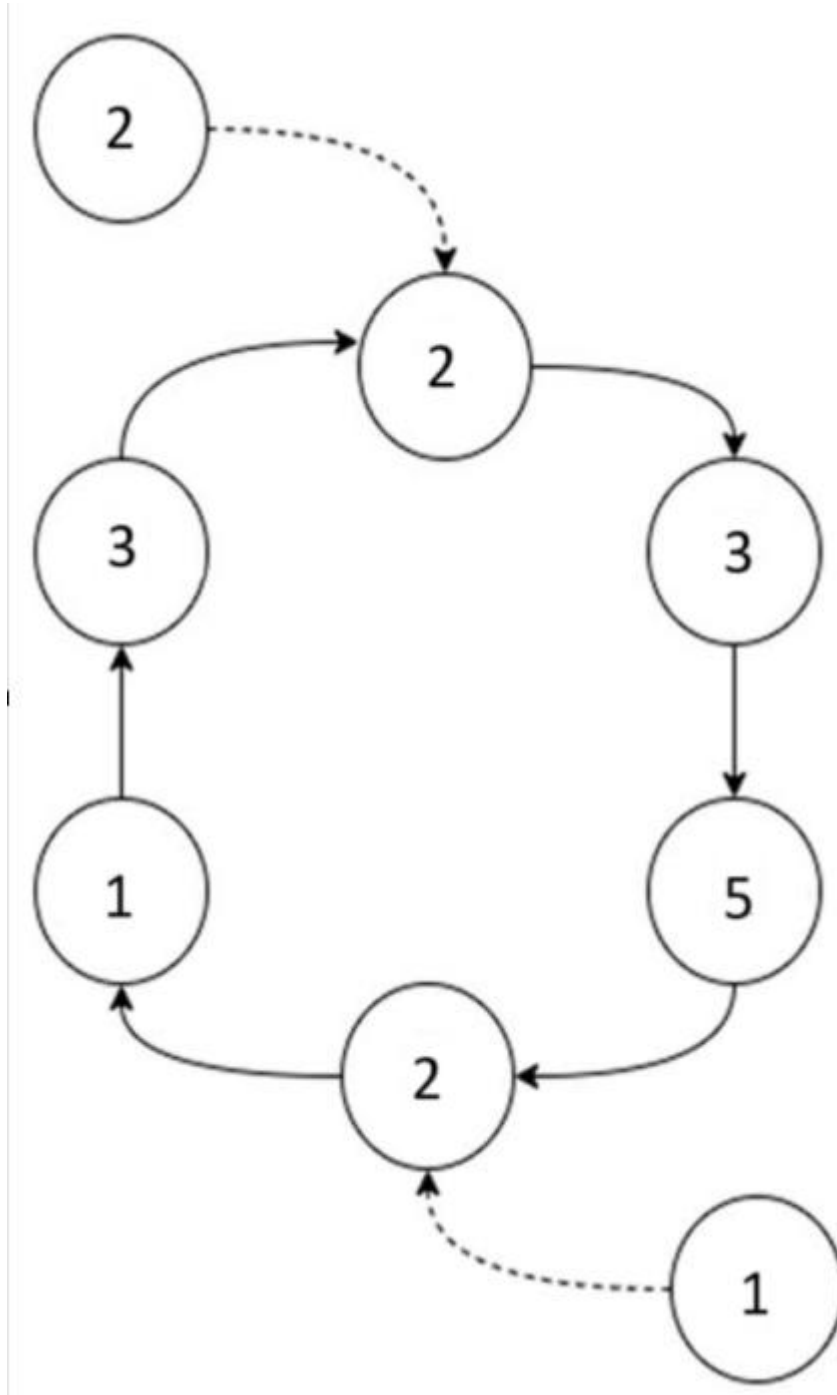
1.Thiết kế mạch:

Mã hóa:

MSSV	Trạng thái	Mã hóa ($Q_2Q_1Q_0$)
2	S0	000
3	S1	001
5	S2	010
2	S3	011
1	S4	100
3	S5	101
2	S6	110

1	S7	111
---	----	-----

Sơ đồ chuyển trạng thái:



Bảng trạng thái:

Trạng thái hiện tại	Trạng thái kế tiếp	Ngõ vào Flip-Flop	Ngõ ra
$Q_2Q_1Q_0$	$Q_2^+Q_1^+Q_0^+$	$D_2D_1D_0$	$O_2O_1O_0$
000	001	001	010
001	010	010	011
010	011	011	101
011	100	100	010
100	101	101	001
101	000	000	011
110	000	000	010
111	011	011	001

$$\underline{D_2} = Q_2'Q_1Q_0 + Q_2Q_1'Q_0'$$

Q_2Q_1	00	01	11	10
Q_0	0	0	0	0
1	1	0	1	0

$$\underline{D_1} = Q_2'Q_1'Q_0 + Q_2'Q_1Q_0' + Q_2Q_1Q_0$$

Q_2Q_1	00	01	11	10
Q_0	0	0	1	0
1	1	1	0	0

$$\underline{D_0} = Q_2'Q_0' + Q_1'Q_0' + Q_2Q_1Q_0$$

Q_2Q_1	00	01	11	10
Q_0	0	1	1	0
1	1	0	0	1

$$\underline{O_2} = Q_2'Q_1Q_0'$$

Q2Q1 \ Q0		00		01		11		10	
		0	0	1	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1

$$\underline{Q1} = Q2Q1Q0' + Q2'Q1' + Q2'Q0 + Q1'Q0$$

Q2Q1 \ Q0		00		01		11		10	
		0	1	0	1	1	1	0	0
1	1	1	1	0	0	0	1	1	

$$\underline{Q0} = Q2'Q1Q0' + Q1'Q0 + Q2Q1' + Q2Q0$$

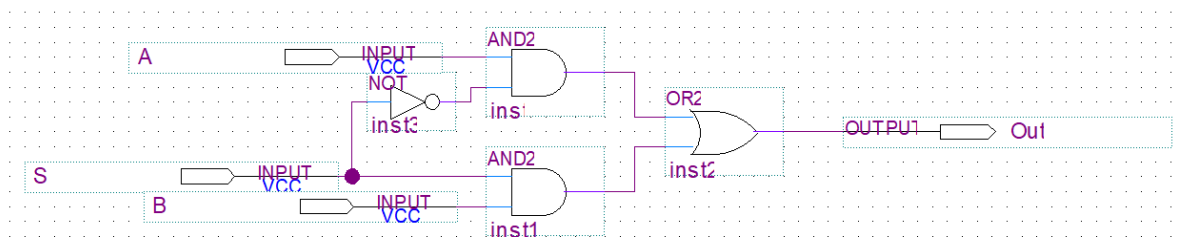
Q2Q1 \ Q0		00		01		11		10	
		0	0	1	0	0	1	1	1
1	1	1	0	1	1	1	1	1	

***Thiết kế bộ nạp tín hiệu bất đồng bộ:**

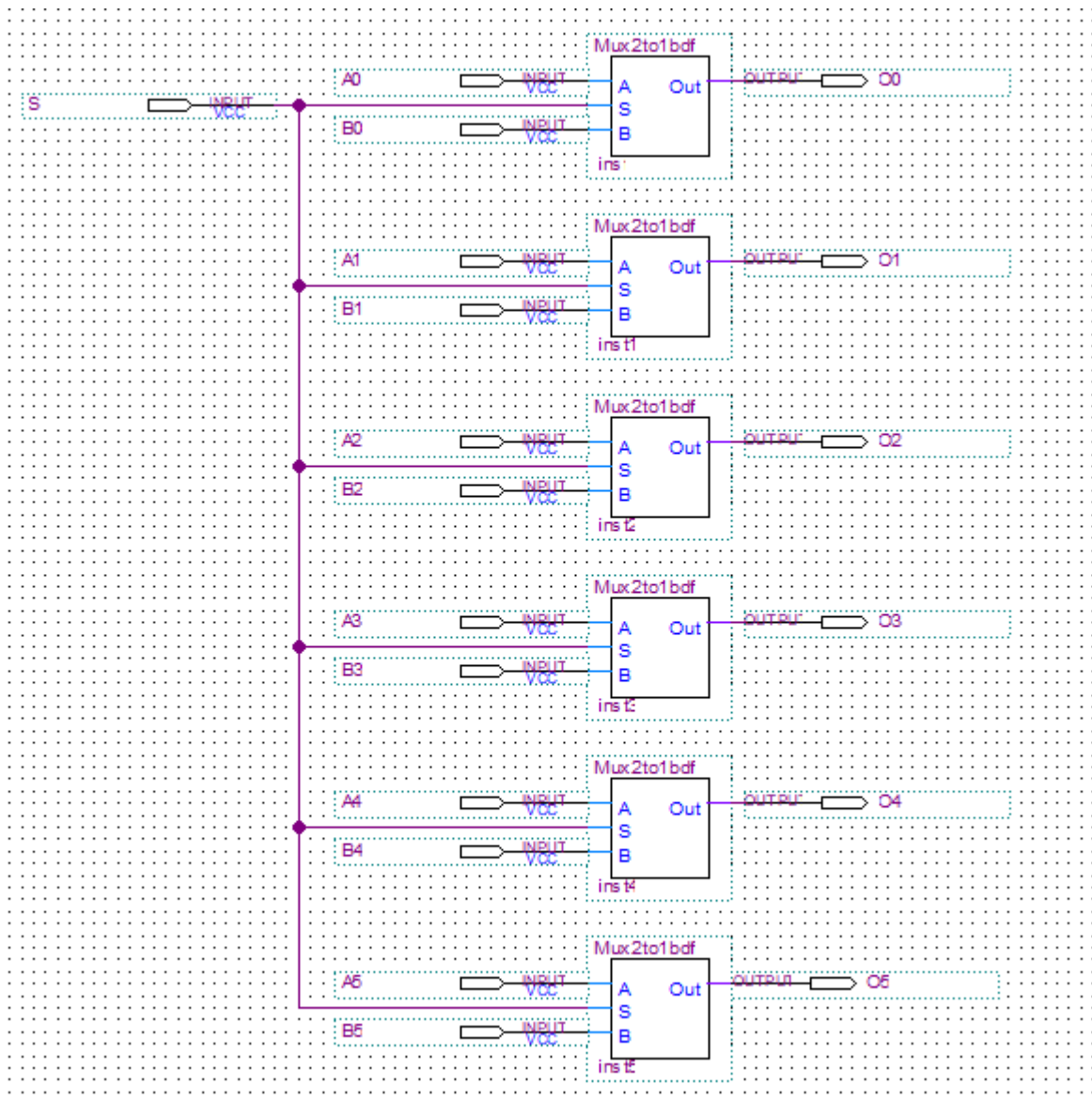
-Ngõ vào LE (Load Enable): khi LE = 1 cho phép mạch nạp giá trị I2I1I0
(P là PRE, C là CLR; cả hai ngõ này tích cực mức thấp)

LE	I2	I1	I0	P2	P1	P0	C2	C1	C0
----	----	----	----	----	----	----	----	----	----

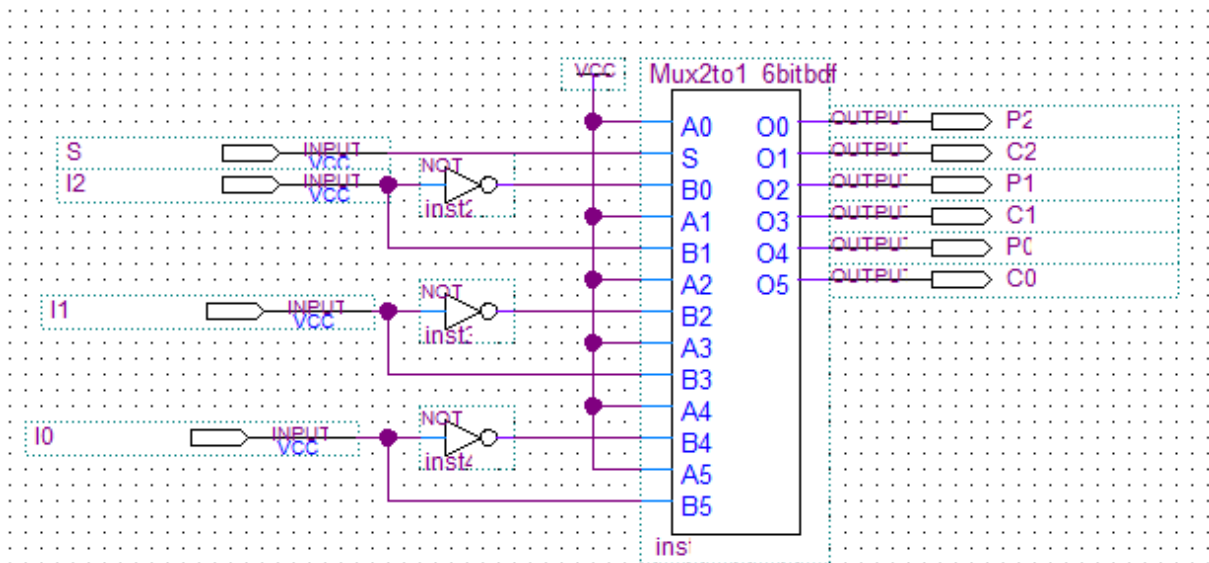
Mux2to1 1bit:



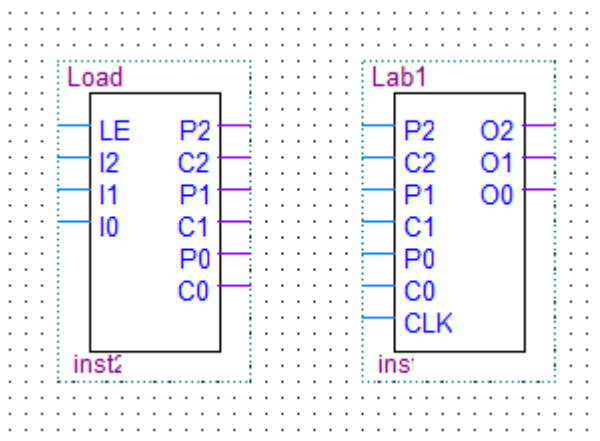
Mux2to1 6 bit:



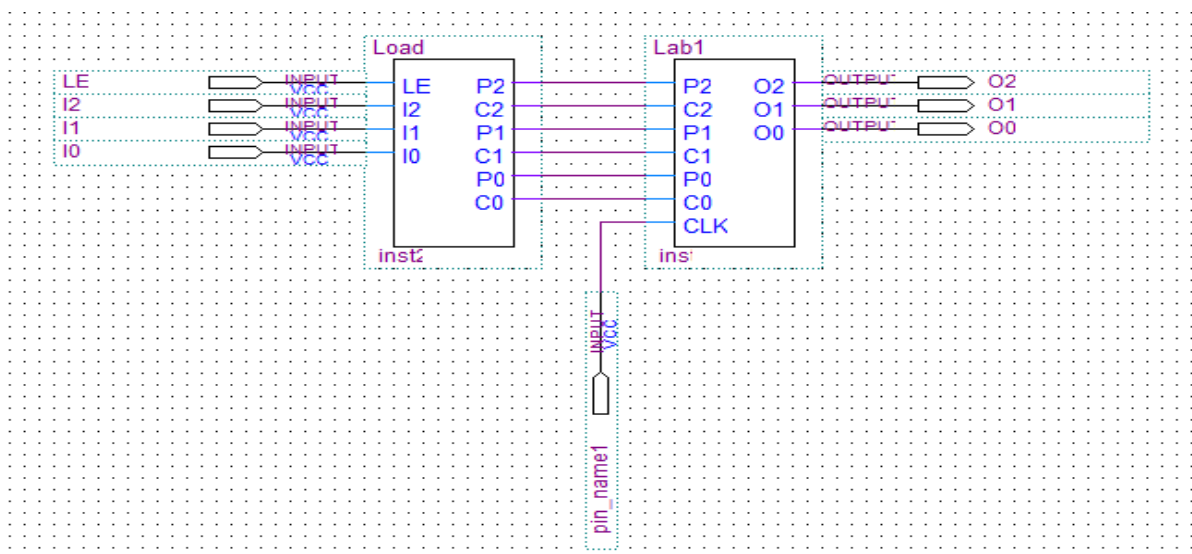
-Tín hiệu nạp cho phép nạp và giá trị nạp:



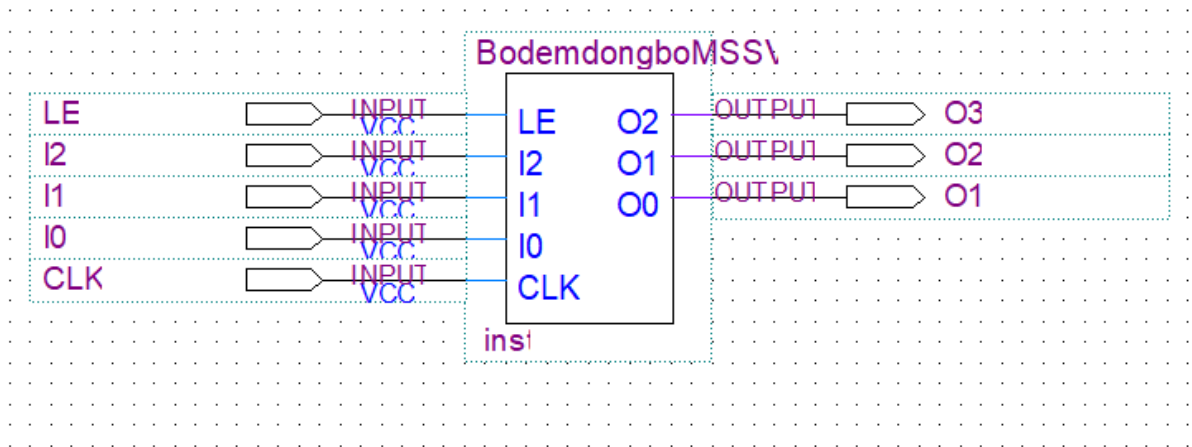
Sau khi đóng gói bộ đếm mã số sinh viên và mạch thực hiện tín hiệu nạp:



Ghép bộ đếm mã số sinh viên và tín hiệu cho phép nạp lại:

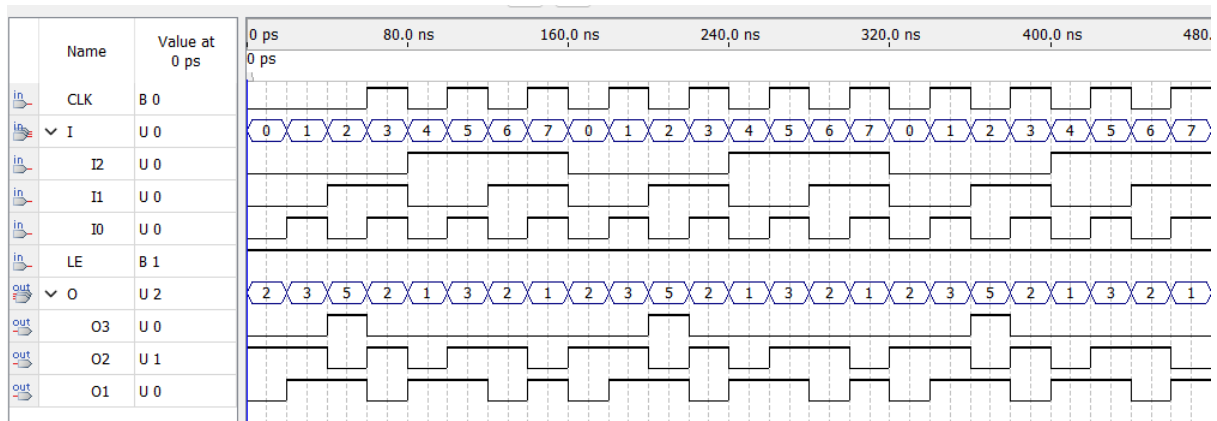


Cuối cùng ta có được bộ đếm đồng bộ với chu trình đếm là 8 kí số 23521321 cùng với đó là tính năng nạp giá trị ban đầu song song bất đồng bộ.

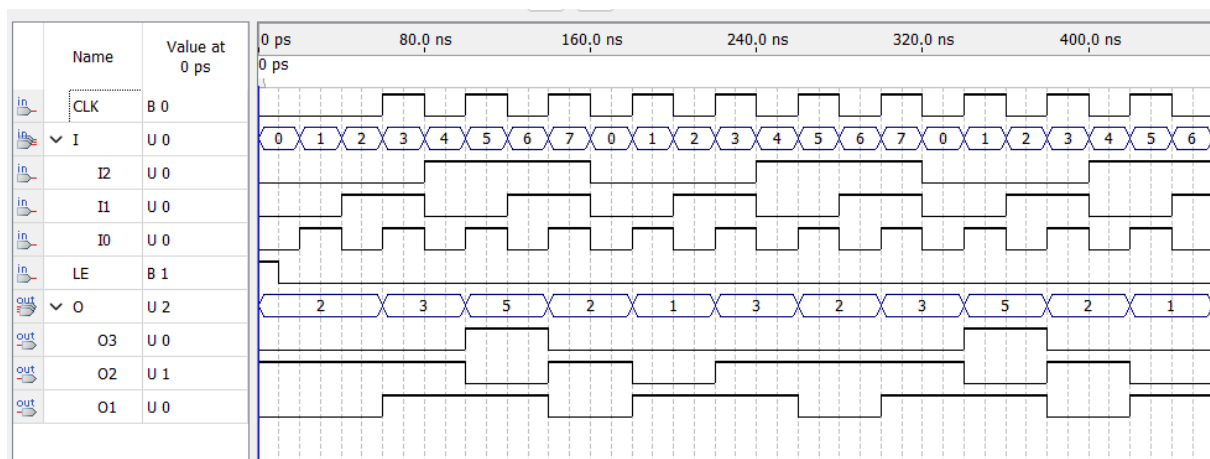


-Mô phỏng:

Trường hợp LE luôn bằng 1 thì mạch sẽ luôn nạp giá trị trạng thái mong muốn nên output sẽ là thứ tự mssv 23521321

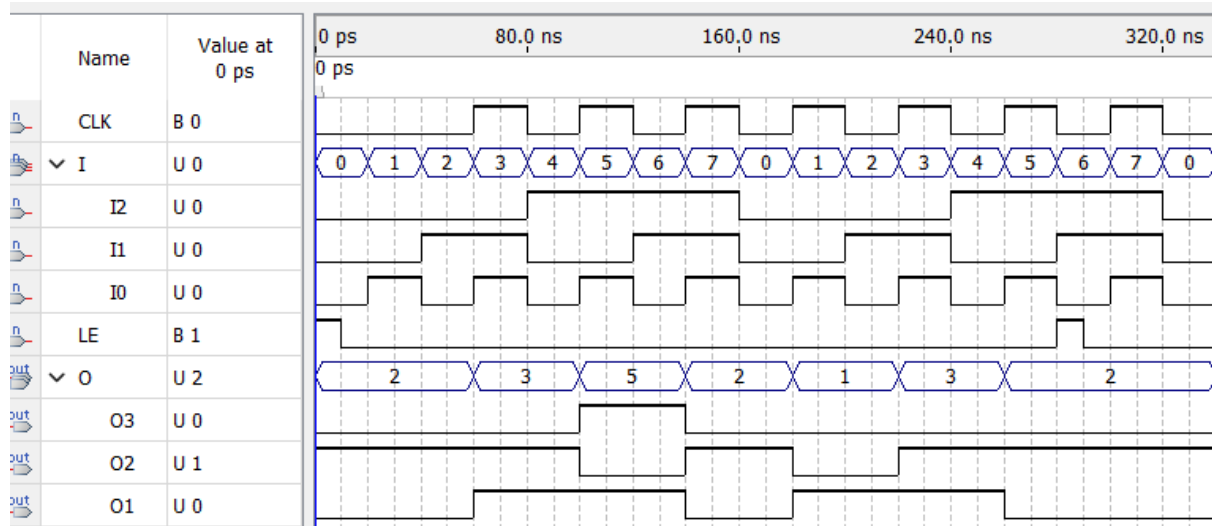


Trường hợp chỉ nạp giá trị đầu là trạng thái 000, chuỗi đếm sẽ là 235212 235212...

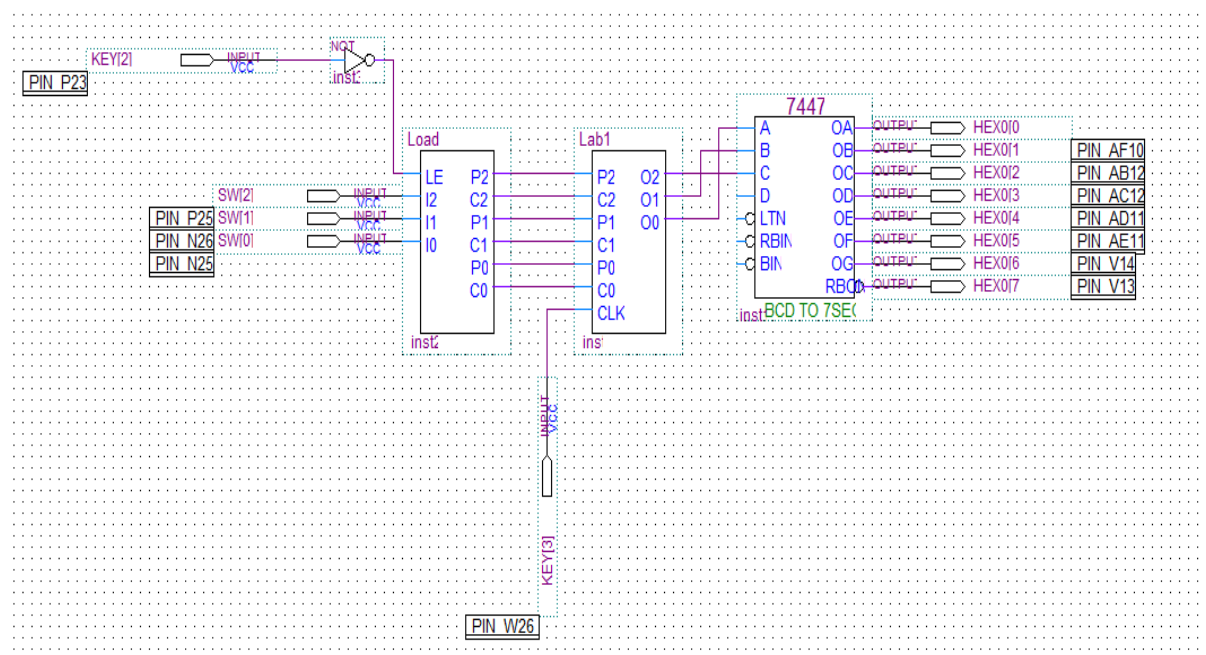


Trường hợp nạp 110, giá trị 2 (số thứ 7 trong mssv) sẽ xuất hiện và ở cạnh lên xung CLK tiếp theo sẽ chuyển về trạng thái số thứ nhất (theo như sơ đồ) là số 2 (000)

Trường hợp nạp 111, giá trị 1 (số thứ 8 trong mssv) sẽ xuất hiện và ở cạnh lên xung CLK tiếp theo sẽ chuyển về trạng thái thứ tư (theo như sơ đồ) là số 2 (011)



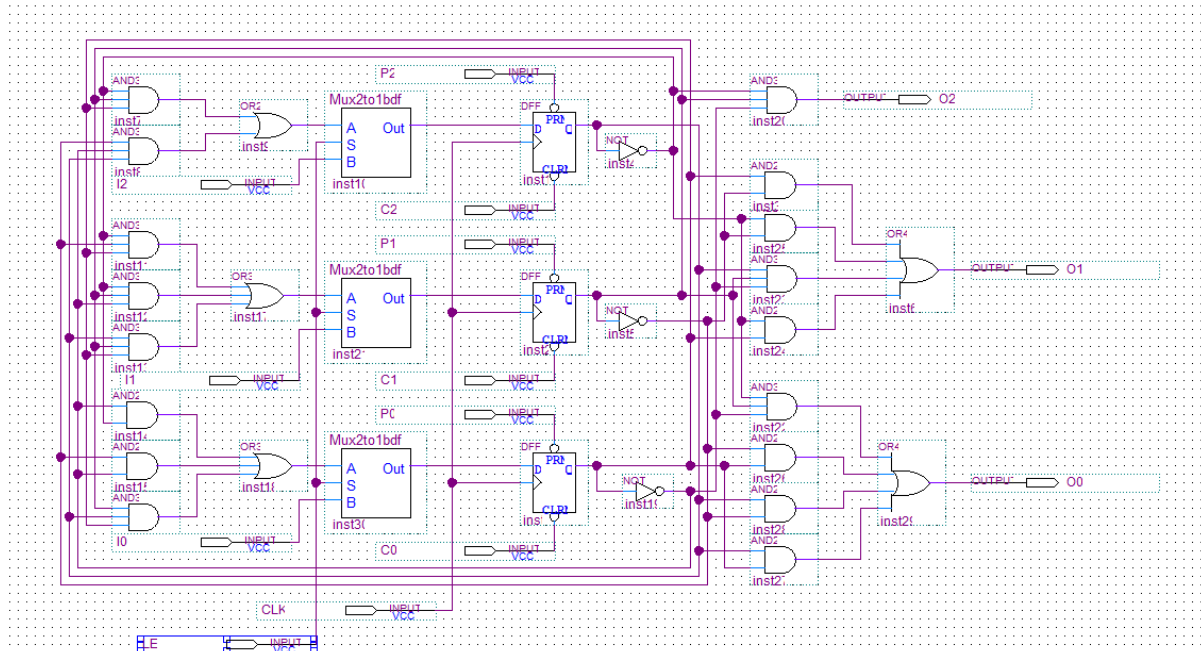
*Thực thi mạch với 7447:



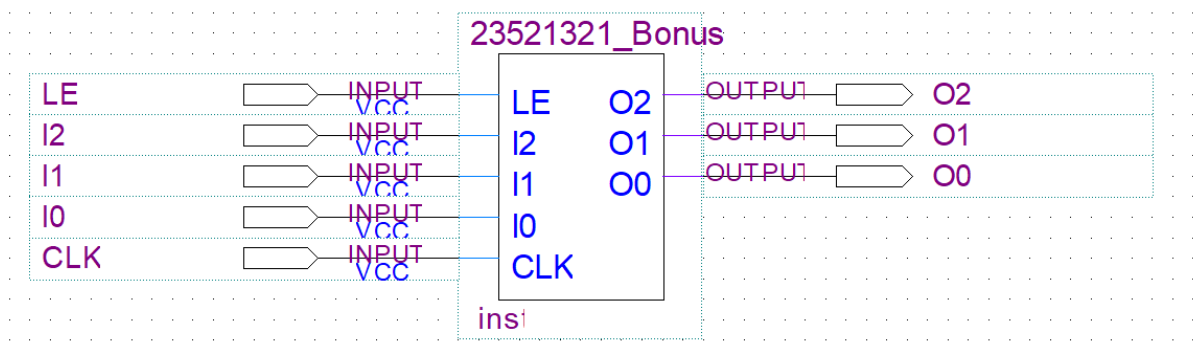
Link thực thi:

[463143991_7935174969915570_7965715566308714859_n.mp4](https://drive.google.com/file/d/463143991_7935174969915570_7965715566308714859_n.mp4/view?usp=sharing) - Google Drive

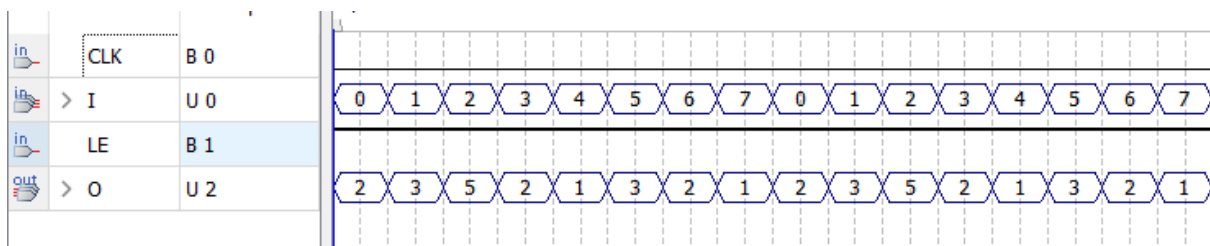
Thực hiện lại chu trình đếm là mã số sinh viên của bạn nhưng sử dụng phương pháp nạp giá trị ban đầu song song đồng bộ:



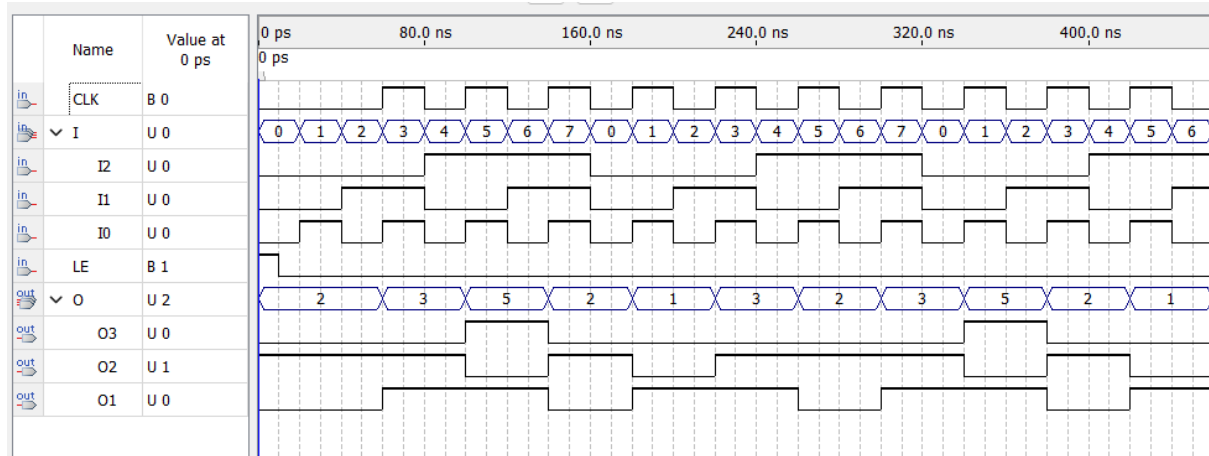
Tương tự mạch bộ đếm mã số sinh viên, chỉ có thêm các Mux2to:



Trường hợp LE luôn bằng 1 thì mạch sẽ luôn nạp giá trị trạng thái mong muốn nên output sẽ là thứ tự mssv 23521321



Trường hợp chỉ nạp giá trị đầu là trạng thái 000, chuỗi đếm sẽ là 235212
235212...



Khi LE=1 tại vị trí 110, giá trị 2 (số thứ 7 trong mssv) sẽ xuất hiện và ở cạnh lên xung CLK tiếp theo sẽ chuyển về trạng thái số thứ nhất (theo như sơ đồ) là số 2 (000)

Khi LE=1 tại vị trí 111, giá trị 1 (số thứ 8 trong mssv) sẽ xuất hiện và ở cạnh lên xung CLK tiếp theo sẽ chuyển về trạng thái thứ tư (theo như sơ đồ) là số 2 (011)

