

**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**  
**KHOA KĨ THUẬT MÁY TÍNH**



**BÁO CÁO FINAL PROJECT:**  
**THIẾT KẾ COUNTER UPDOWN 8 BIT**

**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

**Giảng viên hướng dẫn:** Tạ Trí Đức

**Sinh viên thực hiện:** Trương Thiên Quý

**Lớp:** CE222.Q11.2

# I. Thiết kế schematic và mô phỏng XOR2 (Front-end)

## 1. Thiết kế mạch XOR2

### 1.1. Mục Tiêu

- Thiết kế schematic cho cổng logic **XOR2** sử dụng thư viện tham chiếu **Synopsys 90nm Reference Process (Reference90RF)**.
- Tính toán và lựa chọn tỷ lệ kích thước W/L cho các transistor NMOS và PMOS.
- Sử dụng phương pháp mô phỏng quét tham số (Parametric Sweep) trên **Galaxy Custom Designer / SAE** để tối ưu hóa độ rộng PMOS, đảm bảo cân bằng thời gian lên/xuống  $t_{rise}$  /  $t_{fall}$ .

### 1.2. Cơ sở lý thuyết và tính toán

#### 1.2.1. Các quy tắc thiết kế (Design Rules)

Dựa trên tài liệu Design Rule của công nghệ, các giới hạn vật lý tối thiểu được xác định như sau:

- Chiều dài kênh tối thiểu ( $L_{min}$ ):**  $0.1\mu m$  (cho cả N và P).
- Chiều rộng kênh tối thiểu ( $W_{min}$ ):**  $0.12\mu m$ .

#### 1.2.2. Chiến lược chọn kích thước (Sizing)

Để đảm bảo hiệu năng và dễ dàng cho việc vẽ Layout sau này, kích thước được chọn lớn hơn mức tối thiểu (Unit size  $\sim 0.2\mu m$ ).

##### a. Chiều dài kênh (Length - L):

Chọn  $L = 0.1\mu m$  cho tất cả transistor để đạt tốc độ chuyển mạch nhanh nhất và mật độ tích hợp cao nhất.

##### b. Mạng Pull-Down (NMOS - M2, M3):

- Cấu trúc:** Hai NMOS mắc nối tiếp.
- Phân tích:** Việc mắc nối tiếp làm tăng gấp đôi điện trở kênh dẫn ( $R_{total} \sim 2 \times R_n$ ). Để khả năng kéo xuống (Pull-down) tương đương với một Inverter chuẩn, chiều rộng W phải được nhân đôi.
- Tính toán: Chọn  $W_{unit} = 0.2\mu m$ .

$$W_{NMOS} = 2 \times W_{unit} = 2 \times 0.2\mu m = 0.4\mu m$$

- Giá trị này tuân thủ Design Rule ( $> 0.12\mu m$ ) và đủ lớn để đặt contact trong Layout.

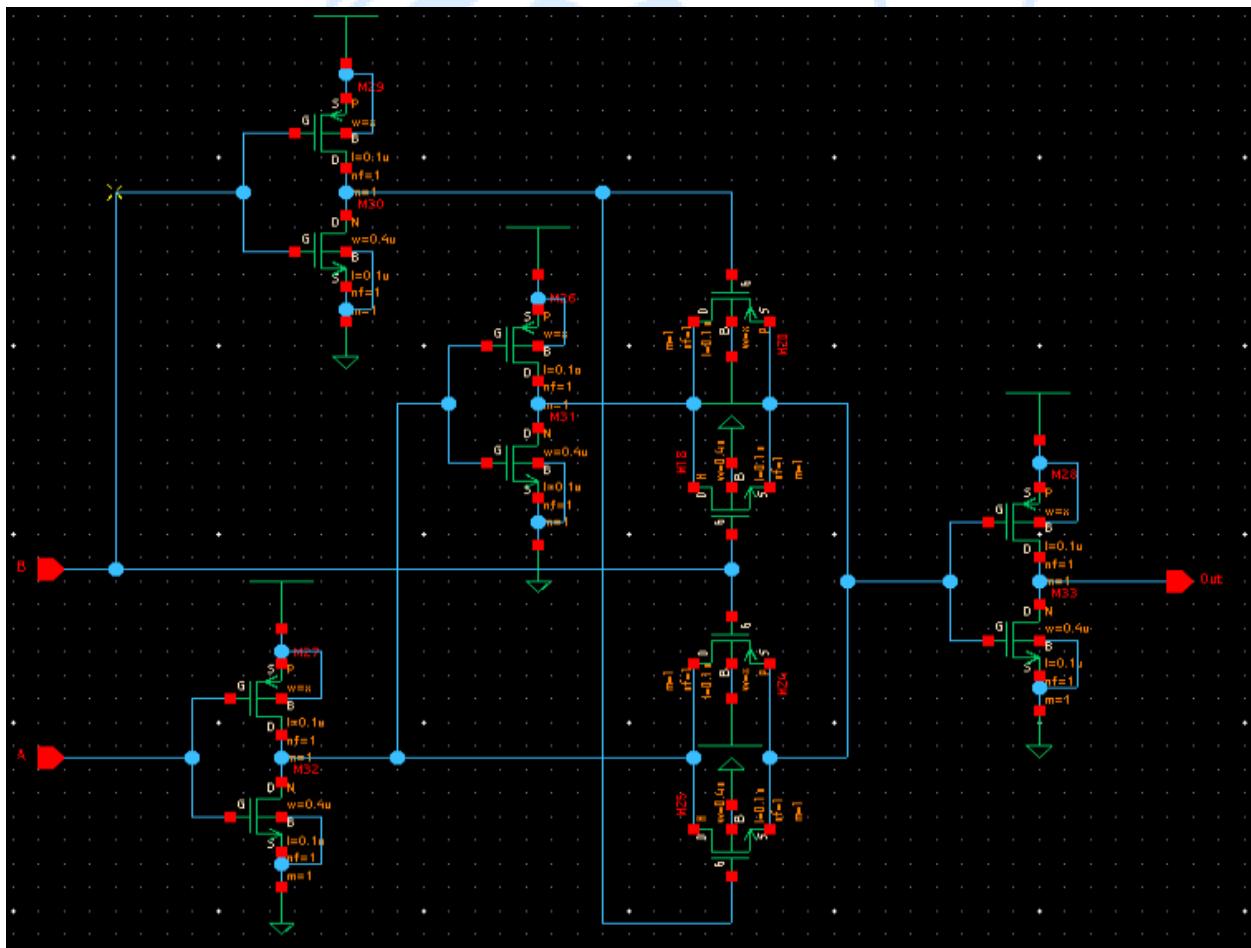
### c. Mạng Pull-Up (PMOS - M0, M1):

- **Cấu trúc:** Hai PMOS mắc song song.
- **Phân tích:** Trường hợp xấu nhất (Worst-case) là chỉ có 1 PMOS dẫn. Khi đó, mạch hoạt động như một Inverter đơn lẻ. Do độ linh động của lõi trống ( $\mu_p$ ) thấp hơn điện tử ( $\mu_n$ ), lý thuyết yêu cầu  $W_p = x_2 \times x_3 W_{N\_eff}$ .
- Phương pháp: Đặt chiều rộng PMOS là biến số để mô phỏng tìm điểm tối ưu.

$$W_{PMOS} = \text{Variable} \ (\text{Khảo sát từ } 0.2\mu\text{m đến } 1.0\mu\text{m}).$$

### 1.3. Thiết kế Schematic

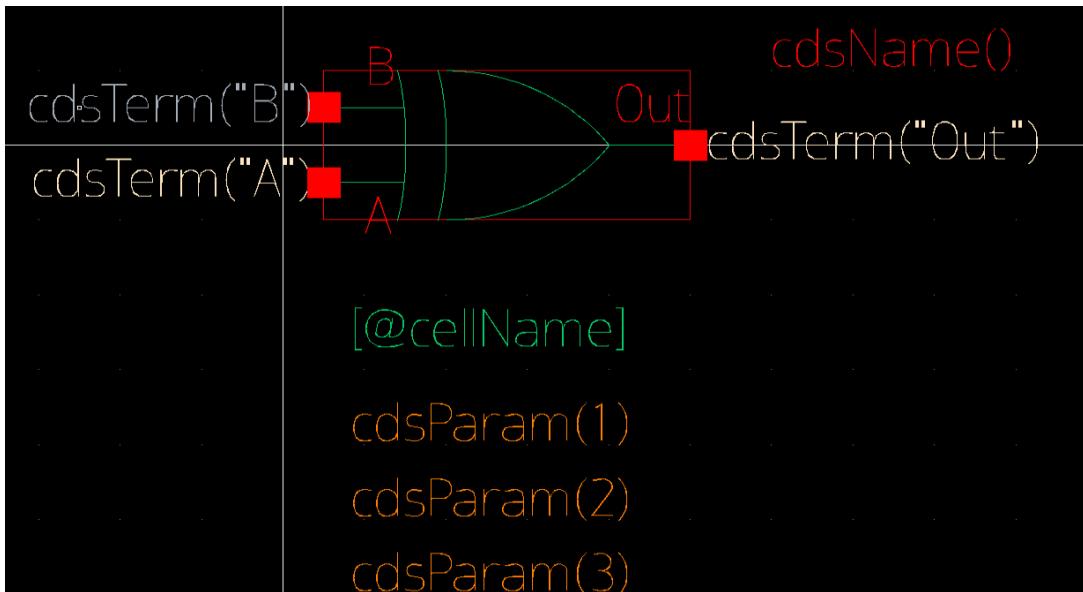
Sơ đồ nguyên lý được thiết kế trên Galaxy Custom Designer như sau:



Hình 1. Thiết kế Schematic XOR2

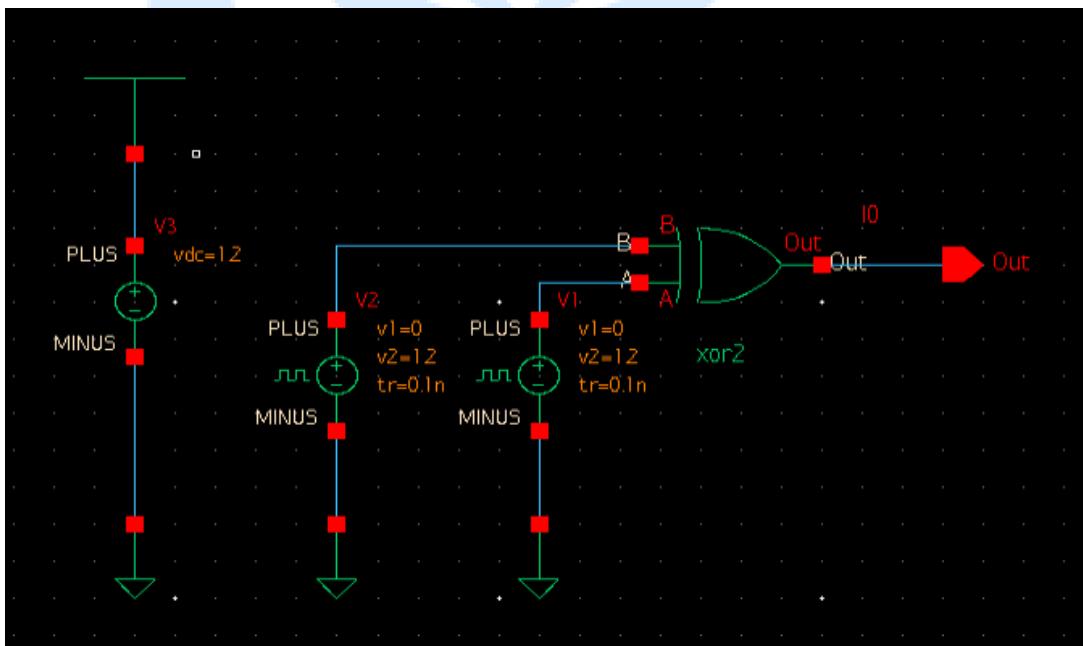
## 2. Mô phỏng và kết quả

### 2.1. Tạo Symbol



Hình 2. Symbol từ Schematic Inverter

### 2.2. Test-bench



Hình 3. Mạch Testbench

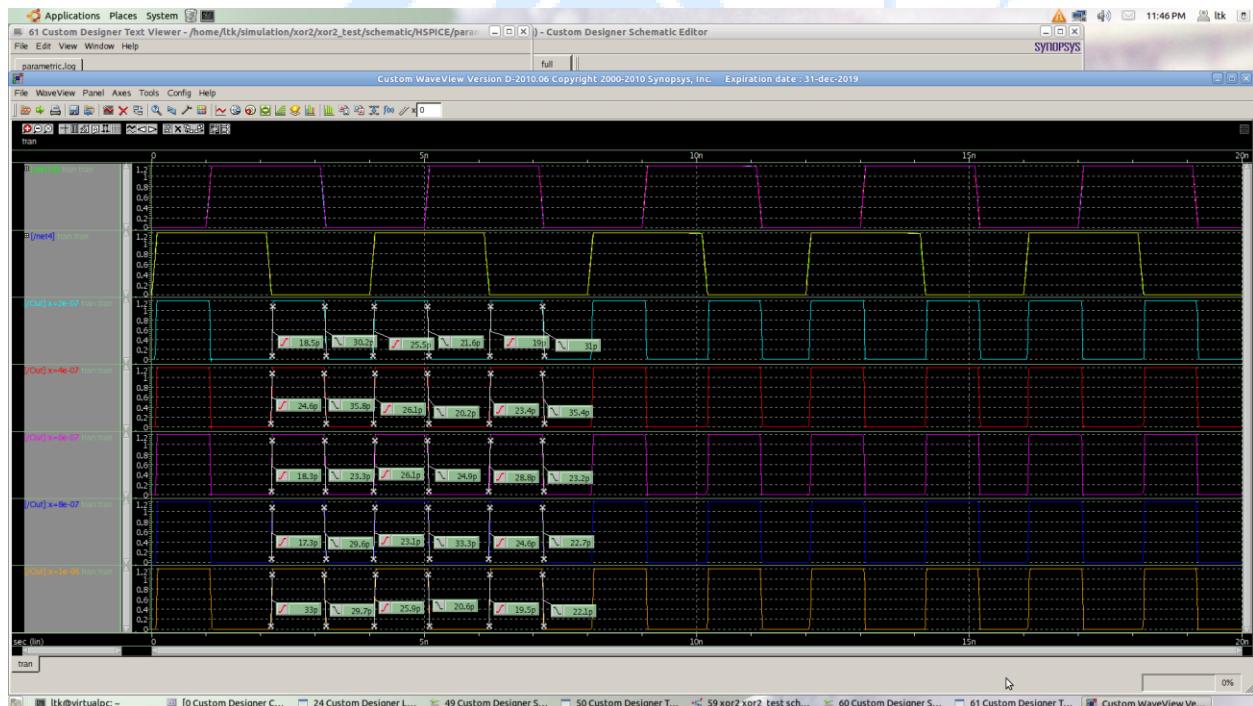
### 2.3. Mô phỏng kết quả bằng SAE

### 2.3.1. Thiết lập mô phỏng (Simulation Setup)

- **Môi trường:** Synopsys SAE (Simulation & Analysis Environment).
- **Loại phân tích:** Transient Analysis (Đáp ứng quá độ).
- **Design Variable:** x (tương ứng với chiều rộng PMOS).
- **Parametric Sweep:**
  - Biến chạy: x
  - Giá trị: Từ  $0.2\mu$  đến  $1.0\mu$
  - Bước nhảy:  $0.2\mu$

### 2.3.2. Kết quả dạng sóng (Waveform)

Dưới đây là dạng sóng ngõ ra ( $V_{out}$ ) tương ứng với 5 giá trị độ rộng của PMOS.



Hình 4. Kết quả dạng sóng Waveform của các giá trị x từ  $0.2\mu$  đến  $1\mu$

## 2.4. Bảng số liệu phân tích

| Trường hợp | Giá trị WPMOS (x) | $t_{rise}$ (TB) | $t_{fall}$ (TB) | Độ lệch ( $\Delta t$ ) |
|------------|-------------------|-----------------|-----------------|------------------------|
| Case 1     | 0.2 $\mu$ m       | ~21 ps          | ~27.6 ps        | ~0.76 ps               |
| Case 2     | 0.4 $\mu$ m       | ~24.7 ps        | ~30.4 ps        | ~1.23 ps               |
| Case 3     | 0.6 $\mu$ m       | ~24.4 ps        | ~23.8 ps        | ~1 ps                  |
| Case 4     | 0.8 $\mu$ m       | ~21.6 ps        | ~28.5 ps        | ~ ps                   |
| Case 5     | 1.0 $\mu$ m       | ~26.1 ps        | ~24.1 ps        | ~1.1 ps                |

## 2.5. Phân tích biểu đồ

**Sự biến thiên không tuyến tính:** Khác với lý thuyết thông thường (tăng kích thước thì nạp nhanh/xả chậm đều đặn), bảng số liệu này cho thấy sự biến thiên khá phức tạp. Tuy nhiên, ta thấy rõ sự chênh lệch (Độ lệch Delta t) thay đổi mạnh giữa các trường hợp.

Tại Case 1 (0.2um) và Case 2 (0.4um): Mạch bị mất cân bằng đáng kể.

- Tại 0.4um:  $t_{rise} \sim 24.7\text{ps}$  trong khi  $t_{fall} \sim 30.4\text{ps}$ .
- Độ lệch pha (Delta t) lên tới gần **6ps**. Điều này cho thấy ở kích thước nhỏ, khả năng kéo xuống (Pull-down) đang yếu thế hơn hoặc bị ảnh hưởng bởi các yếu tố ký sinh khác, làm dạng sóng không cân đối.

- Tại Case 3 (0.6um) - Điểm đặc biệt: Số liệu tại đây cực kỳ ấn tượng:
  - $t_{rise} \sim 24.4\text{ps}$ .
  - $t_{fall} \sim 23.8\text{ps}$ .
  - Độ lệch Delta t giảm xuống mức tối thiểu, chỉ khoảng  $\sim 0.6\text{ps} - 1\text{ps}$ . Đây là trạng thái cân bằng lý tưởng nhất trong tất cả các trường hợp khảo sát.
- Tại Case 4 (0.8um) và Case 5 (1.0um): Sự mất cân bằng quay trở lại. Ví dụ tại  $0.8\mu\text{m}$ , độ lệch lại tăng lên ( $21.6\text{ps}$  vs  $28.5\text{ps}$ ), chứng tỏ việc tăng kích thước PMOS thêm nữa không giúp mạch tốt hơn mà còn làm mất đi sự đối xứng đã đạt được ở mức 0.6u.

## 2.6. Nên chọn giá trị nào là tối ưu?

Dựa trên bảng kết quả mô phỏng, ta có thể chốt phương án tối ưu ngay lập tức:

### Lựa chọn duy nhất: Chọn $W_{PMOS} = 0.6\text{um}$ (KHUYÊN DÙNG)

- Lý do: Đây là điểm "Sweet Spot" (Điểm ngọt) đạt được sự cân bằng hoàn hảo (Symmetry) giữa sườn lên và sườn xuống.
- **Phân tích chi tiết:**
  - **Độ cân bằng:** Tại 0.6um, chênh lệch giữa thời gian nạp và xả gần như bằng 0 ( $24.4\text{ps} \setminus 23.8\text{ps}$ ). Điều này giúp ngưỡng chuyển mạch  $V_M$  nằm chính xác tại  $VDD/2$ , tối đa hóa lề nhiễu (Noise Margin) cho mạch.
  - **Tốc độ:** Độ trễ trung bình tại đây là  $24.1\text{ps}$ , rất nhanh và ổn định.
  - **So sánh:** Nếu chọn nhỏ hơn ( $0.4\text{um}$ ) hoặc lớn hơn ( $0.8\text{um}$ ), mạch đều bị lệch (Skewed), dẫn đến méo dạng xung khi hoạt động ở tần số cao.

### Kết luận:

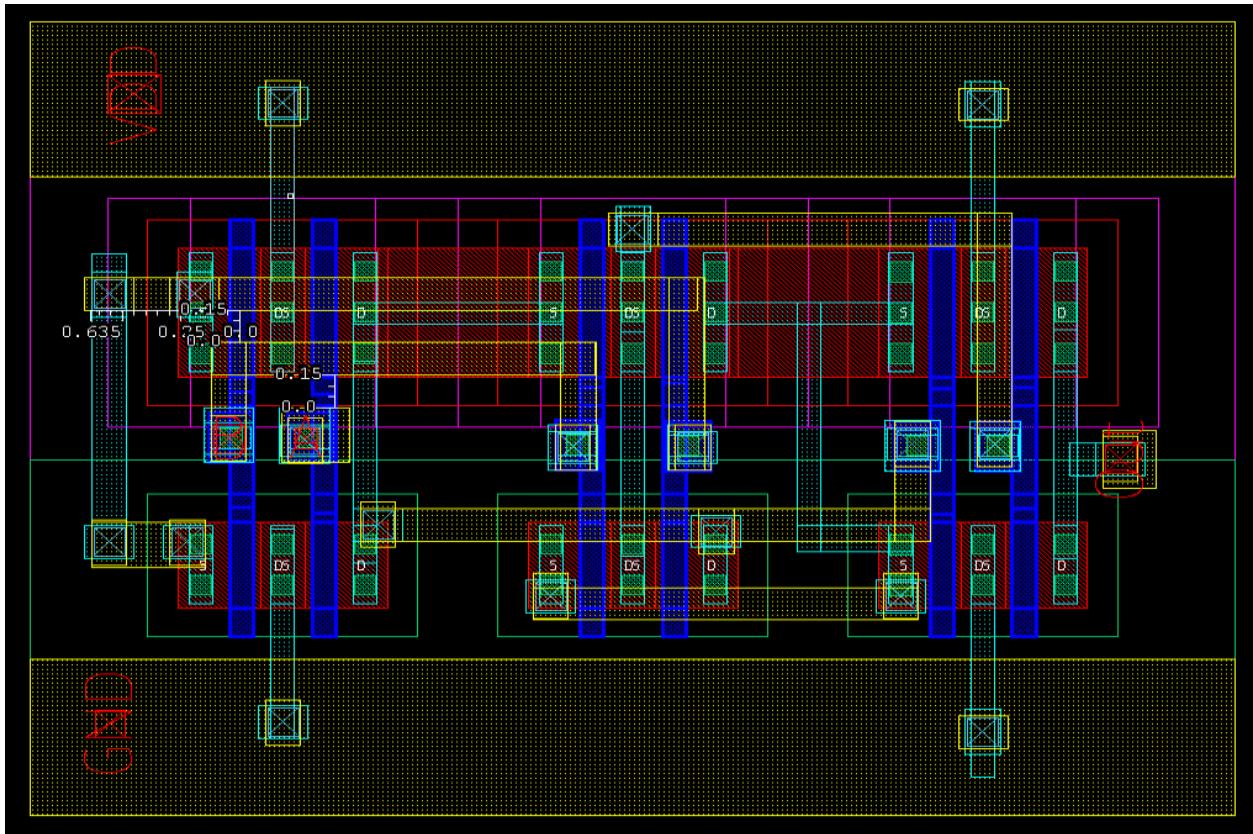
Để đảm bảo tín hiệu ngõ ra vuông vắn, cân đối và đạt hiệu suất cao nhất, kích thước transistor cho cổng XOR2 được lựa chọn là:

- **NMOS:**  $W/L = 0.4\text{um} / 0.1\text{um}$ .
- **PMOS:**  $W/L = 0.6\text{um} / 0.1\text{um}$ .

*Giá trị  $0.6\mu\text{m}$  này không chỉ tối ưu về mặt kỹ thuật (Rise=Fall) mà còn giúp tiết kiệm diện tích hơn so với các phương án dùng PMOS lớn ( $0.8\mu\text{m} - 1.0\mu\text{m}$ ).*

## II. Thiết kế Layout XOR2 (Back-end)

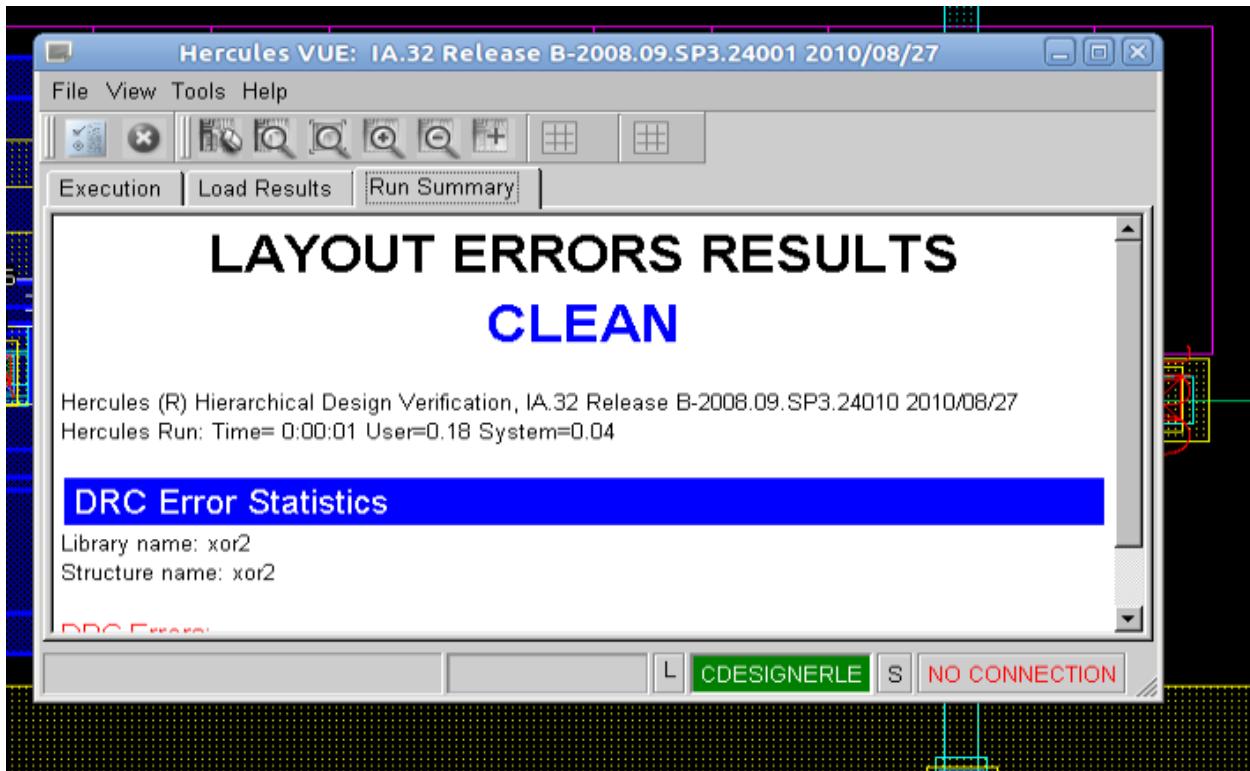
### 1. Layout Nand2



Hình 6. Thiết kế Layout Xor2

**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

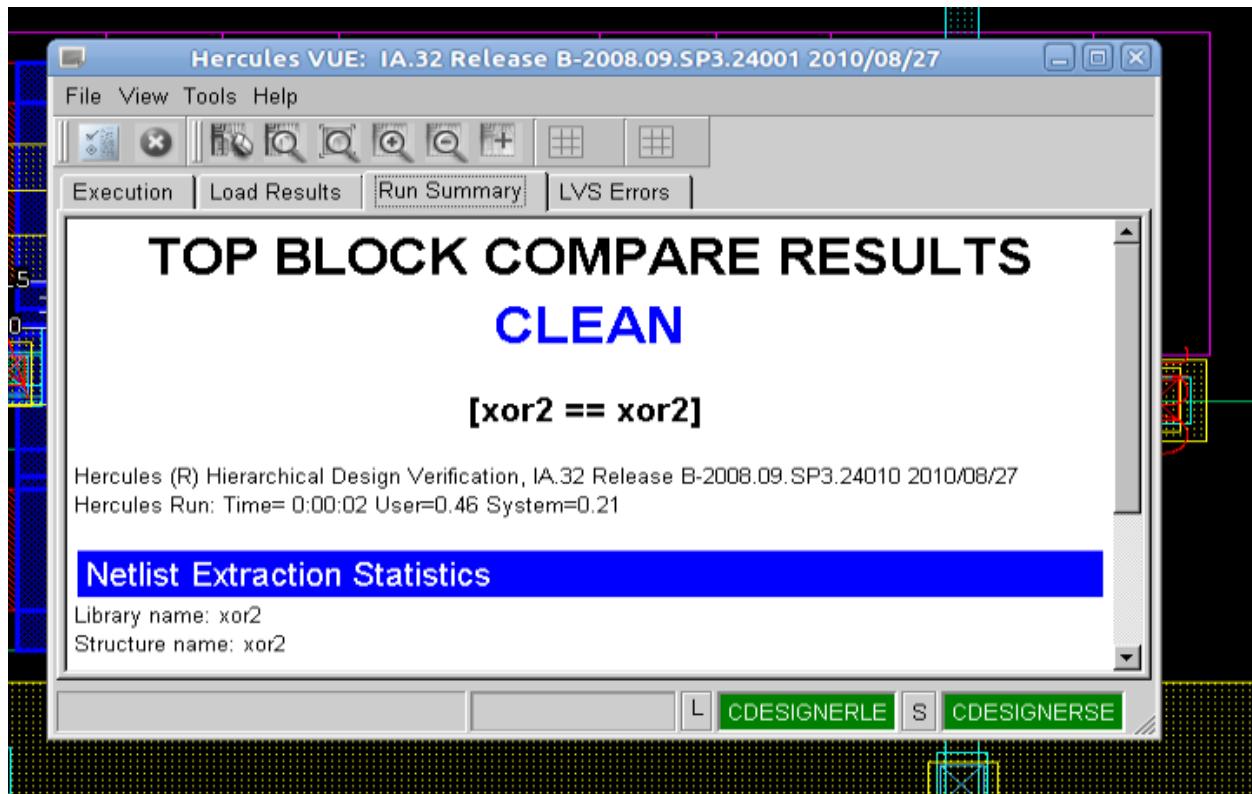
## Kiểm tra Design Rules Check (DRC)



Hình 7. Kết quả kiểm tra DRC

**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

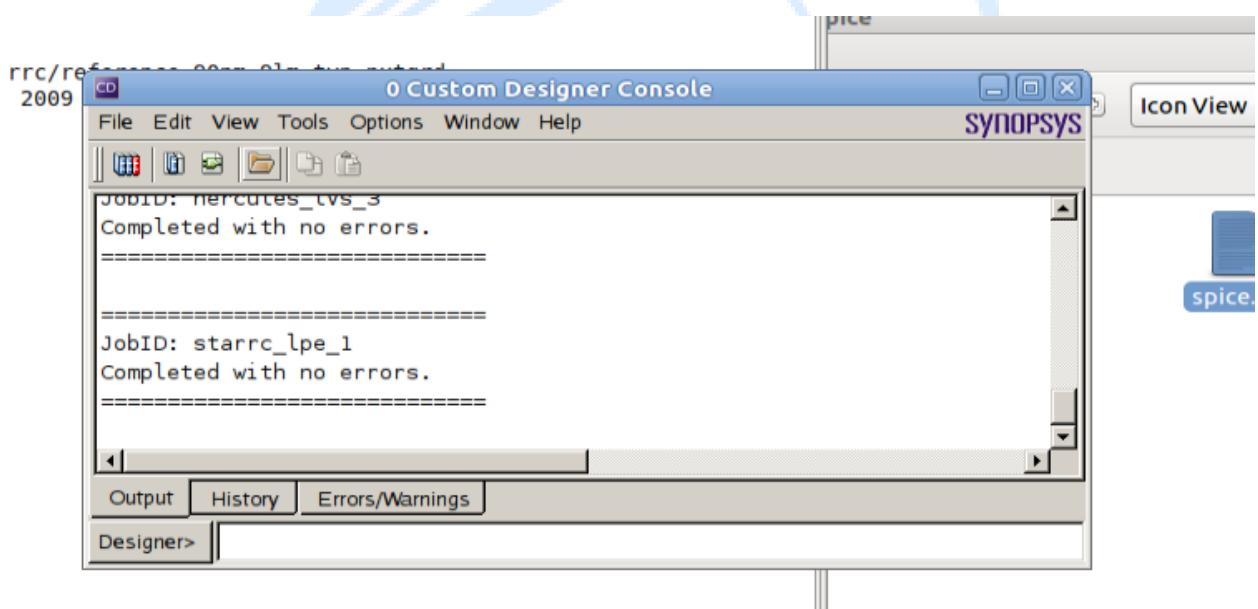
## 2. Kiểm tra Layout Versus Schematic (LVS)



Hình 8. Kết quả kiểm tra LVS

TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

### 3. Trích xuất tụ, trổ kí sinh (Layout Parasitic Extraction – LPE)



Hình 9. Kết quả kiểm tra LPE

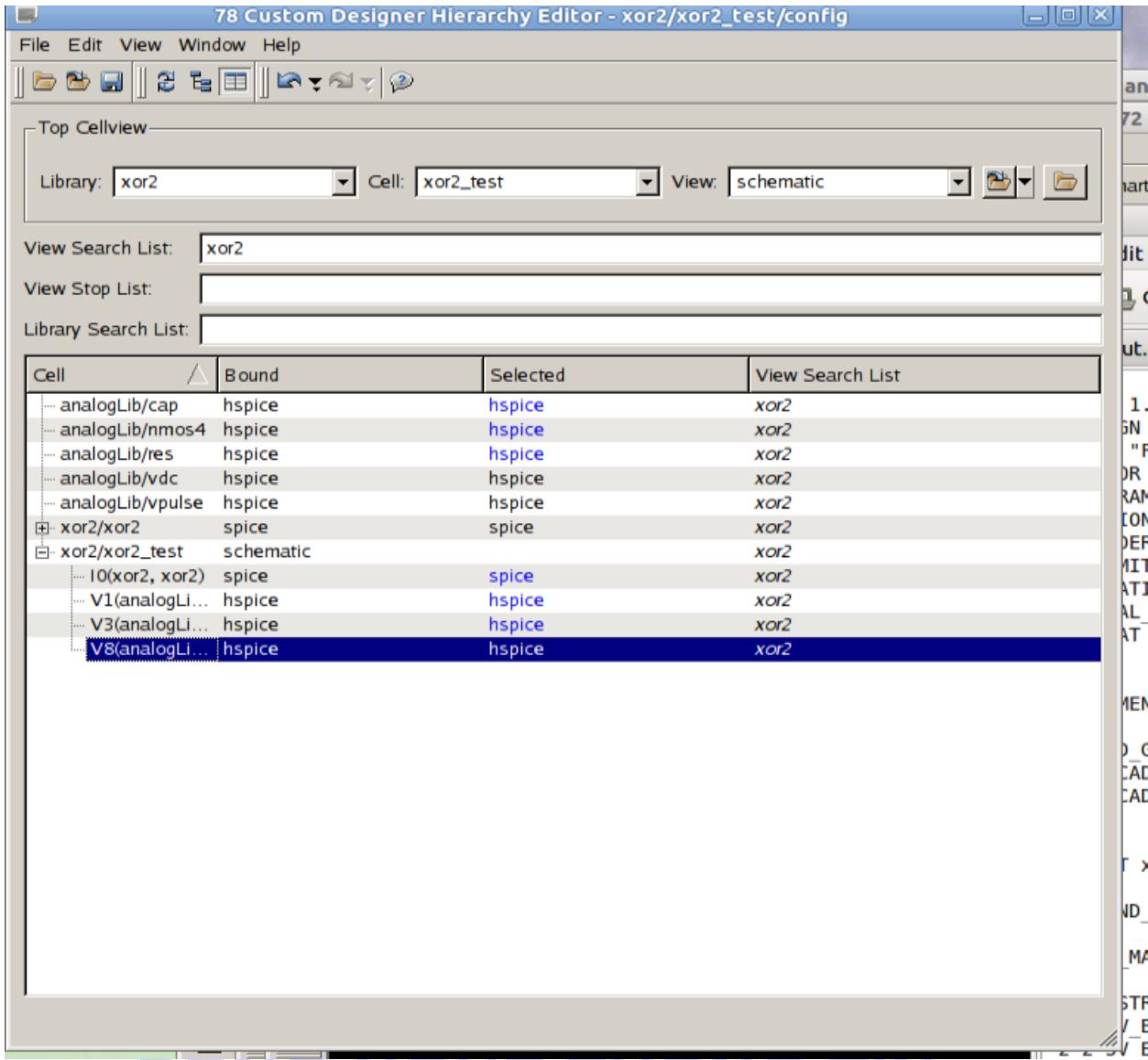
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

```
*|DSPF 1.3
*|DESIGN xor2
*|DATE "Tue Jun 20 01:08:58 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING_TEMPERATURE 25
*|GLOBAL_TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS
**
** TCAD_GRD_FILE /home/ltk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
**   TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
**   TCADGRD_VERSION 64
.
.SUBCKT xor2 A B Out
*|GROUND_NET 0
*LAYER_MAP
*0 SUBSTRATE
*1 1_0V_BJT_COLL
*2 2_5V_BJT_COLL
*3 1_0V_BJT_EMIT
*4 2_5V_BJT_EMIT
*5 1_0V_BJT_BASE
*6 2_5V_BJT_BASE
*7 1_0V_BJT_COLL_NPN
*8 1_0V_BJT_EMIT_NPN
*9 1_0V_BJT_BASE_NPN
*10 2_5V_BJT_COLL_NPN
Plain Text ▾ Tab Width: 8 ▾ Ln 1, Col 1 INS
```

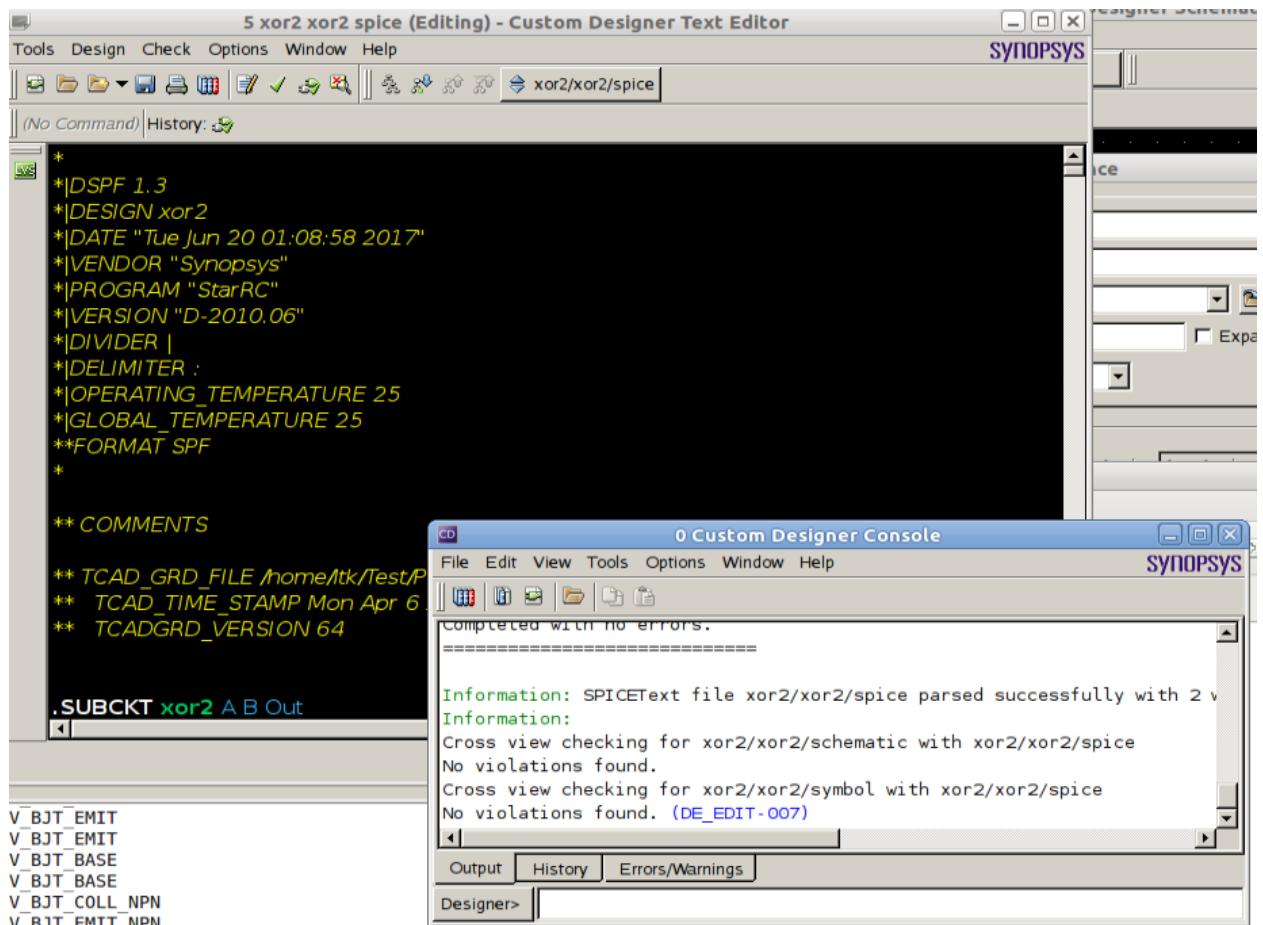
Hình 10. Kết quả trích xuất (file SPF)

TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

#### 4. Mô phỏng PostLayout



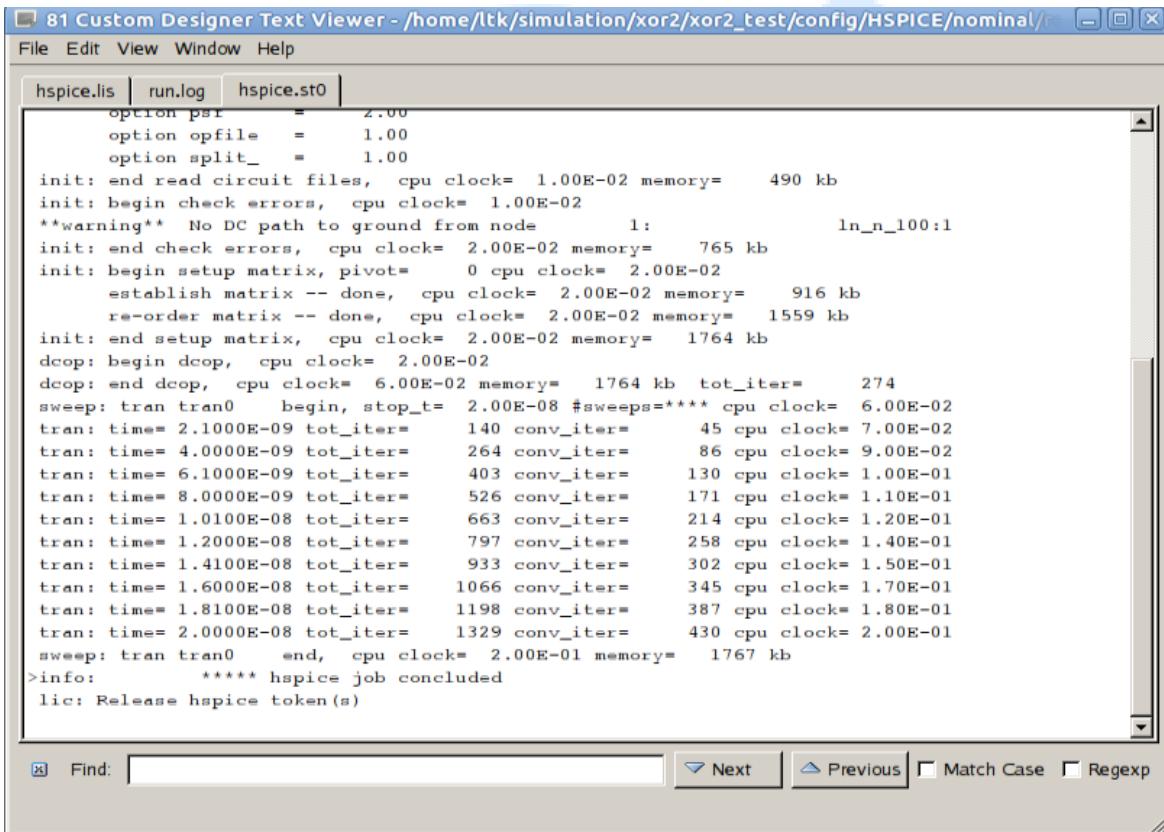
Hình 11. Tạo và cấu hình View Config để mô phỏng PostLayout



Hình 12. Check file spice

**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

## 5.1. Thực hiện mô phỏng SAE (PostLayout)



The screenshot shows a terminal window titled "81 Custom Designer Text Viewer - /home/ltk/simulation/xor2/xor2\_test/config/HSPICE/nominal/". The window contains the following text:

```
option psr      =      2.00
option opfile   =      1.00
option split_   =      1.00
init: end read circuit files,  cpu clock= 1.00E-02 memory=     490 kb
init: begin check errors,  cpu clock= 1.00E-02
**warning** No DC path to ground from node      1:          ln_n_100:1
init: end check errors,  cpu clock= 2.00E-02 memory=     765 kb
init: begin setup matrix, pivot=      0 cpu clock= 2.00E-02
      establish matrix -- done,  cpu clock= 2.00E-02 memory=     916 kb
      re-order matrix -- done,  cpu clock= 2.00E-02 memory=    1559 kb
init: end setup matrix,  cpu clock= 2.00E-02 memory=    1764 kb
dcop: begin dcop,  cpu clock= 2.00E-02
dcop: end dcop,  cpu clock= 6.00E-02 memory=    1764 kb tot_iter=      274
sweep: tran tran0 begin, stop_t= 2.00E-08 #sweeps=**** cpu clock= 6.00E-02
tran: time= 2.1000E-09 tot_iter=      140 conv_iter=       45 cpu clock= 7.00E-02
tran: time= 4.0000E-09 tot_iter=      264 conv_iter=       86 cpu clock= 9.00E-02
tran: time= 6.1000E-09 tot_iter=      403 conv_iter=      130 cpu clock= 1.00E-01
tran: time= 8.0000E-09 tot_iter=      526 conv_iter=      171 cpu clock= 1.10E-01
tran: time= 1.0100E-08 tot_iter=      663 conv_iter=      214 cpu clock= 1.20E-01
tran: time= 1.2000E-08 tot_iter=      797 conv_iter=      258 cpu clock= 1.40E-01
tran: time= 1.4100E-08 tot_iter=      933 conv_iter=      302 cpu clock= 1.50E-01
tran: time= 1.6000E-08 tot_iter=     1066 conv_iter=      345 cpu clock= 1.70E-01
tran: time= 1.8100E-08 tot_iter=     1198 conv_iter=      387 cpu clock= 1.80E-01
tran: time= 2.0000E-08 tot_iter=     1329 conv_iter=      430 cpu clock= 2.00E-01
sweep: tran tran0 end,  cpu clock= 2.00E-01 memory=    1767 kb
>info:      **** hspice job concluded
lic: Release hspice token(s)
```

At the bottom of the window, there are search and navigation buttons: Find, Next, Previous, Match Case, and Regexp.

Hình 13. Mô phỏng SAE cho PostLayout thành công

TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN



Hình 14. Kết quả mô phỏng SAE cho PostLayout

### III. Thiết kế schematic và mô phỏng OR2 (Front-end)

#### 1. Thiết kế mạch OR2

##### 1.1. Mục tiêu

- Thiết kế sơ đồ nguyên lý (Schematic) cho công logic **OR2 (2 ngõ vào)** sử dụng công nghệ CMOS, tuân thủ cấu trúc Standard Cell.
- Phân tích vai trò của các transistor trong mạch, bao gồm cả transistor giả (Dummy transistor) được thêm vào để tối ưu hóa layout.
- Khảo sát ảnh hưởng của độ rộng transistor PMOS ( $W_{PMOS}$ ) tại tầng đầu vào đến các thông số thời gian: thời gian nạp ( $t_{rise}$ ), thời gian xả ( $t_{fall}$ ) và độ trễ lan truyền ( $t_{pd}$ ).
- Xác định kích thước  $W_{PMOS}$  tối ưu để mạch đạt độ trễ trung bình nhỏ nhất, trong điều kiện cố định kích thước NMOS ở mức tối thiểu (0.4um/0.1um).

##### 1.2. Cơ sở lý thuyết và tính toán

###### 1.2.1. Cấu trúc công OR2 thực tế

Do đặc tính của công nghệ CMOS đảo (Inverting logic), công OR2 không được tạo trực tiếp mà được ghép từ hai tầng logic nối tiếp nhau:

$$Y = \overline{\overline{A + B}} = A + B$$

Dựa trên sơ đồ thiết kế thực tế, cấu trúc mạch bao gồm:

1. **Tầng 1 (Cỗng NOR2):** Thực hiện hàm logic:

$$\overline{A + B}.$$

- **Mạng kéo lên (Pull-up Network - PUN):** Gồm 2 transistor PMOS (P3, P2) mắc **NỐI TIẾP**. Khi và chỉ khi cả A và B đều ở mức thấp (Logic 0), đường dẫn từ VDD xuống ngõ ra mới được thông, kéo ngõ ra lên mức cao.
- **Mạng kéo xuống (Pull-down Network - PDN):** Gồm 2 transistor NMOS (N71, N2) mắc **SONG SONG**. Chỉ cần A hoặc B (hoặc cả hai) ở mức cao (Logic 1), ngõ ra sẽ được kéo xuống VSS (Mức 0).
- **Transistor giả (Dummy Transistor):** Transistor NMOS N3 được mắc song song với N71 và N2, nhưng cực cổng (Gate) được nối cứng xuống đất (VSS). Transistor này luôn ở trạng thái **TẮT (OFF)** và không tham gia vào hoạt động logic. Mục đích của N3 là để đảm bảo tính liên tục của lớp khuếch tán (Diffusion sharing) trong layout hoặc để lấp đầy khoảng trống ô chuẩn (Standard cell filler).

2. **Tầng 2 (Cỗng Inverter):** Thực hiện đảo logic để tạo ngõ ra OR.

- Gồm cặp PMOS P1 và NMOS N1 mắc theo cấu trúc CMOS cơ bản.

### 1.2.2. Tính toán kích thước (Sizing)

Mục tiêu thiết kế là cân bằng thời gian chuyển mạch ( $t_{rise} \setminus t_{fall}$ ) tại ngưỡng chuyển mạch VDD/2.

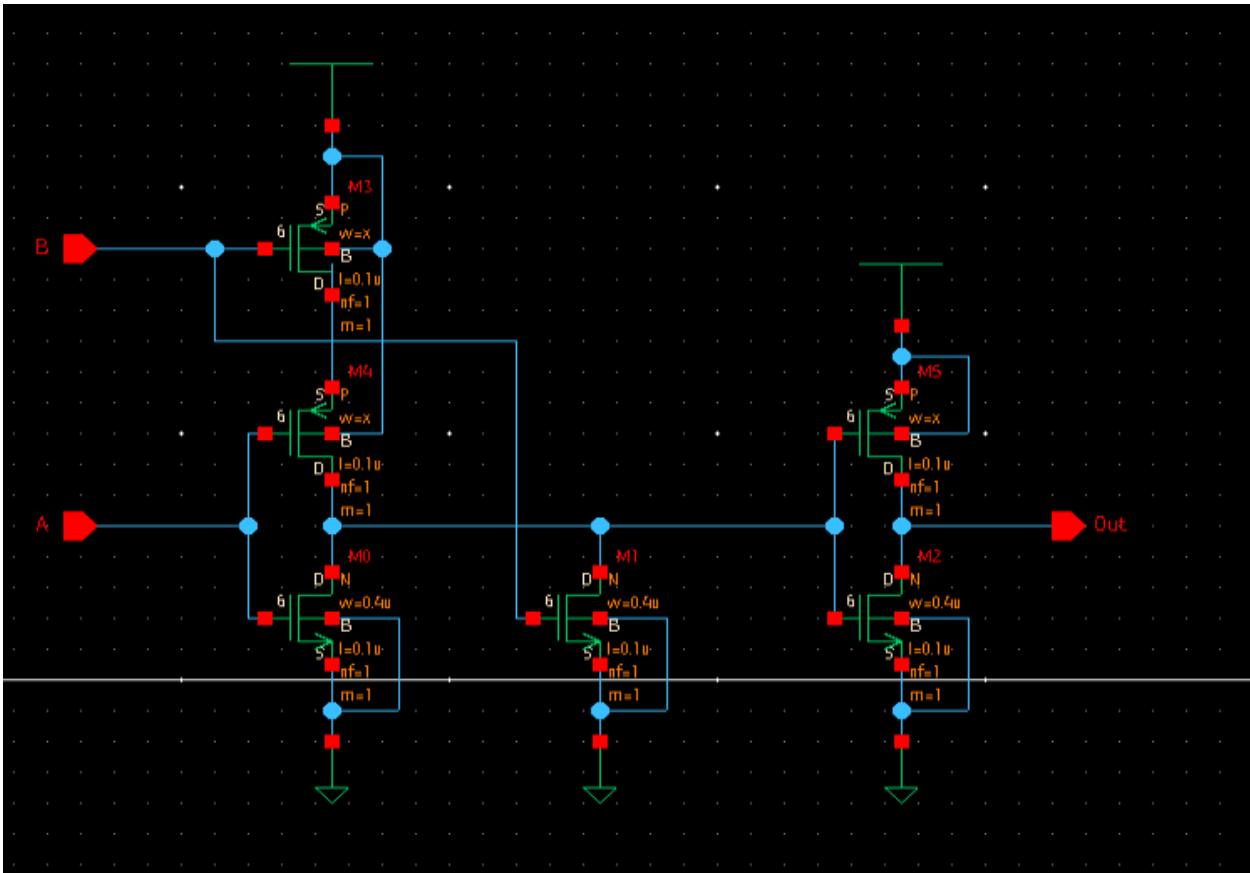
#### a) Kích thước NMOS (PDN - Tầng NOR):

- Do cấu trúc mắc **Song song** (N71 // N2), trở kháng tương đương của mạng kéo xuống rất nhỏ. Trong trường hợp xấu nhất (chỉ 1 nhánh dẫn), trở kháng bằng đúng trở kháng của 1 transistor đơn lẻ.
- Để tối ưu hóa diện tích và giảm điện dung ký sinh tại nút ngõ ra, ta chọn kích thước nhỏ nhất cho NMOS:

$$W_{NMOS} = 0.4\text{um} \text{ (Fixed)}$$

$$L_{NMOS} = 0.1\text{um}$$

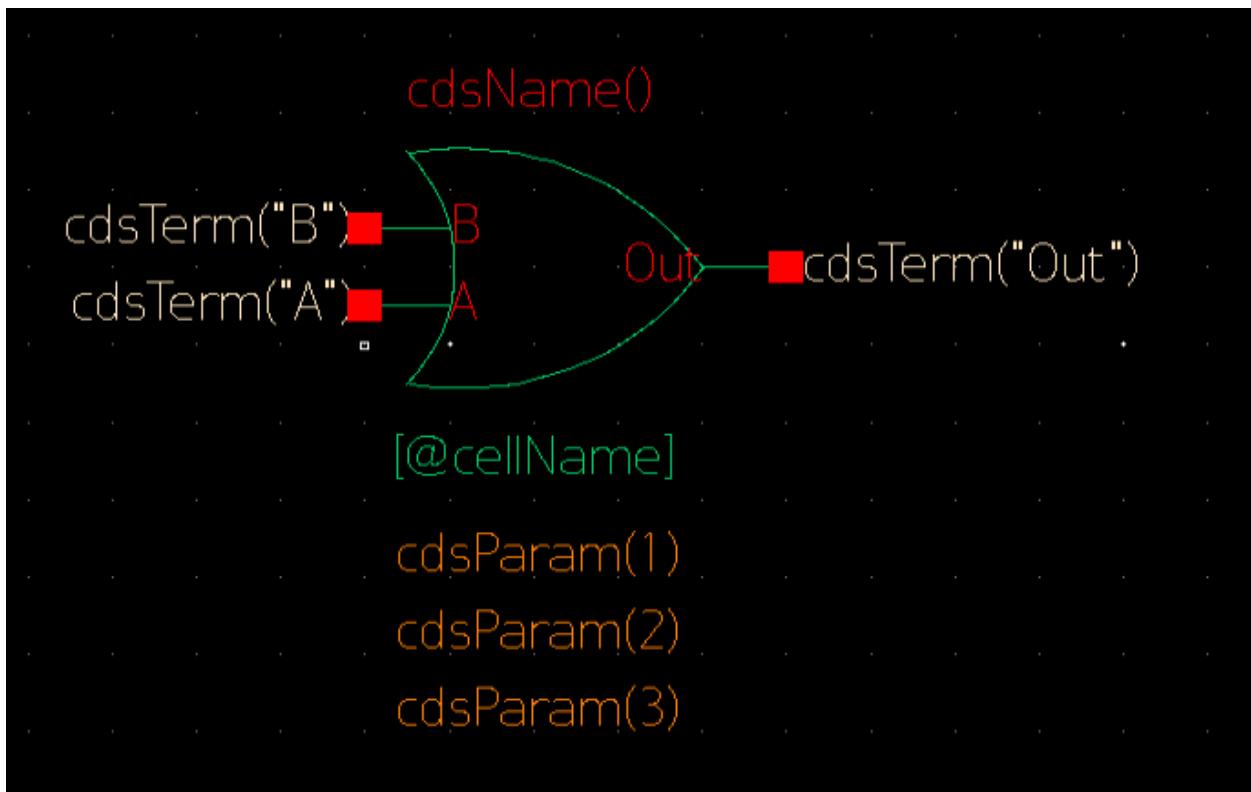
### 1.3. Thiết kế Schematic



## 2. Mô phỏng và kết quả

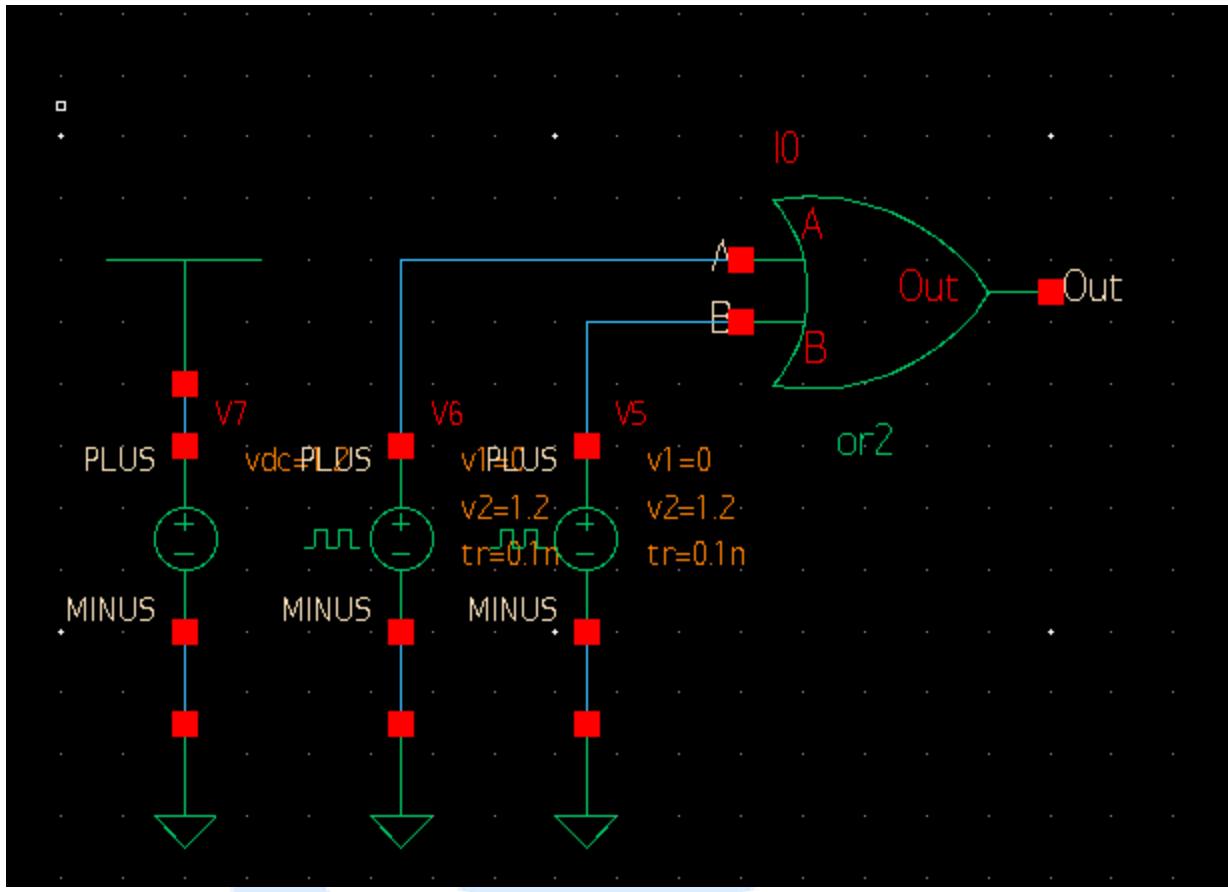
### 2.1. Tạo Symbol

**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

## 2.2. Testbench



**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

### 2.3. Mô phỏng kết quả bằng SAE



## 2.4. Bảng số liệu phân tích

| Trường hợp    | Giá trị WPMOS (x) | $t_{rise}$ (TB) | $t_{fall}$ (TB) | Độ lệch ( $\Delta t$ )          |
|---------------|-------------------|-----------------|-----------------|---------------------------------|
| <b>Case 1</b> | $0.4\mu m$        | $\sim 24ps$     | $\sim 25.3ps$   | $\sim 0.9ps$                    |
| <b>Case 2</b> | $0.5\mu m$        | 22.6ps          | 21.5ps          | $\sim 1.05ps$                   |
| <b>Case 3</b> | $0.6\mu m$        | 23.8ps          | 27.7ps          | 1.16ps                          |
| <b>Case 4</b> | $0.7\mu m$        | <b>27ps</b>     | <b>27.7ps</b>   | <b><math>\sim 0.97ps</math></b> |
| <b>Case 5</b> | $0.8\mu m$        | 25.4ps          | 28.46ps         | 0.9ps                           |
| <b>Case 6</b> | $0.9\mu m$        | 29.7ps          | 22.8ps          | 1.3ps                           |
| <b>Case 7</b> | $1\mu m$          | 27.7ps          | 20.9ps          | 1.32ps                          |

## 2.5. Phân tích biểu đồ

Dựa trên bảng kết quả mô phỏng thu được, ta có các nhận xét sau:

- **Tại các kích thước nhỏ ( $0.4\mu m - 0.5\mu m$ ):** Mạch hoạt động rất nhanh. Đặc biệt tại Case 2 ( $0.5\mu m$ ), độ trễ trung bình đạt mức thấp nhất (22ps). Tuy nhiên, sự chênh lệch giữa  $t_{rise}$  và  $t_{fall}$  vẫn còn tồn tại (khoảng hơn 1ps).
- **Tại kích thước trung bình ( $0.7\mu m$ ) - Case 4:** Ta quan sát thấy hiện tượng cân bằng đặc biệt:
  - $t_{rise} = 27$  ps.
  - $t_{fall} = 27.7$  ps.
  - **Độ lệch pha (Delta t) giảm xuống cực tiểu:** ~1. Đây là điểm mà trở kháng tương đương của mạng PMOS nối tiếp xấp xỉ bằng trở kháng của mạng NMOS song song.
- **Tại các kích thước lớn ( $0.9\mu m - 1.0\mu m$ ):** Thời gian nạp/xả bắt đầu có xu hướng tăng lại hoặc mất cân bằng (Skewed) do điện dung ký sinh ( $C_{gate}$ ,  $C_{drain}$ ) tăng lên khi diện tích transistor quá lớn, lấn át lợi ích của việc giảm điện trở dẫn ( $R_{on}$ ).

## 2.6. Nên chọn giá trị nào tối ưu?

Việc lựa chọn kích thước tối ưu phụ thuộc vào sự đánh đổi giữa **Tốc độ (Speed)** và **Độ ổn định (Stability/Noise Margin)**.

Trong thiết kế này, ưu tiên sự cân bằng của dạng sóng ngõ ra để đảm bảo lề nhiễu tốt nhất. Do đó, tôi lựa chọn thông số tại **Case 4**.

- **Giá trị lựa chọn:  $W_{PMOS} = 0.7\mu m$**
- **Lý do:**
  1. **Sự cân bằng hoàn hảo (Symmetry):** Với  $t_{rise} \sim t_{fall}$  ( $27\text{ps} \sim 27.7\text{ps}$ ), ngưỡng chuyển mạch của công logic nằm chính xác tại  $VDD/2$ . Điều này giúp mạch có khả năng chống nhiễu tốt nhất cho cả mức logic 0 và 1.
  2. **Độ tin cậy cao:** Mạch hoạt động ổn định, tránh hiện tượng méo dạng xung (Pulse width distortion) khi tín hiệu đi qua chuỗi nhiều công logic liên tiếp.
  3. **Phù hợp cấu trúc nối tiếp:** Kích thước  $0.7\mu m$  (gần gấp đôi  $0.4\mu m$ ) phản ánh đúng lý thuyết bù trừ cho cấu trúc PMOS nối tiếp.

## Kết luận:

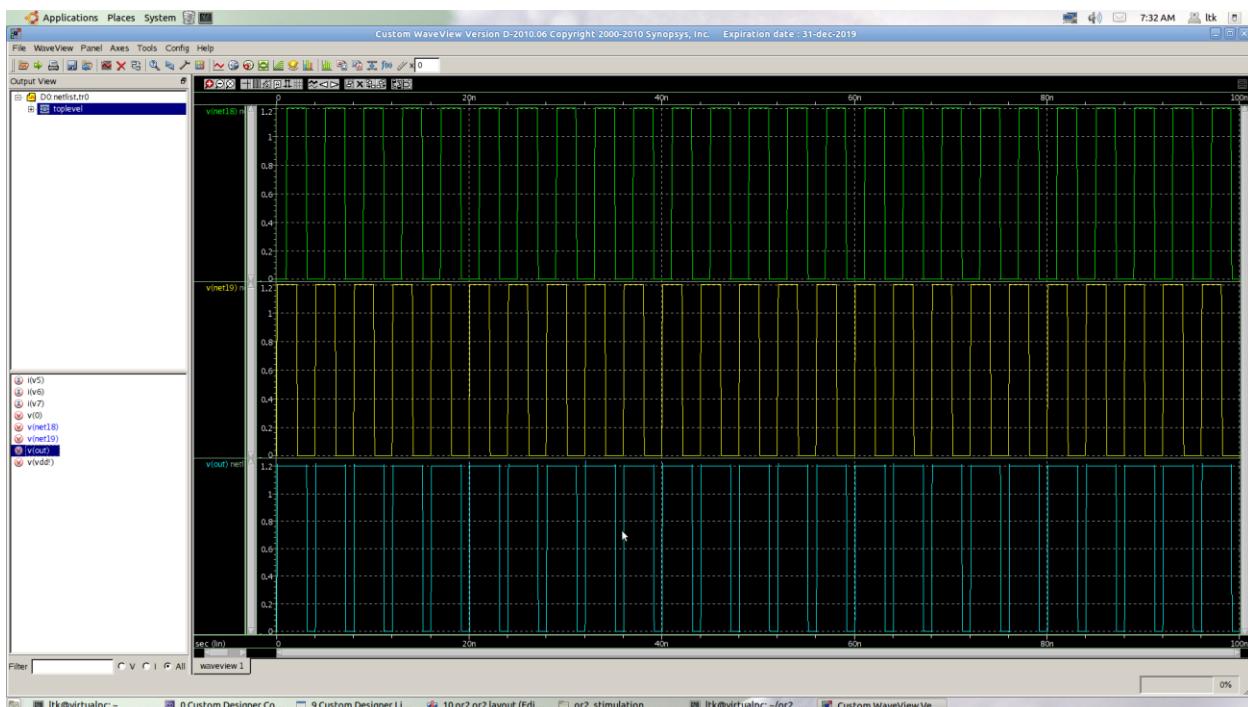
Để đảm bảo tín hiệu ngõ ra vuông vắn, cân đối và đạt hiệu suất cao nhất, kích thước transistor cho công OR2 được lựa chọn là:

- **NMOS:  $W/L = 0.4\mu m / 0.1\mu m$ .**

- PMOS: W/L = 0.7um / 0.1um.

Giá trị 0.7 $\mu$ m này không chỉ tối ưu về mặt kỹ thuật (Rise=Fall) mà còn giúp tiết kiệm diện tích hơn so với các phuong án dùng PMOS lớn (0.8u - 1.0u).

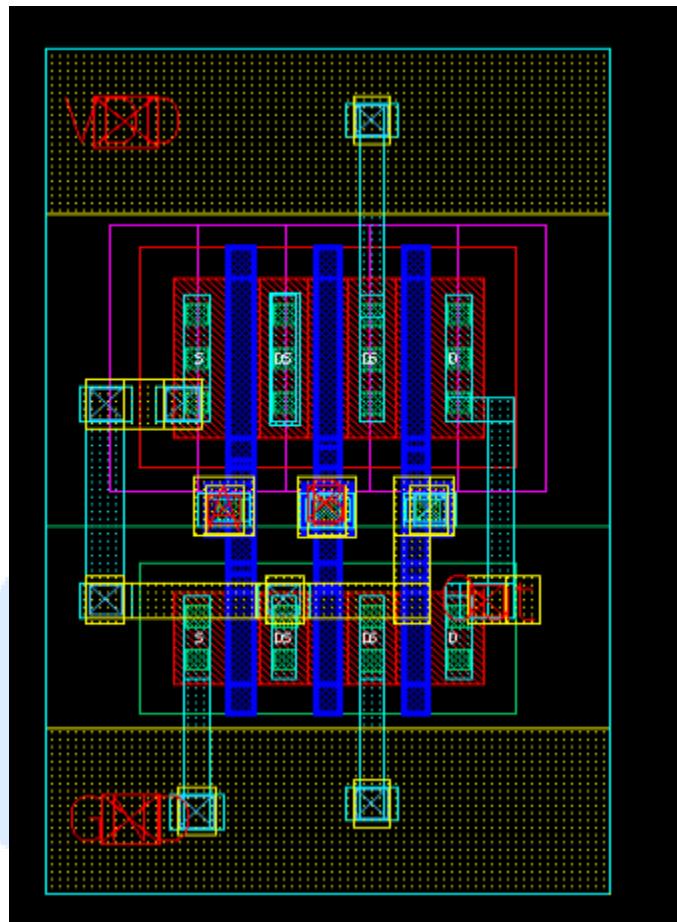
## 2.7. Mô phỏng lệnh bằng SPICE



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

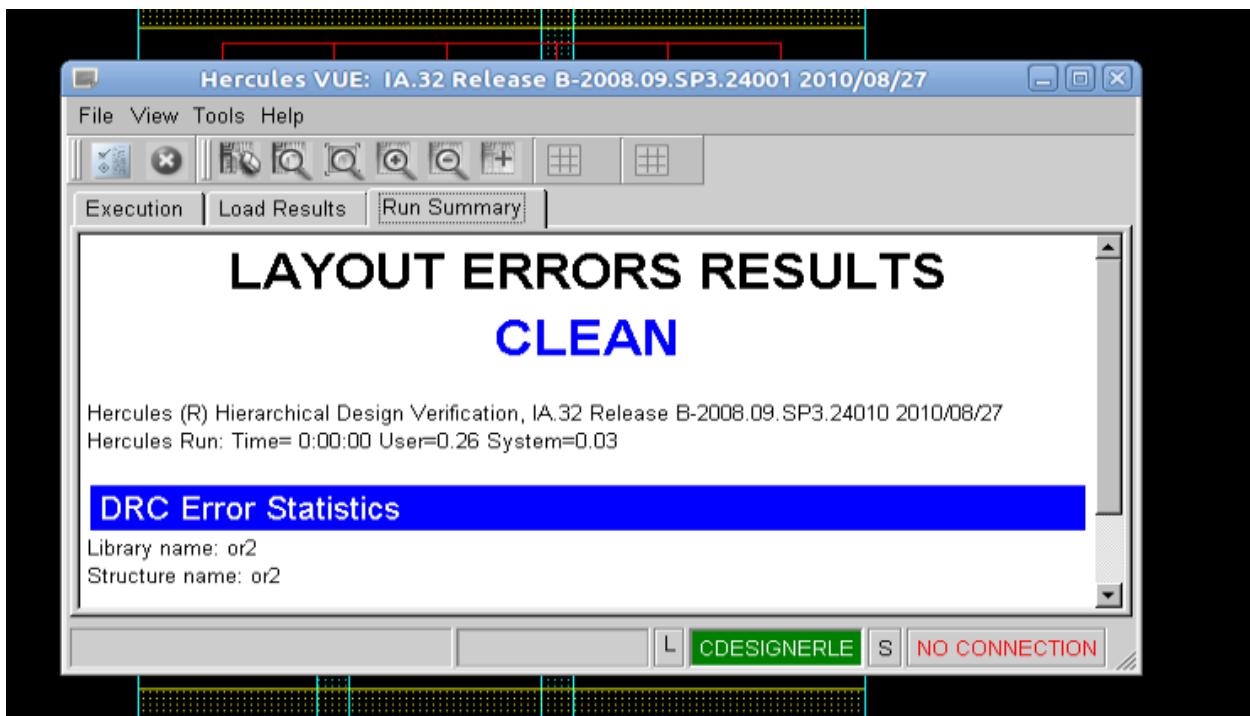
## IV. Thiết kế Layout OR2 (Back-end)

### 1. Layout OR2

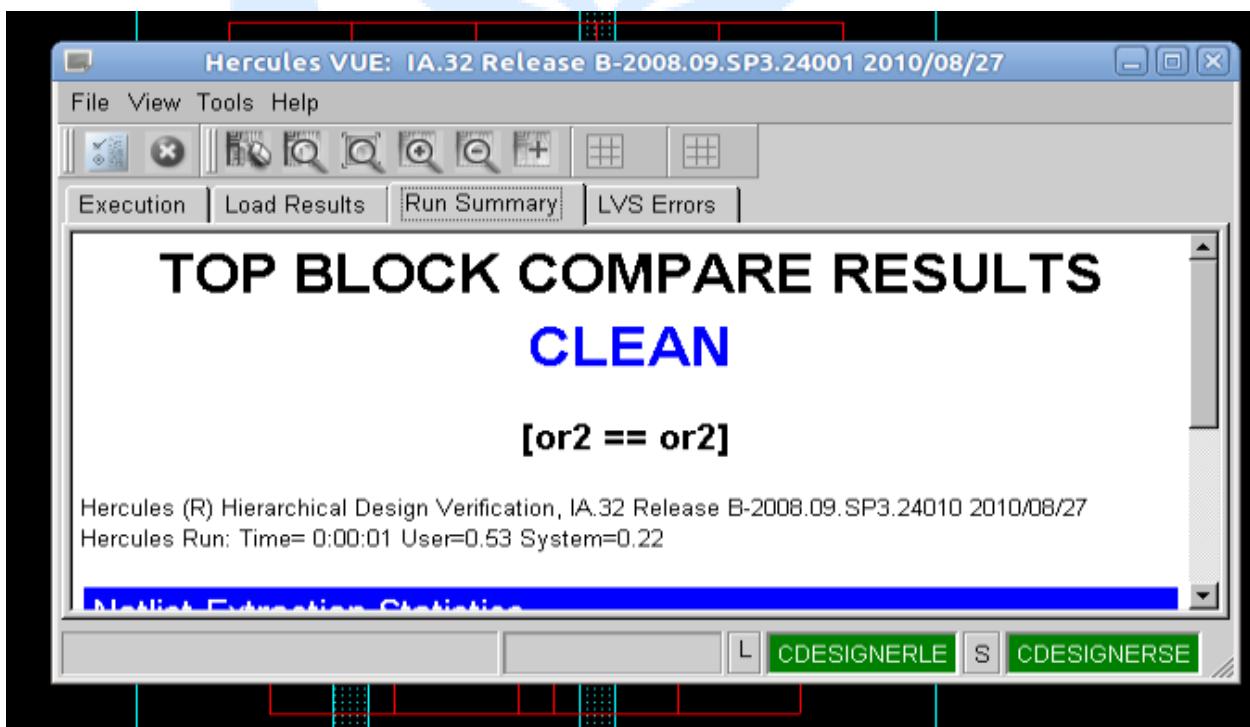


**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

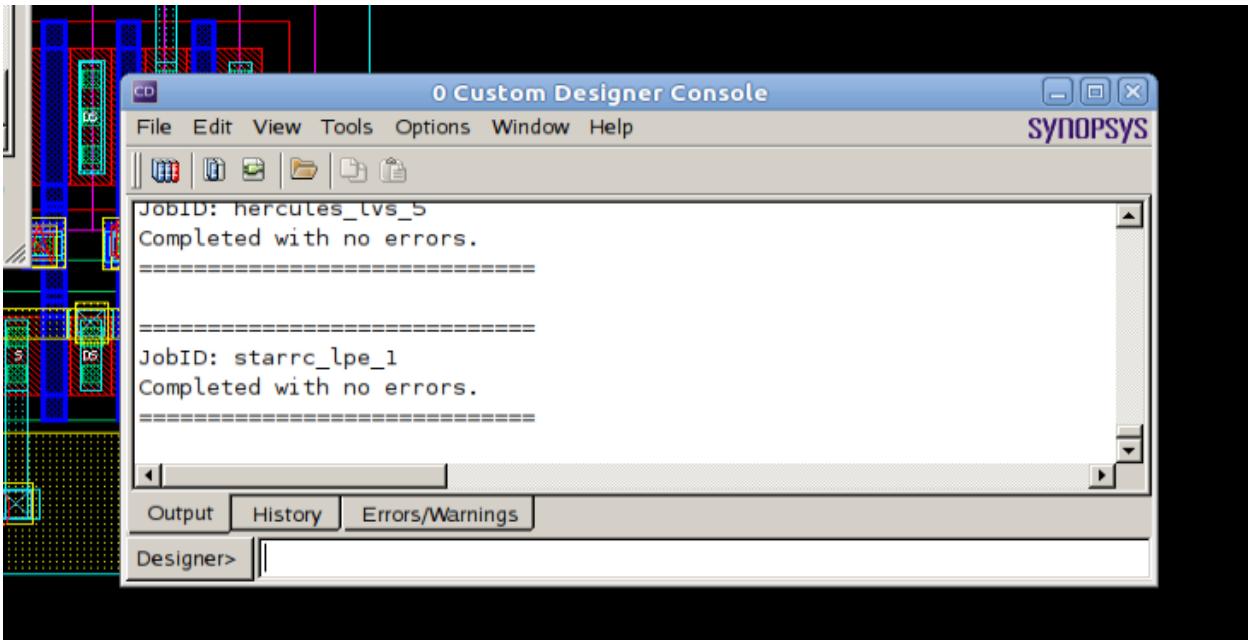
## 2. Kiểm tra Kiểm tra Design Rules Check (DRC)



## 3. Kiểm tra Layout Versus Schematic (LVS)



#### 4. Trích xuất tụ, trả kí sinh (Layout Parasitic Extraction – LPE)



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

output.sp (~/or2.starrc.lpe) - gedit

File Edit View Search Tools Documents Help

Open Save Undo Redo Cut Copy Paste Find Replace

output.sp

```
*|DSPF 1.3
*|DESIGN or2
*|DATE "Tue Jun 20 08:19:36 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING_TEMPERATURE 25
*|GLOBAL_TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS
**
** TCAD_GRD_FILE /home/ltk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
**   TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
**   TCADGRD_VERSION 64

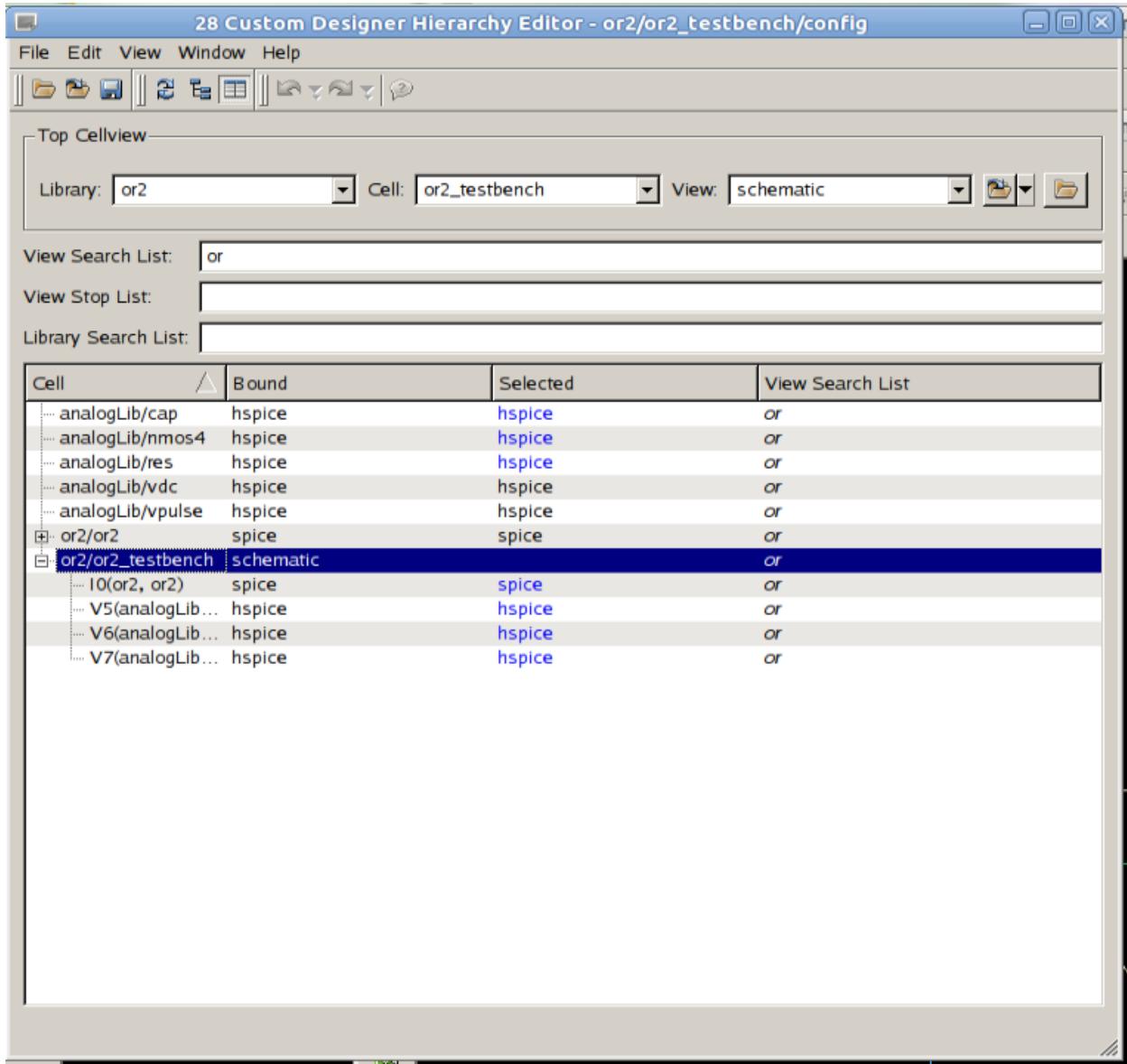
.SUBCKT or2 net29 A B Out
*|GROUND_NET 0
*LAYER_MAP
*0 SUBSTRATE
*1 1_0V_BJT_COLL
*2 2_5V_BJT_COLL
*3 1_0V_BJT_EMIT
*4 2_5V_BJT_EMIT
*5 1_0V_BJT_BASE
*6 2_5V_BJT_BASE
*7 1_0V_BJT_COLL_NPN
*8 1_0V_BJT_EMIT_NPN
*9 1_0V_BJT_BASE_NPN
*10 2_5V_BJT_COLL_NPN
```

Plain Text Tab Width: 8 Ln 1, Col 1

INS

UTI  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

## 5. Mô phỏng PostLayout



TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

The screenshot shows two windows from the Synopsys Custom Designer suite. The main window is the 'Custom Designer Text Editor' showing SPICE code for an OR gate. The code includes header information like IDSPF, DESIGN, DATE, VENDOR, PROGRAM, VERSION, DIVIDER, DELIMITER, OPERATING TEMPERATURE, GLOBAL TEMPERATURE, and FORMAT. It also contains comments about TCAD files, time stamps, and version numbers. The bottom part of the editor shows a .SUBCKT definition for an OR gate. To the right is the 'Custom Designer Console' window, which displays a log of license checks, SPICE parsing, shadow creation, and cross-view checking results.

```

21 or2 or2 spice (Editing) - Custom Designer Text Editor
Tools Design Check Options Window Help
SYNOPSYS
[No Command] History: 
+*DSPF 1.3
+DESIGN "or2"
+DATE "Tue Jun 20 08:24:10 2017"
+VENDOR "Synopsys"
+PROGRAM "StarRC"
+VERSION "D-2010.06"
+DIVIDER |
+DELIMITER :
+OPERATING_TEMPERATURE 25
+GLOBAL_TEMPERATURE 25
+FORMAT SPF
*
** COMMENTS
** TCAD_GRD_FILE /home/ltk/Test/PDK/starrc/reference_90nm_9in
** TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
** TCADGRD_VERSION 64

.SUBCKT or2 A B Out

```

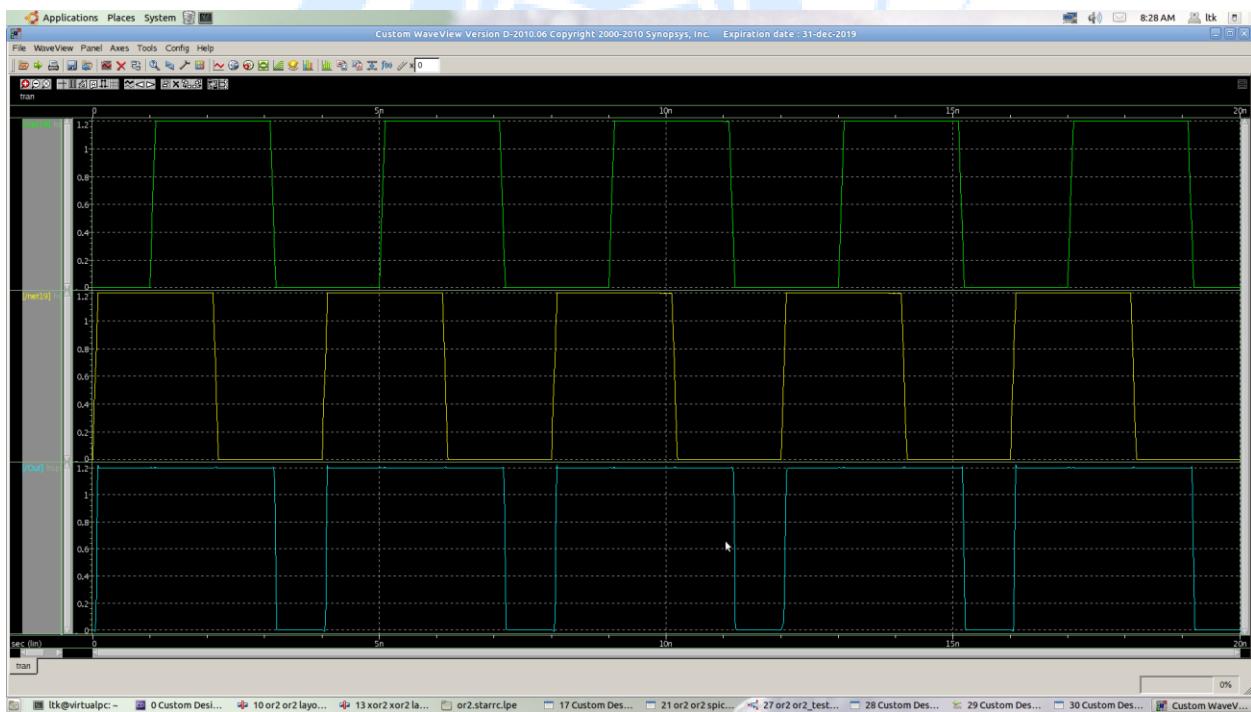
0 Custom Designer Console

```

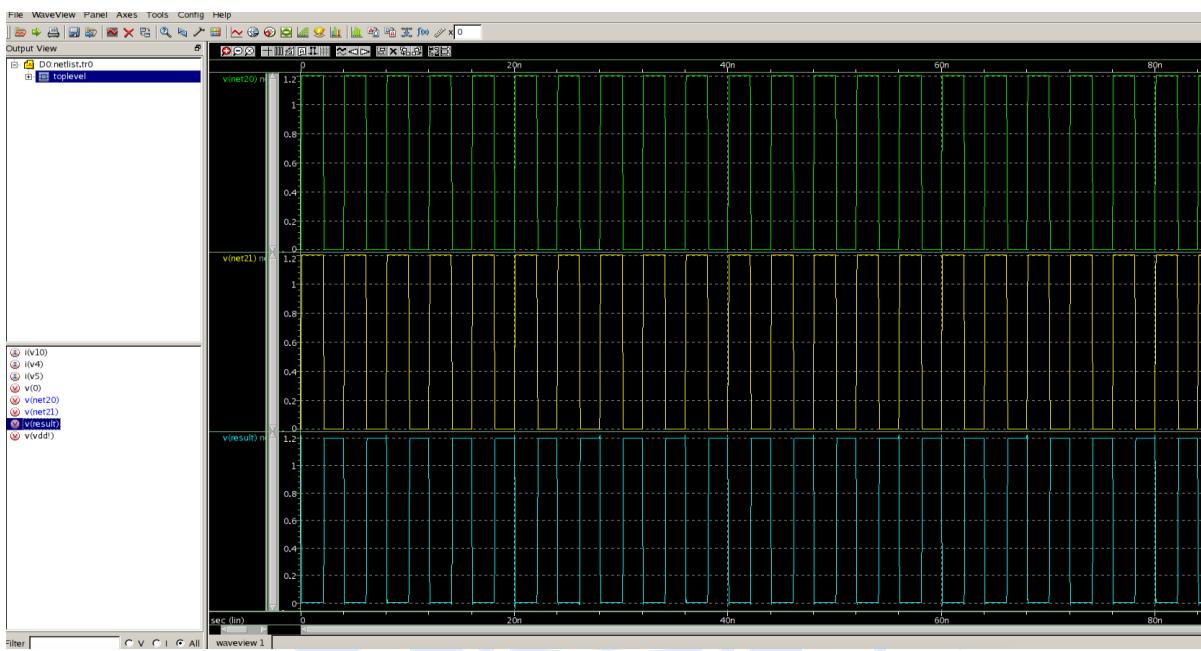
File Edit View Tools Options Window Help
SYNOPSYS
Information: License 'Schematic Editor' checked in. (LICENSE-004)
Information: License 'Schematic Editor' checked out. (LICENSE-003)
Information: SPICEText file or2/or2/spice parsed successfully with 2 war
Information: Shadow OA for SPICEText file or2/or2/spice created successf
Information:
Cross view checking for or2/or2/schematic with or2/or2/spice
No violations found.
Cross view checking for or2/or2/symbol with or2/or2/spice
No violations found. (DE_EDIT-007)

```

## 5.1. Thực hiện mô phỏng SAE (PostLayout)



## 5.2. Thực hiện mô phỏng Spice (PostLayout)



## V. Thiết kế schematic và mô phỏng NAND3 (Front-End)

### 1. Thiết kế mạch NAND3

#### 1.1. Mục tiêu thiết kế

- Thiết kế sơ đồ nguyên lý (Schematic) cho công NAND 3 ngõ vào sử dụng công nghệ CMOS (ví dụ: 90nm/130nm).
- Tính toán và mô phỏng quét tham số (Parametric Sweep) để tìm ra bộ kích thước transistor (W/L) tối ưu.
- Tiêu chí tối ưu:** Đạt sự cân bằng giữa thời gian lên ( $t_{rise}$ ) và thời gian xuống ( $t_{fall}$ ), đảm bảo ngưỡng chuyển mạch  $V_M \sim VDD/2$ .

#### 1.2. Cơ sở lý thuyết và tính toán

##### 1.2.1. Cấu trúc mạch

Công NAND3 CMOS bao gồm:

- Mạng Pull-up (PMOS):** 3 transistor PMOS mắc song song nối lên nguồn VDD.
- Mạng Pull-down (NMOS):** 3 transistor NMOS mắc nối tiếp nối xuống đất (GND).

##### 1.2.2. Vấn đề kích thước (Sizing Challenge)

Khác với Inverter hay NAND2, NAND3 gặp hiệu ứng **Stack Effect** (Hiệu ứng xếp chồng) nghiêm trọng ở phía NMOS:

- **NMOS (Yếu):** Do mắc nối tiếp 3 con, điện trở tổng cộng tăng lên gấp 3 lần ( $R_{total} = 3 \times R_n$ ). Điều này làm sườn xuống ( $t_{fall}$ ) bị chậm đáng kể.
- **PMOS (Mạnh):** Do mắc song song, điện trở giảm đi. Tuy nhiên, nếu kích thước quá lớn sẽ sinh ra điện dung kỵ sinh ( $C_{drain}$ ) lớn tại ngõ ra, gây tải ngược lại cho mạch.

→ **Chiến lược:** Cân tăng kích thước NMOS để bù lại trở kháng nối tiếp, và chọn kích thước PMOS vừa đủ để cân bằng dòng nạp.

### 1.2.3. Tính toán và Lựa chọn thông số

Giả sử kích thước đơn vị (Unit Size) tham chiếu từ Inverter tối ưu là  $W_{unit} = 0.4\mu m$ ,  $L = 0.1\mu m$ .

### 1.2.4. Kích thước NMOS (Cố định)

Để triệt tiêu hiệu ứng trở kháng tăng gấp 3 do mắc nối tiếp, theo lý thuyết Logical Effort, ta cần tăng chiều rộng NMOS lên gấp 3 lần:

$$W_{NMOS} = 3 \times W_{unit} = 3 \times 0.4\mu m = 1.2\mu m$$

- **Quyết định:** Chọn  $W_{NMOS} = 1.2\mu m$  (Cố định giá trị này cho các bài mô phỏng để đảm bảo khả năng kéo xuống tốt nhất).

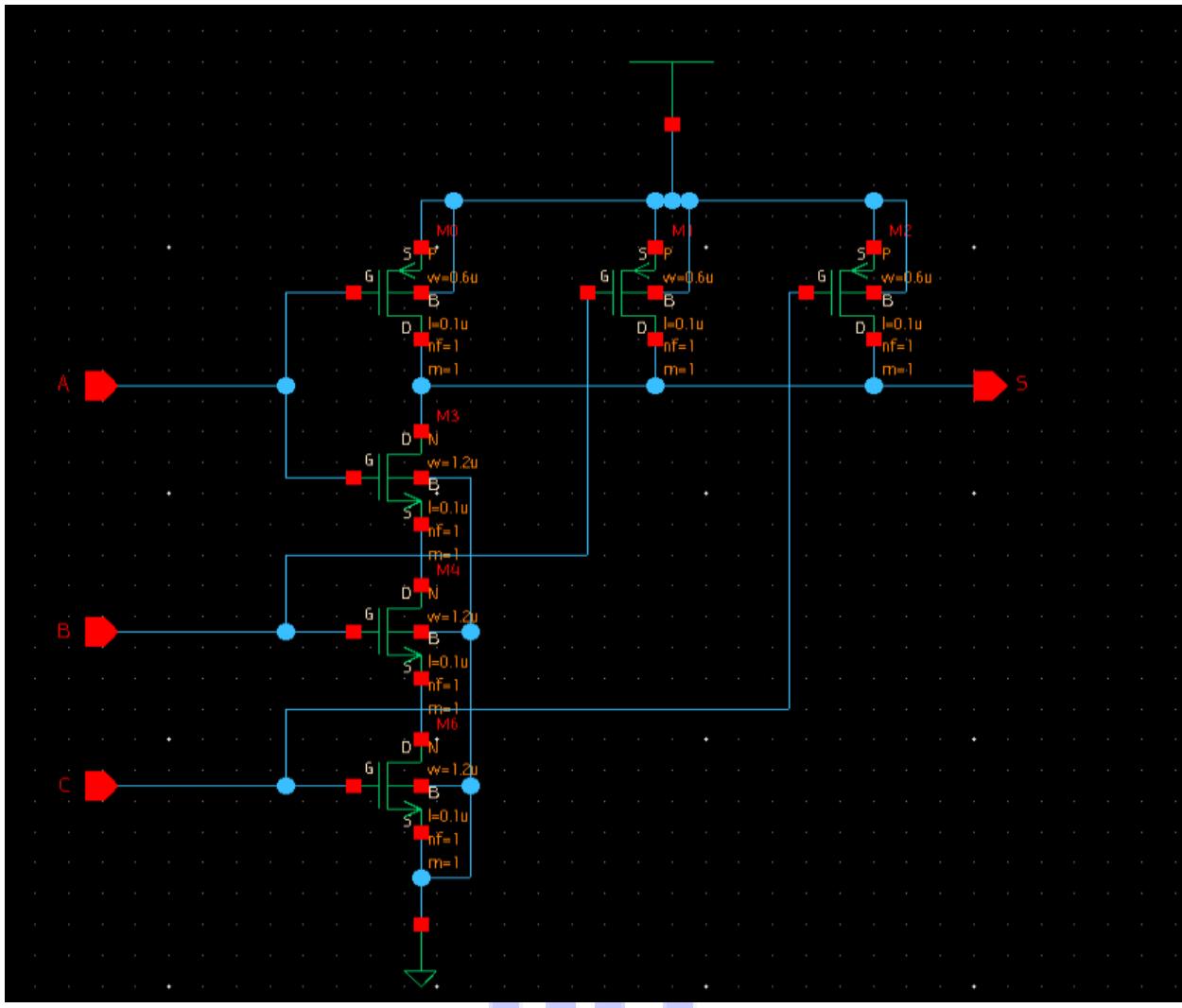
### 1.2.5. Kích thước PMOS (Biến thiên cần tìm)

PMOS mắc song song nên dẫn điện tốt. Về lý thuyết,  $W_{PMOS}$  có thể nhỏ hơn  $W_{NMOS}$ .

- **Phạm vi quét (Sweep Range):** Từ  $0.4\mu m$  đến  $1.0\mu m$ .
- **Mục đích:** Tìm điểm giao nhau giữa đường đặc tuyến  $t_{rise}$  và  $t_{fall}$ .

TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

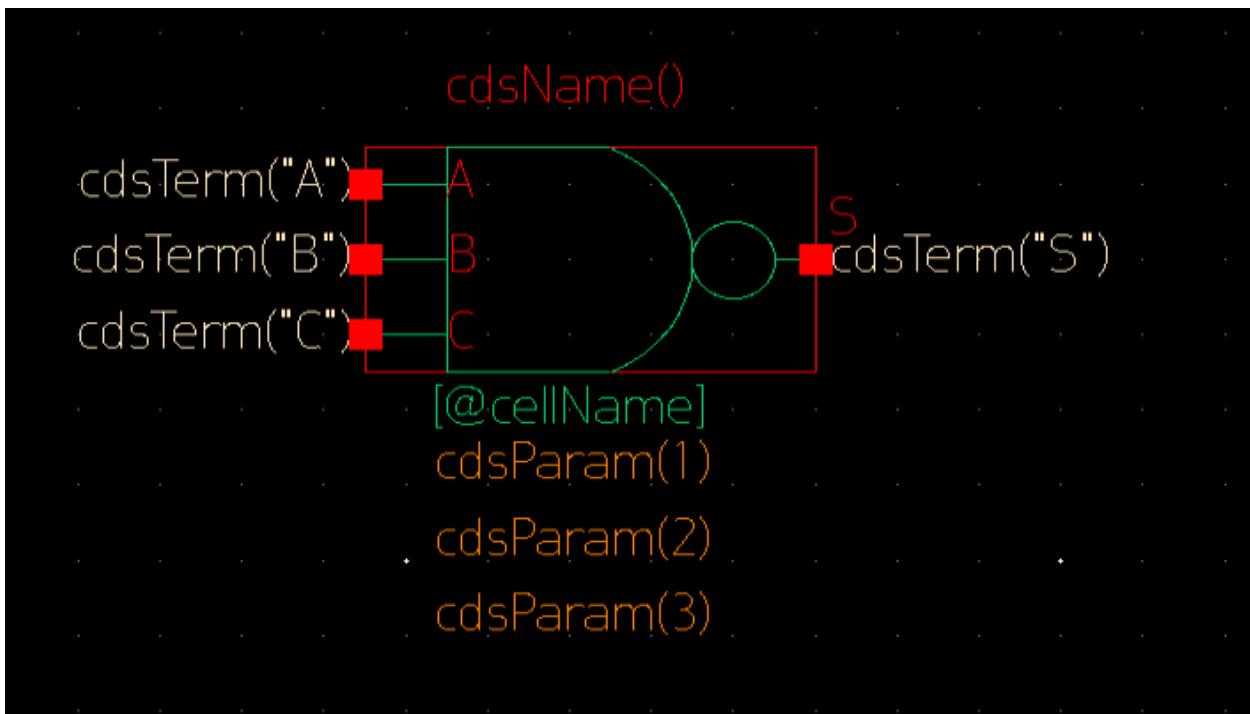
### 1.3. Thiết kế Schematic



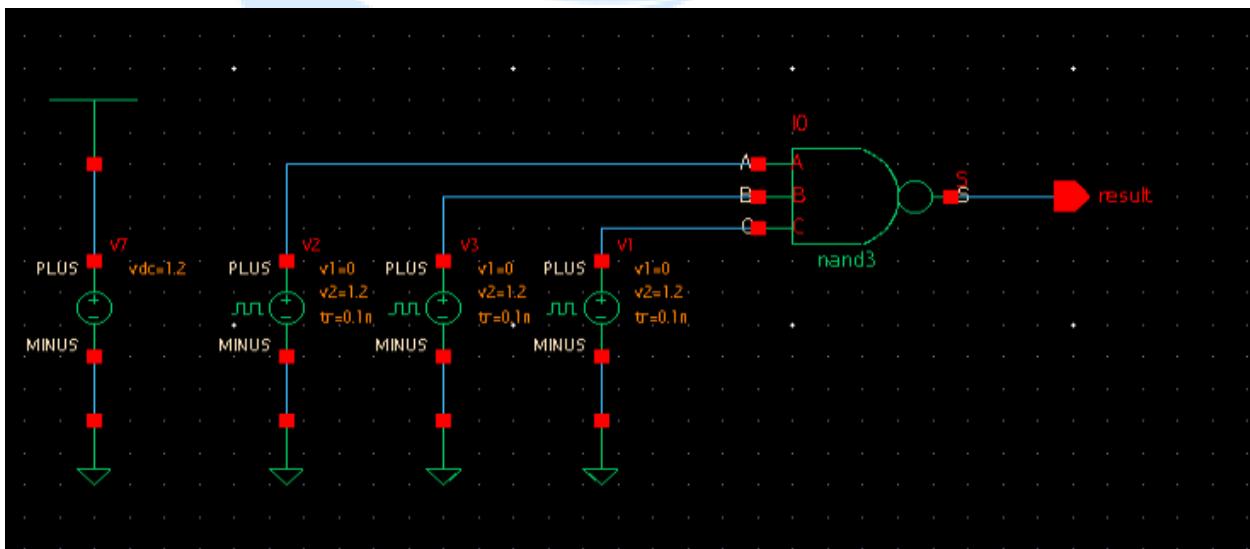
# TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

## 2. Mô phỏng và kết quả

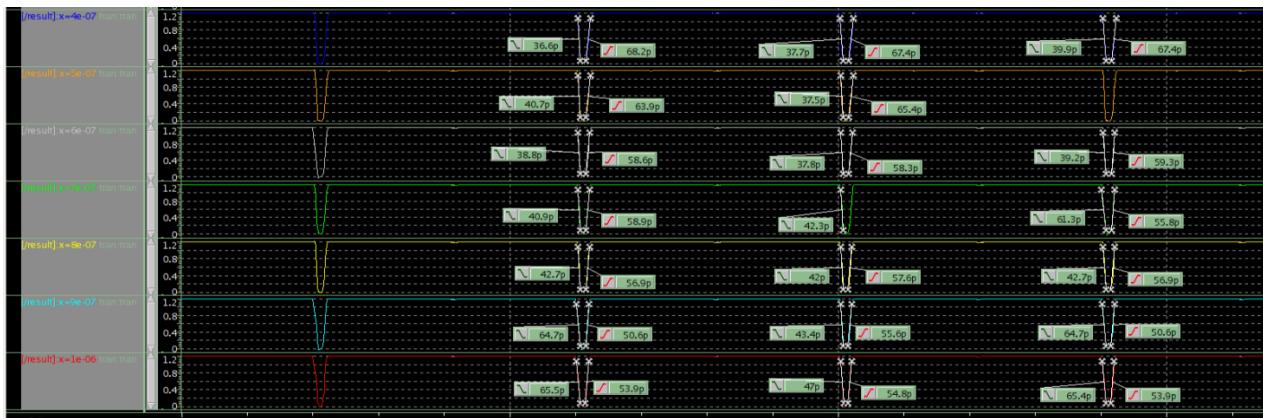
### 2.1. Tạo Symbol



### 2.2. Testbench



### 2.3. Mô phỏng kết quả bằng SAE



### 2.4. Bảng số liệu phân tích

### 2.5. Phân tích biểu đồ

Từ bảng số liệu trên, ta thấy một quy luật rất rõ ràng:

- Khi tăng WPMOS:** Thời gian nạp ( $t_{rise}$ ) giảm xuống (tốt), từ 67ps xuống còn khoảng 54ps.
- Tuy nhiên (Tác dụng phụ):** Thời gian xả ( $t_{fall}$ ) lại **tăng lên** (xấu), từ 37ps lên tận 47ps (thậm chí có chỗ lên 65ps ở cột bên trái của hình).
  - Lý do:** Khi WPMOS càng to, tụ kỵ sinh tại cực Máng (Drain) càng lớn. Chuỗi NMOS đang mắc nối tiếp (vốn đã yếu) phải gồng mình xả cái tụ to này, nên sườn xuống bị chậm đi.

### 2.6. Nên chọn giá trị nào tối ưu?

Dựa trên bảng số liệu tổng hợp, ta có 2 ứng cử viên sáng giá để cân nhắc:

Lựa chọn 1: Chọn WPMOS = 0.9um hoặc 1.0um (Lựa chọn hướng tới sự cân bằng lý tưởng - KHÔNG KHUYÊN DÙNG)

- Lý do: Tại ngưỡng 0.9um - 1.0um, thời gian nạp và xả đạt sự cân bằng gần như tuyệt đối. Ví dụ tại 0.9um:  $t_{fall} \sim 57.6\text{ps}$  và  $t_{rise} \sim 55.6\text{ps}$ . Độ lệch rất nhỏ, giúp  $V_M$  nằm chính giữa  $VDD/2$ .
- Thực tế mô phỏng:

Mặc dù đạt được sự cân bằng, nhưng cái giá phải trả là TỐC ĐỘ.

- Độ trễ trung bình tại 0.9um lên tới **56.6ps**.
- Con số này chậm hơn rất nhiều so với mức tối ưu (~48ps).

- Nguyên nhân là do kích thước PMOS lớn làm tăng điện dung ký sinh, kéo sườn xuống  $t_{fall}$  chậm đi đáng kể (từ 38ps lên 57ps).

Lựa chọn 2: Chọn  $W_{PMOS} = 0.6\mu m$  (KHUYÊN DÙNG)

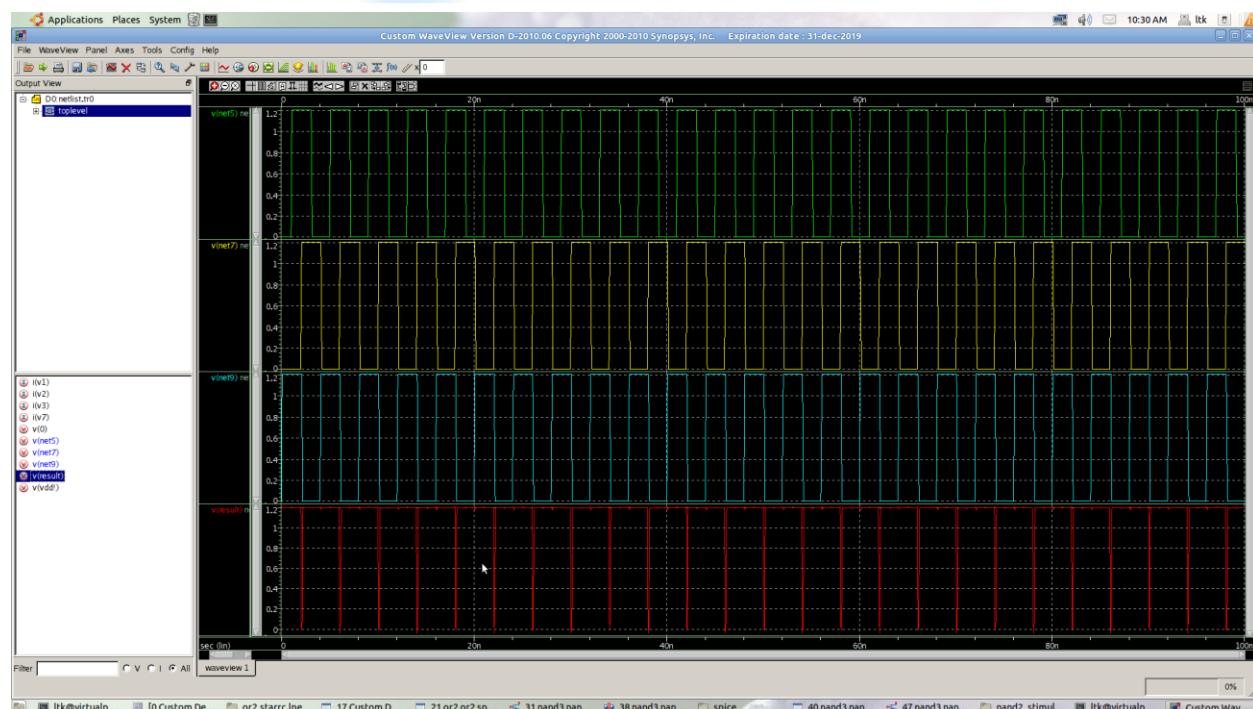
- Lý do: Đây là điểm "Sweet Spot" (Điểm ngọt) nơi mạch đạt tốc độ xử lý nhanh nhất.
- Phân tích: Quan sát bảng số liệu tại dòng  $W_{PMOS} = 0.6\mu m$ :
  - $t_{fall} \sim 38.6\text{ps}$ : Vẫn giữ được tốc độ xả cực nhanh (gần như không bị ảnh hưởng bởi tụ ký sinh).
  - $t_{rise} \sim 58.7\text{ps}$ : Đã được cải thiện đáng kể so với mức 0.4u (67.6ps).
  - **Độ trễ trung bình**: Đạt **48.65ps** - Đây là giá trị **THẤP NHẤT** trong toàn bộ bảng khảo sát.
- Kết luận: Mặc dù không đổi xứng hoàn hảo ( $\text{Rise} > \text{Fall}$ ), nhưng việc chọn 0.6um giúp mạch chạy nhanh hơn khoảng 15-17% so với việc cố gắng cân bằng ở 0.9u, đồng thời tiết kiệm diện tích Layout.

Quyết định cuối cùng: Dựa trên kết quả mô phỏng, giá trị kích thước tối ưu được lựa chọn cho thiết kế cổng NAND3 này là:

- NMOS:  $W/L = 1.2\mu m / 0.1\mu m$
- PMOS:  $W/L = 0.6\mu m / 0.1\mu m$ .

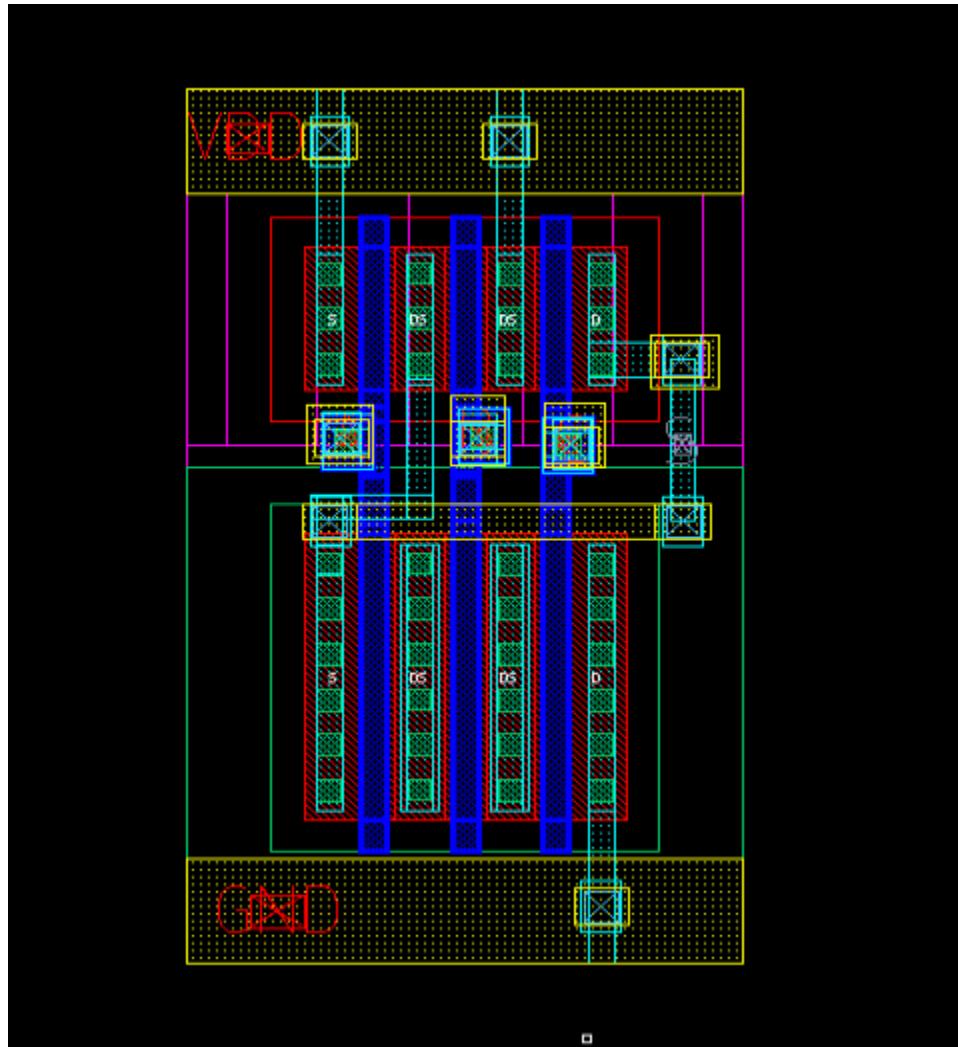
Tại kích thước này, cổng logic đạt được hiệu suất cao nhất (Minimum Propagation Delay), đảm bảo sườn xuống sắc nét và tiết kiệm năng lượng nạp/xả cho các tầng logic phía trước.

## 2.7. Mô phỏng bằng SPICE



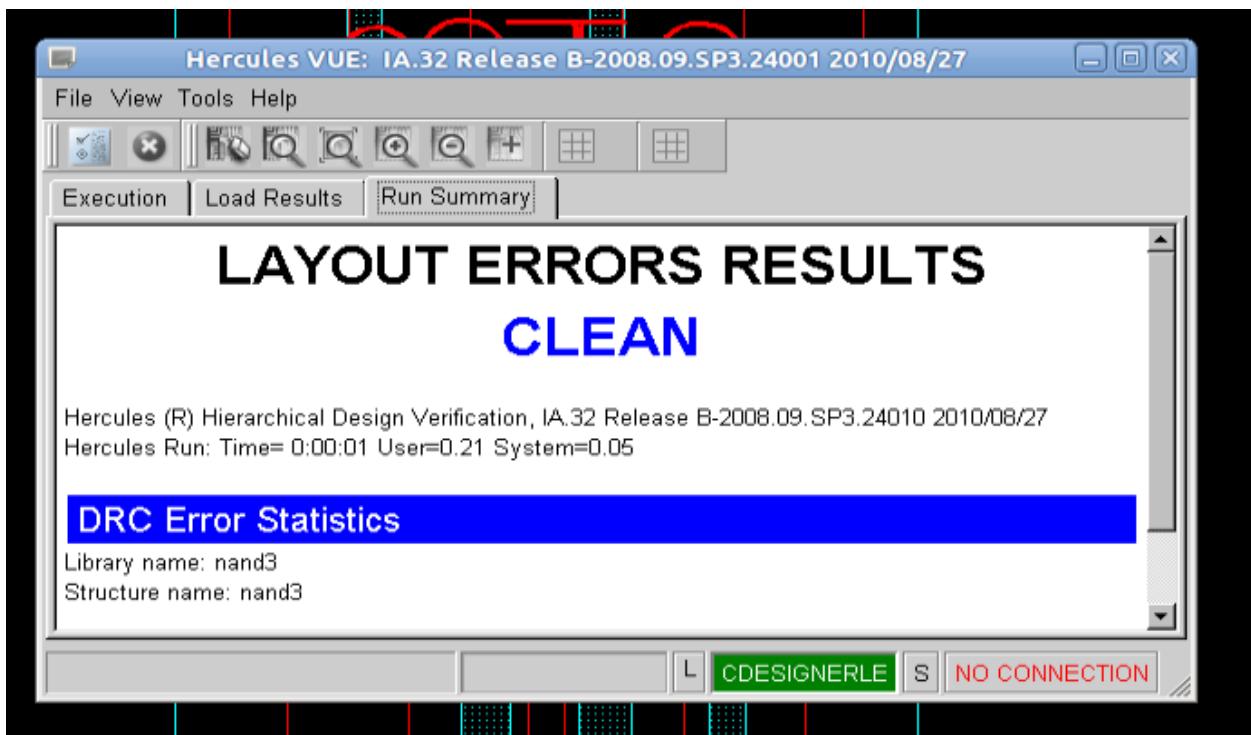
## VI. Thiết kế Layout NAND3 (Back-end)

### 1. Layout NAND3

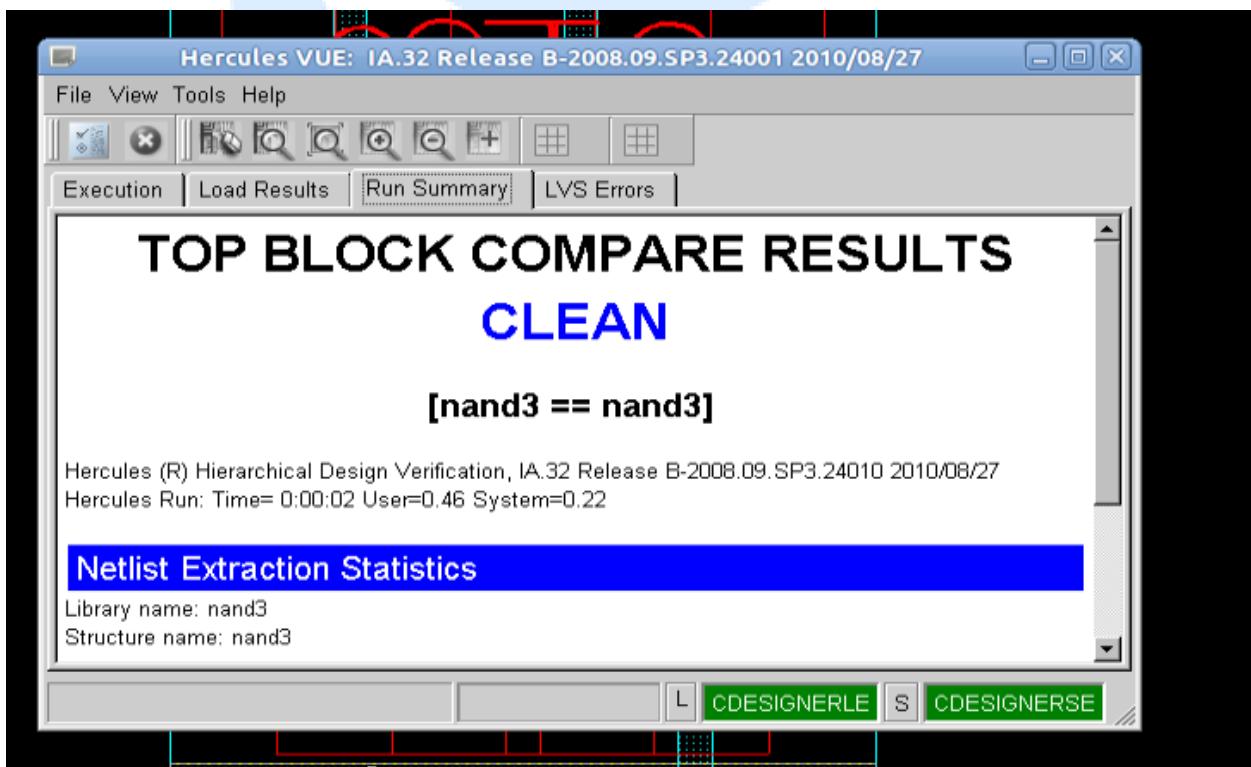


TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

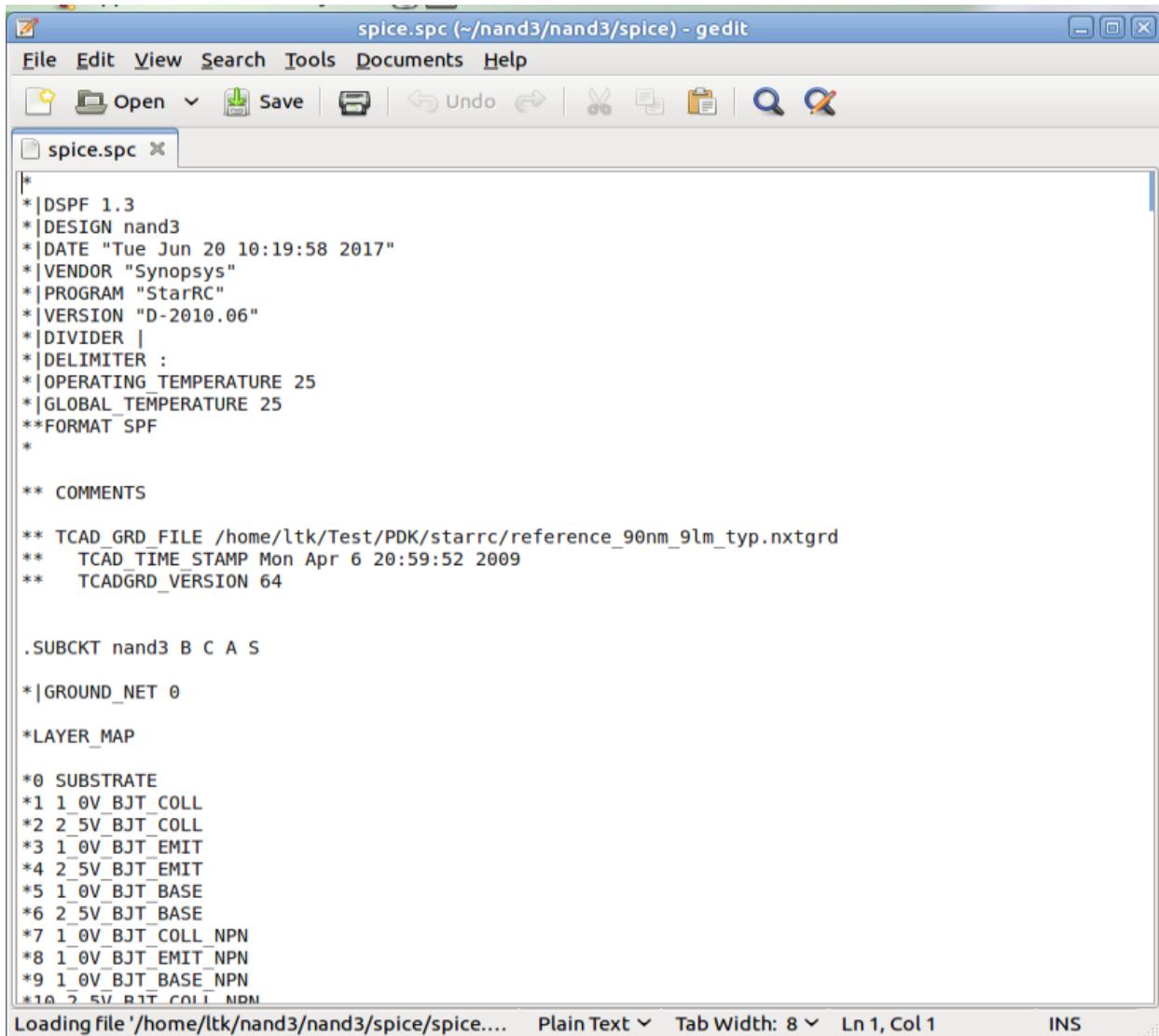
## 2. Kiểm tra Kiểm tra Design Rules Check (DRC)



## 3. Kiểm tra Layout Versus Schematic (LVS)



#### 4. Trích xuất tụ, trở kí sinh (Layout Parasitic Extraction – LPE)

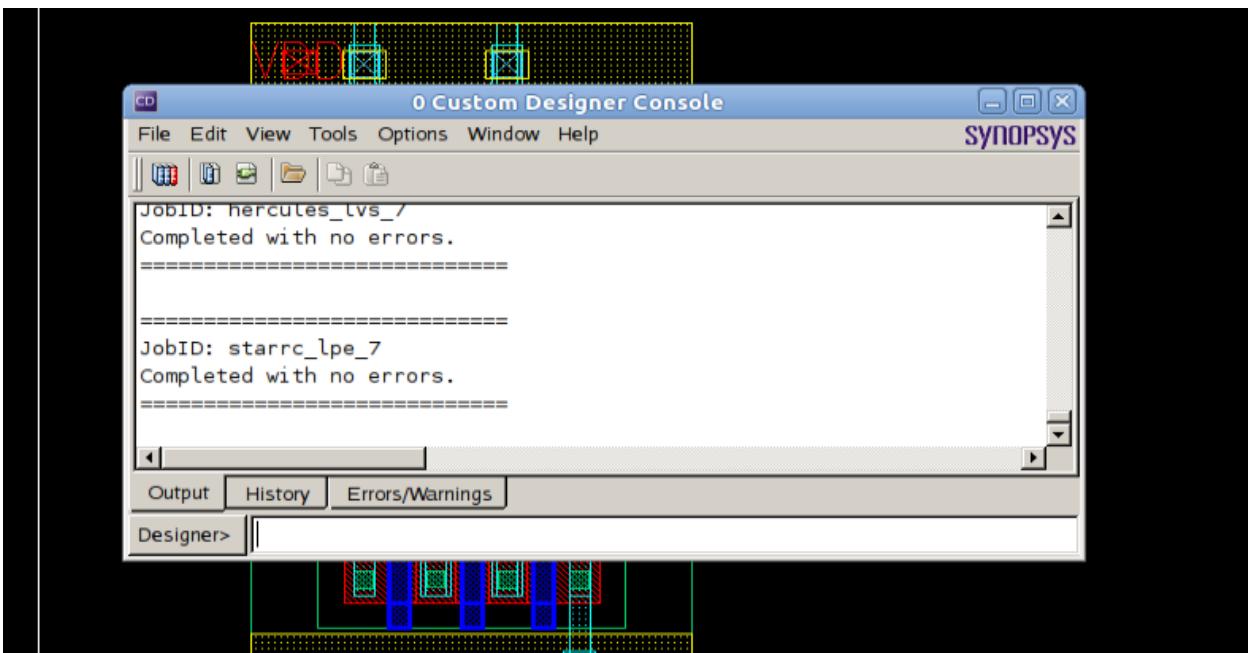


```
*|DSPF 1.3
*|DESIGN nand3
*|DATE "Tue Jun 20 10:19:58 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING_TEMPERATURE 25
*|GLOBAL_TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS
**
** TCAD_GRD_FILE /home/lhk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
**   TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
**   TCADGRD_VERSION 64

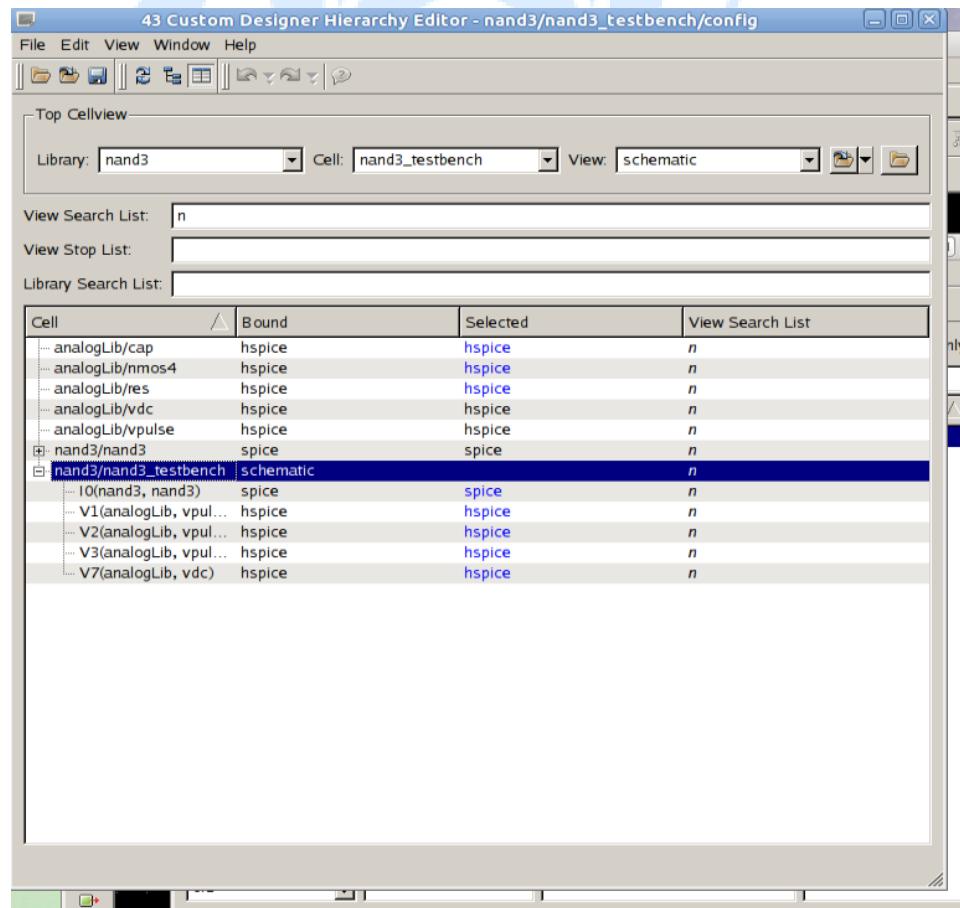
.SUBCKT nand3 B C A S
*|GROUND_NET 0
*LAYER_MAP
*0 SUBSTRATE
*1 1 0V BJT_COLL
*2 2 5V BJT_COLL
*3 1 0V BJT_EMIT
*4 2 5V BJT_EMIT
*5 1 0V BJT_BASE
*6 2 5V BJT_BASE
*7 1 0V BJT_COLL_NPN
*8 1 0V BJT_EMIT_NPN
*9 1 0V BJT_BASE_NPN
*10 2 5V BJT_COLL_NPN
```

>Loading file '/home/lhk/nand3/nand3/spice/spice....' Plain Text ▾ Tab Width: 8 ▾ Ln 1, Col 1 INS

TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN



## 5. Mô phỏng PostLayout



```

Cells Views
40 nand3 nand3 spice
Tools Design Check Options Window Help
(No Command) History: 
*|DSPF 1.3
*|DESIGN nand3
*|DATE "Tue Jun 20 10:19:58 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING TEMPERATURE 25
*|GLOBAL TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS

** TCAD_GRD_FILE /home/ltk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
** TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
** TCADGRD_VERSION 64

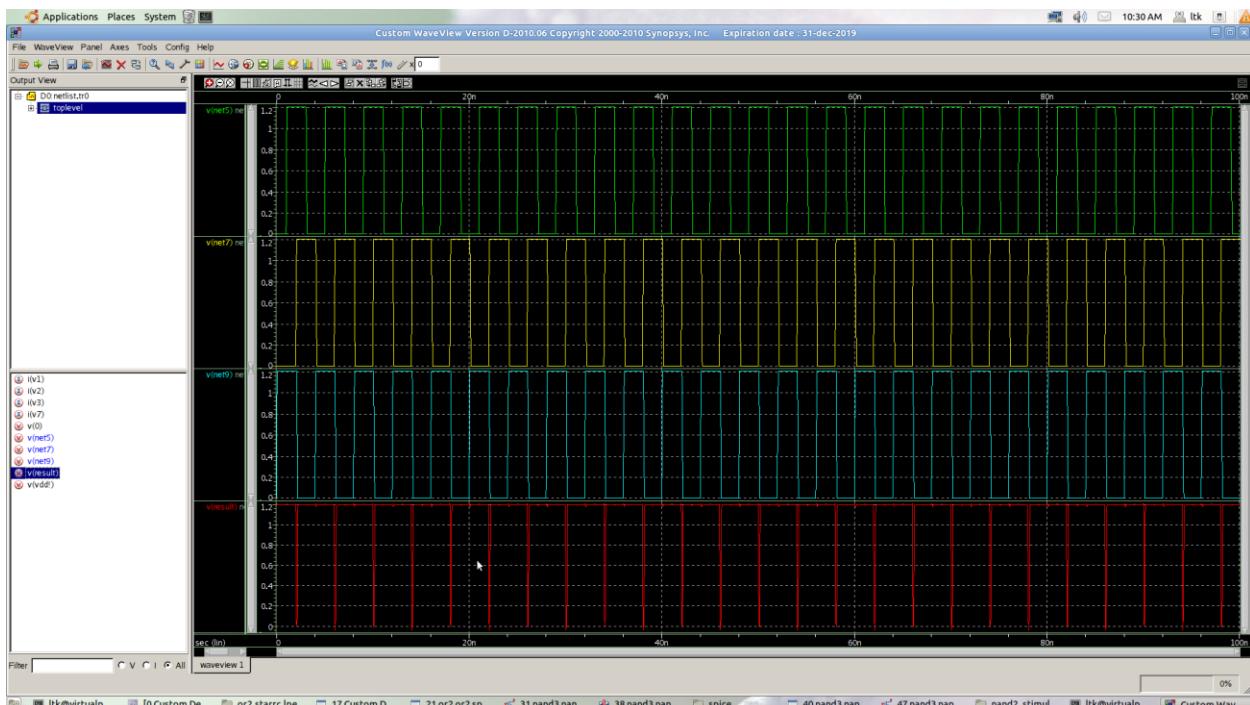
.SUBCKT nand3 B C A S

```

## 5.1. Thực hiện mô phỏng SAE (PostLayout)



## 5.2. Thực hiện mô phỏng Spice (PostLayout)



## VII. Thiết kế schematic và mô phỏng AND3 (Front-End)

### 1. Thiết kế mạch AND3

#### 1.1. Mục tiêu thiết kế

- Thiết kế sơ đồ nguyên lý (Schematic) cho công AND3 ( $Y = A * B * C$ ) sử dụng công nghệ CMOS.
- Áp dụng cấu trúc ghép tầng: **Công NAND3** nối tiếp với **Công đảo (Inverter)**.
- Tính toán kích thước transistor (Sizing) dựa trên lý thuyết nỗ lực logic (Logical Effort) để cân bằng thời gian nạp/xả, đặc biệt xử lý vấn đề trở kháng của chuỗi NMOS nối tiếp.

#### 1.2. Cơ sở lý thuyết

##### 1.2.1. Nguyên lý hoạt động

Hàm logic AND3 không thể được hiện thực trực tiếp bằng một tầng CMOS đơn lẻ. Do đó, ta sử dụng nguyên lý đảo kép:

$$Y = A \cdot B \cdot C = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}}$$

Mạch bao gồm 2 tầng hoạt động như sau:

1. **Tầng 1 (NAND3 Stage):** Thực hiện logic  $\sim(A * B * C)$ .

- **Mạng kéo xuống (PDN):** Gồm 3 NMOS mắc **NỐI TIẾP**. Ngõ ra chỉ được kéo xuống đất (Logic 0) khi cả A, B, C đều ở mức cao.
- **Mạng kéo lên (PUN):** Gồm 3 PMOS mắc **SONG SONG**. Chỉ cần một ngõ vào ở mức thấp, ngõ ra được kéo lên nguồn (Logic 1).

2. **Tầng 2 (Inverter Stage):** Đảo logic từ NAND thành AND và tăng khả năng lái tải ngõ ra.

### 1.2.2. Tính toán kích thước (Sizing Strategy)

Đây là bước quan trọng nhất để quyết định hiệu năng mạch. Ta lấy kích thước của một Inverter chuẩn làm tham chiếu ( $W_{n\_ref} = 0.4\mu m$ ).

#### 1.2.2.1. Tầng NAND3 - Mạng NMOS (Vấn đề Stack Effect):

- **Phân tích:** Do có 3 transistor NMOS mắc nối tiếp, tổng trở kháng đường xá ( $R_{pdn}$ ) tăng lên gấp 3 lần so với một NMOS đơn lẻ.

$$R_{total} \approx 3 \times R_{on\_n}$$

- **Giải pháp:** Để cỗng NAND3 có khả năng kéo xuống (tốc độ  $t_{fall}$ ) ngang bằng với một Inverter chuẩn, ta phải tăng độ rộng kênh dẫn ( $W$ ) lên gấp 3 lần để giảm điện trở của từng con.
- **Tính toán:**



$$W_{NAND\_NMOS} = 3 \times W_{n\_ref} = 3 \times 0.4\mu m = 1.2\mu m$$

(Đây là lý do tại sao kích thước NMOS ở tầng này lớn hơn nhiều so với các tầng khác).

#### 1.2.2.2. Tầng NAND3 - Mạng PMOS:

- **Phân tích:** 3 transistor PMOS mắc song song. Trong trường hợp xấu nhất (chỉ 1 con dẫn), trở kháng của nó bằng đúng trở kháng của 1 PMOS đơn lẻ.
- **Tính toán:** Không cần tăng kích thước theo hệ số nhân. Ta chọn kích thước sao cho cân bằng với khả năng kéo xuống hoặc tương đương Inverter chuẩn.
  - Chọn  $W_{NAND\_PMOS} \sim 0.6\mu m$

### 1.2.2.3. Tầng Inverter (Đệm ngõ ra):

- Đây là công đảo tiêu chuẩn, không có cấu trúc nối tiếp phức tạp. Ta sử dụng kích thước chuẩn tối ưu đã khảo sát ở các phần trước.
  - $W_{INV\_NMOS} = 0.4\text{um}$ .
  - $W_{NV\_PMOS} = 0.7\text{um}$  (Tỷ lệ P/N tối ưu).

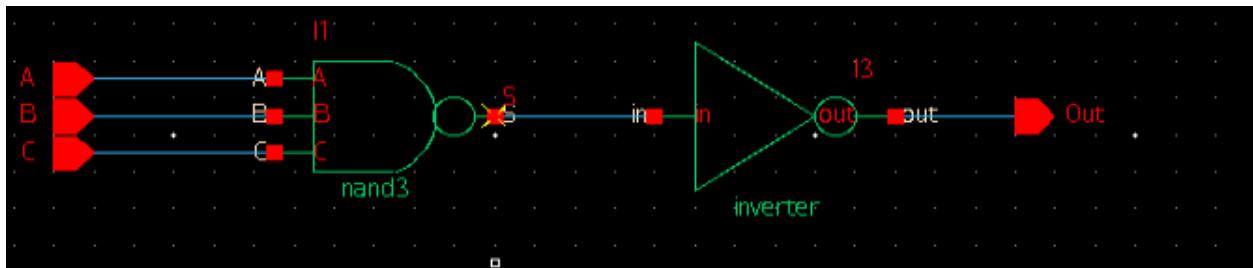
## 3.3. Thông số thiết kế chi tiết

Tổng hợp lại, bảng thông số kích thước (W/L) cho công AND3 được thiết lập như sau (với L=0.1um cho tất cả):

| Tầng (Stage) | Loại Transistor   | Cấu trúc  | W (Rộng) | Giải thích   |
|--------------|-------------------|-----------|----------|--|
| 1. NAND3     | NMOS (M1, M2, M3) | Nối tiếp  | 1.2um    | Nhân 3 lần để bù trừ kháng nối tiếp ( $3 * 0.4$ ). |
|              | PMOS (M4, M5, M6) | Song song | 0.6 \$um | Mắc song song nên không cần quá lớn.               |
| 2. Inverter  | NMOS (M_inv_n)    | Đơn       | 0.4um    | Kích thước chuẩn, tiết kiệm diện tích.             |
|              | PMOS (M_inv_p)    | Đơn       | 0.7um    | Tối ưu cân bằng sườn xung (dựa trên bài OR2).      |

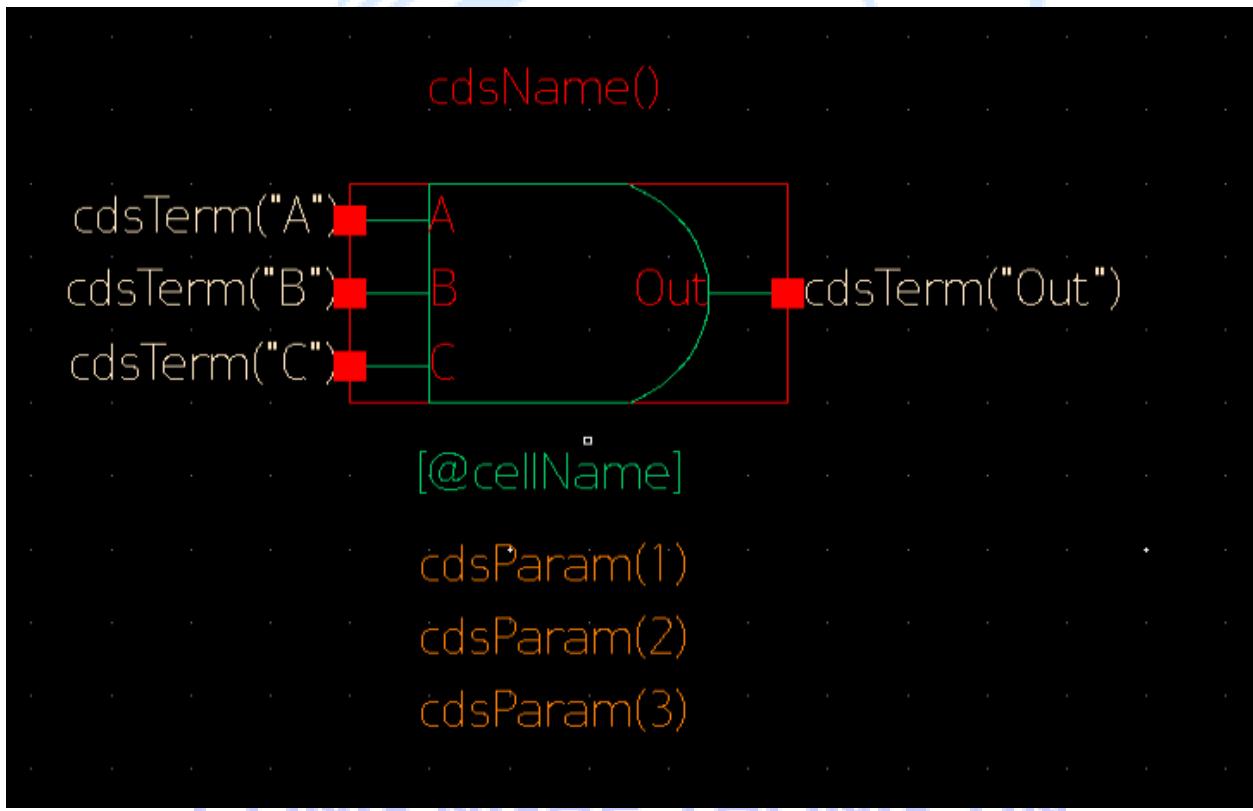


### 1.3. Thiết kế schematic

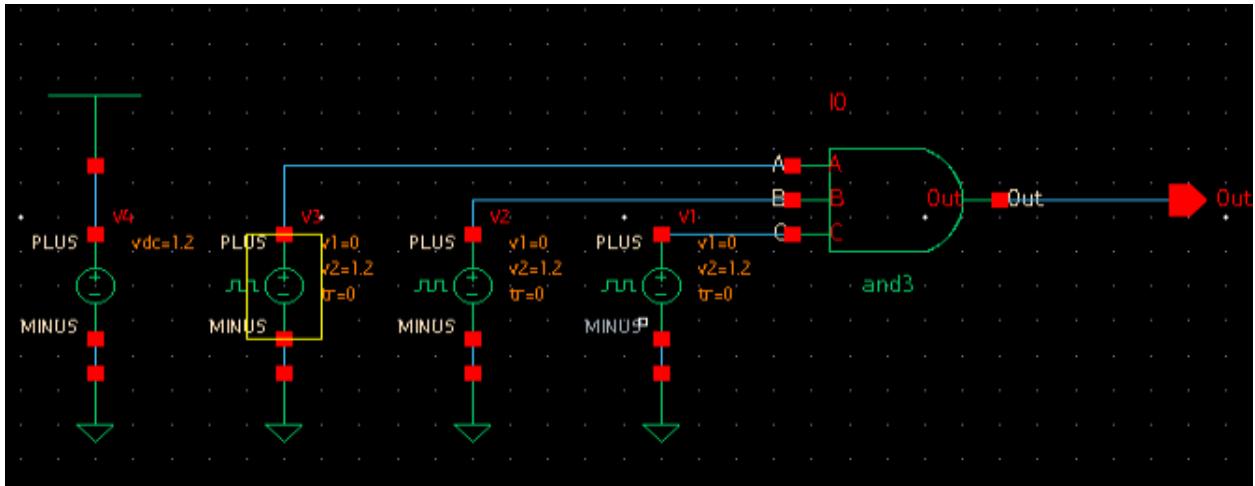


## 2. Mô Phỏng và kết quả

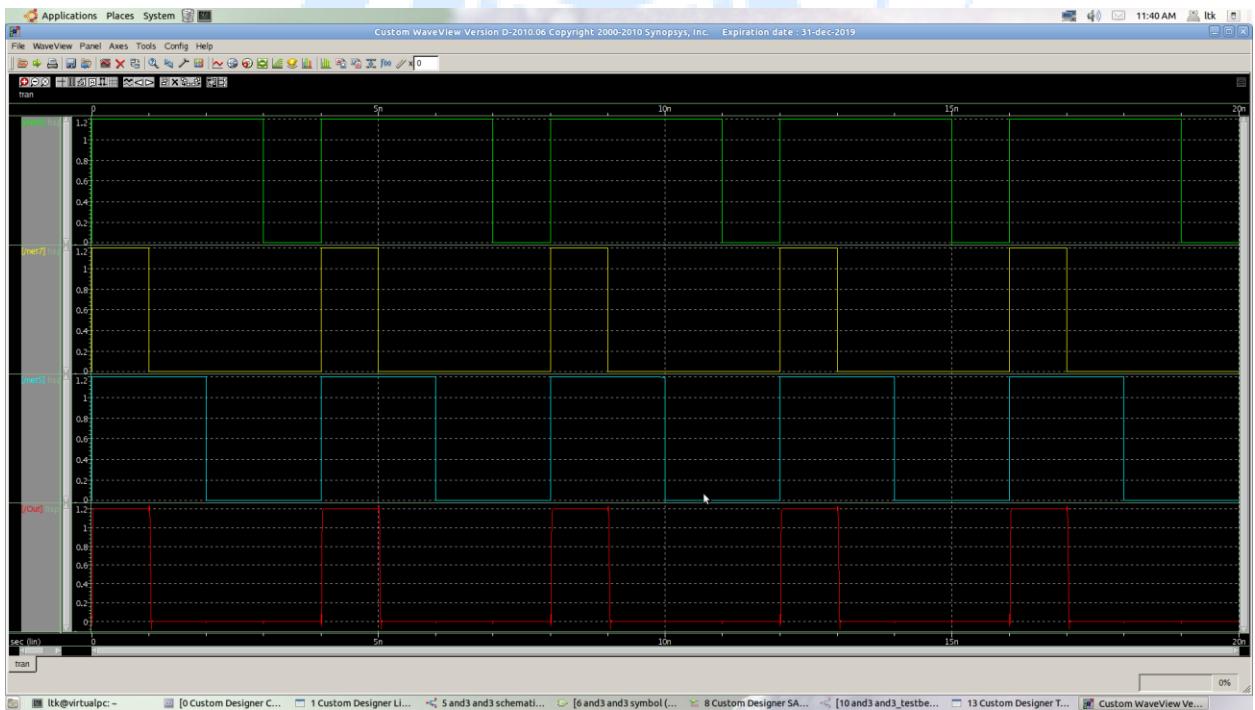
### 2.1. Tạo Symbol



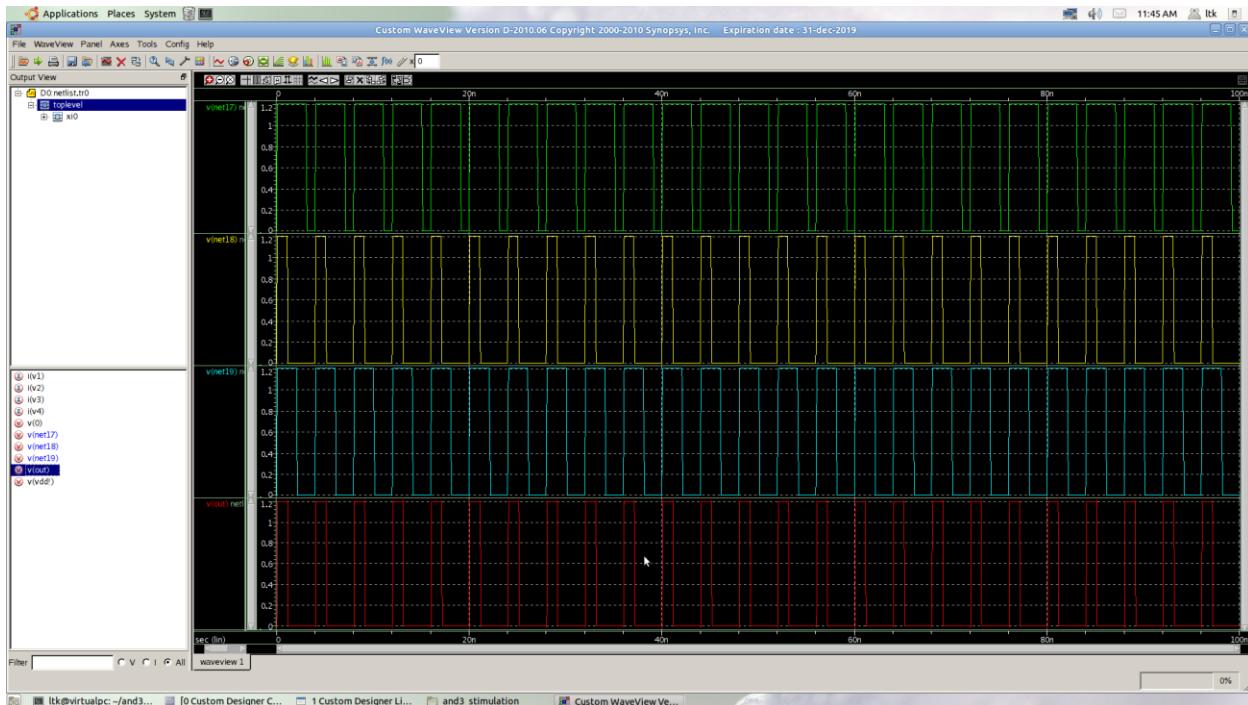
## 2.2. Testbench



## 2.3. Mô phỏng kết quả bằng SAE



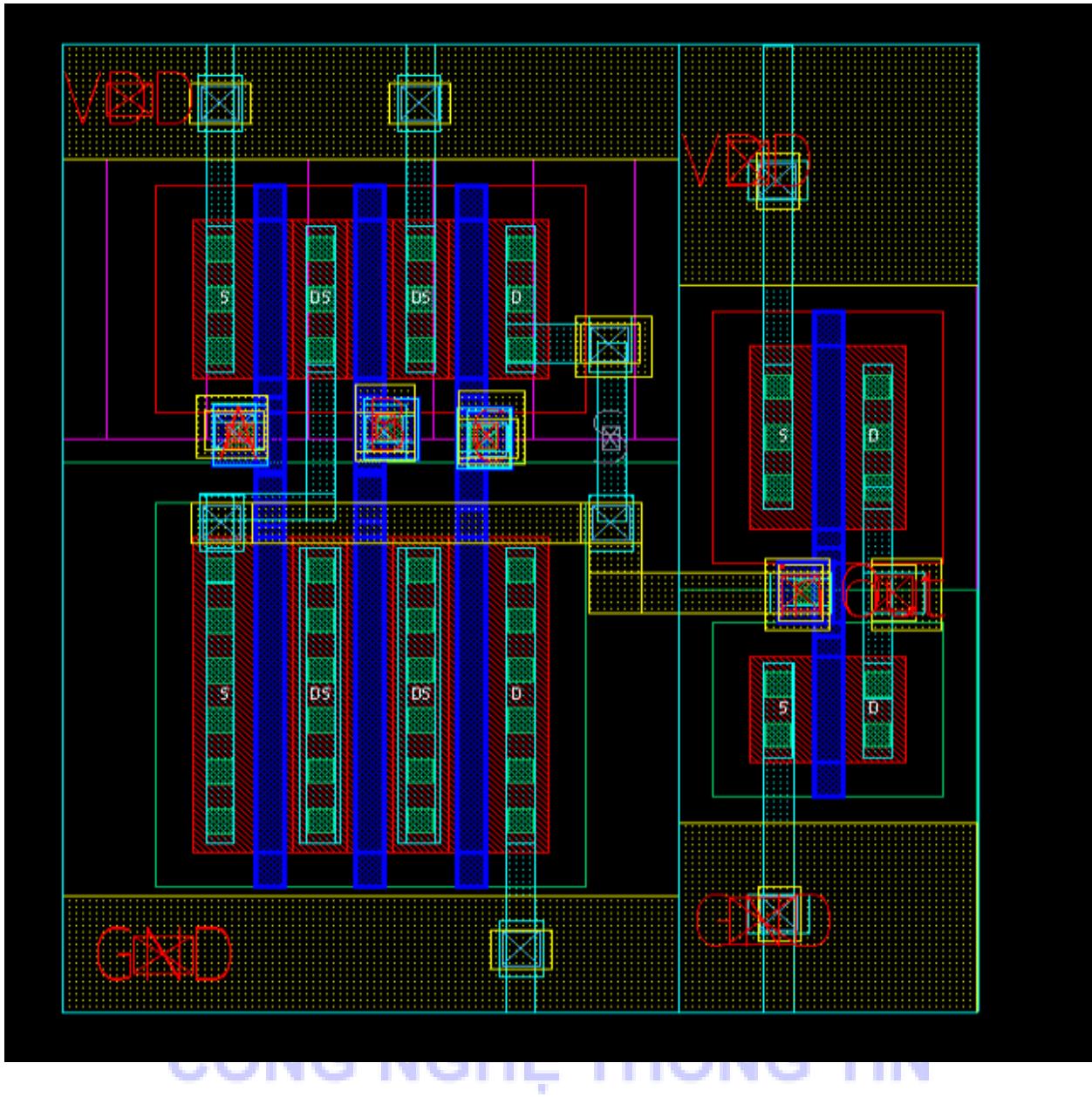
## 2.4. Mô phỏng kết quả bằng SPICE



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

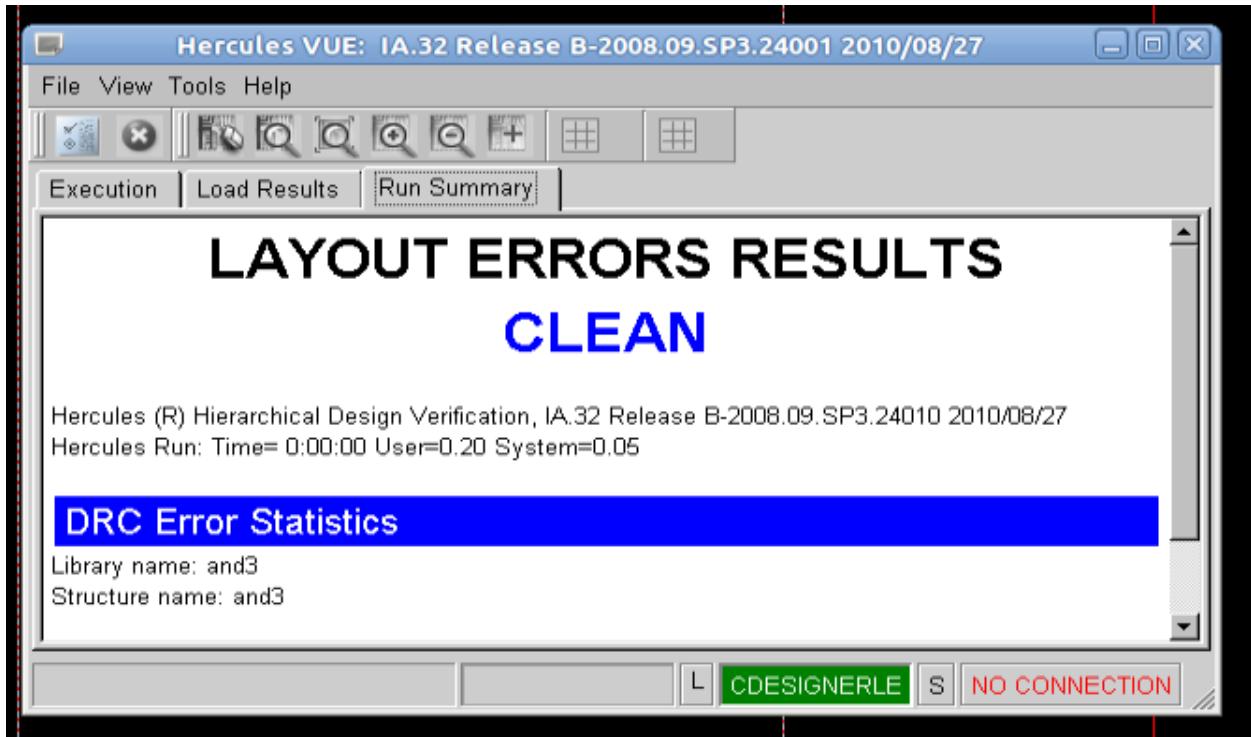
## VIII. Thiết kế Layout AND3 (Back-End)

### 1. Layout AND3

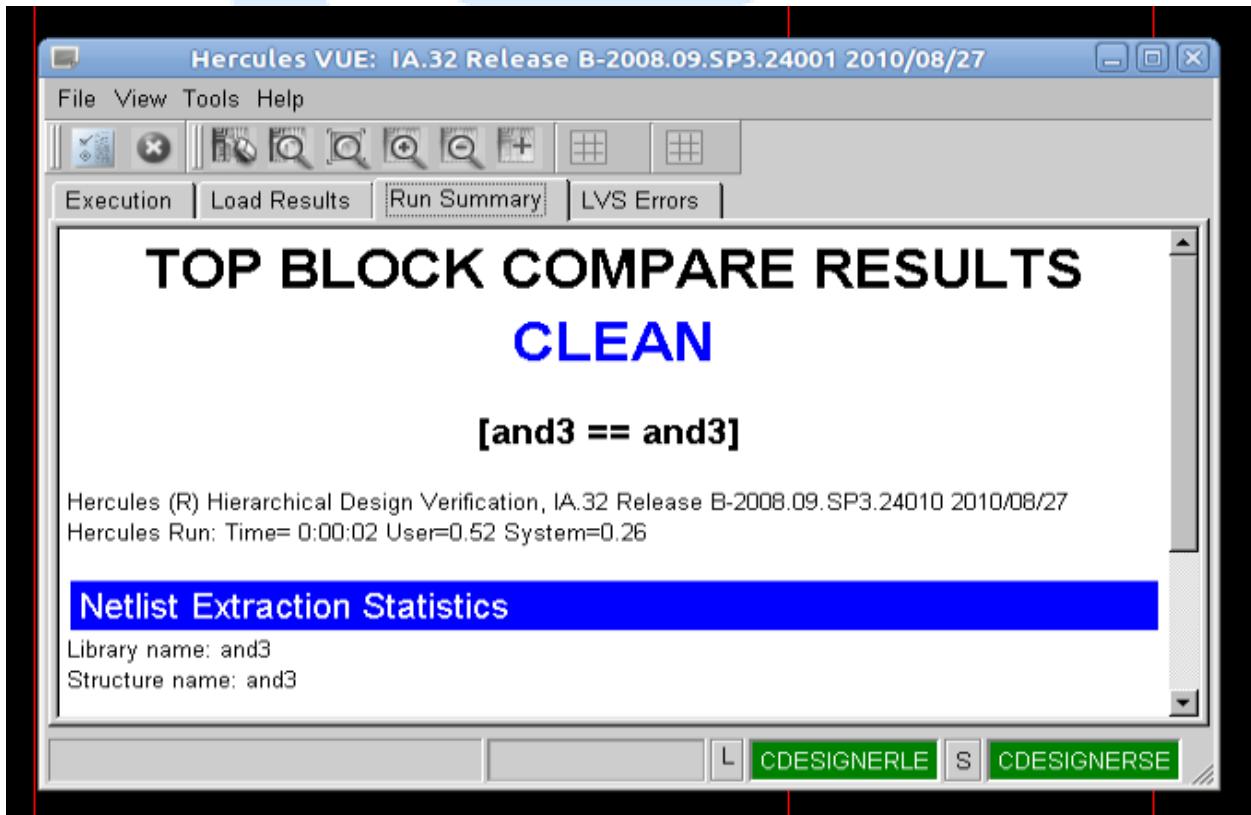


CÔNG NGHỆ THÔNG TIN

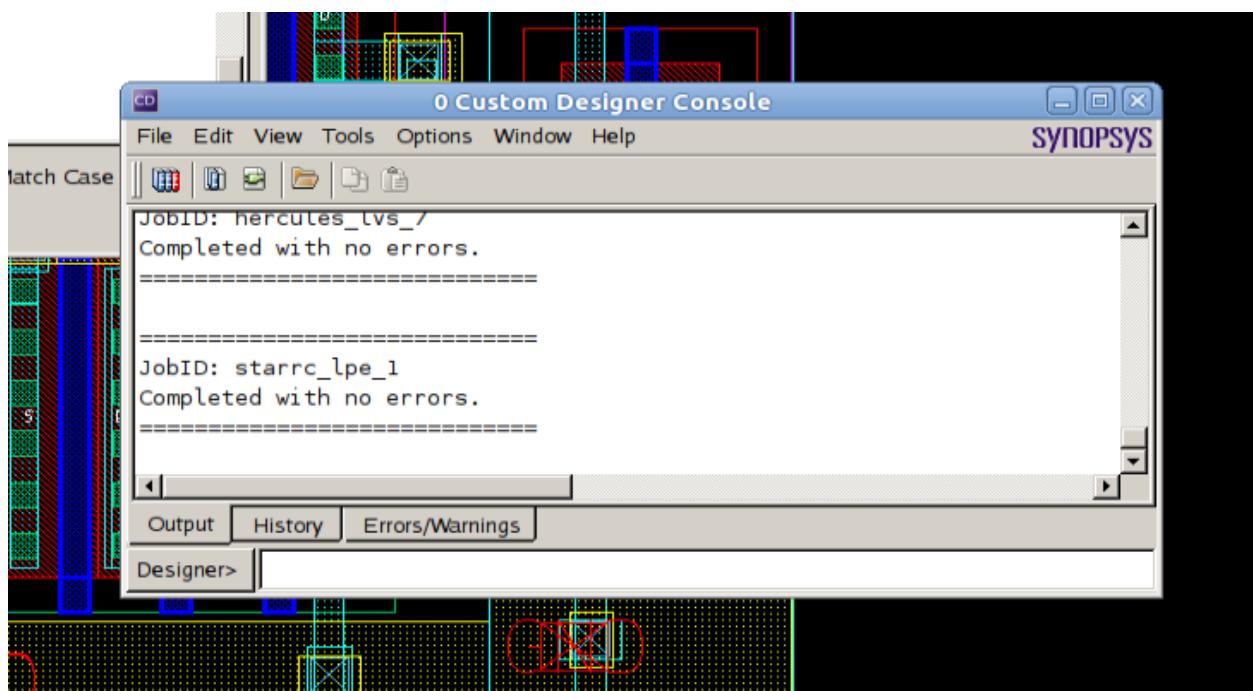
## 2. Kiểm tra Kiểm tra Design Rules Check (DRC)



## 3. Kiểm tra Layout Versus Schematic (LVS)



#### 4. Trích xuất tụ, trở kí sinh (Layout Parasitic Extraction – LPE)



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

output.sp (~/and3.starrc.lpe) - gedit

File Edit View Search Tools Documents Help

Open Save Undo Redo Cut Copy Paste Find Replace

output.sp spice.spc

```
*|DSPF 1.3
*|DESIGN and3
*|DATE "Tue Jun 20 19:14:51 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING TEMPERATURE 25
*|GLOBAL TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS

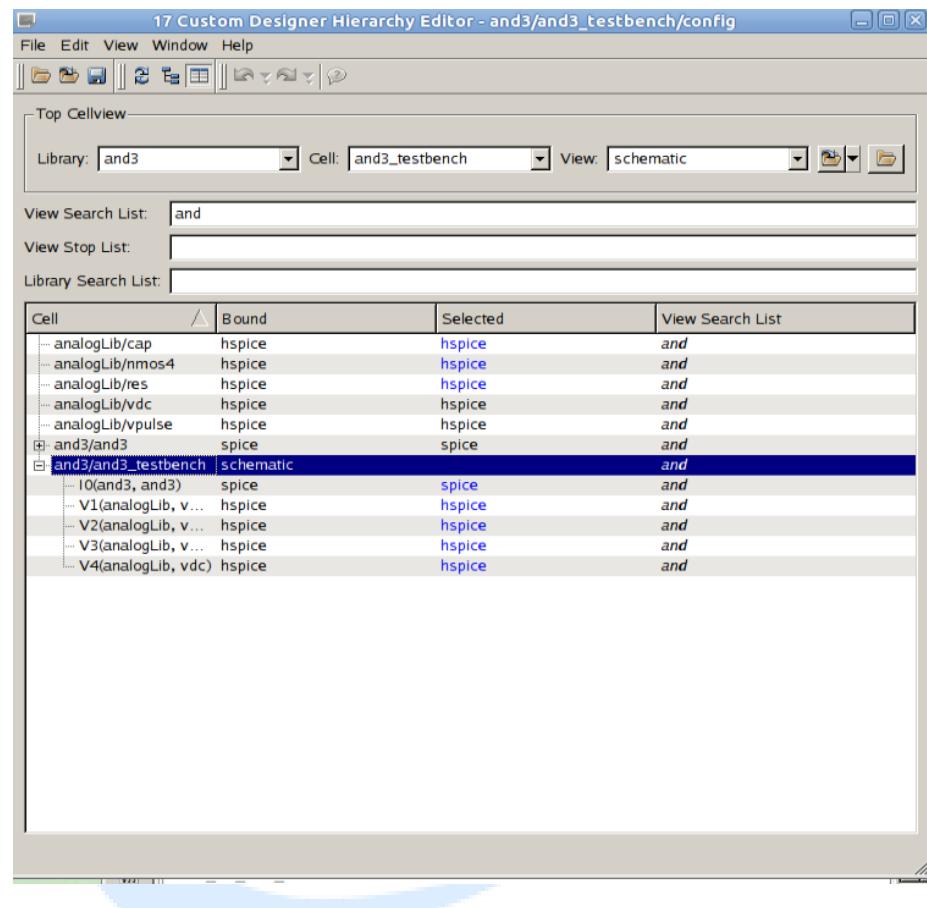
** TCAD_GRD_FILE /home/lhk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
**   TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
**   TCADGRD_VERSION 64

.SUBCKT and3 A B C Out
*|GROUND_NET 0
*LAYER_MAP
*0 SUBSTRATE
*1 1_0V_BJT_COLL
*2 2_5V_BJT_COLL
*3 1_0V_BJT_EMIT
*4 2_5V_BJT_EMIT
*5 1_0V_BJT_BASE
*6 2_5V_BJT_BASE
*7 1_0V_BJT_COLL_NPN
*8 1_0V_BJT_EMIT_NPN
*9 1_0V_BJT_BASE_NPN
*10 2_5V_BJT_COLL_NPN
```

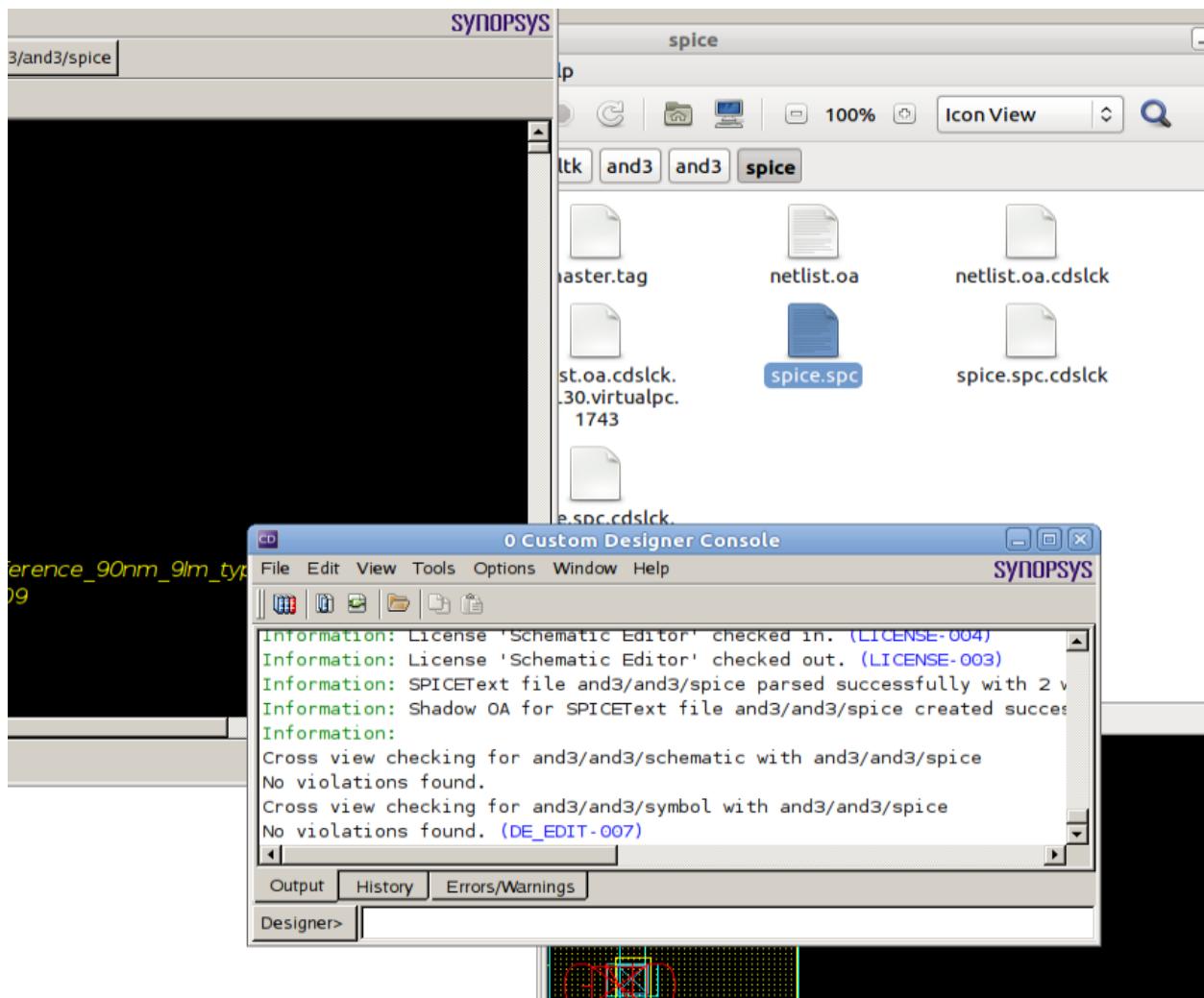
Plain Text Tab Width: 8 Ln 1, Col 1 INS

UTI  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

## 5. Mô phỏng PostLayout

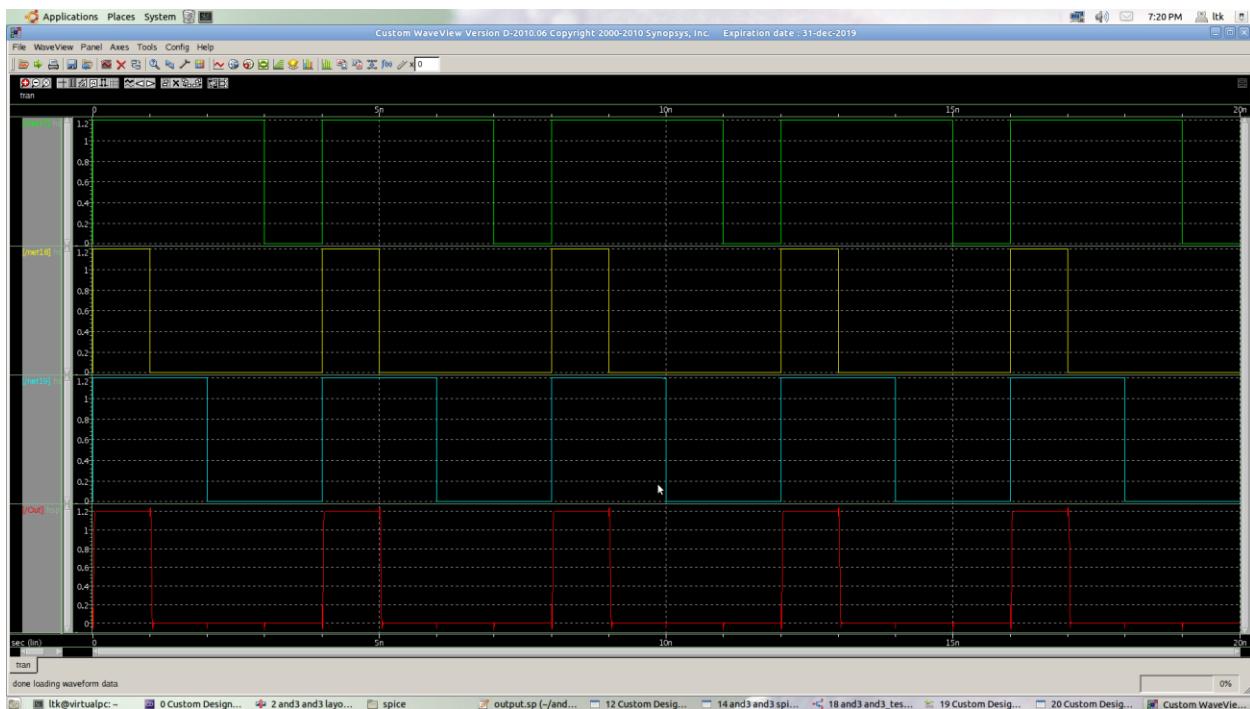


**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

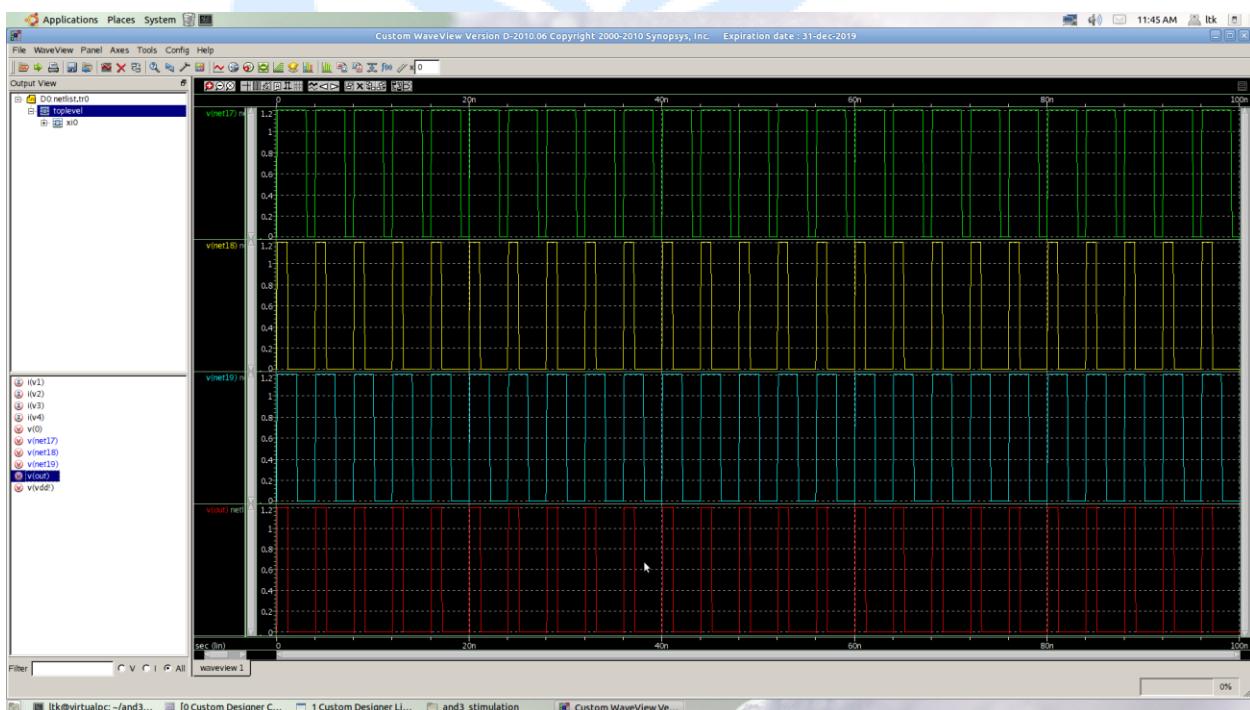


**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

## 5.1. Thực hiện mô phỏng SAE (PostLayout)



## 5.2. Thực hiện mô phỏng Spice (PostLayout)



## IX. Thiết kế và mô phỏng Half Adder Subtractor 1bit

### 1. Thiết kế mạch HAF1bit

#### 1.1. Mục tiêu thiết kế

- Hiện thực hóa sơ đồ nguyên lý mạch logic dựa trên kiến trúc đã đề xuất.
- Tích hợp các cổng logic cơ bản đã thiết kế và tối ưu ở các chương trước: **Inverter**, **AND3**, **OR2**, **XOR2**.
- Đảm bảo tính đồng bộ về kích thước transistor (Sizing consistency) giữa các khối để mạch hoạt động ổn định, cân bằng thời gian trễ.
- Kiểm chứng chức năng logic của hai ngõ ra Out và Cout.

#### 1.2. Cơ sở lý thuyết và Phân tích Logic

##### 1.2.1. Phân tích sơ đồ

Quan sát sơ đồ kết nối, mạch bao gồm 3 ngõ vào (**M, A, B**) và 2 ngõ ra (**Out, Cout**).  
Chức năng logic được phân tích như sau:

##### 1.2.2. Ngõ ra Out (Logic XOR):

- Được tạo bởi cổng **XOR2** (I2) với hai ngõ vào trực tiếp là **A** và **B**.
- Phương trình logic:

$$Out = A \oplus B$$

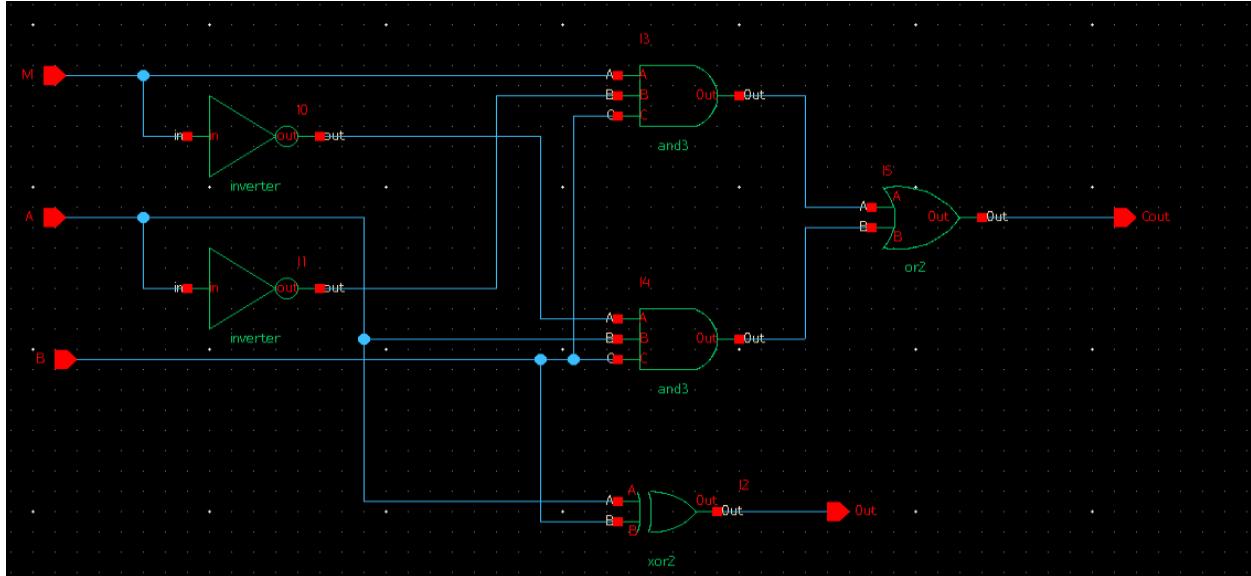
- (Đây chính là ngõ ra Sum của một Half Adder cơ bản).

##### 1.2.3. Ngõ ra Cout (Logic tổ hợp):

- Được tạo thành từ tổ hợp 2 cổng Inverter, 2 cổng AND3 và 1 cổng OR2.
- Nhánh 1 (Cổng AND3 trên - I3):**
  - Ngõ vào: **M,  $\sim A$**  (qua Inverter I1), và **B**.
  - Ngõ ra phụ:  $Y_1 = M * \sim A * B$ .
- Nhánh 2 (Cổng AND3 dưới - I4):**
  - Ngõ vào:  $\sim M$  (qua Inverter I0), **A**, và **B**.
  - Ngõ ra phụ:  $Y_2 = \sim M * A * B$ .
- Tầng tổng hợp (Cổng OR2 - I5):**

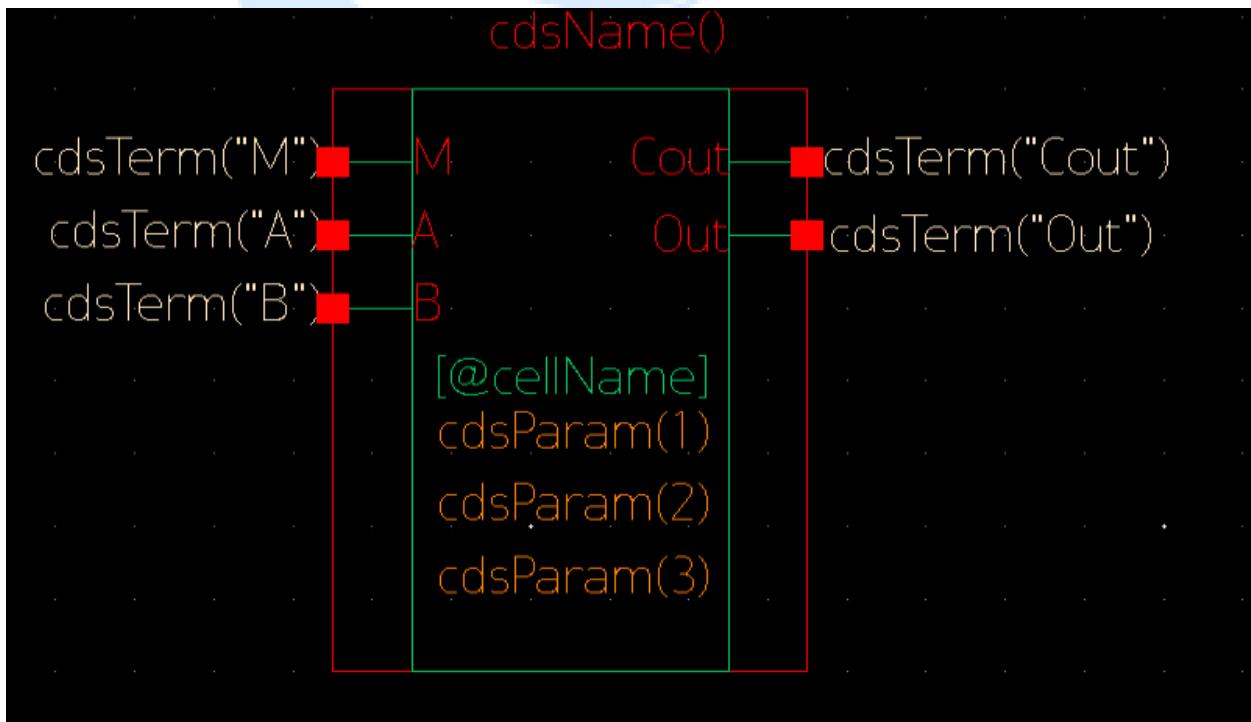
- Ngõ ra cuối cùng là tổng của hai nhánh trên.
- Phương trình logic:

### 1.3. Thiết kế Schematic



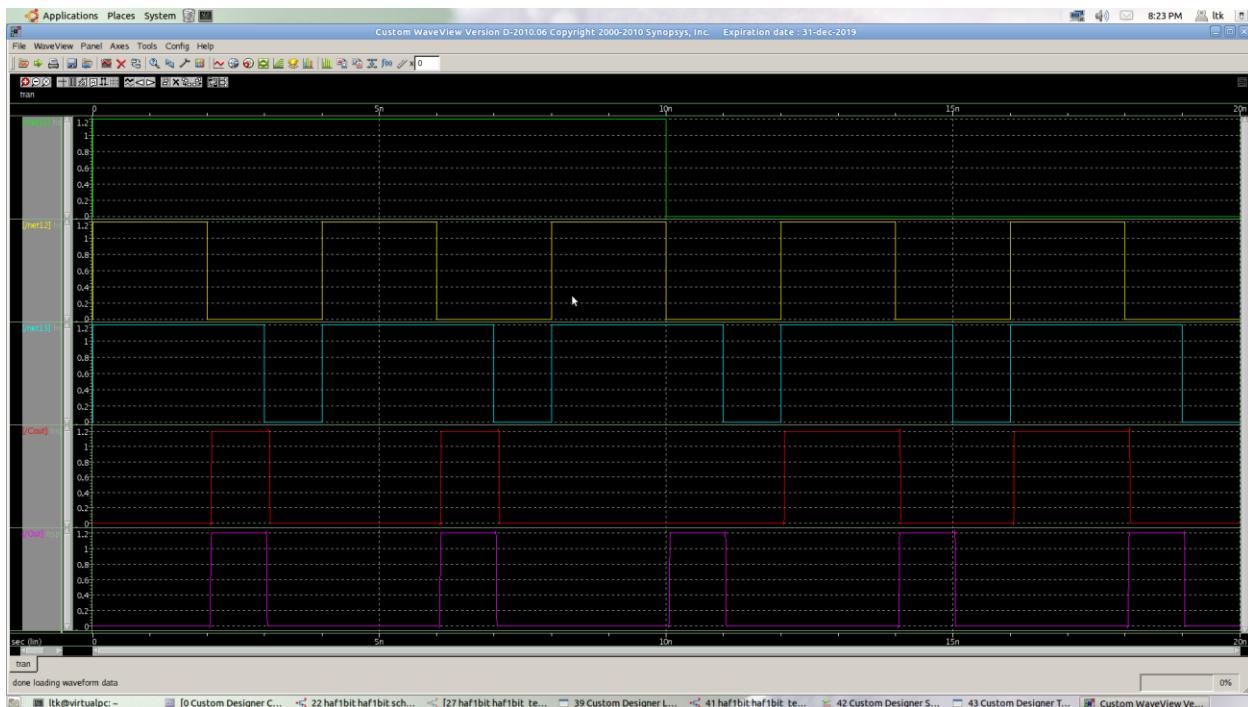
## 2. Mô phỏng và kết quả

### 2.1. Tạo Symbol

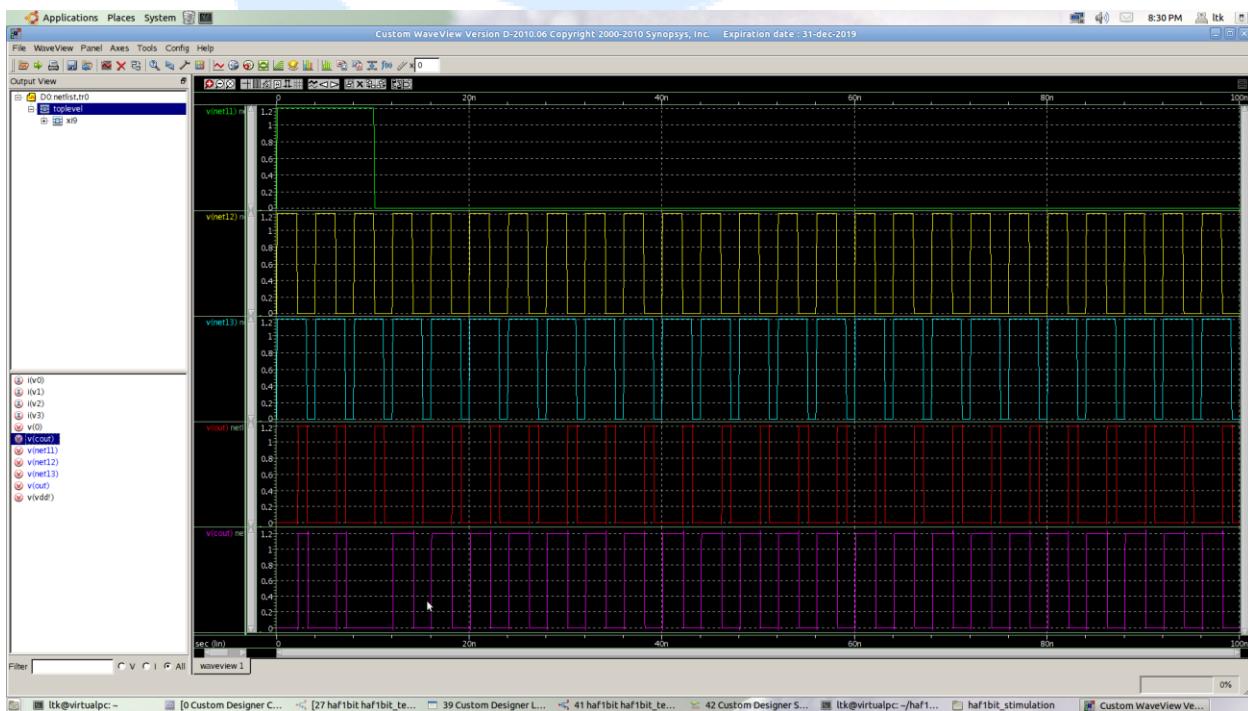


### 2.2. Testbench

## 2.3. Mô phỏng kết quả bằng SAE

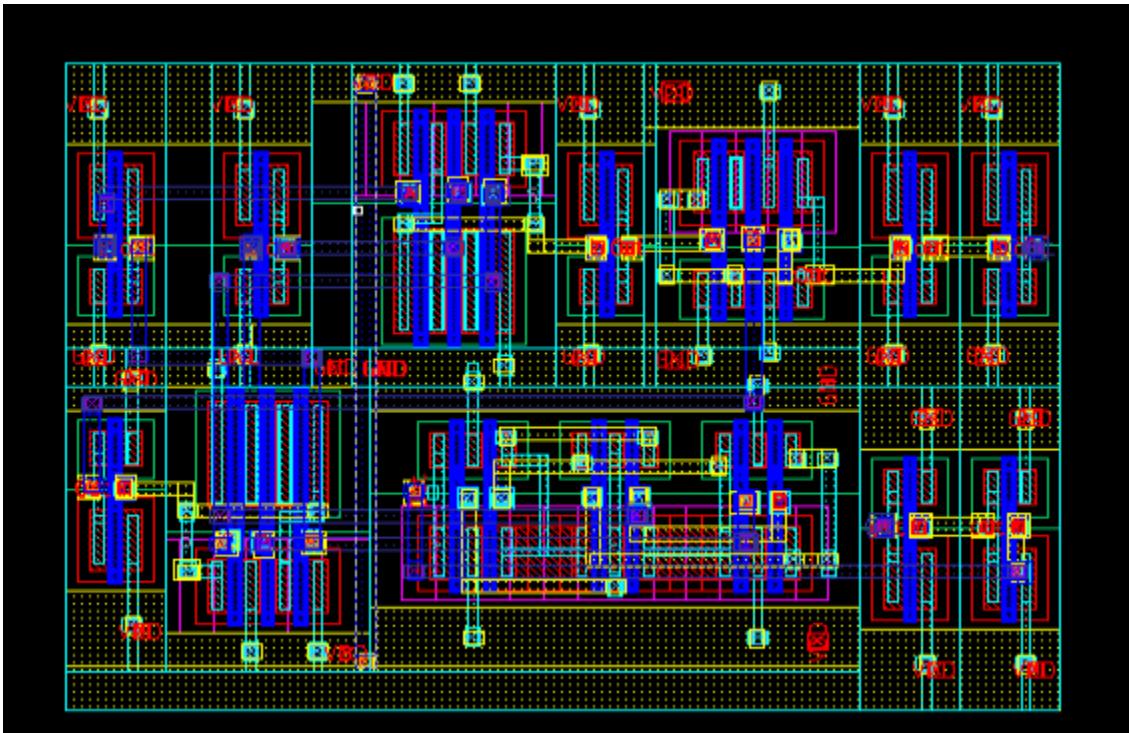


## 2.4. Mô phỏng kết quả bằng SPICE

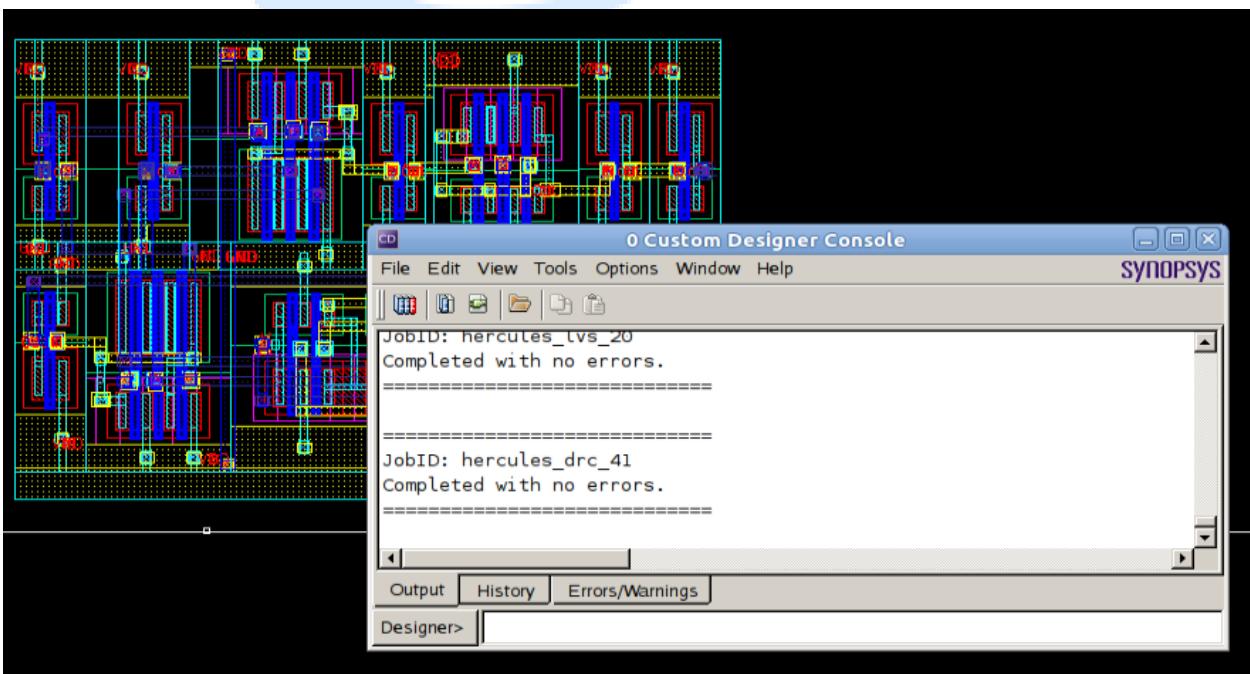


## X. Thiết kế Layout Half Adder Subtractor 1 bit

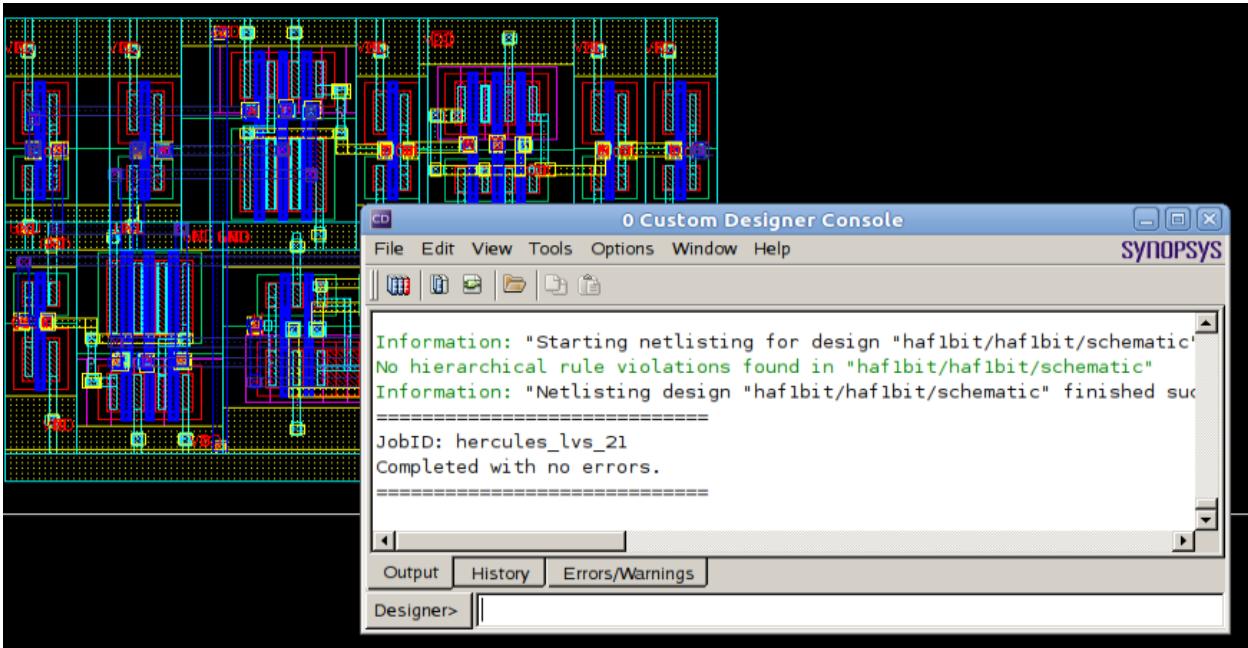
### 1. Layout HAF1bit



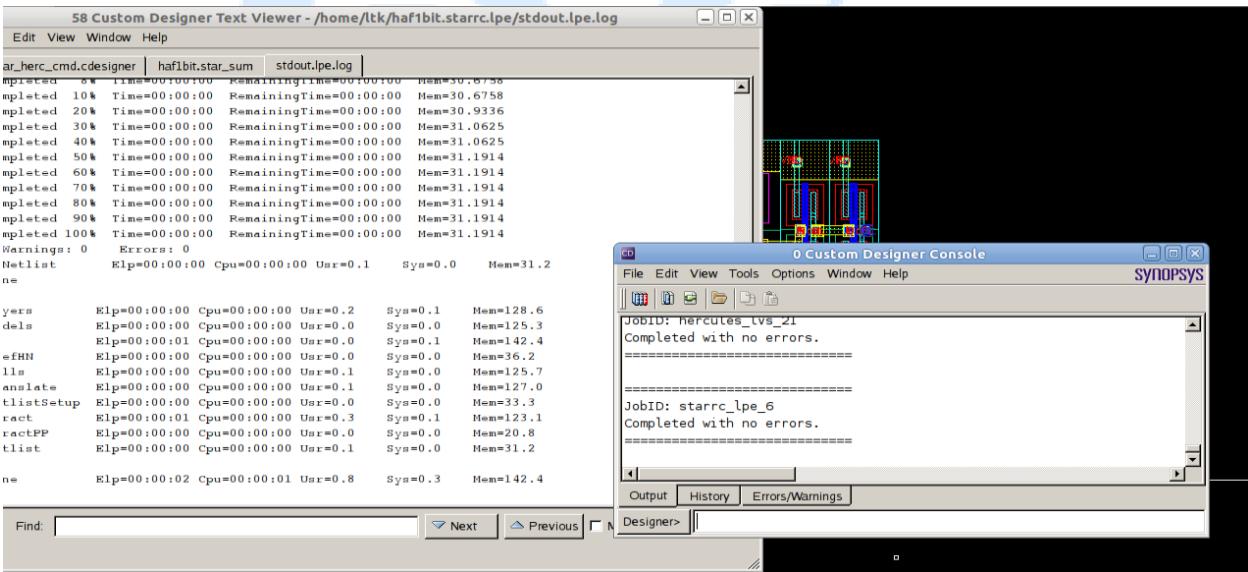
### 2. Kiểm tra Design Rules Check (DRC)



### 3. Kiểm tra Layout Versus Schematic (LVS)



### 4. Trích xuất tụ, trả kí sinh (Layout Parasitic Extraction – LPE)



output.sp (~/haf1bit.starrc.lpe) - gedit

File Edit View Search Tools Documents Help

Open Save Undo Redo Cut Copy Paste Find Replace

spice.spc output.sp

```
*|DSPF 1.3
*|DESIGN haf1bit
*|DATE "Tue Jun 20 22:10:09 2017"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "D-2010.06"
*|DIVIDER |
*|DELIMITER :
*|OPERATING TEMPERATURE 25
*|GLOBAL TEMPERATURE 25
**FORMAT SPF
*
** COMMENTS
**
** TCAD_GRD_FILE /home/ltk/Test/PDK/starrc/reference_90nm_9lm_typ.nxtgrd
** TCAD_TIME_STAMP Mon Apr 6 20:59:52 2009
** TCADGRD_VERSION 64

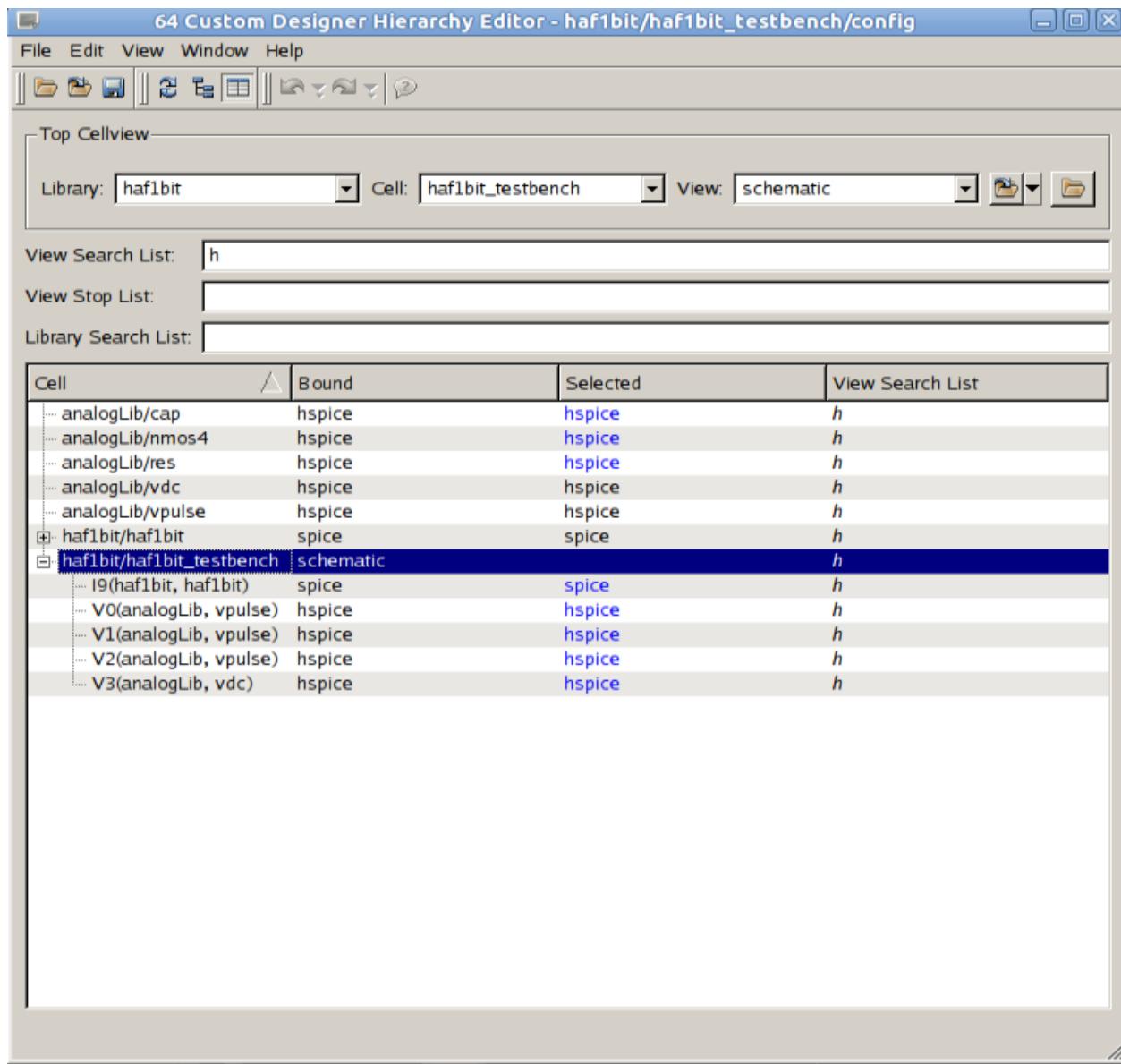
.SUBCKT haf1bit M B A Out Cout
*|GROUND_NET 0
*LAYER_MAP
*0 SUBSTRATE
*1 1_0V_BJT_COLL
*2 2_5V_BJT_COLL
*3 1_0V_BJT_EMIT
*4 2_5V_BJT_EMIT
*5 1_0V_BJT_BASE
*6 2_5V_BJT_BASE
*7 1_0V_BJT_COLL_NPN
*8 1_0V_BJT_EMIT_NPN
*9 1_0V_BJT_BASE_NPN
*10 2_5V_BJT_COLL_NPN
```

Plain Text Tab Width: 8 Ln 1, Col 1

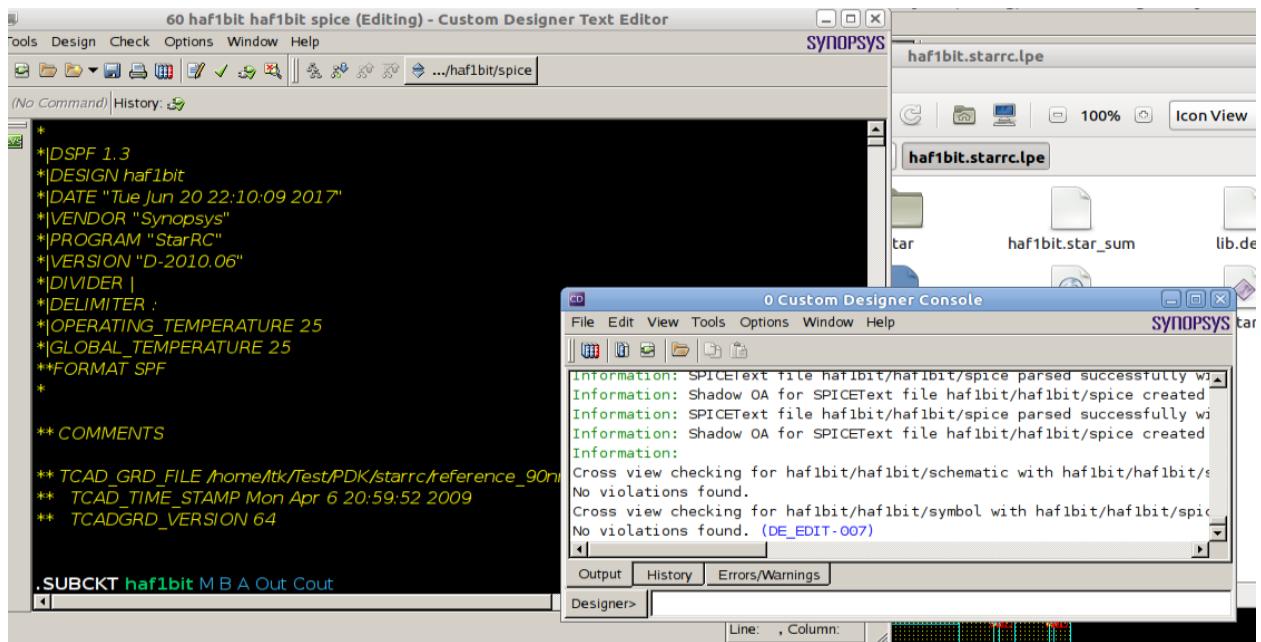
INS

UIT  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

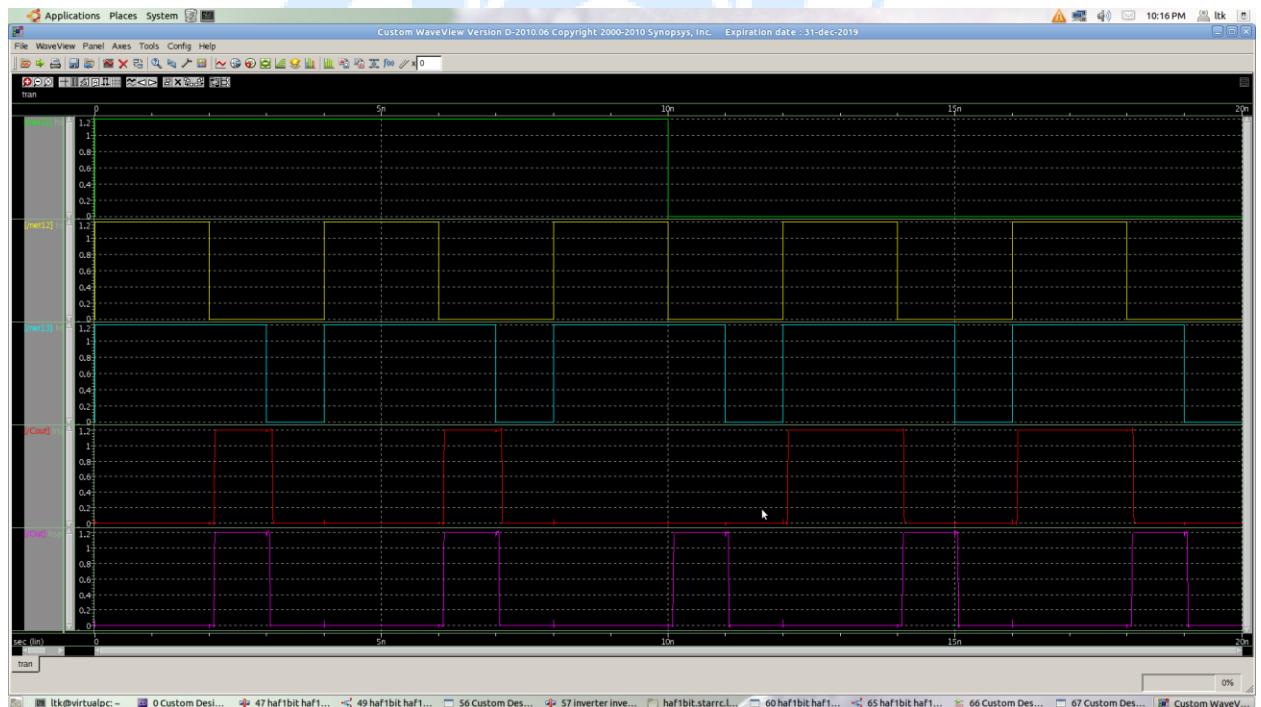
## 5. Mô phỏng PostLayout



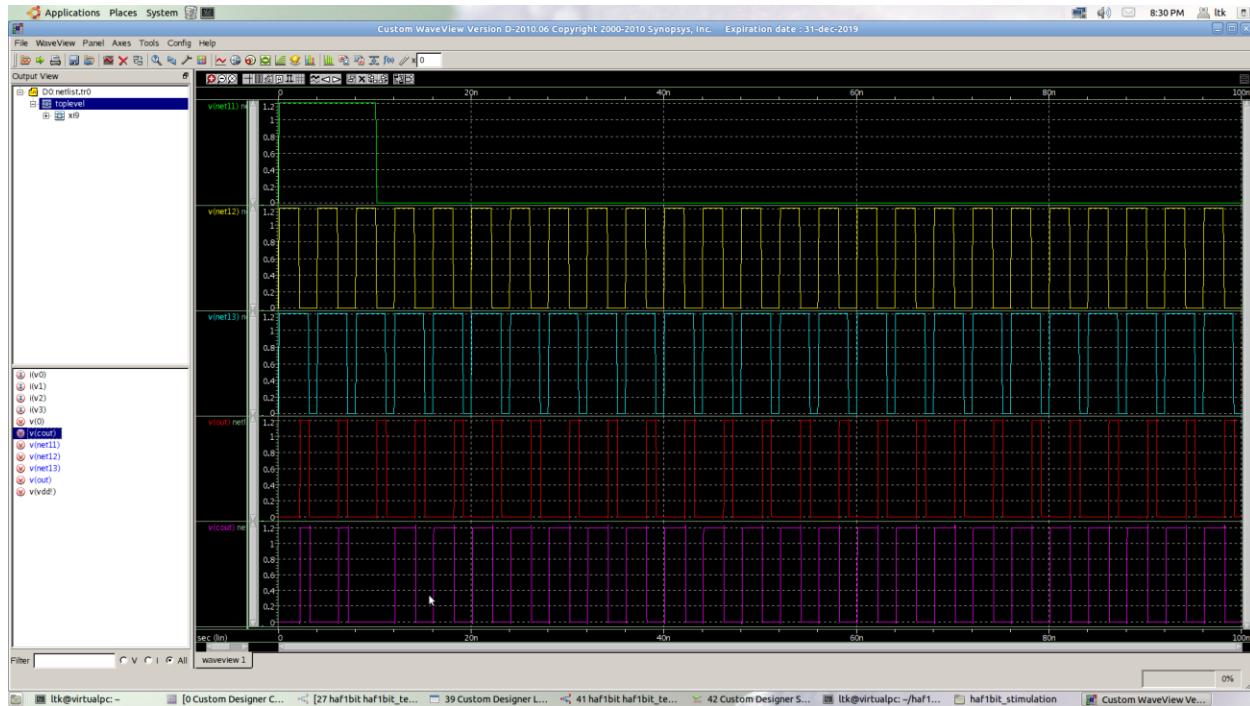
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN



## 5.1. Thực hiện mô phỏng SAE (PostLayout)

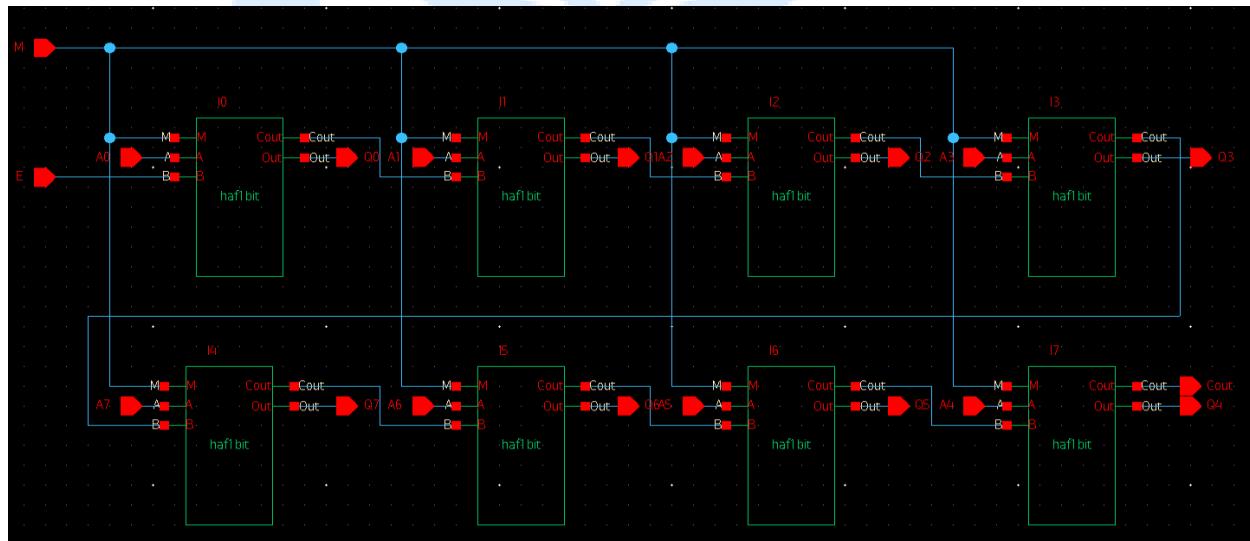


## 5.2. Thực hiện mô phỏng Spice (PostLayout)



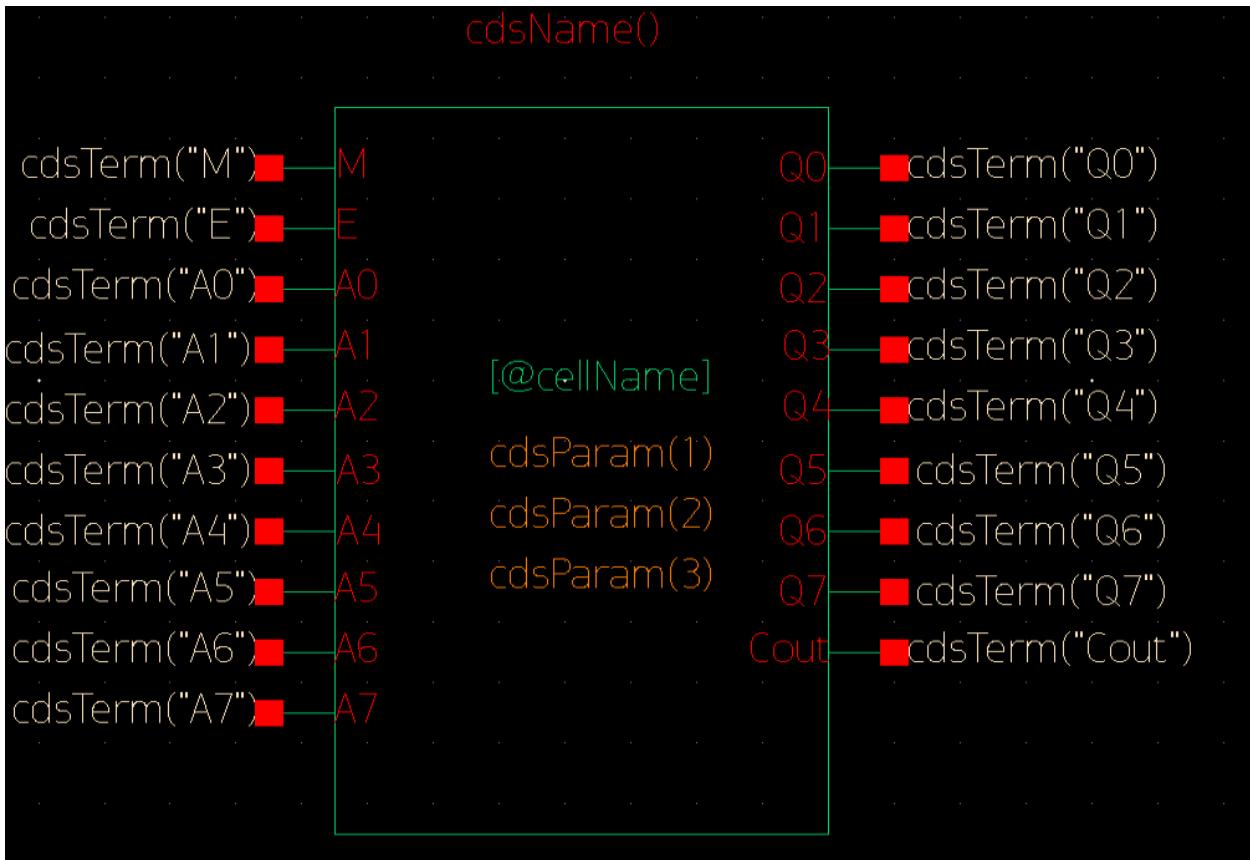
## XI. Thiết kế và mô phỏng Half Adder Subtractor 8 bit

### 1. Thiết kế schematic mạch HAF8bit

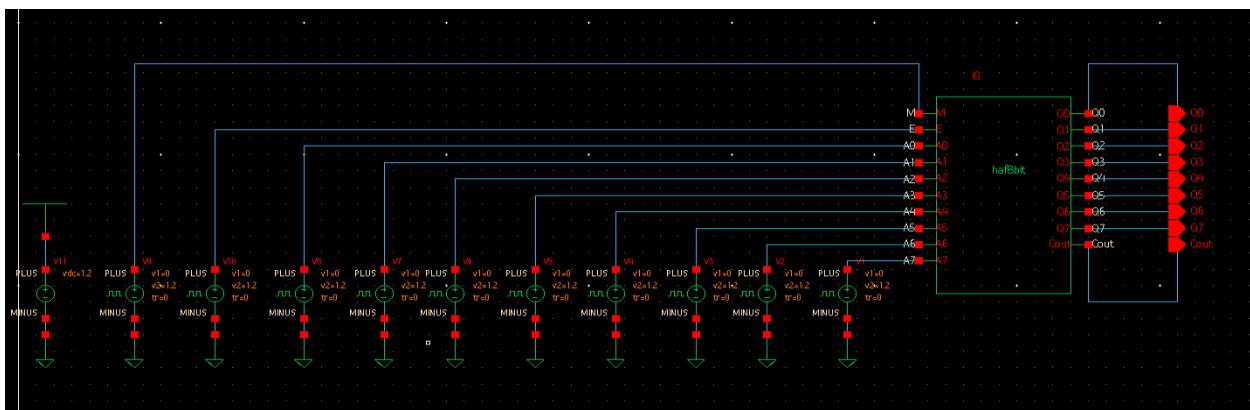


## 2. Mô phỏng và kết quả

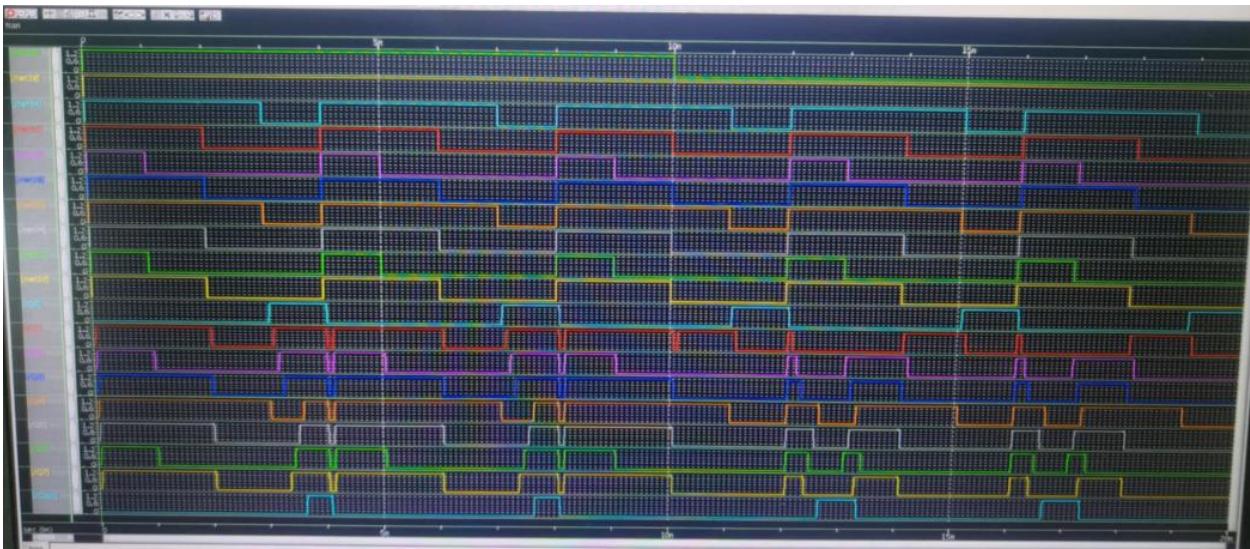
## 2.1. Tạo Symbol



## 2.2. Testbench



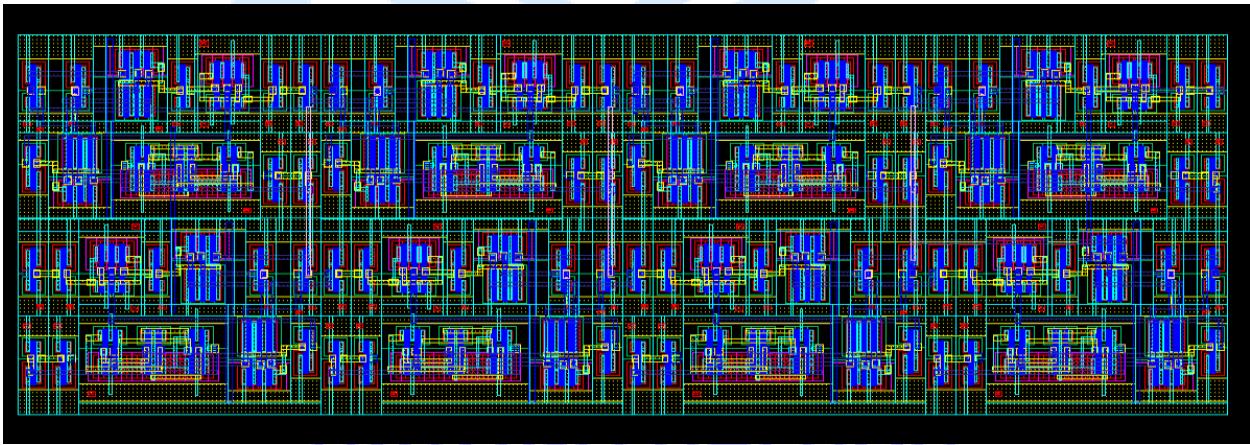
### 2.3. Mô phỏng kết quả bằng SAE



### 2.4. Mô phỏng kết quả bằng SPICE

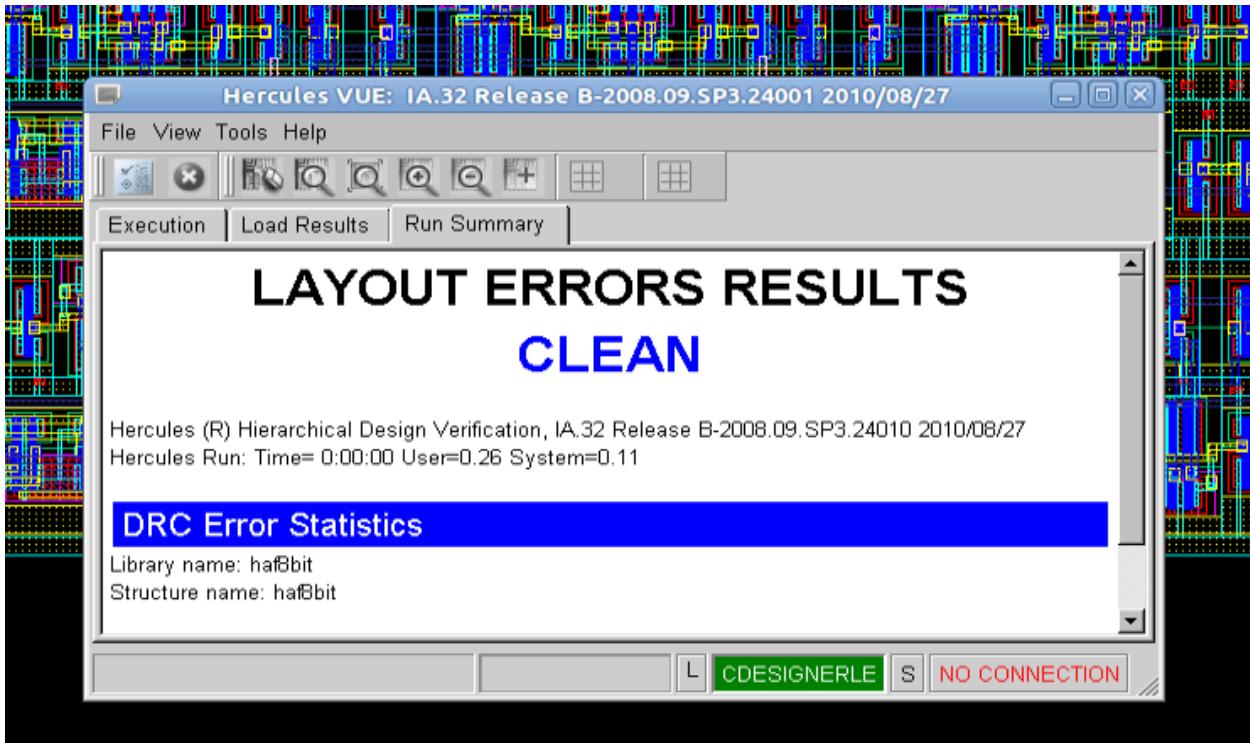
## XII. Thiết kế Layout Half Adder Subtractor 8bit

### 1. Layout HAF8bit

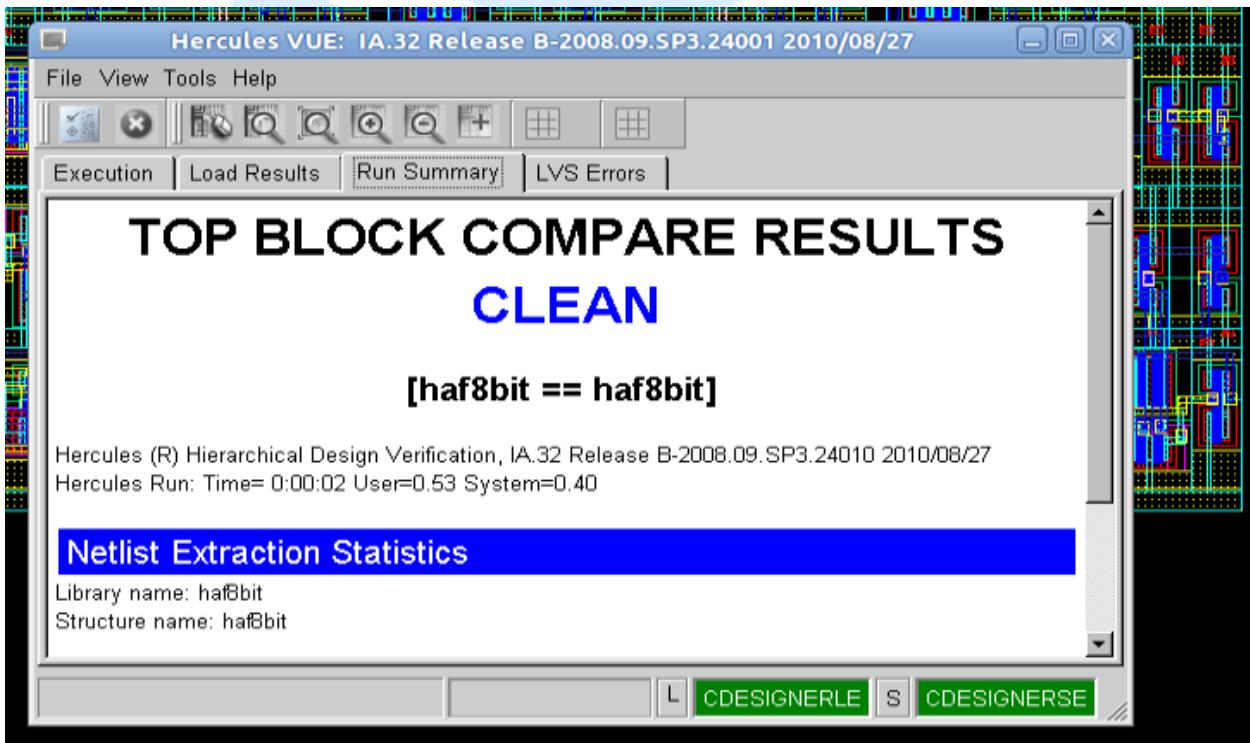


CÔNG NGHỆ THÔNG TIN

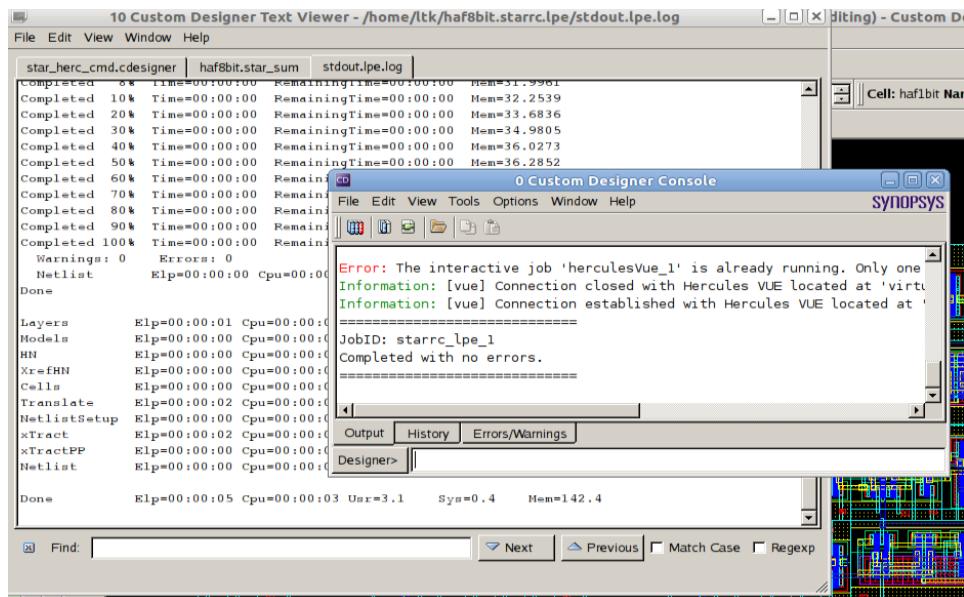
## 2. Kiểm tra Design Rules Check (DRC)



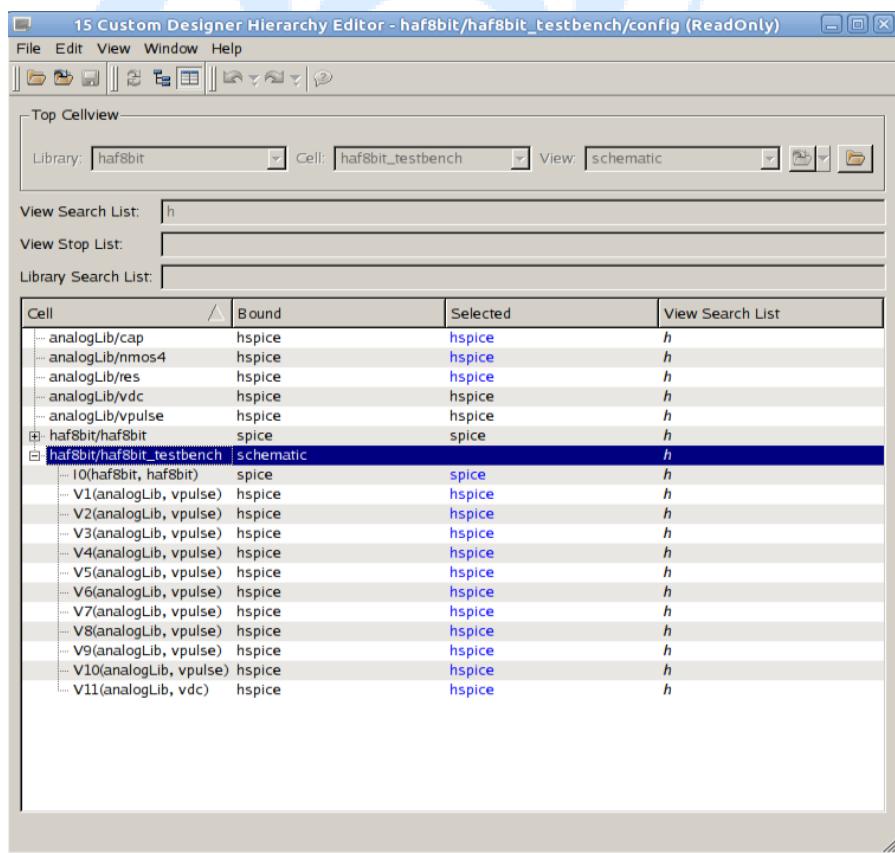
## 3. Kiểm tra Layout Versus Schematic (LVS)



#### 4. Trích xuất tụ, trả kí sinh (Layout Parasitic Extraction – LPE)



#### 5. Mô phỏng PostLayout



11 haf8bit.haf8bit.spice (Editing) - Custom Designer Text Editor

Tools Design Check Options Window Help

SYNOPSYS

(No Command) History:

```

*
*DSPF 1.3
*DESIGN haf8bit
*DATE "Fri Jun 23 01:24:06 2017"
*VENDOR "Synopsys"
*PROGRAM "StarRC"
*VERSION "D-2010.06"
*DIVIDER |
*DELIMITER :
*OPERATING_TEMPERA
*GLOBAL_TEMPERATU
**FORMAT SPF
*
** COMMENTS
**
** TCAD_GRD_FILE Mon
** TCAD_TIME_STAMP
** TCADGRD_VERSION
.SUBCKT haf8bit M Q3

```

0 Custom Designer Console

File Edit View Tools Options Window Help

SYNOPSYS

Completed with no errors.

=====

Information: SPICEText file haf8bit/haf8bit/spice parsed successfully wj

Information:

Cross view checking for haf8bit/haf8bit/schematic with haf8bit/haf8bit/s

No violations found.

Cross view checking for haf8bit/haf8bit/symbol with haf8bit/haf8bit/spic

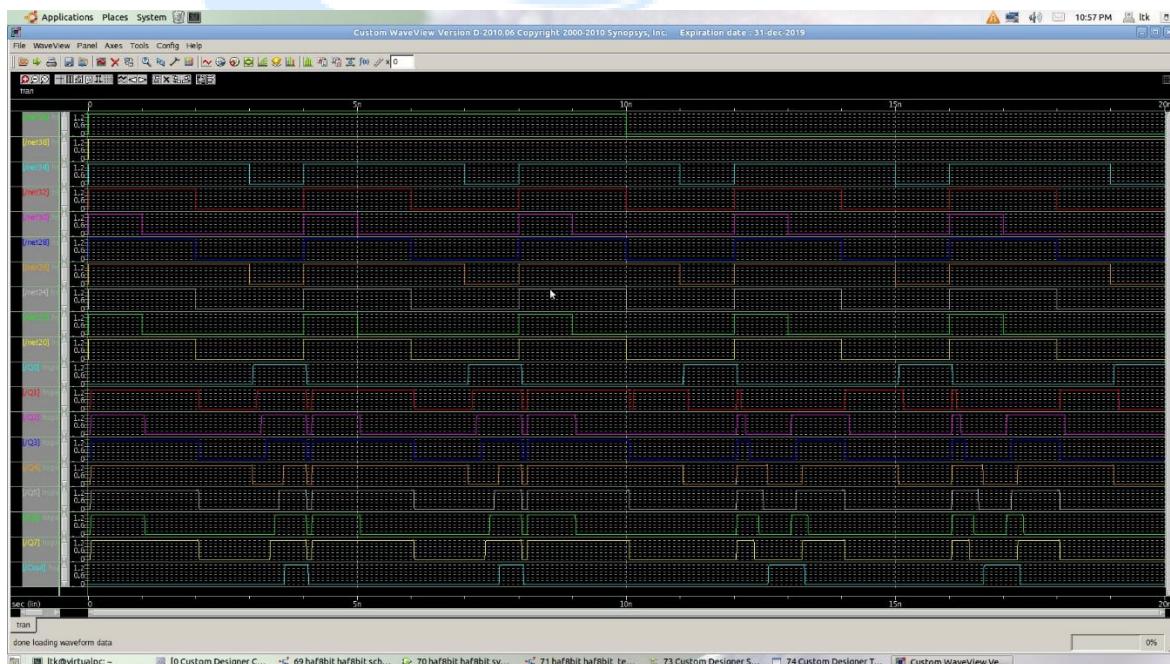
No violations found. (DE\_EDIT-007)

Output History Errors/Warnings

Designer> |

Line: , Column:

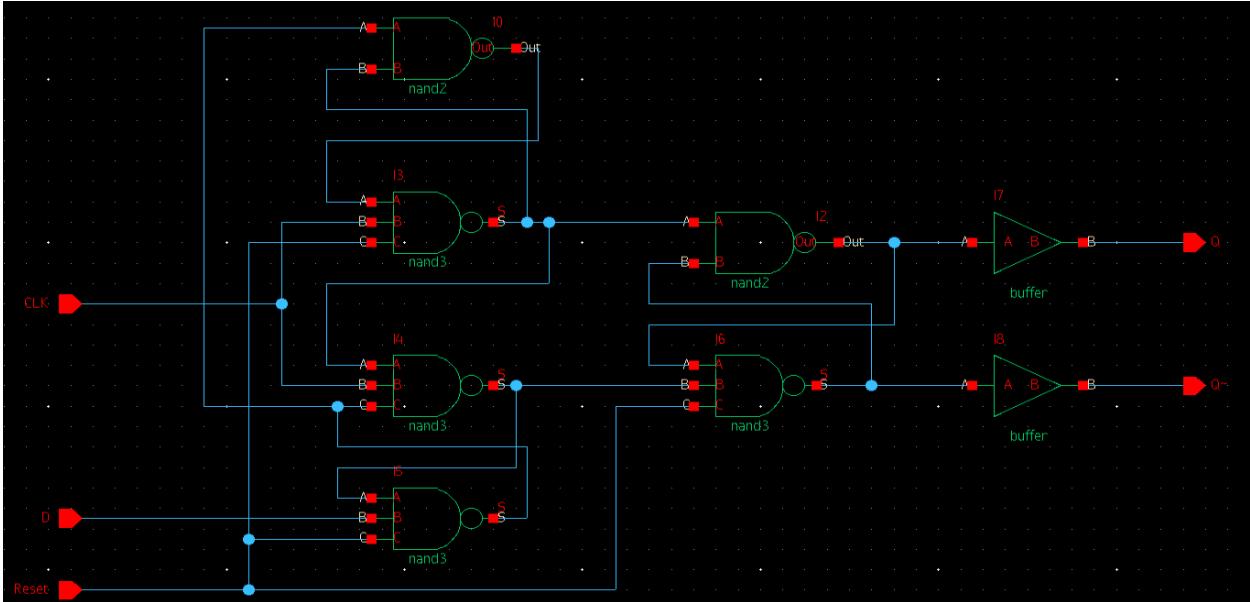
## 5.1. Thực hiện mô phỏng SAE (PostLayout)



## 5.2. Thực hiện mô phỏng Spice (PostLayout)

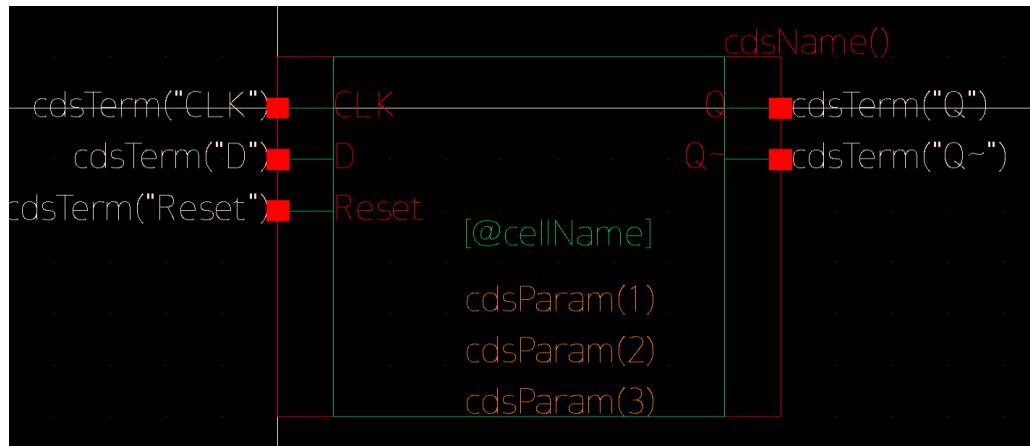
### XIII. Thiết kế và mô phỏng DFF1bit

#### 1. Thiết kế Schematic mạch DFF1bit

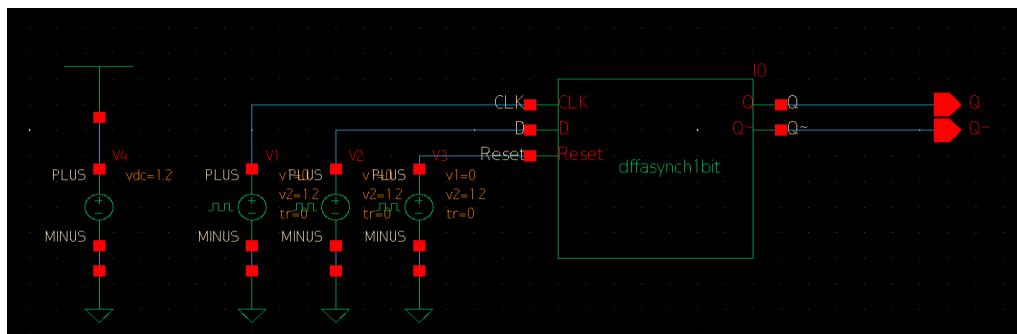


#### 2. Mô phỏng và kết quả

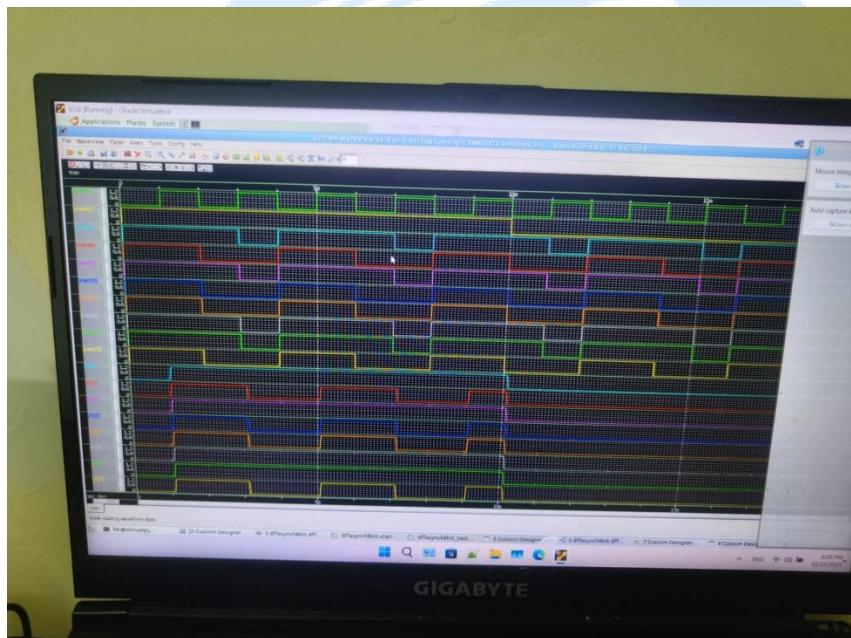
##### 2.1. Tạo Symbol



##### 2.2. Testbench



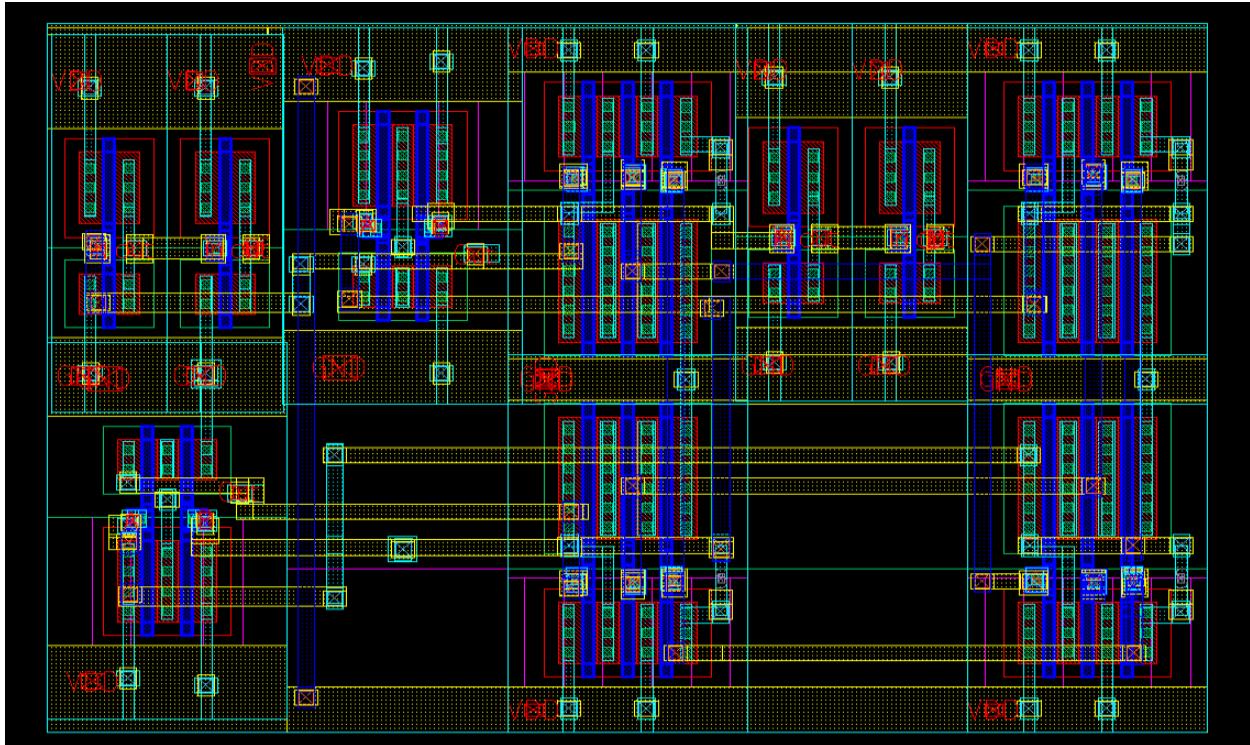
### 2.3. Mô phỏng kết quả bằng SAE



**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

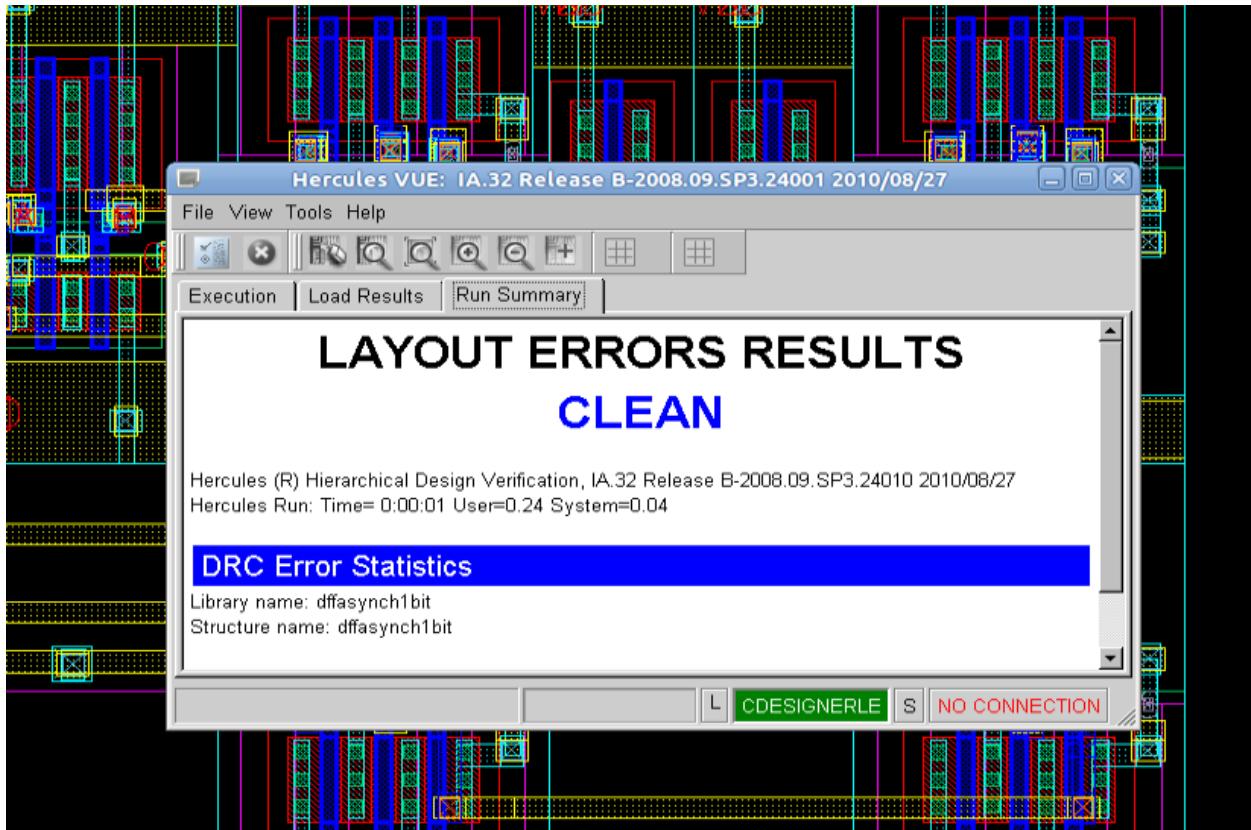
## XIV. Thiết kế Layout DFF1bit

### 1. Layout DFF1bit



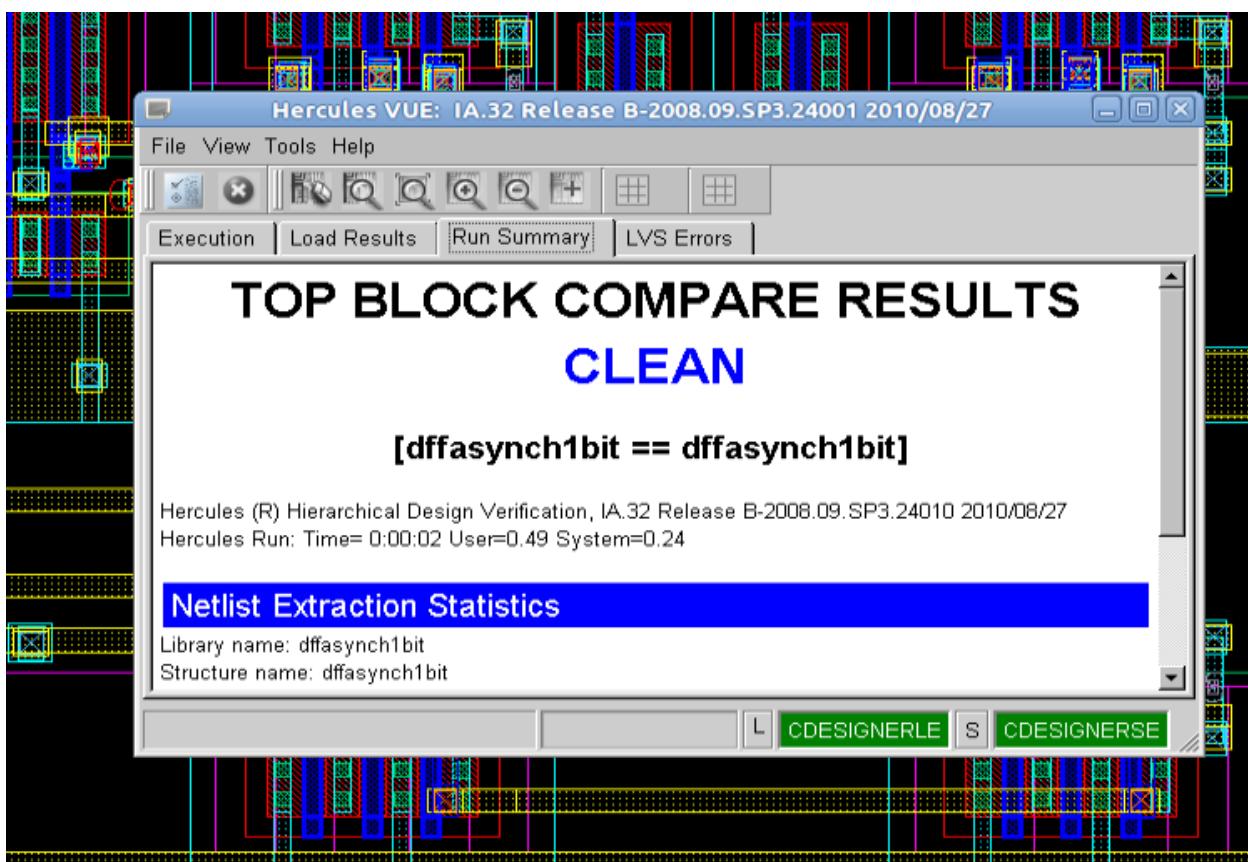
**UIT**  
**TRƯỜNG ĐẠI HỌC**  
**CÔNG NGHỆ THÔNG TIN**

## 2. Kiểm tra Design Rules Check (DRC)



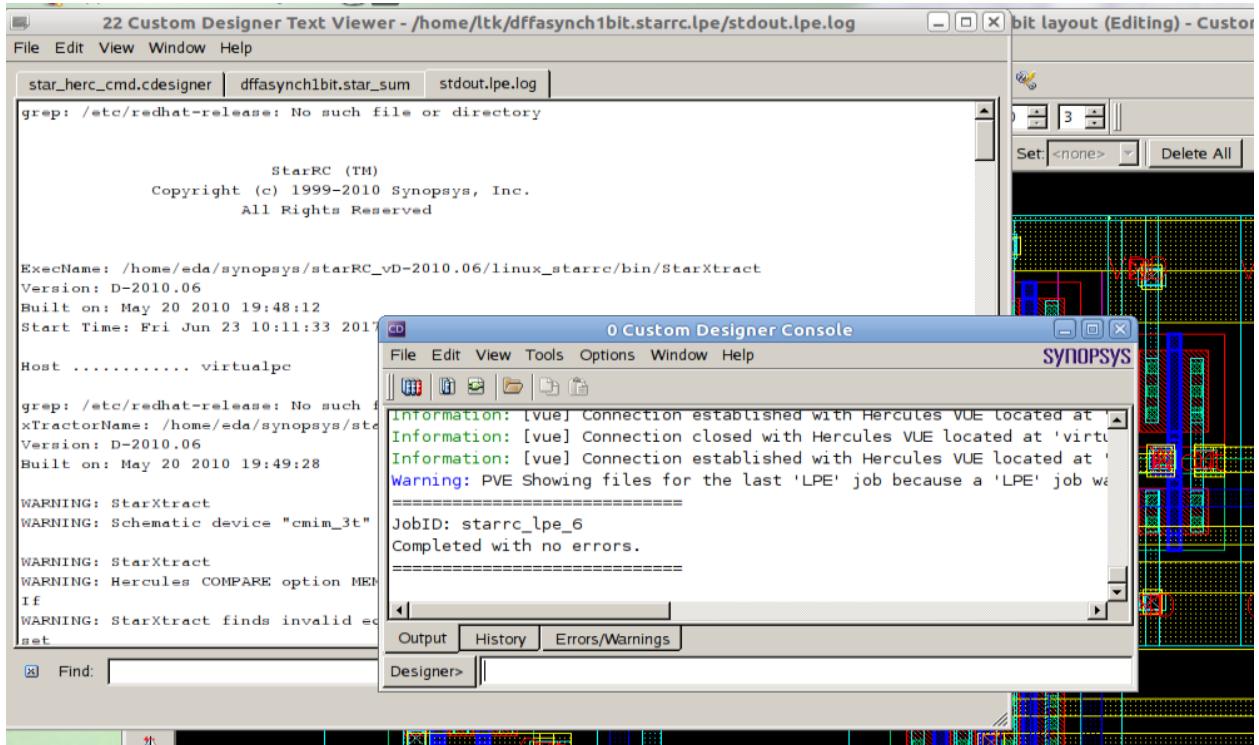
UIT  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

### 3. Kiểm tra Layout Versus Schematic (LVS)



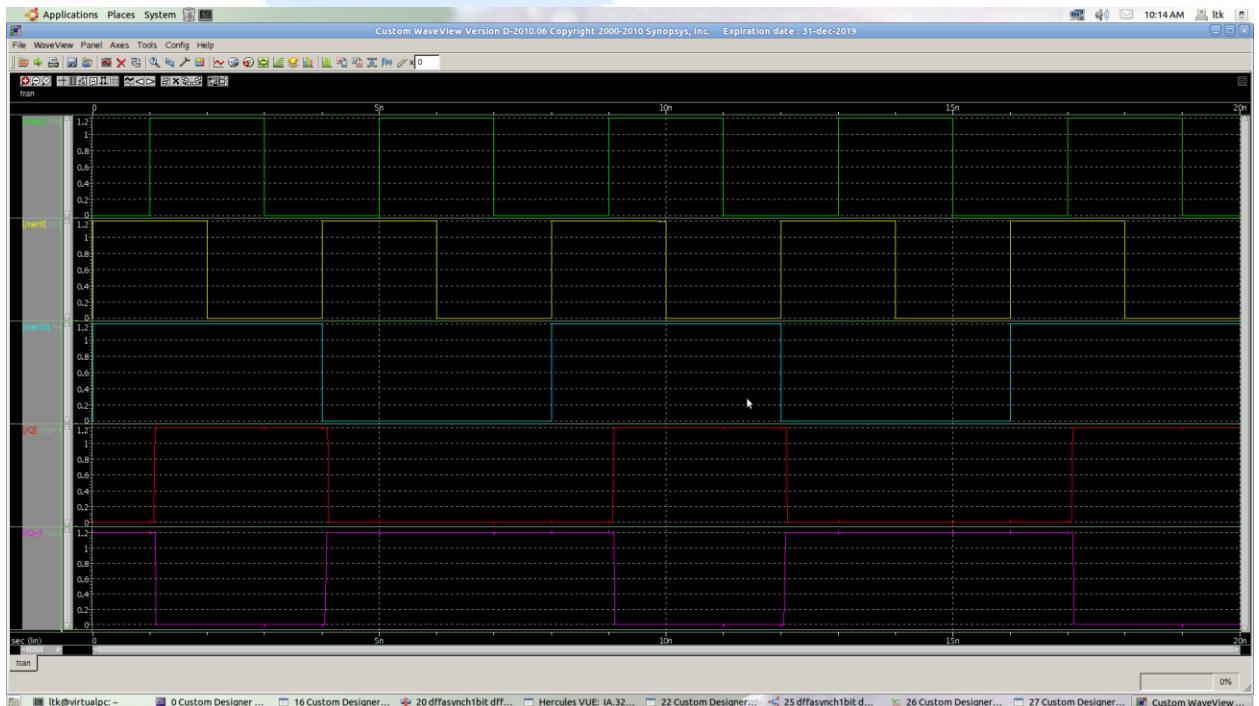
UIT  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

## 4. Trích xuất tụ, trở kí sinh (Layout Parasitic Extraction – LPE)



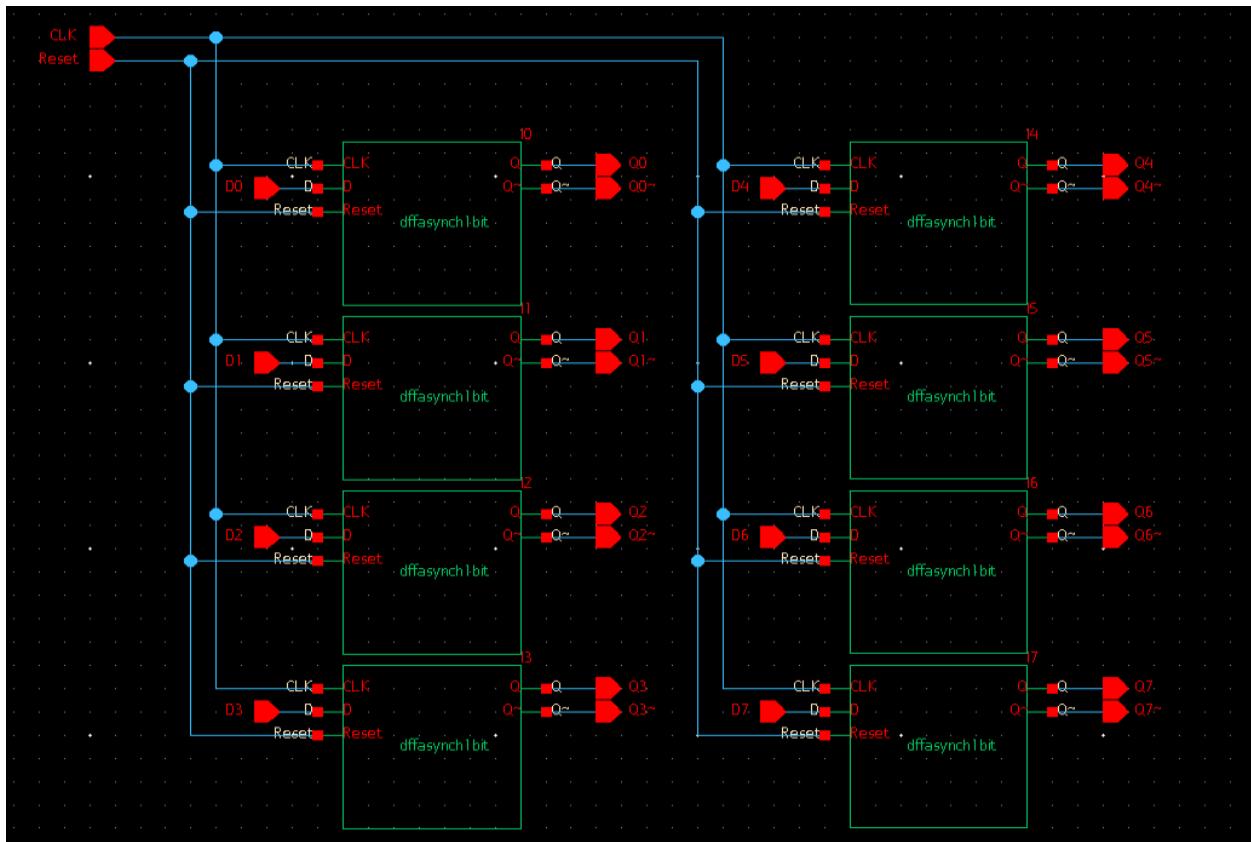
## 5. Mô phỏng PostLayout

### 5.1. Thực hiện mô phỏng SAE (PostLayout)



### XIII. Thiết kế và mô phỏng DFF8bit

#### 1. Thiết kế Schematic mạch DFF8bit



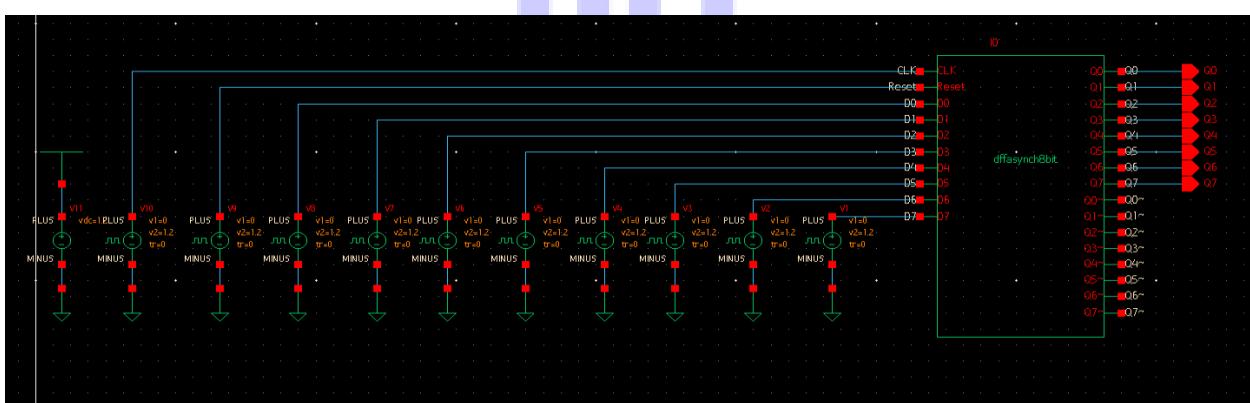
**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

## 2. Mô phỏng và kết quả

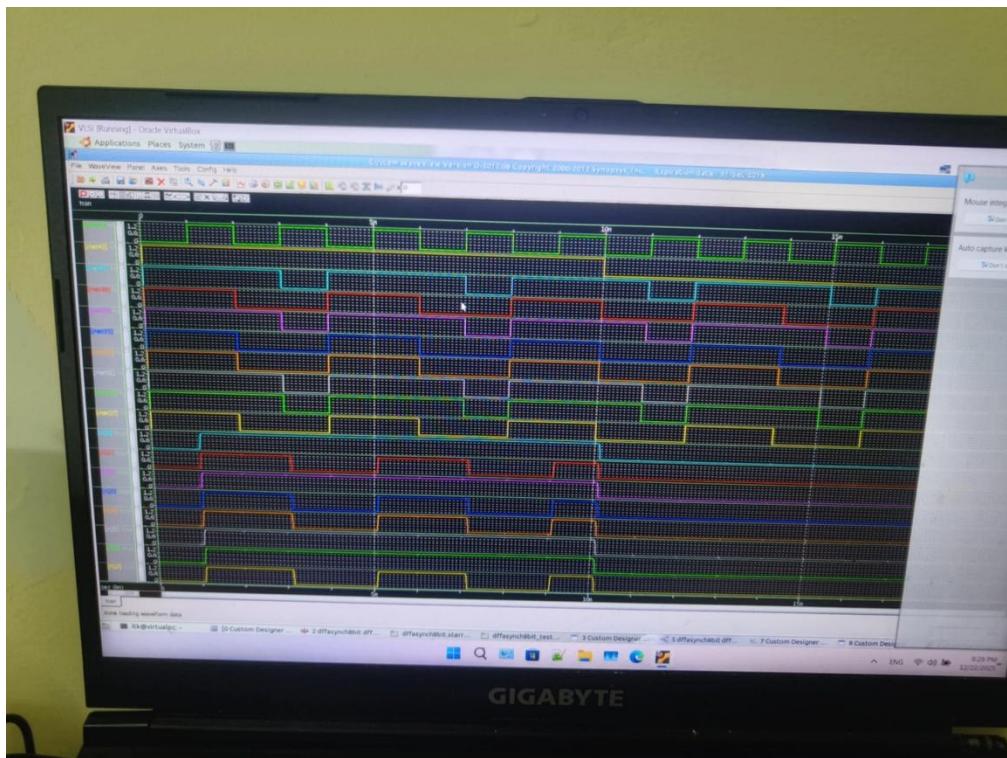
### 2.1. Tạo Symbol



### 2.2. Testbench

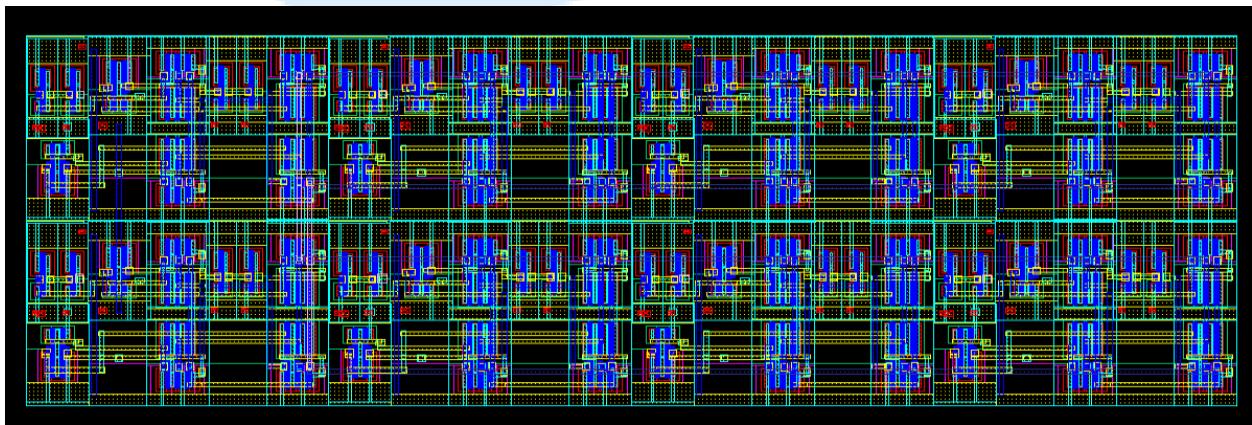


### 2.3. Mô phỏng kết quả bằng SAE

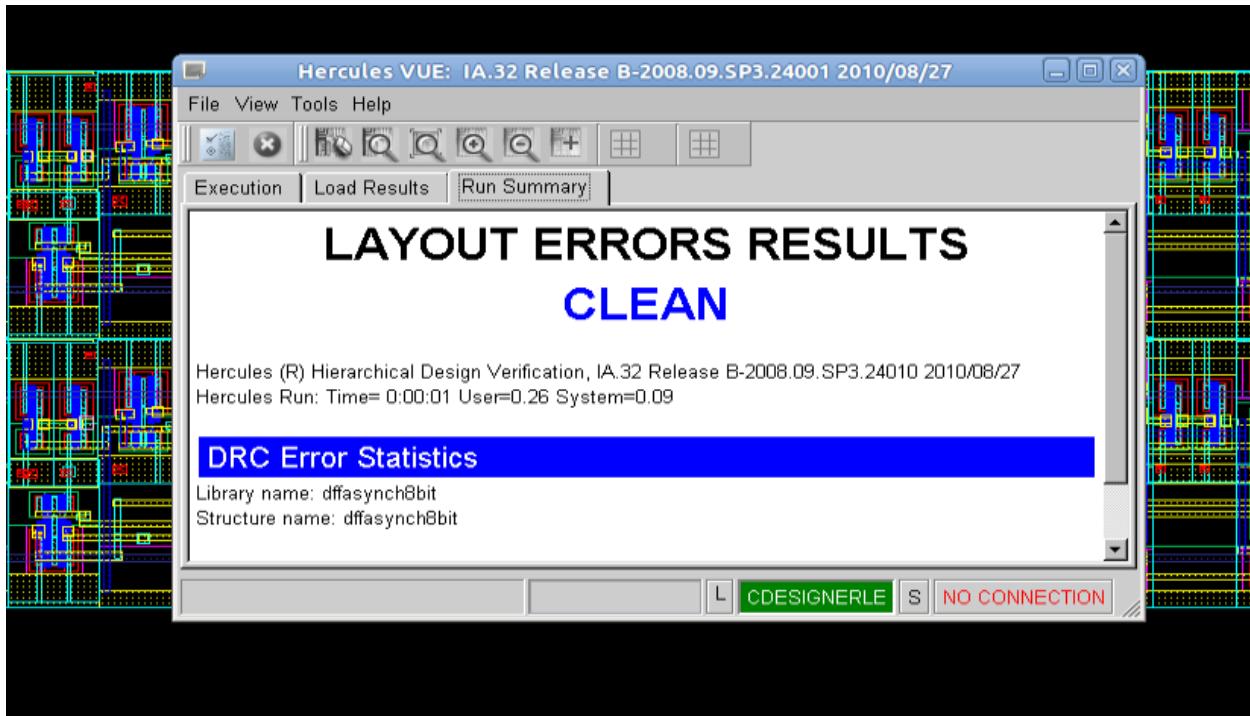


## XIV. Thiết kế Layout DFF8bit

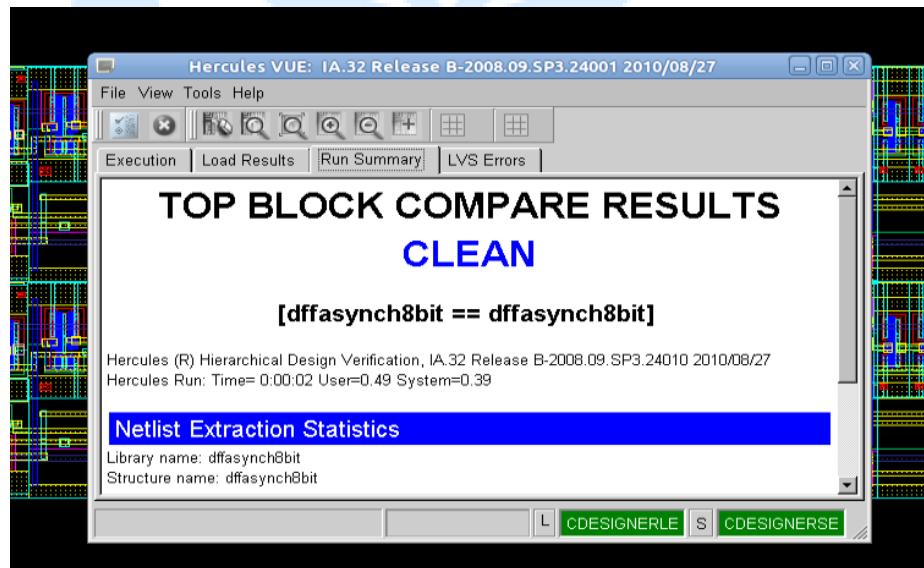
### 1. Layout DFF8bit



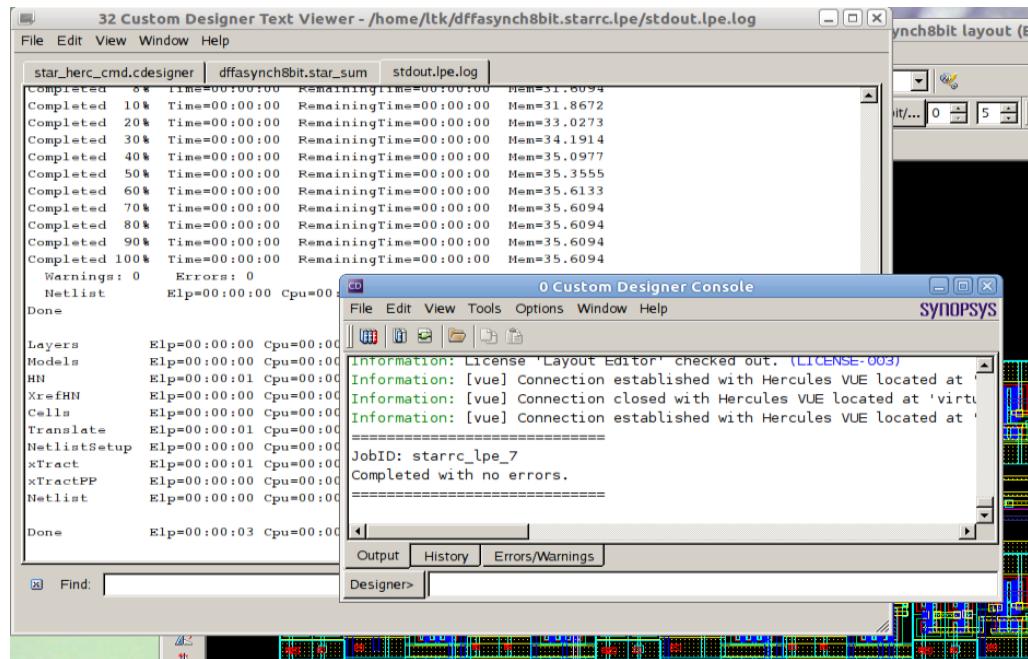
## 2. Kiểm tra Design Rules Check (DRC)



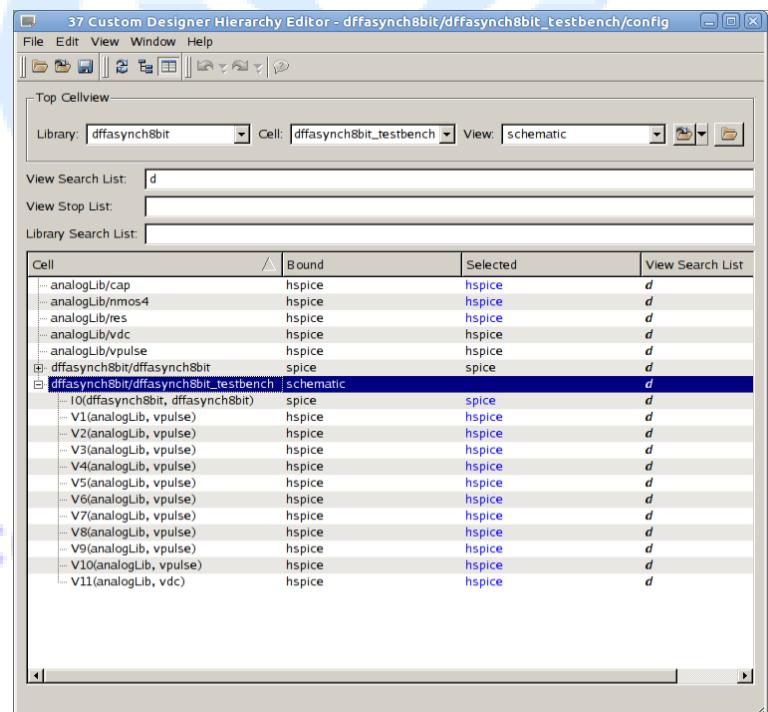
## 3. Kiểm tra Layout Versus Schematic (LVS)



#### 4. Trích xuất tụ, trở kí sinh (Layout Parasitic Extraction – LPE)



#### 5. Mô phỏng PostLayout



33 dffasynch8bit.dffasynch8bit.spice (Editing) - Custom Designer Text Editor

Tools Design Check Options Window Help

synopsys

(No Command) History: .../dffasynch8bit/...

```
*  
*|DSPF 1.3  
*|DESIGN dffasynch8bit  
*|DATE "Fri Jun 23 06:55:05 2017"  
*|VENDOR "Synopsys"  
*|PROGRAM "StarRC"  
*|VERSION "D-2010.06"  
*|DIVIDER |  
*|DELIMITER :  
*|OPERATING_TEMPE  
*|GLOBAL_TEMPERAT  
**FORMAT SPF  
*  
  
** COMMENTS  
  
** TCAD_GRD_FILE M  
** TCAD_TIME_STAN  
** TCADGRD_VERSI  
  
.SUBCKT dffasynch
```

0 Custom Designer Console

File Edit View Tools Options Window Help

synopsys

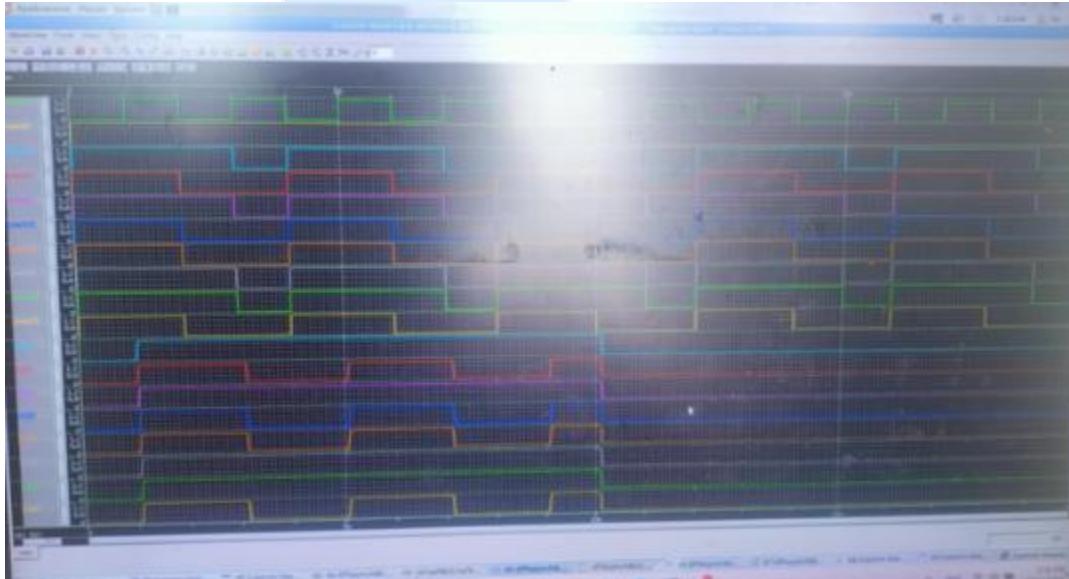
Information: License 'Layout Editor' checked in. (LICENSE-004)  
Information: License 'Schematic Editor' checked out. (LICENSE-003)  
Information: SPICEText file dffasynch8bit/dffasynch8bit/spice parsed suc  
Information: Shadow OA for SPICEText file dffasynch8bit/dffasynch8bit/sp  
Information:  
Cross view checking for dffasynch8bit/dffasynch8bit/schematic with dffas  
No violations found.  
Cross view checking for dffasynch8bit/dffasynch8bit/symbol with dffasyn  
No violations found. (DE\_EDIT-007)

Output History Errors/Warnings

Designer>

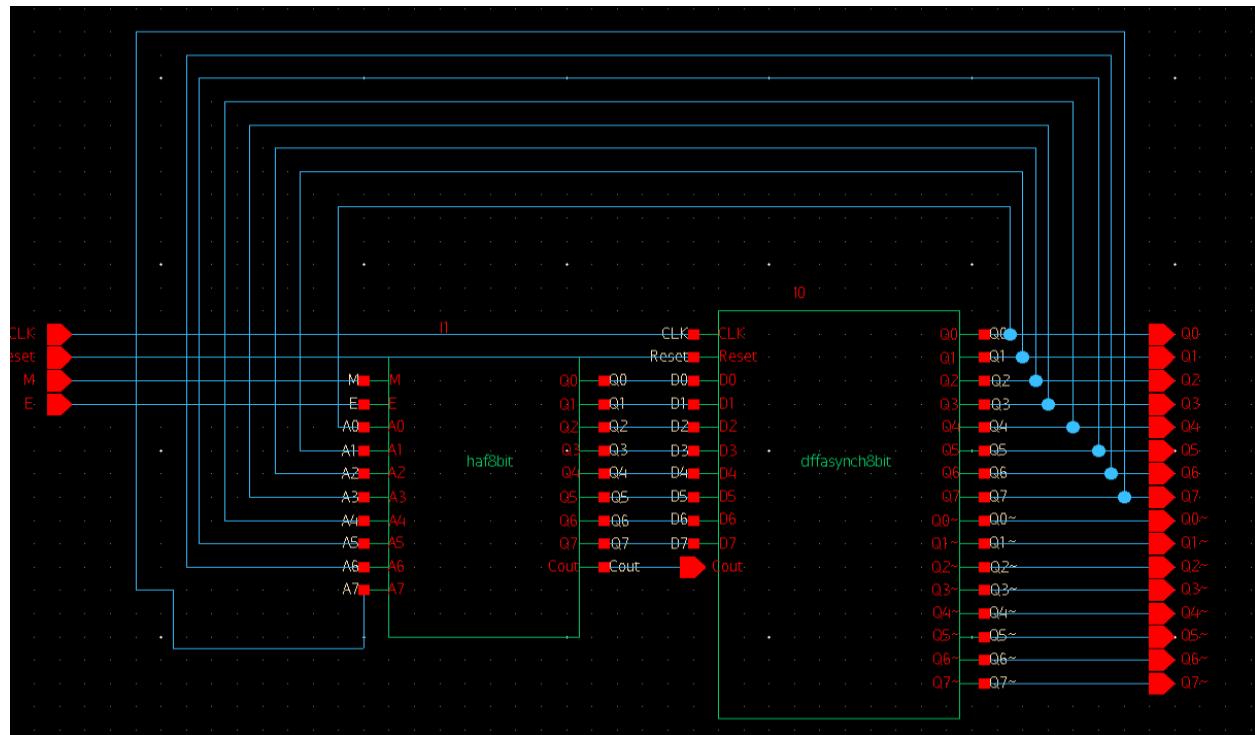
Line: , Column:

## 5.1. Thực hiện mô phỏng SAE (PostLayout)



### XIII. Thiết kế và mô phỏng CounterUpDown8bit

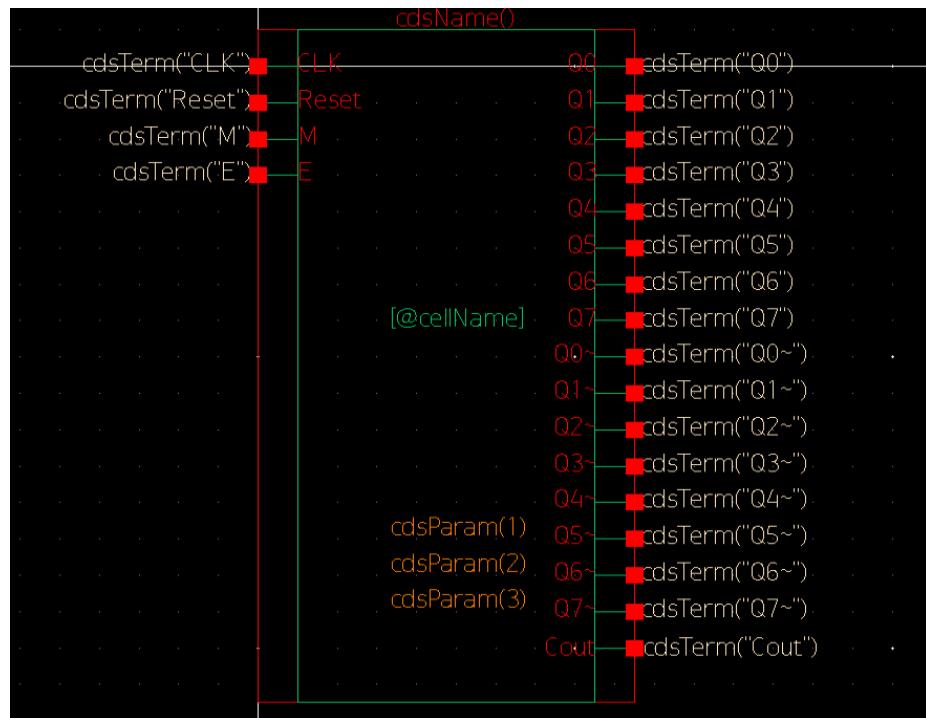
#### 1. Thiết kế Schematic mạch CounterUpDown8bit



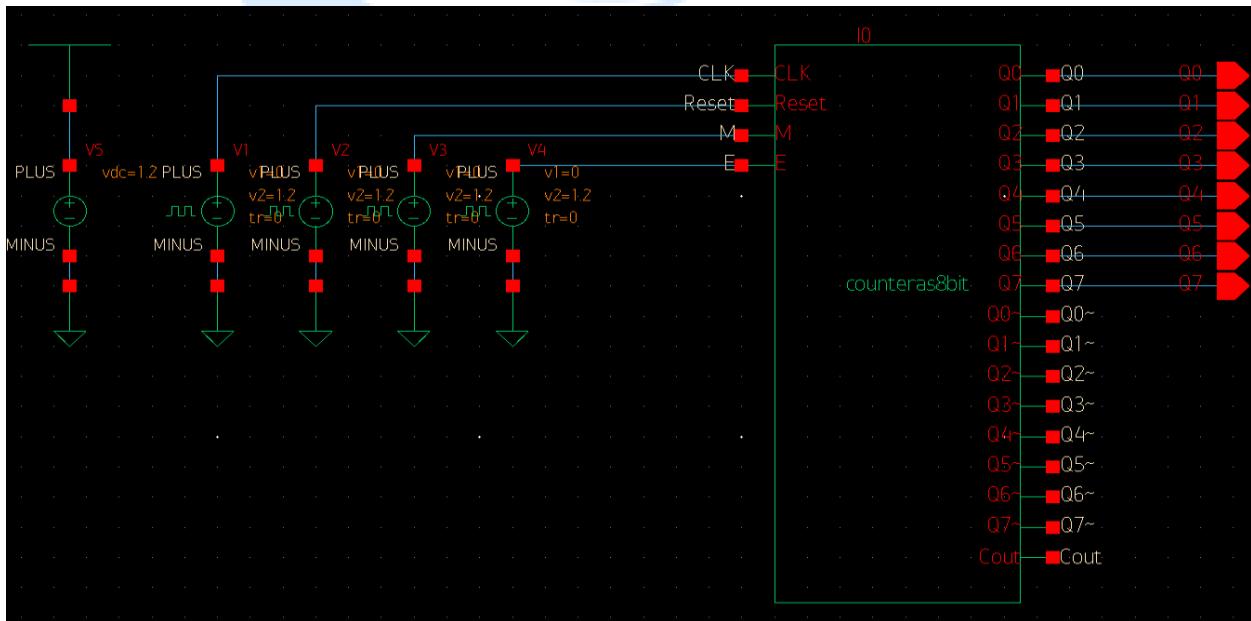
**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

## 2. Mô phỏng và kết quả

### 2.1. Tạo Symbol



### 2.2. Testbench

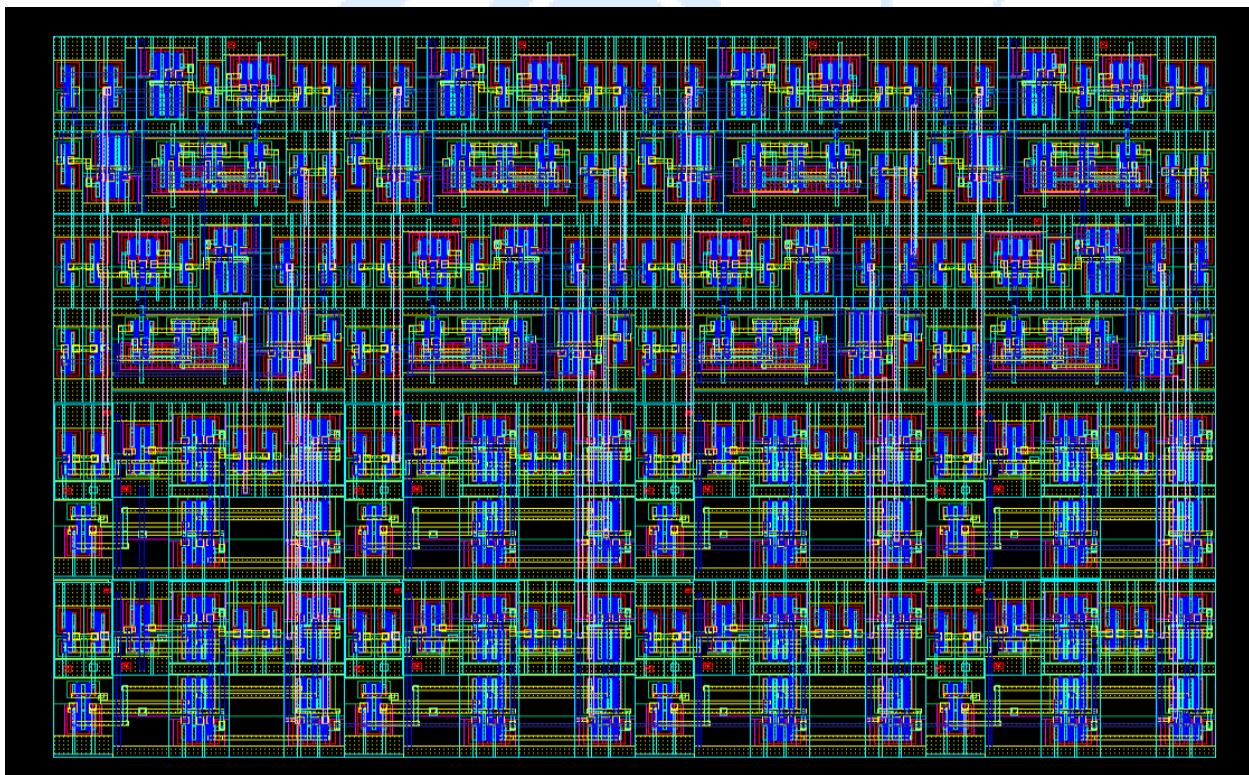


### 2.3. Mô phỏng kết quả bằng SAE

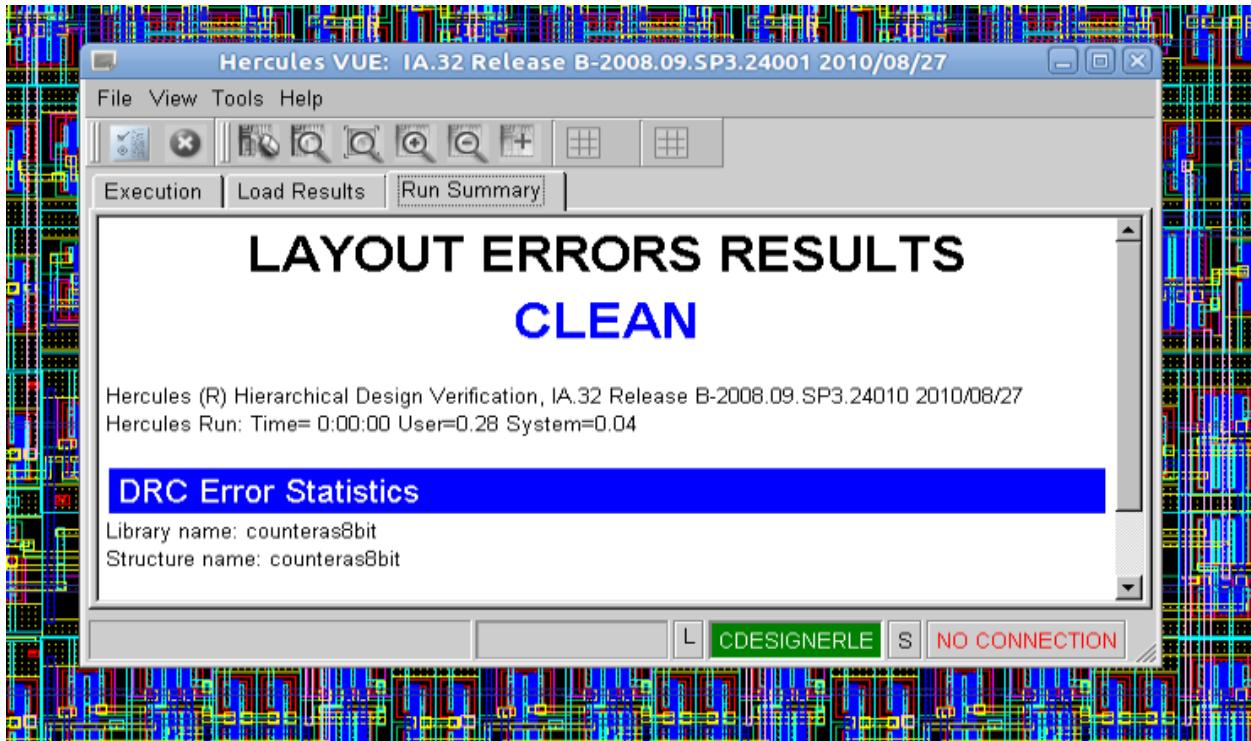


## XIV. Thiết kế Layout CounterUpDown8bit

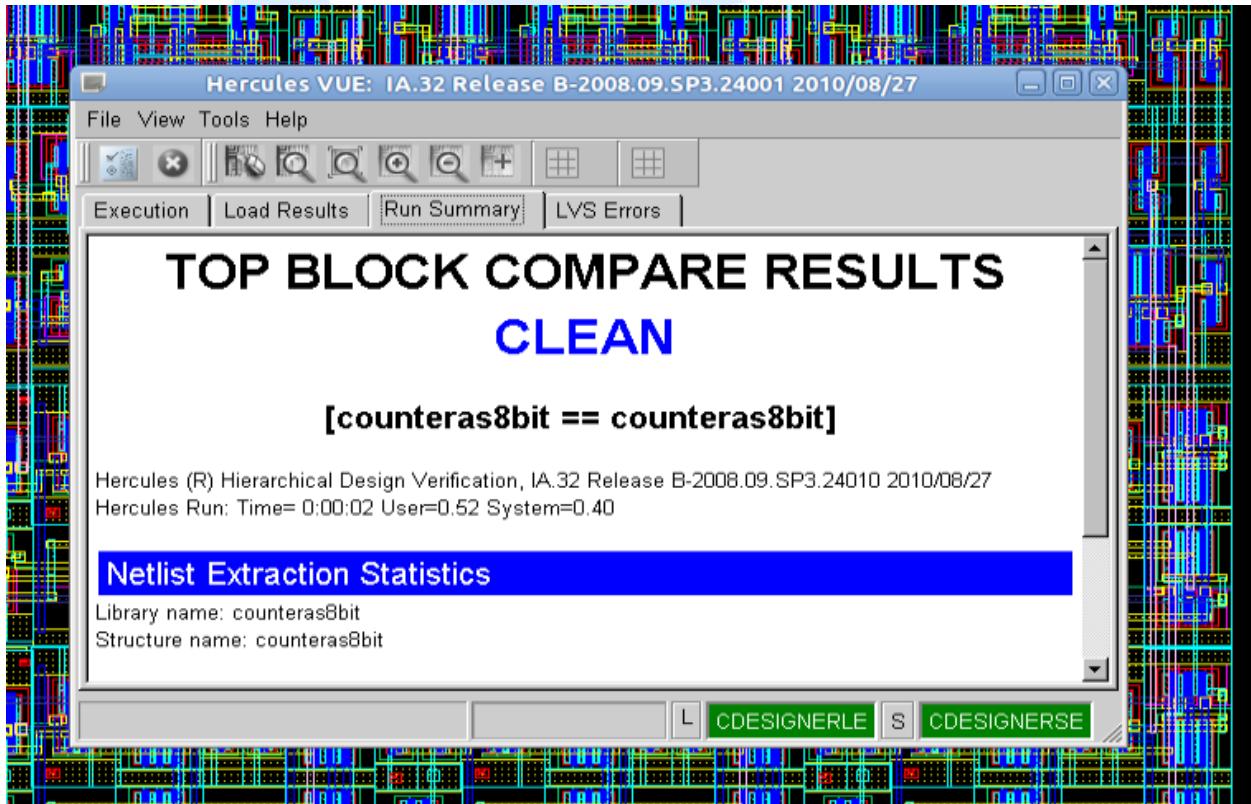
### 1. Layout CounterUpDown8bit



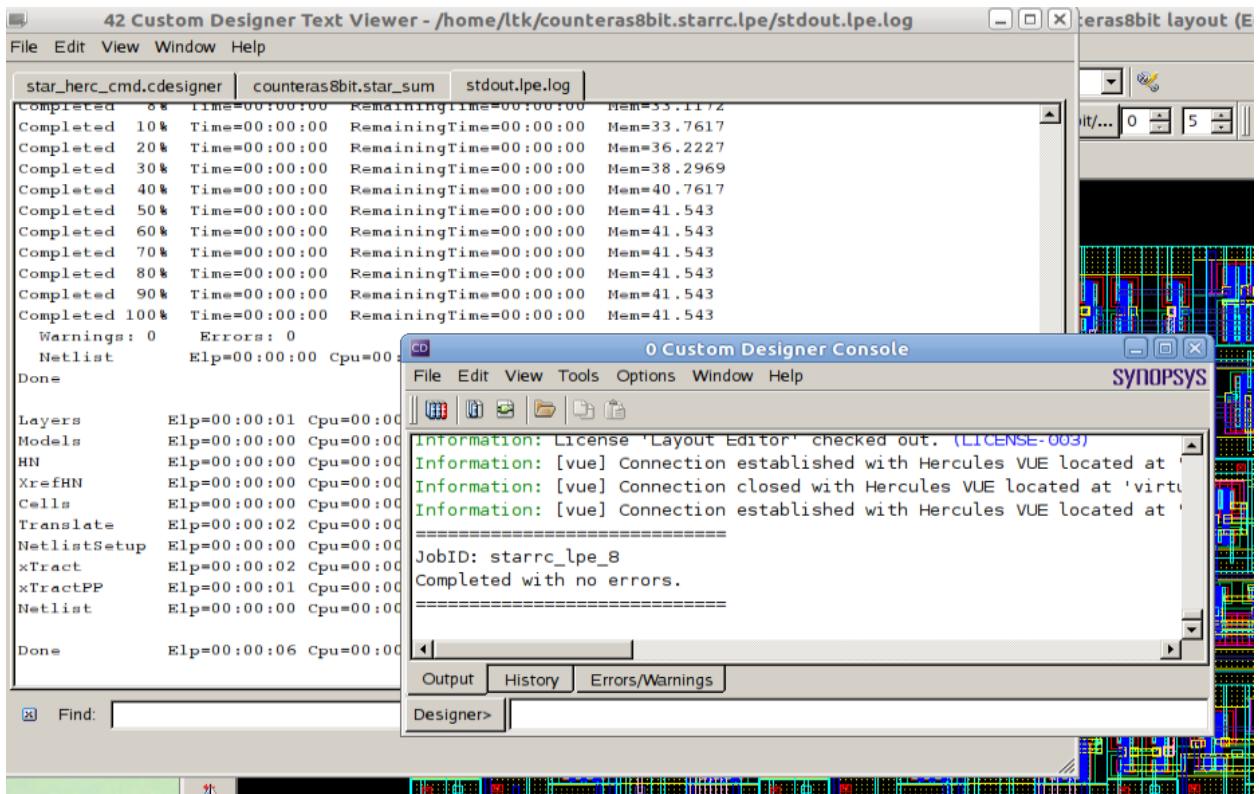
## 2. Kiểm tra Design Rules Check (DRC)



## 3. Kiểm tra Layout Versus Schematic (LVS)

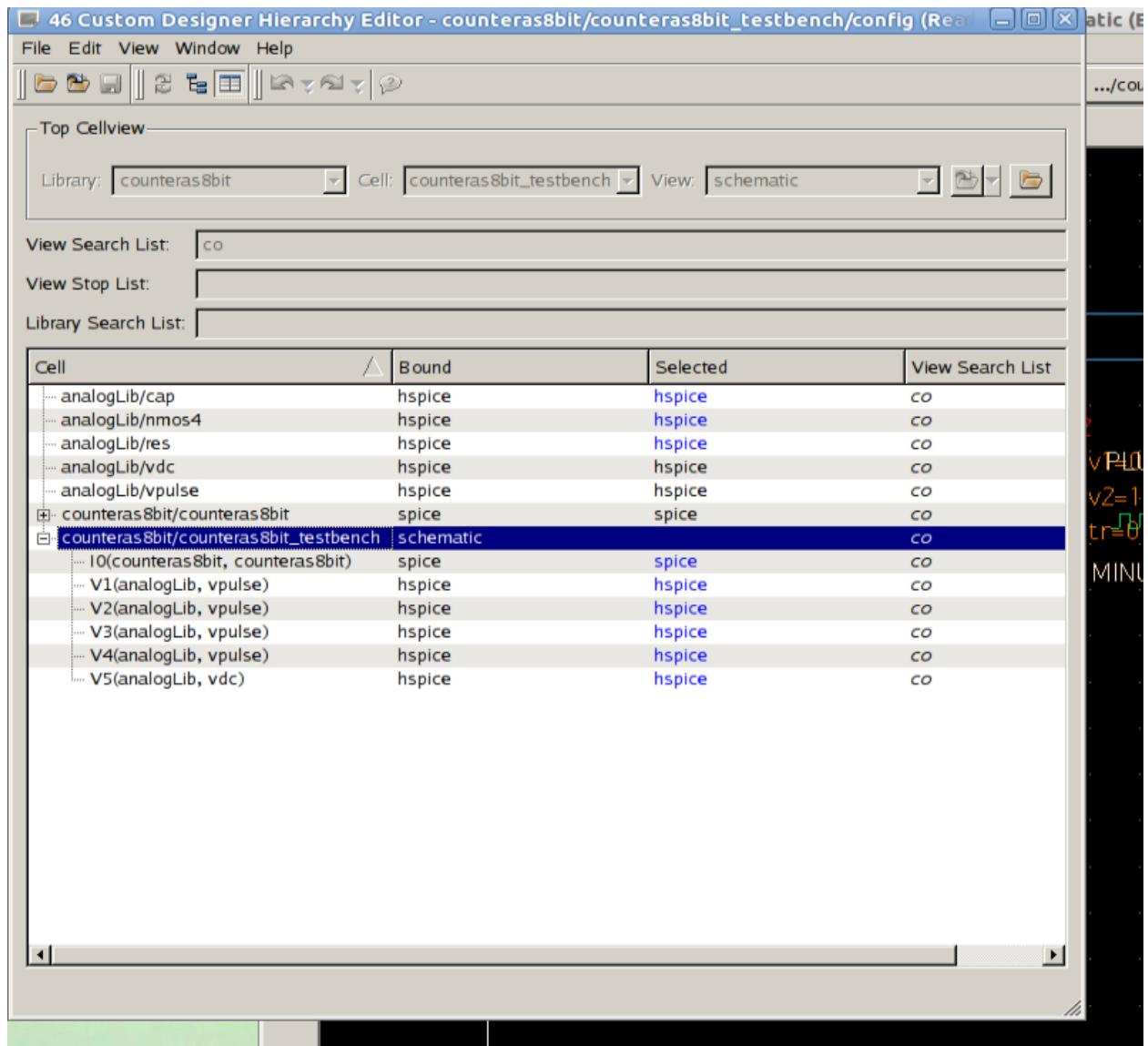


#### 4. Trích xuất tụ, trở kí sinh (Layout Parasitic Extraction – LPE)



#### 5. Mô phỏng PostLayout

UIT  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN



TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

43 counteras8bit counteras8bit spice (Read-Only) - Custom Designer Text Editor

Tools Design Check Options Window Help

SYNOPSYS

(No Command) History:

```

*
*DSPF 1.3
*DESIGN counteras8bit
*DATE "Fri Jun 23 07:05:25 2017"
*VENDOR "Synopsys"
*PROGRAM "StarRC"
*VERSION "D-2010.06"
*DIVIDER |
*DELIMITER |
*OPERATING |
*GLOBAL_TE |
**FORMAT SP
*
** COMMENT
**
** TCAD_GRD
** TCAD_TIM
** TCADGRD
.SUBCKT cou

```

0 Custom Designer Console

File Edit View Tools Options Window Help

SYNOPSYS

Information: SPICEText file counteras8bit/counteras8bit/spice parsed successfully
Information: License 'Schematic Editor' checked in. (LICENSE-004)
Information: SPICEText file counteras8bit/counteras8bit/spice parsed successfully
Warning: Markers couldn't be created because counteras8bit/counteras8bit/spice is opened in read-only mode.
Information:
Cross view checking for counteras8bit/counteras8bit/schematic with counteras8bit/counteras8bit/spice
No violations found.
Cross view checking for counteras8bit/counteras8bit/symbol with counteras8bit/counteras8bit/spice
No violations found. (DE\_EDIT-007)

Output History Errors/Warnings

Designer >

Warning: Markers couldn't be created because counteras8bit/counteras8bit/spice is opened in read-only mode. Line: , Column:

## 5.1. Thực hiện mô phỏng SAE (PostLayout)

