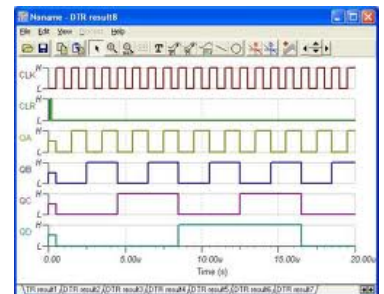


1^{ère} Année GSEII

Circuits Reprogrammables & Conception des Circuits Intégrés Numériques En VHDL

TRAVAUX PRATIQUES

**TP-3 : Conception d'un circuit DIVISEUR séquentiel entre
deux opérandes de 8 bits en VHDL**



Pr : Anass MANSOURI

SOMMAIRE

1 - Présentation du TP

2 - Spécification d'utilisation du Diviseur

3 - Modèle architectural en VHDL

3.1 - Unité de traitement

3.2 - Unité de contrôle

4 - Travail à effectuer

4.1 - Modélisation et simulation

4.2 - Synthèse

Annexes :

1 - Présentation du TP

Ce TP consiste à spécifier, simuler puis synthétiser un diviseur séquentiel entre deux opérandes de 8 bits et donc un résultat sur 8 bits.

Une fois le diviseur 8 x 8 achevé, il vous sera possible de réaliser un diviseur dont la taille des entrées sera définie par un générique (*generic*).

2 - Spécification du Diviseur 8 bits

La méthode pour diviser les deux opérandes N1 et N2 consiste à effectuer les opérations suivantes :

$$A \leq N1, B \leq N2.$$

$$A \leq A - B$$

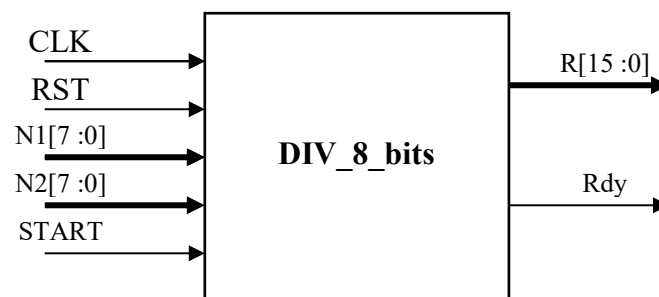
$$Q \leq Q + 1$$


Fig 1 : Vue externe du diviseur

- Le passage à 1 du signal Start signale le dépôt des opérandes N1 et N2 aux variables a et b
- Le circuit accuse réception en passant Rdy à 0. Les opérandes sont alors mémorisés en interne et le client peut repasser Start à 0
- La fin du calcul est signalée par la remontée de Rdy à 1
- Le résultat est alors disponible sur la sortie R
- Le comportement est indéfini si Start passe à 1 alors que Rdy est à 0.

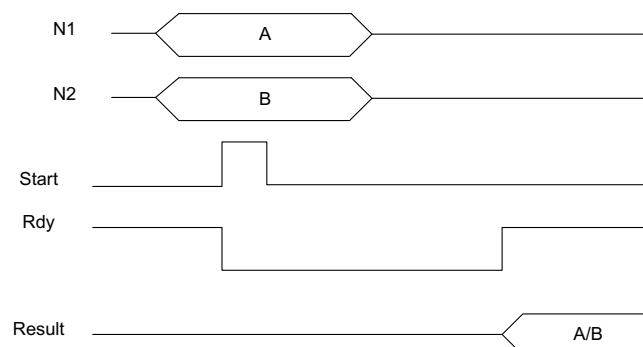


Fig 2 : principe d'utilisation du diviseur

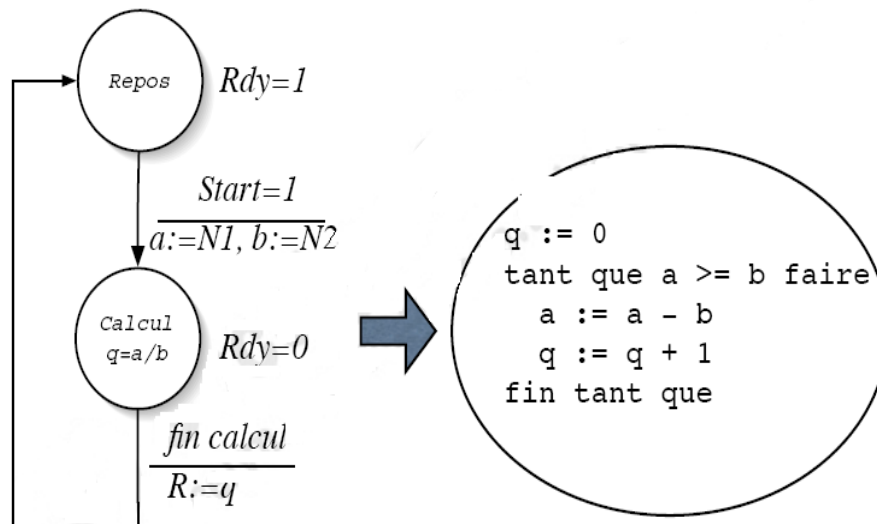


Fig 3 : Spécifications du diviseur

Questions

1) Définir une description comportementale Pour décrire conjointement les aspects algorithmiques et temporels ?

- Deux solutions : - VHDL
- Langage haut niveau (C, ...)

2) Réécrire RTL (Register Transfer Level)

➤ Définition :

Le modèle RTL c'est modèle intermédiaire susceptible d'une implémentation matérielle obtenu par transformation du modèle comportemental :

- comportement rendu synchrone à une horloge
- pour chaque variable, une affectation au plus par front de l'horloge
- itérations remplacées par un séquençement explicite via une machine à états

➤ Justifications :

- une variable = un registre
- une opération = un opérateur (combinatoire)
- une affectation = un chargement de registre

2) Lancer une synthèse des deux modèles sur Quartus. Interpréter les résultats.

4 - Modèle architectural en VHDL

Il est évident qu'une telle application nécessite une démarche hiérarchique. De ce fait, une première décomposition peut être effectuée.

Ce diviseur peut se décomposer dans un premier temps en deux blocs :

- . Partie opérative pour effectuer la multiplication
- . Partie de contrôle pour permettre de gérer l'acquisition des opérandes, la gestion des signaux d'acquiescement, d'initialisation, etc...

Objectif :

- guider le processus de synthèse
- Expliciter un modèle d'architecture
- Transcription en VHDL structurel

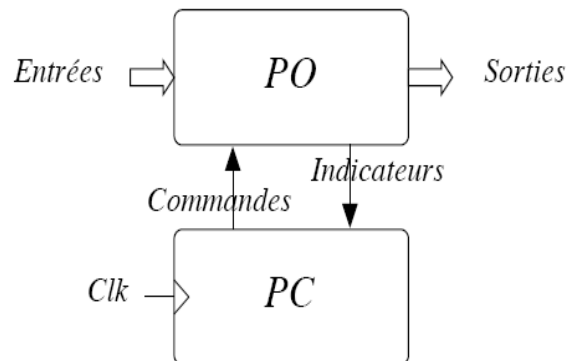


Fig 4 : Modèle architectural du diviseur

Partie opérative

Dessin du “chemin de données” (*data-path*)

- Une variable = un registre
- Une opération = un opérateur (combinatoire)
- Une affectation = un chargement de registre
- Une conditionnelle (if) = un multiplexeur

Partie contrôle

- Sorties : signaux de commande de la PO :
 - fronts (chargements)
 - niveaux (sélections)
- Entrées :
 - entrées de contrôle du système
 - indicateurs en provenance de la PO

Questions :

- 1) Modélisation et simulation du modèle architectural du diviseur ?
- 2) Modifier ce diviseur pour réaliser un diviseur dont la taille des entrées sera définie par un générique (*generic*) ?
- 3) Lancer une synthèse sur le logiciel Quartus. Interpréter les résultats.

Annexe

1- Squelette d'écriture d'un programme en VHDL

```
--*****
--
--                               ENSA FES                               --
--                               Filière :                               --
--*****

--Title      : Le nom du programme
--TP         : Le nom du TP
--Block      : Le nom du bloc
--
*****

--File       : Le nom du fichier
--Authors    : Le nom du binôme
--Created    : La date de création
--
*****

--Description :
--
--
--
*****

--*****
--
--                               Used Libraries                               --
--*****

--*****
--
--                               ENTITY Declaration                               --
--*****

--*****
--
--                               RTL Description                               --
--*****
```