

# Специализированная Сеть-на-Кристалле с Агрегацией Каналов

Ievgen Korotkyi, Oleksandr Lysenko

Department of Design of Electronic Digital Equipment  
National Technical University of Ukraine “Kyiv Polytechnic Institute”  
Kyiv, Ukraine  
korotkiy.eugene@ieee.org, o.lysenko@kpi.ua

**Abstract**—Предложен метод снижения аппаратурной стоимости сети на кристалле (NoC) с агрегацией каналов, путем неравномерного распределения количества физических связей в агрегированных логических соединениях. Создана специализированная NoC, аппаратурная стоимость которой более чем в два раза (на 65%) ниже, а максимальная рабочая частота на 41% выше, чем у сети с гомогенной архитектурой. По результатам моделирования в среде ModelSim исследованы транспортные задержки предложенного решения.

**Keywords:** *network on chip; NoC; link aggregation; LAG; router; synthesis; application specific;*

## I. INTRODUCTION

Повышение сложности систем на кристалле (SoC) вскрывает проблемы масштабируемости таких способов организации подсистемы связи, как “общая шина”, “полносвязная архитектура” и соединение по типу “точка-точка” [1-2]. С целью увеличения масштабируемости, пропускной способности и максимальной рабочей частоты, для обеспечения связи между вычислительными модулями в СБИС предложено использовать концепцию сети на кристалле (NoC) [3]. Актуальность данного направления подтверждается большим числом публикаций в международных реферируемых изданиях [4-8]. Выгоду от его практического применения демонстрируют компании Arteris, Silistix, iNoCs и Tilera, занятые разработкой NoC для Intel, ARM, Qualcomm, Texas Instruments и NEC.

В отличие от макросетей, на конструкцию NoC накладываются более строгие ограничения по количеству аппаратурных ресурсов, необходимых для ее реализации, что делает нецелесообразным использование больших объемов памяти и, как следствие, полную буферизацию пакетов, перед отправкой. Применение коротких входных буферов в маршрутизаторах NoC, при сохранении длины информационных пакетов, становится возможным в случае передачи данных по технологии “wormhole” [9], когда пакет разбивается на атомарные единицы управления потоком, т.н. флиты (flit – flow control unit), передаваемые непрерывно друг за другом. Флиты продвигаются по мере возможности, не дожидаясь прихода последователей, что обеспечивает низкие требования к объему буферного пространства. При таком подходе возрастает вероятность блокирования головы колонны (HOLB), вследствие чего

возможно уменьшение пропускной способности NoC на величину до 42% от ее емкости [10].

Для снижения вероятности HOLB и повышения пропускной способности NoC некоторые исследователи используют виртуальные каналы (ВК) [10]. Такой подход позволяет несколько увеличить порог насыщения сети, однако полностью HOLB не устраняет, поскольку виртуальные потоки мультиплексируются через единственное физическое соединение между маршрутизаторами, что отрицательно сказывается на транспортной задержке и пороге насыщения NoC [11].

В [11] предложены структурные и аппаратурные решения для реализации агрегирования каналов (LAG) в NoC, когда соседние маршрутизаторы сообщаются при помощи нескольких физических связей. Такой подход позволяет устранить HOLB и значительно (в 4 раза и более) повысить порог насыщения wormhole сети. Недостатком LAG является большой объем аппаратурных ресурсов, необходимый для реализации NoC по сравнению с классической wormhole архитектурой (без ВК).

В предлагаемой работе исследуется метод уменьшения аппаратурной стоимости NoC с LAG путем создания специализированной NoC с неравномерным распределением числа физических соединений в агрегированных логических каналах (транках), в зависимости от количества сетевого трафика, передаваемого по ним.

Работа имеет следующую структуру. В разделе II приведена информация об архитектуре NoC с LAG. В разделе III исследована конструкция маршрутизатора, позволяющая задавать произвольное количество PL в каждом транке. Выполнен анализ аппаратурной стоимости различных конфигураций такого маршрутизатора. В следующем разделе исследован метод создания специализированной NoC, в которой количество соединений внутри транка пропорционально числу потоков данных, протекающих через него. Выполнен сравнительный анализ транспортных задержек и аппаратурной стоимости созданной специализированной NoC и ее гомогенного аналога. Заключительный раздел содержит выводы и описание вектора дальнейших исследований.

## II. АРХИТЕКТУРА NoC С АГРЕГАЦИЕЙ КАНАЛОВ

В работе [10] Dally предложил для решения проблемы HOLB ставить в соответствие каждому из входов маршрутизатора сразу несколько очередей, каждая из которых соответствует виртуальному каналу (ВК). В случае блокировании одного из ВК, для передачи пакетов могут быть использованы другие, свободные ВК. Подобный подход позволяет повысить порог насыщения сети на величину в пределах 20% от ее емкости, однако имеет недостатки, связанные с плохой масштабируемостью и высокой аппаратной стоимостью. В [12-13] показано, что повышение количества ВК с двух до четырех (на 100%) приводит к росту порога насыщения всего на 2%, что характеризует плохую масштабируемость подхода. По мнению авторов [11] такое поведение обусловлено тем, что пропускная способность каждого из входов маршрутизатора разделяется между использующими его ВК. С ростом числа ВК увеличивается период передачи флитов виртуальных потоков, что влечет рост транспортной задержки и ограничение порога насыщения NoC.

Как альтернативу ВК, для снижения HOLB, в [11] предлагается использовать агрегацию каналов (LAG), когда топологически соседние маршрутизаторы связываются при помощи множества физических соединений (PL), агрегированных в логический канал (транк). Через транк можно передавать одновременно  $N$  пакетов данных, где  $N$  – количество PL в транке. Это снижает вероятность HOLB и увеличивает пропускную способность NoC. Если известно пространственное распределение потоков данных в сети, существует возможность подобрать число PL для каждого транка таким образом, чтобы полностью исключить HOLB. Из рис.1 видно, как агрегация трех PL устраняет HOLB на “западном” входе маршрутизатора  $R_{22}$ .

Структура и принцип работы маршрутизатора для NoC с LAG подробно рассмотрены в [11]. Приведенные там же результаты свидетельствуют об увеличении порога насыщения на 100% при удвоении числа PL в транках. Согласно [11] порог насыщения для NoC с LAG увеличился на 126% по сравнению с Netmaker NoC [14] и на 152% по сравнению с HERMES NoC [12] (оба аналога используют технологию ВК). По сравнению с классической wormhole архитектурой, без ВК, порог насыщения вырос на 300% (в четыре раза). Аппаратурная стоимость для NoC с LAG оказалась соизмеримой с требованиями к VC NoC [11] и, следовательно, проблема уменьшения аппаратных ресурсов для предлагаемого в [11] подхода остается открытой.

## III. СПЕЦИАЛИЗИРОВАННЫЙ МАРШРУТИЗАТОР ДЛЯ NoC С LAG

Для уменьшения аппаратной стоимости NoC с LAG можно проводить настройку параметров каждого из маршрутизаторов в соответствии с передаваемым через него трафиком. Например, если через определенный входной транк протекает  $N$  потоков данных, а через остальные входные транки  $M < N$  потоков, не целесообразно выбирать ширину всех входных транков равной  $N$  PL. Достаточно сделать это лишь для наиболее “загруженного” транка, а ширину остальных транков выбирать в соответствии с количеством

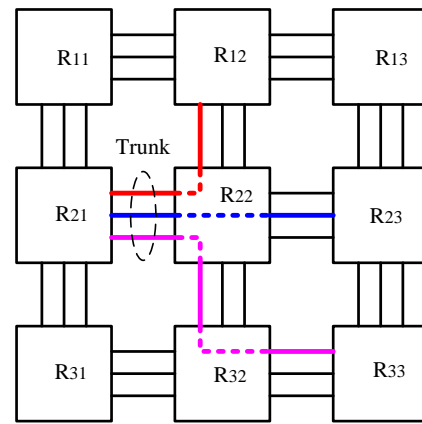


Рис.1. Устранение БГК в NoC с агрегацией 3-х физических каналов

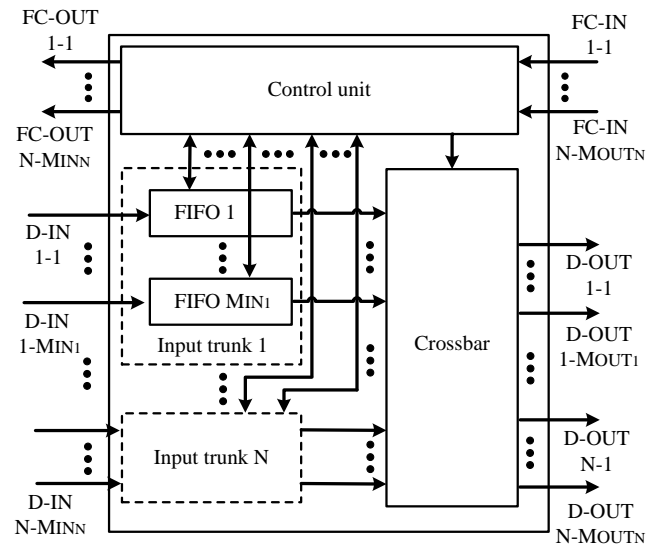


Рис.2. Структурная схема специализированного маршрутизатора для NoC с LAG; FC – flow control; D-IN – data in; D-OUT – data out

протекающих через них потоков. Аналогичные заключения справедливы и для транков с исходящим трафиком.

Чтобы сделать возможным проведение подобной настройки необходимо наличие параметризованной конструкции маршрутизатора, позволяющей задавать произвольное количество PL для каждого из транков. Такая конструкция разработана авторами на основе маршрутизатора из [11] и описана при помощи синтезируемого подмножества System Verilog. Структурная схема предлагаемого решения включает  $N$  входных транков,  $N$  выходных транков, коммутатор и модуль управления (рис.2). Число PL в  $i$ -м входном транке составляет  $MIN_i$  единиц, а в  $i$ -м выходном транке –  $MOUT_i$  единиц. Модуль управления содержит блок XY маршрутизации, блок выделения PL и блок wormhole управления потоком. Принцип работы упомянутых блоков подробно рассмотрен в [11]. Основным отличием данного решения от маршрутизатора из [11] является возможность определять параметры  $MIN_i$  и  $MOUT_i$  для каждого из транков. Технически это реализуется при помощи двумерного динамического массива, как параметра маршрутизатора.

Для демонстрации преимуществ параметрической настройки конструкции маршрутизатора в соответствии с передаваемым через него трафиком, в среде Quartus II синтезированы несколько конфигураций устройства с различным распределением PL в транках. В качестве целевой FPGA выбрана EP4SGX230KF40C2 семейства Stratix IV. Результаты синтеза приведены в табл. I. Синтезируемый маршрутизатор предназначен для использования в NoC с матричной (mesh) топологией и содержит пять пар транков. Для обеспечения двунаправленного обмена данными каждая пара состоит из входного и выходного агрегированных каналов. Четыре пары используются для соединения с соседними маршрутизаторами и обозначаются в соответствии с нотацией сторон света. Пятая пара предназначена для связи с вычислительным модулем. Числа в ячейках табл. I. соответствуют количеству PL в каждом из транков определенной пары (ничто не мешает задавать не одинаковые значения).

TABLE I. SYNTHESIS RESULTS FOR CONFIGURATIONS OF ROUTER WITH LAG

Number of PLs in trunks					Hardware costs		
North	East	South	West	Local	LUT	Reg	Fmax, MHz
1	1	1	1	1	887	555	250
1	1	3	1	1	1581	833	195
1	3	1	3	1	2190	1098	185
2	1	3	2	1	2014	981	190
3	3	3	3	3	4533	1722	160

Из табл. I видно, что в случае неодинакового количества потоков данных, протекающих через транки маршрутизатора, использование неравномерного распределения PL позволяет значительно (в среднем на 56%) сократить аппаратную стоимость устройства и повысить его максимальную рабочую частоту на 19% по сравнению с гомогенной архитектурой, содержащей по 3 PL в каждом транке.

#### IV. МЕТОД СОЗДАНИЯ СПЕЦИАЛИЗИРОВАННОЙ NOC С LAG

Покажем, как на основе предложенного выше маршрутизатора синтезировать специализированную NoC с гетерогенной архитектурой, в которой число PL для каждого транка пропорционально количеству потоков данных, протекающих через него. Такая возможность является следствием того, что в NoC, соединяющей компоненты специализированной SoC потоки данных

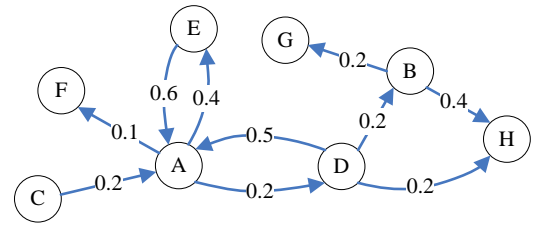


Рис.3. Граф задач для тестовой системы на кристалле

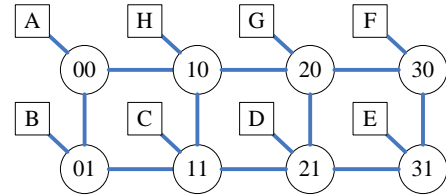


Рис.4. Структурная схема NoC, соединяющей компоненты тестовой системы на кристалле

могут быть распределены не равномерно, что создает предпосылки для проведения параметрической оптимизации. Под специализированной SoC подразумевается не универсальная система, предназначенная для выполнения только одной задачи (например кодирование видео высокой четкости [2]).

В качестве тестовой SoC выбрана вычислительная система, граф задач которой приведен на рис. 1. Узлы графа соответствуют вычислительным модулям (BM). Стрелками обозначены направления обмена данными. Вес каждого ребра соответствует интенсивности генерации заявок на передачу узлом-источником (количество информационных слов за цикл тактовой частоты). Через каждое ребро графа за один такт можно передать не больше одного информационного слова размером 16 бит.

В качестве базовой топологии специализированной NoC выбран матричный способ соединения. Его преимуществами являются высокая разработанность в литературе [9], хорошая масштабируемость, равномерное использование ресурсов и одинаковый порядок длины связей между узлами. Последнее способствует повышению тактовой частоты и надежности NoC [4]. Отображение BM на узлы NoC показано на рис. 4. Маршрутизаторы обозначены кругами, а BM — квадратами. Каждый маршрутизатор адресуется двумя целочисленными индексами  $ij$ , где  $i$  задает позицию в матрице по погоризонтали, а  $j$  — позицию по вертикали (от левого верхнего узла). Разрядность флита NoC равняется длине

TABLE II. TRANSFER LATENCIES OF DATA FLOWS FOR DIFFERENT CONFIGURATIONS OF THE NOC WITH LAG

Number of PLs in the trunks of the NoC	Transfer latencies of data flows, clock cycles (maximum values)									
	A->F	A->E	A->D	B->G	B->H	C->A	D->H	D->B	D->A	E->A
All the trunks contain 1 PL	73	79	74	63	65	63	386	380	414	415
All the trunks contain 2 PL	73	79	74	57	59	33	172	170	173	72
All the trunks contain 3 PL	73	79	74	57	59	17	137	136	139	40
$T_{21 \rightarrow 11} = T_{11 \rightarrow 01} = T_{01 \rightarrow 00} = T_{00 \rightarrow A} = 3$ PL $T_{11 \rightarrow 10} = T_{10 \rightarrow H} = 2$ PL All another trunks contain 1 PL	73	79	74	57	59	17	139	138	140	40

информационного слова SoC (16 бит). Для определения маршрутов используется статическая по координатам XY маршрутизация [15]. Соединения на рис.2 соответствуют полнодуплексным связям и состоят из двух транков противоположной направленности. Для обозначения транков используется следующая нотация:  $T_{ij \rightarrow kl}$ , где пара целых чисел  $ij$  индексирует узел-передатчик, а  $kl$  – узел-приемник, к которым подключен транк  $T$ . Иногда вместо  $kl$  может использоваться имя ВМ.

Отображение ВМ на структуру NoC (рис.2) не является оптимальным и выбрано с целью имитировать значительную и неравномерно распределенную нагрузку на узлы и соединения NoC, возникающую при создании специализированной SoC. Сопоставляя граф задач SoC (рис.1) и структуру NoC (рис.2), можно сделать вывод, что наиболее “загруженными” транками являются  $T_{21 \rightarrow 11}$ ,  $T_{11 \rightarrow 01}$ ,  $T_{01 \rightarrow 00}$  и  $T_{00 \rightarrow A}$ . Коэффициенты использования этих транков превышают единицу:  $\gamma_{21 \rightarrow 11} = \gamma_{11 \rightarrow 01} = 1,5$  и  $\gamma_{01 \rightarrow 00} = \gamma_{00 \rightarrow A} = 1,3$ . Под коэффициентом использования  $\gamma$  понимается суммарное значение интенсивностей генерации заявок потоков данных, протекающих через транк. Значение  $\gamma > 1$  означает, что через соответствующее соединение необходимо передавать более одного флита за цикл тактовой частоты. Такая задача является не разрешимой для всех существующих на сегодняшний день архитектур NoC, за исключением предложенного нами подхода, что подчеркивает преимущество применения LAG в NoC. Более того, высокие значения коэффициентов использования соединений между маршрутизаторами повышают вероятность HOLB, что приводит к увеличению транспортной задержки.

Задачу по созданию специализированной NoC можно сформулировать следующим образом – необходимо обеспечить транспортную задержку всех потоков данных не выше 150 циклов тактовой частоты при минимальных аппаратных затратах. Для решения поставленной задачи создана модель NoC в соответствии со структурой показанной на рис.4 с использованием синтезируемого подмножества языка System Verilog. Основным элементом сети стал исследованный в предыдущем разделе специализированный маршрутизатор с LAG. Для каждого транка созданной NoC существует возможность определить уникальное количество PL. Технически это реализовано при помощи многомерного массива. Транспортные задержки потоков данных получены путем моделирования предлагаемой NoC в среде ModelSim. Процесс моделирования проходит следующим образом. ВМ подключенные к маршрутизаторам с интенсивностью  $\lambda$  вводят в сеть флиты пакетов данных. Длина каждого пакета составляет пять флитов, а значения  $\lambda$  показаны на рис.3. За время моделирования каждый ВМ создает 2100 пакетов (10 500 флитов). Моделирование завершается, когда все сгенерированные пакеты достигнут пунктов назначения. Для обеспечения перехода сети в установившийся режим подсчет транспортной задержки ВМ-приемником начинается после регистрации первых 100 пакетов.

TABLE III. HARDWARE COSTS FOR CONFIGURATIONS OF NoC WITH LAG

Number of PLs in the trunks of the NoC	LUT	Reg	Fmax, MHz
All the trunks contain 1 PL	4 410	3 080	231
All the trunks contain 2 PL	11 048	5 704	180
All the trunks contain 3 PL	21 176	8 976	145
$T_{21 \rightarrow 11} = T_{11 \rightarrow 01} = T_{01 \rightarrow 00} = T_{00 \rightarrow A} = 3$ PL $T_{11 \rightarrow 10} = T_{10 \rightarrow H} = 2$ PL All another trunks contain 1 PL	6 535	4 038	205

В качестве оценки аппаратурной стоимости различных конфигураций предлагаемой NoC использованы результаты синтеза ее System Verilog модели в среде Quartus II. В качестве целевой микросхемы выбрана EP4SGX230KF40C2 (семейство Stratix IV).

Вначале рассмотрим случай, когда все транки NoC содержат по одному PL. Такая архитектура будет гомогенной, а поэтому неспециализированной. Задержки потоков данных для подобной конфигурации NoC представлены в первой строке табл. II, а ее аппаратурная стоимость – в начале табл. III. Отметим, что в табл. II приведены лишь максимальные значения задержек, тогда как их средние значения могут быть в несколько раз ниже. Как видно из табл. III, синтез полученного решения влечет минимальные аппаратные затраты, однако требования к транспортной задержке для потоков D→H, D→B, D→A и E→A не выполняются.

Повышение числа PL в транках сети до двух позволяет добиться допустимой величины задержки для потока E→A и уменьшить задержки остальных “проблемных” потоков в среднем на 55%, доведя их до 172, 170 и 173 циклов тактовой частоты. Аппаратурная стоимость NoC в таком случае увеличивается на 125%. Из табл. II следует, что для гомогенной структуры NoC обеспечить допустимую задержку для всех потоков удастся лишь для конфигурации с тремя PL на транк. Такое решение будет наиболее аппаратно дорогим, требуя для своей реализации на 300% больше ресурсов FPGA по сравнению с первоначальным вариантом.

В третьей строке табл. II представлена конфигурация специализированной NoC, которая удовлетворяет требованиям к транспортной задержке для всех потоков данных. Количество PL в транках определялось при помощи следующего метода, предложенного авторами. Изначально все транки инициализируются единственным PL. На первом этапе при помощи моделирования в ModelSim оцениваются транспортные задержки потоков и коэффициенты использования транков. Далее производится нормировка, состоящая в делении полученных значений на количество потоков протекающих через соответствующий транк. В качестве кандидата для увеличения числа PL выбирается транк, содержащий наибольшее значение нормированного коэффициента использования при условии, что через него протекает поток данных для которого не выполняются требования к транспортной задержке. Описанные действия

повторяются итеративно до соответствия транспортных задержек потоков заданным требованиям. Таким образом на каждом этапе количество PL инкрементируется для наиболее загруженного транка. В данном исследовании выше описанный метод был реализован вручную. Результаты синтеза созданной специализированной NoC приведены в последней строке табл. III и свидетельствуют о том, что аппаратную стоимость удалось снизить на 65% (более чем в два раза) по сравнению с гомогенной NoC содержащей по 3 PL в каждом транке и аналогичной по транспортным задержкам. При этом максимальная тактовая частота специализированной NoC выросла на 41%.

## V. CONCLUSIONS

В работе предложена и исследована конструкция специализированного маршрутизатора для NoC с LAG, позволяющая произвольно задавать количество PL в транках маршрутизатора. Показано, что в случае неодинакового количества потоков данных, протекающих через агрегированные соединения устройства, такой подход позволяет значительно (на 56%) сократить его аппаратную стоимость.

В работе предложен и исследован метод создания специализированной NoC у которой количество PL в каждом транке пропорционально числу протекающих через него потоков данных. С использованием разработанного метода создана специализированная NoC, аппаратная стоимость которой более чем в два раза (на 65%) ниже по сравнению с ее гомогенным аналогом, а максимальная тактовая частота на 41% выше.

Вектор дальнейших исследований направлен на создание алгоритма, автоматизирующего предложенный метод синтеза специализированных NoC с LAG.

## REFERENCES

- [1] F. Angiolini, P. Meloni, L. Benini "A layout-aware analysis of networks-on-chip and traditional interconnects for mpsoCs," *IEEE Trans. on CAD of Integr. Circ. and Syst.*, vol. 26, no. 3, pp. 421-434, 2007.
- [2] H.G. Lee, N. Chang, U.Y. Ogras, R. Marculescu, "On-chip communication architecture exploration: A quantitative evaluation of point-to-point, bus and network-on-chip approaches," *ACM Trans. on Design Automation of Electronic Systems*, vol. 12, no. 3, pp. 1-20, 2007.
- [3] W. Dally, B. Towles, "Route packets, not wires: on-chip interconnection networks," in *Proceedings of the 38th annual Design Automation Conference*, Las Vegas, USA, June 2001, pp. 684-689.
- [4] T. Bjerregaard, S. Mahadevan, "A survey of research and practices of network-on-chip," *ACM Comp. Surveys*, vol. 38, no. 1, pp. 1-51, 2006.
- [5] D. Atienza, F. Angiolini, S. Murali, A. Pullini, L. Benini, G.D. Micheli, "Network-on-chip design and synthesis outlook," *Integration The VLSI journal*, vol. 41, no. 3, pp. 340-359, 2008.
- [6] R. Marculescu, P. Bogdan, "The chip is the network: toward a science of network-on-chip design," *Foundations and Trends in Electronic Design Automation*, vol. 2, no. 4, pp. 371-461, 2009.
- [7] R. Marculescu, U.Y. Ogras, L.S. Peh, N.E. Jerger, Y. Hoskote, "Outstanding research problems in NoC design: system, microarchitecture, and circuit perspectives," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 28, no. 1, pp. 3-21, 2009.
- [8] Haiyun Gu, "Survey of dynamically reconfigurable Network-on-chip," in *Proc. of Intern. Conf. on Future Computer Sciences and Application*, Hong Kong, China, Jun. 2011, pp. 200-203.
- [9] W.J. Dally, "Performance analysis of k-ary n-cube interconnection networks," *IEEE Trans. Comput.*, vol. 39, no. 6, pp. 775-785, 1990.
- [10] W.J. Dally, "Virtual-channel flow control," *IEEE Trans. on Parallel Distrib. Syst.*, vol. 3, no. 2, pp. 194-205, 1992.
- [11] I. Korotkyi, O. Lysenko, "Hardware implementation of link aggregation in networks-on-chip," in *Proc. of World Congress on Information and Communication Technologies*, Mumbai, India, Dec. 2011, pp. 1112-1117.
- [12] A. Mello, L. Tedesco, N. Calazans, F. Moraes, "Virtual channels in networks on chip: implementation and evaluation on Hermes NoC," in *Proceedings of 18th Symposium Integrated Circuits and System Design*, New York, USA, 2005, pp. 178-183.
- [13] R. Mullins, A. West, S. Moore, "Low-latency virtual-channel routers for on-chip networks," in *Proceedings of 31-th International Symposium on Computer Architecture*, Munich, Germany, June 2004, pp. 188-197.
- [14] Netmaker, <http://www-dyn.cl.cam.ac.uk/~rdm34/wiki>.
- [15] Dally W.J., Towles B. Principles and Practices of Interconnection Networks.— San Francisco: Morgan Kaufmann Publishers, 2004. — 550p.