

Агрегация Каналов в Сетях-на-Кристалле

Eugene Korotkiy, Oleksandr Lysenko

Department of Design of Electronic Digital Equipment
National Technical University of Ukraine “Kyiv Polytechnic Institute”
Kyiv, Ukraine

korotkiy.eugene@ieee.org o.lysenko@kpi.ua

Abstract — Объединение вычислительных модулей внутри сверхбольших интегральных схем при помощи сетей-на-кристалле (СтнК) является перспективной и быстро развивающейся технологией. При обмене данными в СтнК нередко происходит блокирование головы колонны (БГК), что приводит к уменьшению пропускной способности и росту транспортной задержки сети. Для снижения вероятности возникновения БГК широко используются виртуальные каналы (ВК). Такой подход способствует повышению порога насыщения, однако требует для своей реализации значительных аппаратных ресурсов и демонстрирует плохую масштабируемость с ростом числа ВК. Альтернативой является предложенная и исследуемая в данной работе агрегация каналов СтнК, позволяющая существенно увеличить пропускную способность за счет соединения маршрутизаторов при помощи нескольких физических связей. Аппаратные ресурсы, необходимые для синтеза предлагаемого решения, по предварительным оценкам соизмеримы с требованиями для реализации ВК маршрутизатора. Результаты моделирования СтнК с агрегацией каналов в ModelSim показывают повышение порога насыщения на 150% по сравнению с сетью, использующей ВК.

Keywords: *сеть-на-кристалле; агрегация каналов; маршрутизатор*

I. ВВЕДЕНИЕ

Одной из характерных тенденций, присущих современным системам-на-кристалле (СнК), является постоянное увеличение числа IP ядер при одновременном повышении требований к количеству и емкости межмодульных соединений [1]. Вследствие усложнения внутренней структуры СнК такие способы организации подсистемы связи как “общая шина” и “полносвязная архитектура” теряют эффективность [2,3]. Для решения проблемы обмена данными внутри сверхбольших интегральных микросхем предложено использовать концепцию сетей-на-кристалле (СтнК) [4]. Такой подход обладает преимуществами масштабируемости, параллелизма и высокой тактовой частоты [1]. Общее представление об СтнК можно получить из обзорных работ [5-7].

Для оценки эффективности функционирования СтнК наиболее важными характеристиками являются транспортная задержка и пропускная способность. Под транспортной задержкой понимается интервал времени между созданием пакета и его приемом в пункте назначения, включая ожидание в буфере передатчика. Пропускная способность характеризует максимальное количество данных, передаваемое в сети за единицу времени и ограничивается порогом насыщения – значением приложенной нагрузки при котором транспортная задержка СтнК возрастает в десятки раз вследствие заторов на совместно разделяемых ресурсах.

Для СтнК характерно применение коротких очередей на входах маршрутизаторов, что делает нецелесообразной буферизацию всего пакета перед отправкой в порт назначения [1]. Вместо этого используется “wormhole” управление потоком, когда пакет разбивается на атомарные единицы управления потоком (флиты), передаваемые непрерывно друг за другом [8]. Флиты продвигаются по мере возможности, не дожидаясь прихода последователей, что обеспечивает низкие требования к объему буферного пространства. При таком подходе резко возрастает вероятность блокирования головы колонны (БГК). Результаты исследования [9] свидетельствуют о том, что вследствие БГК пропускная способность СтнК ограничивается 50% емкости сети.

Использование виртуальных каналов (ВК) является эффективным методом снижения вероятности БГК [9]. Суть данного подхода заключается в том, что физической линии связи ставится в соответствие несколько виртуальных каналов (ВК) – очередей, функционирующих параллельно. Блокирование одного из ВК не влияет на передачу пакетов через остальные логические каналы, позволяя до некоторого времени избегать БГК и связанного с этим увеличения транспортной задержки. Такому подходу свойственны определенные недостатки. Во-первых – плохая масштабируемость. Поскольку пропускная способность физического порта разделяется между использующими его виртуальными каналами, с ростом числа ВК увеличивается период передачи флитов логических каналов. Второй недостаток связан с большим количеством аппаратных ресурсов, необходимых для реализации метода. Значительный вклад в общую ресурсоемкость вносят мультиплексоры входных портов и схема выделения ВК. Задержка ВК маршрутизаторов на 1 такт выше по сравнению с их wormhole аналогами [10].

Целью данной публикации является описание и исследование предложенного авторами метода агрегации каналов в СтнК, когда для соединения маршрутизаторов используется не одна, а нескольких физических линий, по каждой из которых передаются флиты различных пакетов. Такой подход позволяет увеличить порог насыщения СтнК до 150% по сравнению с сетью, использующей ВК маршрутизаторы. При этом нет необходимости в применении мультиплексоров входных портов и схемы выделения ВК, что создает предпосылки для уменьшения аппаратных затрат и снижает задержку маршрутизатора минимум на 1 такт.

Работа имеет следующую структуру. В разделе II проведен сравнительный анализ архитектурных решений, используемых при создании маршрутизаторов для СтнК. В разделе III рассматривается предложенная структура маршрутизатора с агрегацией каналов. В разделе IV при

помощи компьютерного моделирования исследуется зависимость порога насыщения СтнК от числа агрегированных соединений. Там же выполняется сравнительный анализ полученных результатов и характеристик существующих СтнК. Последний раздел содержит выводы и описание вектора дальнейших исследований.

II. ОБЗОР СУЩЕСТВУЮЩИХ РЕШЕНИЙ

В этом разделе приводится краткий обзор архитектурных и конструкторских решений используемых при создании СтнК маршрутизаторов.

A. Wormhole маршрутизатор

Структурная схема wormhole маршрутизатора показана на рис.1(a), а сам метод такого управления потоком рассмотрен в [8]. Как видно из рисунка, wormhole маршрутизатор содержит Р портов ввода-вывода, подсоединенных к соответствующим физическим каналам (ФК). Принцип функционирования устройства заключается в следующем. Поскольку нет гарантии, что приходящие во входной порт флиты будут обработаны немедленно, они помещаются в очередь и обслуживаются друг за другом. Для каждого флита, находящегося во главе очереди, выполняется последовательность шагов, показанная на рис.2(a): маршрутизация, получение доступа к коммутатору, пересечение коммутатора. Описанная схема позволяет конвейеризировать процедуру обработки данных. Задержка маршрутизатора такого типа обычно составляет 3 цикла тактовой частоты. Преимуществом подхода является наличие минимальных аппаратных затрат на его реализацию. Основной недостаток – низкое значение пропускной способности вследствие БГК [9]. На сегодняшний день wormhole маршрутизаторы применяются в системах с жесткими ограничениями по объему занимаемых аппаратных ресурсов. Например, в СтнК, реализуемых на базе FPGA [11,12].

B. Маршрутизатор с ВК

Для снижения вероятности возникновения БГК Dally предложил использовать маршрутизатор с поддержкой ВК [9], структурная схема которого показана на рис.1(b). Каждый входной порт такого маршрутизатора содержит несколько очередей, так называемых виртуальных каналов, обслуживающих одно физическое соединение. В случае блокирования какого-либо ВК приходящие пакеты используют свободные каналы, что снижает вероятность возникновения БГК и способствует увеличению порога насыщения сети. Как следует из рис.2(b), особенностью маршрутизатора такого типа является наличие схемы выделения ВК, что приводит к увеличению транспортной задержки минимум на 1 такт [10]. По сравнению с wormhole структурой ВК маршрутизаторы требуют для своей реализации больше аппаратных ресурсов. Основной вклад здесь вносят мультиплексоры входных портов и схема выделения ВК. Так, в [13] показано, что удвоение количества ВК приводит к увеличению аппаратных ресурсов на 100%. ВК используются в интегральных маршрутизаторах Hermes VC, MocRes, Aethereal и Netmaker [13-16].

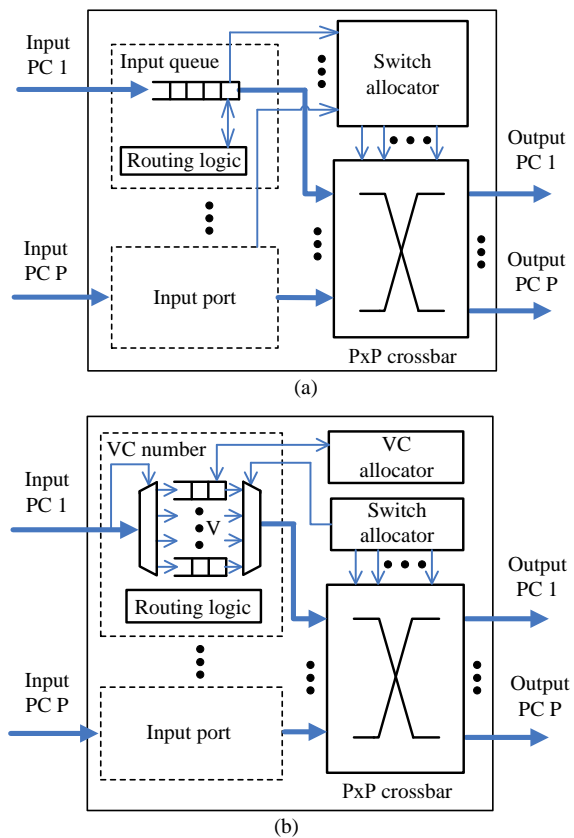


Рис.1. Структуры wormhole маршрутизатора (a) и маршрутизатора с поддержкой ВК - виртуальных каналов (b). Толстыми линиями показаны направления передачи данных. PC – physical channel.

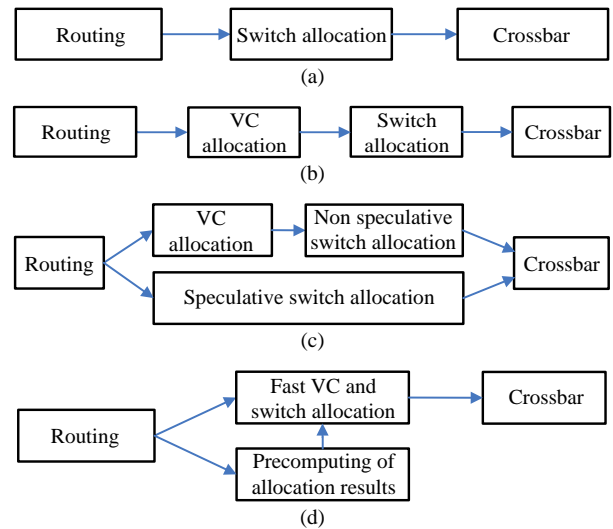


Рис.2. Зависимости между модулями (a) wormhole маршрутизатора, (b) маршрутизатора с поддержкой ВК, маршрутизаторов с параллельной архитектурой (c) и прогнозированием (d)

Анализ результатов, полученных в [13-15], [17] позволяет заключить, что использование ВК увеличивает порог насыщения не более чем на 20% емкости сети. Существует предел, по достижении которого момент насыщения СтнК начинает слабо зависеть от дальнейшего наращивания числа ВК. В [13] дано подтверждение данному факту, когда для конфигураций с 2-мя и 4-мя ВК

порог насыщения практически не изменяется и составляет 23% и 25% емкости сети соответственно. Таким образом, увеличения количества ВК на 100% приводит к росту пропускной способности всего на 2%. Это, безусловно, малоэффективно. По мнению авторов, данное явление связано с тем, что пропускная способность физического соединения разделяется между использующими его ВК, а это приводит к увеличению периода передачи флитов виртуальных соединений. Можно сделать вывод, что с ростом числа ВК единичные физические связи между маршрутизаторами становятся узким местом системы и ограничивают дальнейшее повышение пропускной способности.

С. ВК маршрутизатор с параллельной архитектурой

Управление потоком с использованием ВК, в своем “классическом” варианте предполагает последовательное выполнение операций по выделению ВК и получению доступа к коммутатору. Уменьшения задержки интегрального маршрутизатора можно добиться, если выполнять эти действия одновременно – рис.2(с). Такая параллельная архитектура впервые предложена в [10] и позволяет снизить продолжительность обработки головных флитов пакетов на 1 цикл тактовой частоты. Недостатком подобной структуры является уменьшение вероятности успешного завершения обеих операций [10]. Чтобы не допустить падения производительности в маршрутизаторе такого типа используется два модуля получения доступа к коммутатору. Первый – для пакетов, которым еще не выделен ВК, второй – для флитов пока не получивших доступа к коммутатору, однако прошедших процедуру назначения ВК. Такое усложнение структуры уменьшает среднее время задержки маршрутизатора, однако неотвратимо приводит к увеличению потребления аппаратных ресурсов. Помимо [10], ВК маршрутизатор с параллельной архитектурой реализован в рамках Netmaker (открытой библиотеки IP ядер для создания и моделирования СтнК) [16,17]. Публикации [10,17] свидетельствуют о том, что использование параллельного подхода позволяет уменьшить транспортную задержку СтнК на (5÷20)% по сравнению с классической ВК архитектурой, однако мало влияет на порог насыщения сети.

Д. ВК маршрутизатор с прогнозированием

Другим способом снижения транспортной задержки является прогнозирование операций по выделению свободных ВК и доступа к коммутатору. Использование такого подхода позволяет уменьшить задержку маршрутизатора до одного такта и добиться сокращения времени передачи на 30% по сравнению с классической реализацией виртуальных каналов [17,18]. Значение порога насыщения в СтнК с прогнозированием также остается практически неизменным.

Из вышеизложенного следует, что прогнозирование и параллельная архитектура позволяют снизить время доставки данных, однако слабо влияют на порог насыщения СтнК, поскольку не устраняют основную проблему технологии ВК, связанную с конкуренцией виртуальных потоков за доступ к одному физическому соединению.

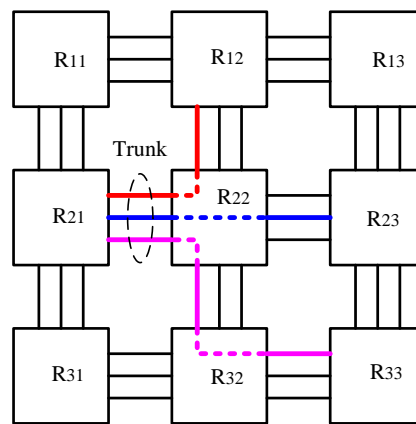


Рис.3. Устранение БГК в СтнК с агрегированием 3-х физических каналов

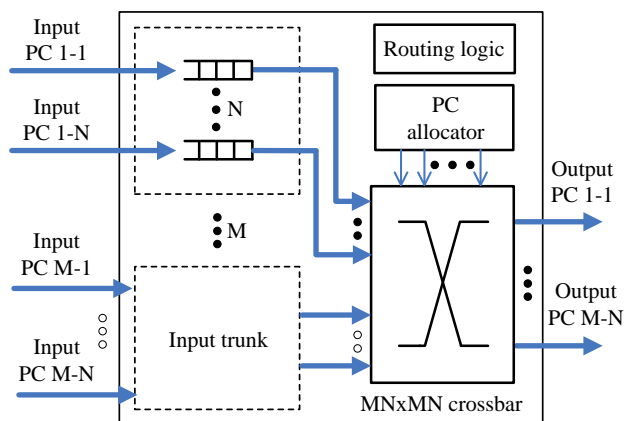


Рис.4. Структурная схема маршрутизатора с агрегированием каналов.
PC – physical channel

III. СтнК маршрутизатор с агрегацией каналов

Как показано выше, одновременно и преимуществом и недостатком технологии ВК является разделение физической линии связи на логические соединения. Применив изобретательский метод инверсии [19] авторами предложена обратная концепция – объединение нескольких физических соединений в агрегированный логический канал – транк. Другими словами, для связи топологически соседних маршрутизаторов предлагается использовать несколько пространственно разделенных каналов, по каждому из которых передаются флиты различных пакетов. Из рис.3 видно, как агрегация трех соединений позволяет устранить БГК на западном входе маршрутизатора R₂₂. Как будет показано далее, даже малое количество агрегированных каналов способствует уменьшению БГК и значительно увеличивает порог насыщения СтнК. Если же известно пространственное распределение потоков данных в сети, можно подобрать число каналов каждого транка таким образом, чтобы полностью исключить БГК.

Анализ литературных источников показал, что агрегирование физических каналов (ФК) уже используется в макро-сетях, а документы [20] и [21] стандартизируют данный подход для Ethernet. Поскольку конструкторские решения, принятые в Ethernet, ввиду своей сложности и ресурсоемкости не применимы к СтнК, становится актуальным решение задачи создания простого и

эффективного механизма агрегации каналов для интегральных сетей. Авторами предлагается одно из возможных решений такой задачи, которое рассматривается далее.

А. Структура

На рис.4 представлена структурная схема маршрутизатора с агрегацией каналов. Вместо термина “порт” для описания входов-выходов такого устройства используется понятие “транк”, значение которого рассматривалось выше. Предлагаемое решение включает M транков, каждый из которых содержит N ФК. Соединение ФК на входах маршрутизатора с ФК на его выходах осуществляется при помощи коммутатора размерностью $MN \times MN$. Для каждого соединения приходящие флиты складываются в выделенную очередь, поскольку в случае, когда количество ФК меньше количества логических потоков, протекающих через транк, немедленное обслуживание входной связи не гарантировано.

Задержка передачи предлагаемого маршрутизатора составляет два цикла тактовой частоты. На первом этапе происходят маршрутизация и выделение ФК, на втором – коммутация, продвижение флита и его извлечение из очереди. Гарантированная доставка данных обеспечивается применением механизма “кредитов” [22]. Рассмотрим упомянутые операции более подробно.

1) Маршрутизация

Для уменьшения транспортной задержки в предлагаемом устройстве используется “look ahead” маршрутизация, когда направление передачи флита для текущего маршрутизатора определяется в предыдущем узле сети [22]. Такой подход позволяет начать установление соединения сразу же после прихода первого флита пакета, одновременно выполняя вычисление транка назначения для следующего маршрутизатора. Под транком назначения подразумевается агрегированный канал, в который необходимо перенаправлять флиты данного пакета. Таким образом, маршрутная информация для текущего маршрутизатора содержится в специальном служебном поле приходящего флита и доступна в начале цикла тактовой частоты.

2) Выделение ФК и коммутация

Для продвижения данных через маршрутизатор необходимо связать ФК на входе с одним из ФК на выходе. В разработанном устройстве соединение устанавливается по приходу первого флита и разрывается после отправки последней части пакета. В момент разъединения канал становится свободным и вновь доступен для назначения. Каждому ФК, подавшему запрос на соединение, выделяется один из свободных ФК транка, указанного в маршрутной информации пакета. Далее выполняется коммутация выбранных каналов. Выделение ФК производится модулем, структурная схема которого представлена на рис.5. Данная процедура состоит из двух уровней. Для каждого ФК на входе арбитры первого уровня осуществляют предварительный выбор одного из свободных ФК в транке назначения. Поскольку при таком подходе на один выход могут претендовать несколько входов, для получения однозначного соответствия используется второй уровень арбитража. Для реализации

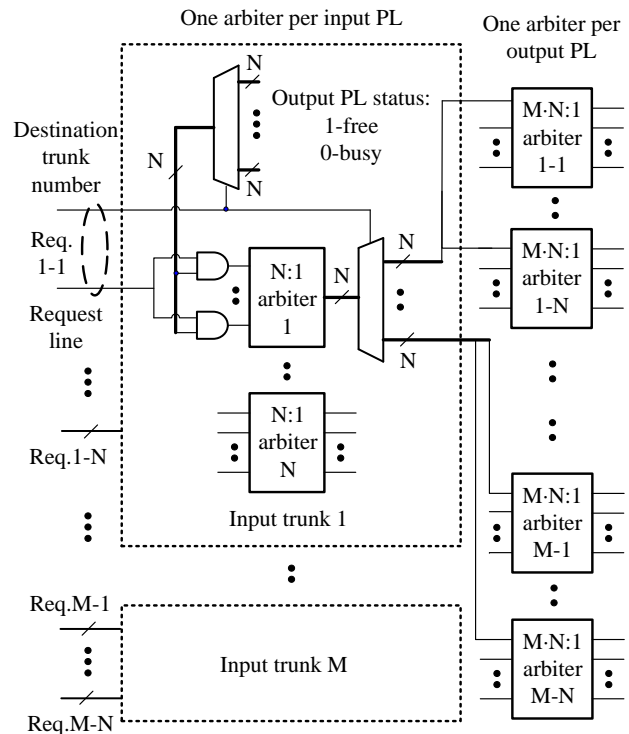


Рис. 5. Структурная схема модуля выделения физических каналов

арбитров выбран матричный метод, обеспечивающий большую пропускную способность, чем арбитр с циклическим сдвигом приоритетов [23].

3) Продвижение флита

Для продвижения флита через установленное соединение необходимо наличие данных в соответствующей очереди на входе и ненулевое число кредитов у ФК на выходе маршрутизатора. В случае выполнения обозначенных условий соответствующий флит извлекается из очереди и через установленное соединение передается следующему маршрутизатору. При этом высылается кредит предыдущему узлу сети, информируя его о том, что во входной очереди освободилась единица места. В то же время число кредитов для физического соединения со следующим маршрутизатором декрементируется.

Описанная выше архитектура реализована в виде поведенческой модели на языке System Verilog. При ее создании использованы только синтезируемые конструкции System Verilog, что должно максимально облегчить последующий переход на вентильный уровень.

В. Анализ преимуществ и недостатков

Рассмотрим достоинства (+) и недостатки (–) предложенной структуры по сравнению с существующими решениями для ВК маршрутизаторов:

- (+) Отсутствие мультиплексоров на входах создает предпосылки к росту тактовой частоты и снижению ресурсоемкости.
- (+) Использование нескольких ФК для связи между маршрутизаторами снижает вероятность БГК,

поскольку пакеты передаются по выделенным физическим линиям.

- (+) Отсутствие необходимости в хранении номера ВК уменьшает количество служебной информации флита, что ведет к снижению ресурсоемкости устройства и динамической составляющей потребляемой мощности.
- (+) Для установления связи между входом и выходом в большинстве ВК маршрутизаторов необходимо выполнить действия по выделению ВК и получению доступа к коммутатору. В предложенном решении для этого требуется всего одна операция по выделению ФК. Таким образом, минимум на 1 такт снижается транспортная задержка маршрутизатора.
- (–) Наличие большого коммутатора размерностью $MN \times MN$, что способствует снижению тактовой частоты и увеличению ресурсоемкости устройства. Такое решение является необходимым, поскольку мультиплексирование доступа к коммутатору увеличивает вероятность БГК и нивелирует преимущества от агрегации каналов. Приняв во внимание экономию ресурсов на входных мультиплексорах и схеме установления соединения, можно предположить, что аппаратные затраты, необходимые для реализации данного решения, соизмеримы с требованиями для реализации ВК

маршрутизатора. В любом случае, использование малого числа ФК (2 шт.) не приведет к значительному увеличению ресурсоемкости, но, как показано далее, способно повысить порог насыщения СтнК более чем на 100%.

IV. РЕЗУЛЬТАТЫ КОМПЬЮТЕРНОГО МОДЕЛИРОВАНИЯ

Для оценки эффективности агрегации каналов, на основе маршрутизатора, описанного в предыдущем разделе, создана модель СтнК, с топологией двумерной решетки и размерностью 8×8 . Каждый узел сети при помощи четырех двусторонних транков соединяется с соседними маршрутизаторами согласно выбранной топологии. Пятая пара транков используется для связи с IP ядром генератора-приемника трафика, имитирующего функционал вычислительного модуля. Тестбенчи описаны при помощи System Verilog. Моделирование системы проводилось в среде ModelSim 6.5 на персональном компьютере под управлением операционной системы Windows XP.

Для определения промежуточных узлов на пути продвижения пакетов выбран метод по координатной XY маршрутизации, когда передача осуществляется вначале вдоль горизонтального направления, а затем вдоль вертикального [22]. На протяжении одного прогона модели, генераторы трафика создают пакеты и с интенсивностью λ вводят их в сеть. Интервалы времени

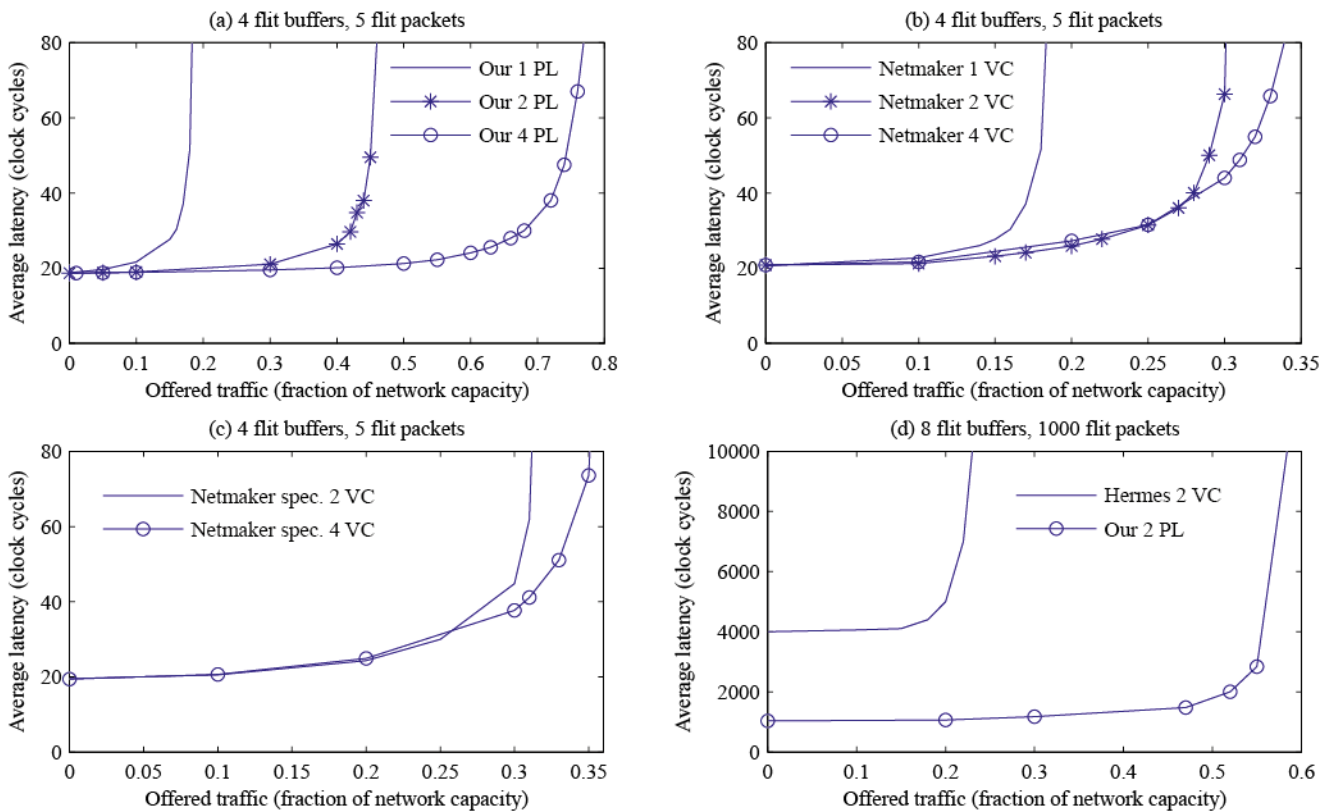


Рис.6. Зависимость транспортной задержки от приложенной нагрузки. Все результаты получены для СтнК с топологией “двумерная решетка”, размерностью 8×8 . (а) разработанная СтнК с агрегированием каналов, (б) СтнК Netmaker с поддержкой ВК – базовая архитектура, (с) СтнК Netmaker с поддержкой ВК – параллельная архитектура, (д) СтнК Hermes с поддержкой ВК и разработанная СтнК с агрегированием каналов.

ВК – виртуальный канал, ФК – физический канал.

между инъекцией распределены по экспоненциальному закону и в среднем равняются 1/. Для сохранения характеристик временного распределения созданные пакеты перед введением в сеть складываются в очередь [22]. При этом источники данных инжектируют флиты в СтнК только по одному физическому каналу. Для описания пространственного распределения сообщений выбрано равномерно-случайный закон, когда для любого источника вероятность выбора того или иного приемника одинакова. При этом для каждого следующего пакета генерируется новый пункт назначения. После начала моделирования все узлы в сети генерируют по 1100 пакетов, а сбор результатов начинается после приема первых ста сообщений. Это делается для обеспечения перехода СтнК в установившийся режим [22]. Моделирование заканчивается после регистрации в пунктах назначения всех отправленных сообщений.

На рис. 6 приведены результаты исследований по установлению зависимости между транспортной задержкой СтнК, приложенной нагрузкой и конструктивными параметрами маршрутизаторов. Для получения одной из обозначенных кривых необходимо несколько раз выполнить моделирование процесса функционирования СтнК. Чтобы автоматизировать этот процесс, написан bash-скрипт, функционирующий в среде Cygwin 1.7.7 и осуществляющий серию прогонов модели для разных значений контролируемого параметра.

Рис. 6(а) показывает, как изменяется порог насыщения СтнК с агрегацией каналов в зависимости от числа ФК. Моделирование проводилось для сети с длиной очередей и размером пакетов в 4 и 5 флитов соответственно. Видно, что удвоение числа ФК приводит к удвоению пропускной способности, а максимальное значение порога насыщения достигается для 4-х ФК и равняется 0.77 емкости сети. Для сравнения на рис. 6(б) отображена такая же зависимость для СтнК на основе ВК маршрутизаторов Netmaker v0.82 [16]. Поскольку Netmaker имеет открытый исходный код, данные для построения графика получены авторами самостоятельно. Как видно из рис. 6(б), максимальное значение порога насыщения в данном случае составило 0.34 емкости сети, что на 126% меньше, чем результат, полученный при агрегации каналов. Использование маршрутизаторов Netmaker с параллельной архитектурой [рис.6(с)] по сравнению с предыдущим случаем позволяет снизить среднее значение транспортной задержки на 5% и повысить порог насыщения сети на 1%. Видно, что в данной ситуации использование параллельной архитектуры не приводит к значительному увеличению порога насыщения СтнК.

На рис. 6(д) приведены результаты моделирования работы СтнК с агрегацией каналов и интегральной сети на базе маршрутизаторов Hermes VC. Данные для сравнения и условия проведения моделирования взяты из [13]. Размер входных очередей составляет 8 флитов, а длина пакетов данных – 1000 флитов. При такой “тяжелой” нагрузке сеть с агрегацией каналов демонстрирует повышение порога насыщения на 152% по сравнению с ВК аналогом. При этом среднее значение транспортной задержки разработки составило 1034 цикла тактовой частоты, тогда как для

Hermes VC этот параметр равняется 4045. Как видно, в данном случае агрегация каналов позволила уменьшить транспортную задержку сети в 4 раза.

ВЫВОДЫ

В результате анализа элементов структур современных ВК маршрутизаторов установлено, что их узким местом, ограничивающим рост пропускной способности, является использование единственного физического соединения для связи между топологически соседними узлами сети. Для устранения данного недостатка предложено использовать агрегацию каналов, когда для соединения маршрутизаторов используется не одна, а несколько физических линий, по каждой из которых передаются флиты различных пакетов. Такое решение позволяет значительно снизить, а в случае использования достаточного количества ФК и вовсе устранить явление БГК. Результаты компьютерного моделирования показывают увеличение порога насыщения СтнК с агрегацией каналов на 125-150% по сравнению с сетью, использующей ВК.

В дальнейшем авторами планируется реализация прототипа СтнК с агрегацией каналов на вентильном уровне. С целью уменьшения аппаратной сложности предложенного подхода представляется целесообразным проведение исследований в направлении неравномерного распределения ФК различных транков, когда более загруженным агрегированным соединениям выделяется больше физических линий связи, а менее загруженным – меньше.

REFERENCES

- [1] T. Bjerregaard, S. Mahadevan, “A survey of research and practices of network-on-chip,” *ACM Computing Surveys*, vol. 38, no. 1, pp. 1-51, 2006.
- [2] F. Angiolini, P. Meloni, L. Benini, S.M. Carta, L. Raffo, “A layout-aware analysis of networks-on-chip and traditional interconnects for mpsoes,” *IEEE Trans. on CAD of Integr. Circ. and Syst*, vol. 26, no. 3, pp. 421-434, 2007.
- [3] H.G. Lee, N. Chang, U.Y. Ogras, R. Marculescu, “On-chip communication architecture exploration: A quantitative evaluation of point-to-point, bus and network-on-chip approaches,” *ACM Transactions on Design Automation of Electronic Systems*, vol. 12, no. 3, pp. 1-20, 2007.
- [4] W. Dally, B. Towles, “Route packets, not wires: on-chip interconnection networks,” in *Proceedings of the 38th annual Design Automation Conference*, Las Vegas, USA, June 2001, pp. 684-689.
- [5] D. Atienza, F. Angiolini, S. Murali, A. Pullini, L. Benini, G.D. Micheli, “Network-on-chip design and synthesis outlook,” *Integration The VLSI journal*, vol. 41, no. 3, pp. 340-359, 2008.
- [6] R. Marculescu, P. Bogdan, “The chip is the network: toward a science of network-on-chip design,” *Foundations and Trends in Electronic Design Automation*, vol. 2, no. 4, pp. 371-461, 2009.
- [7] R. Marculescu, U.Y. Ogras, L.S. Peh, N.E. Jerger, Y. Hoskote, “Outstanding research problems in NoC design: system, microarchitecture, and circuit perspectives,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 28, no. 1, pp. 3-21, 2009.
- [8] W.J. Dally, “Performance analysis of k-ary n-cube interconnection networks,” *IEEE Trans. Comput.*, vol. 39, no. 6, pp. 775-785, 1990.
- [9] W.J. Dally, “Virtual-channel flow control,” *IEEE Trans. on Parallel Distrib. Syst.*, vol. 3, no. 2, pp. 194-205, 1992.

- [10] L.S. Peh, W. J. Dally, "A delay model and speculative architecture for pipelined routers," *In International Symposium on High-Performance Computer Architecture*, Nuevo Leone, Mexico, Jan. 2001, pp. 255–266.
- [11] F. Moraes, N. Calazans, A. Mello, L. Moller, L. Ost, "HERMES: an infrastructure for low area overhead packet-switching networks on chip," *Integration, the VLSI Journal*, vol. 38, no. 1, pp. 69-93, 2004.
- [12] A. Ehliar, D. Liu, "An FPGA based open source network-on-chip architecture," *in Proceedings of Fields Programable Logic and Applications International Conference*, Amsterdam, Netherlands, Aug. 2007, pp. 800-803.
- [13] A. Mello, L. Tedesco, N. Calazans, F. Moraes, "Virtual channels in networks on chip: implementation and evaluation on Hermes NoC," *in Proceedings of 18th Symposium Integrated Circuits and System Design*, New York, USA, 2005, pp. 178-183.
- [14] A. Janarthanan, "Networks-on-chip based high performance communication architectures for FPGAs," Ph.D. dissertation, Dept. Elect. Comp. Eng. and Comp. Science, Univ. of Cincinnati, Cincinnati, Ohio, 2008.
- [15] E. Rijpkema, K. Goossens, A. Radulescu, J. Dielissen, P. Wielage, "Trade-offs in the design of a router with both guaranteed and best-effort services for networks on chip," *in Proceedings of DATE conference*, Munich, Germany, Mar. 2003, pp. 350-355.
- [16] Netmaker, <http://www-dyn.cl.cam.ac.uk/~rdm34/wiki>.
- [17] R. Mullins, A. West, S. Moore, "Low-latency virtual-channel routers for on-chip networks," *in Proceedings of 31-th International Symposium on Computer Architecture*, Munich, Germany, June 2004, pp. 188-197.
- [18] R. Mullins, A. West, S. Moore, "The design and implementation of low-latency on-chip network," *in Proceedings of 11-th Asia and South Pacific Design Automation Conference*, Yokohama, Japan, Jan. 2006, pp. 164-169.
- [19] G. Altshuller, *The innovation algorithm. TRIZ, systematic innovation and technical creativity*. Worcester, MA: Technical innovation center, 1999.
- [20] *Link aggregation*, IEEE Standart 802.3ad, 2000.
- [21] *IEEE Standart for Local and Metropolitan Area Networks – Link Aggregation*, IEEE Standart 802.1ax, 2008.
- [22] W.J. Dally, B.P. Towles, *Principles and Practices of Interconnection Networks*. San Francisco: Morgan Kaufmann Publishers, 2004.
- [23] Z. Fu, X. Ling, "The design and implementation of arbiters for networks-on-chip," *in Proceedings 2nd International Conference on Industrial and Automation Systems*, Dalian, China, Jul. 2010, pp. 292-295.