

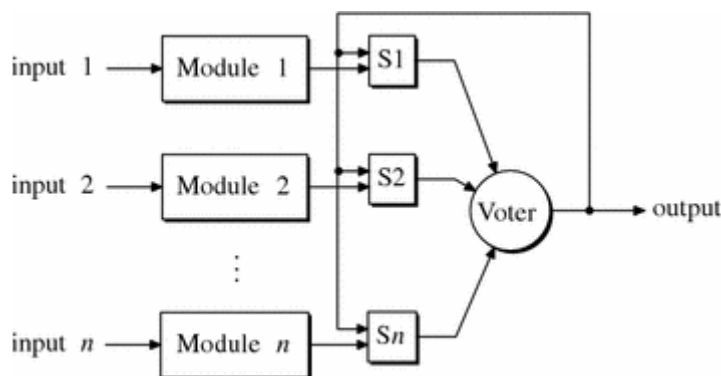
## UVOD

Self-purging redundancija u digitalnim sistemima jeste hibridna tehnika koja se koristi da bi se smanjila tolerancija sistema na greške. Ovom tehnikom se dodaju isti hardverski resursi koji su suvišni u sistemima bez tehnika za toleranciju na kvarove. Konačna vrednost na izlazu sistema određena je vrednošću koja ima većina izlaza redundantnih komponenata. Šematski prikaz ove tehnike je prikazan na slici 1. Redundantne jedinice rade uvek i u paraleli, što je mana ove tehnike. Iz tih razloga se ova tehnika ne koristi kada je kritičan kriterijum sistema potrošnja, jer će skoro N-tostruko biti uvećana za N modula.

Izlaz svakog od redundantnih modula se vodi na ulaz prekidača koji služi za sprečavanje učestvovanja pokvarenog modula u glasanju. (kasnije će biti reči o tome). Svaki od izlaza prekidača se dalje vodi na ulaz votera tj. glasača o ispravnoj vrednosti i njenom prosleđivanju dalje na izlaz sistema. Voter o ispravnosti podatka odlučuje bit po bit na osnovu vrednosti koju ima većina ulaza voter-a. Izlazni signal votera biće vraćen na drugi ulaz svakog od prekidača radi isključivanja modula u kom je kvar.

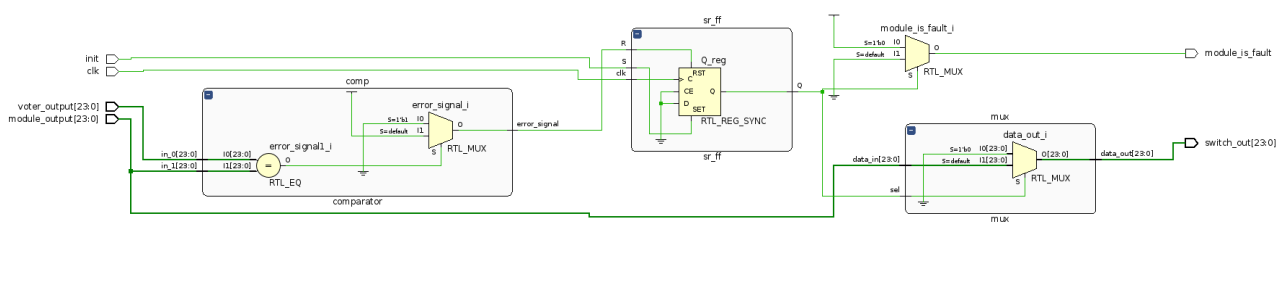
Kada se detektuje modul u kvaru, on više ne učestvuje u glasanju. Iz tih razloga ako postoji N redundantnih komponenti, sistem zahvaljujući ovoj tehnici uopšteno može tolerisati N-2 kvara. Kada se desi N-1 kvar, tada se ne zna u kom modulu je kvar i sistem može funkcionisati neispravno. U ovom projektu, prekidač određuje za svaki modul da li je u kvaru i to signalizuje glasaču. Zato sistem u ovom projektu može ipak tolerisati N-1 kvar.

Ovom tehnikom se obezbeđuje tačnost izlaza sistema čime se poboljšava pouzdanost sistema i toleratnost na kvarove u digitalnim sistemima, čime se osigurava neprekidan rad do određenog trenutka u kritičnim aplikacijama. Ova tehnika se u projektu primenjuje na nivou FIR filtra. Takođe, deo zadatka jeste i BRAM memorija na ulazu sistema u koju se smeštaju podaci koje je potrebno filtrirati nakon aktiviranja signala START. I na izlazu sistema postoji BRAM memorija koja u koju se upisuju filtrirani podaci. Nakon što se svi odbirci filtriraju READY signal se aktivira. Dakle, čitav sistem se sastoji od dve BRAM memorije, N redundantnih FIR filtara i N prekidača, jednog votera i dve jedinice sa dodatnom logikom za čitanje podataka za filtriranje iz BRAM-a na ulazu i upis filtriranih podataka u BRAM na izlazu.



Slika 1 : Šema sistema sa Self-purging redundancy tehnikom

# Implementacija prekidača



Slika 2 : Šema prekidača

Na slici 2 je prikazana šema tzv. prekidačke komponente. Sastoji se od komparatora, SR flipflopa i multipleksera. Inicijalno bi SR flipflop trebao biti setovan pomoću signala init na S ulazu (S='1'). Izlaz modula se vodi na drugi ulaz multipleksera čiji je selekcionni ulaz zapravo izlazni signal SR flipflopa. Prvi ulaz multipleksera je '0' kao vektor u odgovarajućoj širini. S obzirom da je selekcionni ulaz '1' sve dok se ne dogodi kvar, na izlaz multipleksera se uvek prosleđuje izlaz modula.

Izlaz modula se poredi sa izlazom glasača pomoću komparatora čiji izlaz predstavlja reset ulaz SR flipflopa. Kada se modul pokvari, komparatorom će biti detektovana greška i od sledećeg takta će flip flop biti resetovan zbog čega se na izlaz prekidača prosleđuje nula sve dok se flipflop ponovo ne setuje.

Postoji još jedan jednobitni izlaz prekidača koji će signalizirati kada je modul u kvaru. U tom slučaju će biti '1', inače će biti '0'. Na osnovu toga će glasaču biti javljeno da modul koji je u kvaru neće učestvovati u većinskom glasanju.

## Implementacija glasača (voter-a)

Glasač funkcioniše kao prebrojavanje jedinica na nivou svakog bita u vektorima koji su N ulaznih signala votera, gde je N broj redundantnih jedinica. U glasanju učestvuju samo aktivni moduli u kojima nije detektovan kvar. Glaslač može razlikovati ulaze koji potiču od pokvarenih i ispravnih modula zahvaljujući dodatnom signalu prekidača. Većina se odlučuje na osnovu threshold-a. Threshold će biti polovina od broja aktivnih modula. Ako je broj jedinica na nekoj poziciji veći od threshold-a, na izlaz voter-a se prosleđuje jedinica, dok u suprotnom će to biti nula.

## Dodatne logičke jedinice

Ulazna logička jedinica ima funkcionalnost da kreira adrese sa kojih FIR filter čita podatke za obradu dok je signal na ulaznom portu sistema START aktivan odnosno na jedinici. Implementacija ove jedinice liči na brojač. Takođe generiše se i dodatni signal valid koji se aktivira kada filter krene da čita podatke iz ulazne BRAM memorije, a deaktivira kada se ova jedinica generise poslednju adresu iz ulazne BRAM memorije. Padom valid signala na '0', prestaje rad ove jedinice. Na osnovu tog signala se prati propagiranje rezultata na izlaz filtra, na osnovu čega će izlazna logička jedinica znati kada je potrebno da ona započne obavljanje svoje funkcionalnosti.

Izlazna logička jedinica se aktivira valid signalom iz ulazne jedinice koji je prošao kroz određen broj registara. Biće aktivna sve dok je aktivan signal na valid ulazu. Glavna uloga je generisanje adresa izlazne BRAM memorije na kojima će biti upisan obrađeni podatak kao izlazna vrednost glasača. Kada se generiše maksimalna adresa, ova jedinica prestaje sa svojim radom i generiše se READY signal ('1'). Takođe, pored adresa generiše se signal dozvole rada porta za upis (ena) i signal dozvole upisa u memoriju (wea). Biće logičke jedinice sve dok se generišu adrese.

Nakon što se stvori poslednja adresa memorije, aktivira se signal dozvole rada porta za čitanje podataka da bi se sa izlaza sistema mogli pročitati obrađeni podaci.

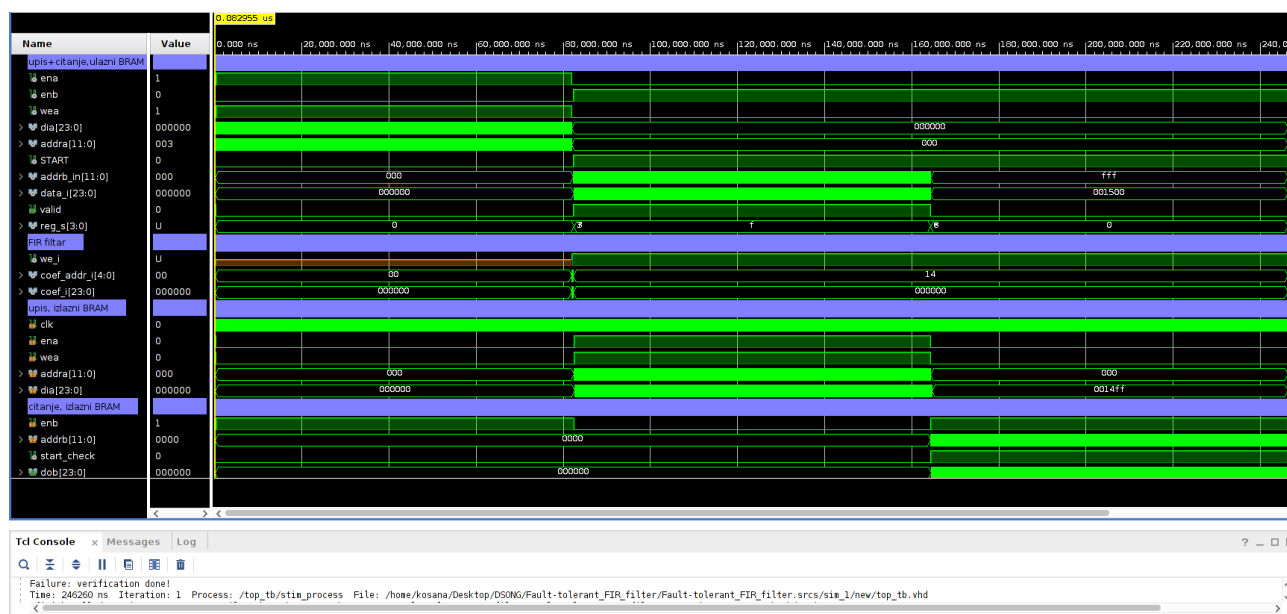
## Simulacija

Kroz ovo poglavlje će biti prikazan rad gore pomenutog sistema. Čitav dizajn je parametrizovan tako da se može prilagođavati različitim primenama. Za potrebe simulacije i prikazivanja ispravne funkcionalnosti se koristi red filtera 21 (ali parametar `fir_ord` je 20), podaci širine 24 bita iz fajla `input.txt` i broj redudatnih kopija 7. Rezultati nakon pokretanja simulacije biće prikazani na slici 3.

Možemo primetiti da se u prvoj trećini simulacije podaci smeštaju u ulaznu BRAM memoriju. Konkretno, broj podataka je određen maksimalnim brojem podataka koji se mogu smestiti u memoriju što je ovde određeno parametrom `num_of_samples` 4096.

Zatim, naredna trećina je učitavanje koeficijenata iz fajla `coef.txt`, čitanje podataka iz ulazne memorije, paralelna obrada obrada i njihov upis u izlaznu memoriju. Naglašava se da se filter sastoji od pipelined MAC modula gde svaki ima 3 stage-a.

Poslednju trećinu predstavlja čitanje podataka iz izlazne memorije koji će se naći na izlazu sistema. Ti podaci će paralelno biti poređeni i provereni sa tačnim vrednostima koji se nalaze u fajlu `expected.txt`. U slučaju da sistem potpuno ispravno funkcioniše bez ikakvog otkaza, na dnu slike u tcl konzoli će biti prikazana poruka `verification done!` što je ovde i slučaj.



Slika 3 : Prikaz talasnih oblika različitih signala nakon pokretanja simulacije

```
# podrazumevano vreme koje protekne na pocetku simulacije je 0ns
# potrebno podesiti pre pokretanja projekta:
# settings -> simulation -> simulation -> xsim.simulate.runtime* prozor (tu upisati vrednost)

add_force {/top_tb/redudant_system_instances/module_output[0][8]} -radix bin {1 82655ns}
add_force {/top_tb/redudant_system_instances/module_output[0][16]} -radix bin {1 82655ns}

add_force {/top_tb/redudant_system_instances/module_output[3][0]} -radix bin {0 82715ns}
add_force {/top_tb/redudant_system_instances/module_output[3][2]} -radix bin {0 82715ns}

add_force {/top_tb/redudant_system_instances/module_output[1][11]} -radix bin {0 82775ns}
add_force {/top_tb/redudant_system_instances/module_output[1][19]} -radix bin {0 82775ns}

add_force {/top_tb/redudant_system_instances/module_output[2][23]} -radix bin {1 827815ns}
add_force {/top_tb/redudant_system_instances/module_output[2][8]} -radix bin {0 82815ns}

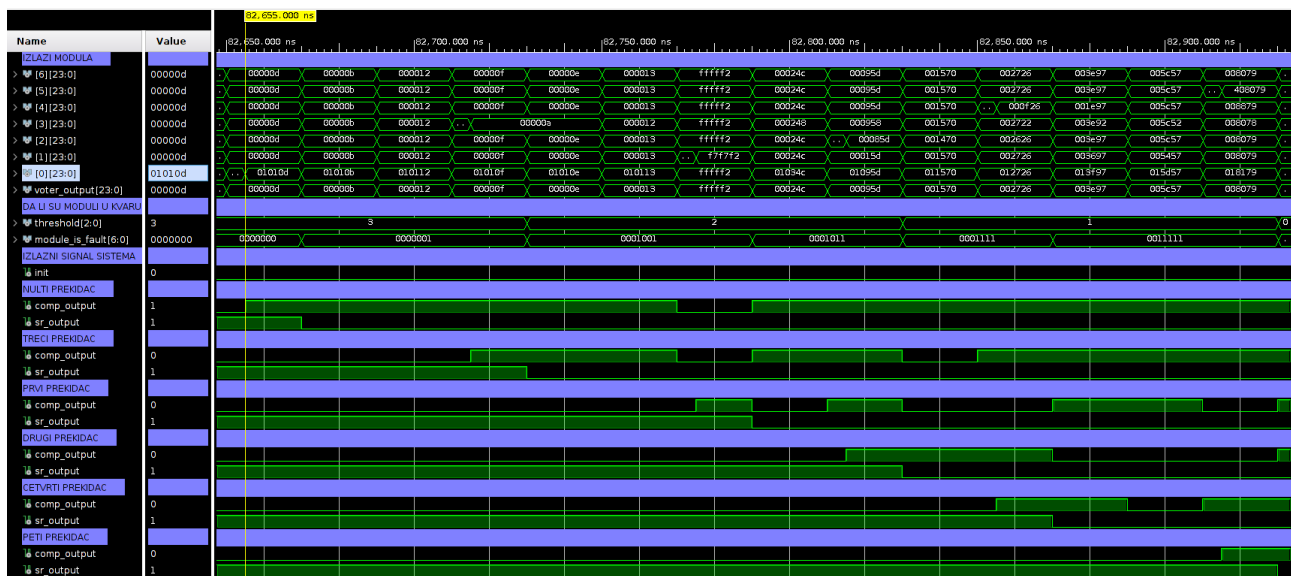
add_force {/top_tb/redudant_system_instances/module_output[4][13]} -radix bin {0 82855ns}
add_force {/top_tb/redudant_system_instances/module_output[4][11]} -radix bin {1 82855ns}

add_force {/top_tb/redudant_system_instances/module_output[5][22]} -radix bin {1 82915ns}

#add_force {/top_tb/redudant_system_instances/module_output[6][21]} -radix bin {1 82955ns}
```

Slika 4 : Tcl skripta za forsiranje signala

Kvarovi će biti demonstrirani forsiranjem određenog signala na neku od logičkih vrednosti. Forsiranje signala je definisano force\_signals.tcl skriptom u kojoj su definisani trenuci forsiranja, signali na kojima se forsira i vrednost koja se forsira (slika 4).

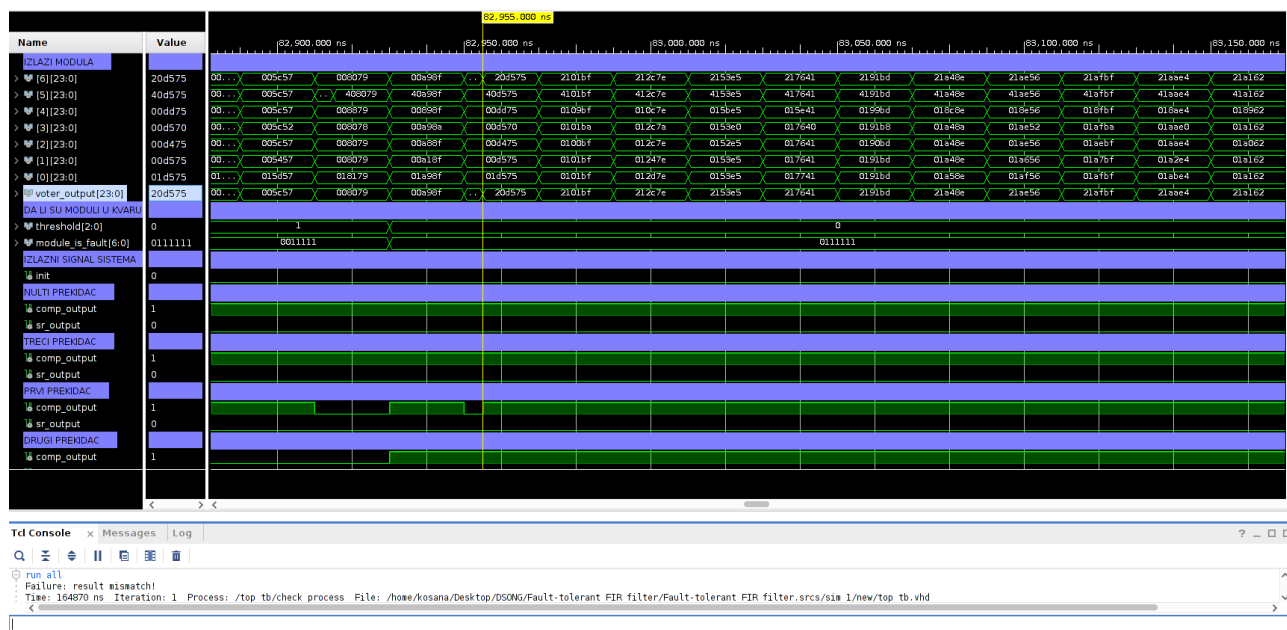


Slika 5 : Stanje sistema u trenucima forsiranja kvarova u različitim trenucima

Na slici 5 su prikazani izlazi svakog od modula. Početni threshold je 3 jer je svih 7 modula ispravn0, što znači da je potrebno da bar 4 modula imaju istu vrednost na nekom bitu da bi ta vrednost bila prosleđena na izlaz voter-a i sistema. Vidimo da se u trenutku 82655ns forsira stuck-at-1 kvar na 8. i 16. bitu modula 0 što će biti detektovano zahvaljujući komparatoru unutar prekidača. U narednom taktu će flipflop biti resetovan i modul 0 više neće učestvovati u glasanju bar dok se komponenta ne zameni/popravi i init signal ponovo ne postane jedinica. Takođe, vidi se promena signala na nultom bitu module\_is\_fault signala čime će se detektovati voter-u da je taj modul pokvaren. Threshold ostaje isti jer je sada broj aktivnih modula 6, tako da je većina modula i dalje broj 4.

U trenutku 82715ns će biti forsiran stuck-at-0 kvar na 0. i 2. bitu modula 3. Komparator prekidača će detektovati kvar, flipflop se resetuje u narednom taktu i treći bit signala module\_is\_fault se setuje. Sada preostaje 5 aktivnih modula zbog čega sada threshold pada na 2.

Analogno tome, može se uočiti ponašanje prethodno pomenutih komponenti i signala i za forsiranje kvarova u odgovarajućim trenucima na modulima 1, 2, 4 i 5. Vidimo da na ovaj način sistem toleriše N-1 kvar. Zanimljiva situacija je pojava kvara na modulu 6, odnosno pojava N-tog kvara koja se realizuje kada se na liniji tcl skripte ukloni oznaka za komentar. Posledice se mogu videti na slici 6. U trenutku 82955ns kada se forsira kvar na jedinoj aktivnoj komponenti, threshold je 0, glasač automatski prosleđuje pogrešnu vrednost na svoj izlaz zbog čega komparator nije u mogućnosti da detektuje grešku. Kada se taj izlaz propagira do izlaza sistema, ustanoviće se nedozvoljena razlika u odnosu na tačnu vrednost iz gore pomenutog fajla i u tcl konzoli će biti prikazana poruka result mismatch! Čime se zaključuje da je sistem u kvaru.



Slika 6. Stanje nakon pojave kvara na poslednjem ispravnom modulu

Pomenuti i ostali signali se mogu detaljnije pogledati pokretanjem projekta na linku [https://github.com/Kosana66/Fault-tolerant\\_FIR\\_filter.git](https://github.com/Kosana66/Fault-tolerant_FIR_filter.git).

## Frekvencija i utrošenost resursa

Kako bi se skratilo potrebno vreme i omogućile sinteza i implementacija dizajna, parametar fir\_ord je podešen tako da red filtra bude 5. Iz istih razloga broj redundantnih modula je 4, a širina podataka je 18 bira kako bi se svaki MAC modul mapirao na jednu DSP jedinicu. Kod FIR filtra na koji nije primenjena navedena tehnika redundantnosti postoji utrošeno 5 DSP jedinica jer red filtra određuje broj MAC modula. To je potvrđeno na slici 7. Kod FIR filtra na koji tehnika primenjena, broj utrošenih DSP jedinica je 20 što je i očekivano (slika 8). Dizajn je kompleksniji, pa za svaki od redundantnih FIR filtara kojih ima 4 je utrošeno po 5 DSP jedinica. Dakle, broj iskorišćenih resursa se uvećava onoliko puta koliko ima redundantnih komponenata. Takođe, može se primetiti da je broj flipflop-va i LUT-ova uvećan zahvaljujući povećanoj složenosti.

Resource	Estimation	Available	Utilization %
LUT	5	53200	0.01
FF	108	106400	0.10
DSP	5	220	2.27

Slika 7 : Resursi pre primene tehnike

Resource	Estimation	Available	Utilization %
LUT	190	53200	0.36
FF	468	106400	0.44
BRAM	4	140	2.86
DSP	20	220	9.09

*Slika 8 : Resursi posle primene tehnike*

Procenjena frekvencija sistema koji se sastoji samo od FIR filtra pre primene tehnike za redundantnost iznosi oko 250MHz. Kod sistema na koji je primenjena pominjana tehnika je maksimalna učestanost oko 175MHz. Ova frekvencija je procenjena uzimajući u obzir gore definisane parametre. Frekvencija je značajno opala i za ovako malu redundantnost, a bila bi još dodatno manja za veći broj modula zbog čega treba biti oprezan u kojim primenama će se ova tehnika koristiti.