



Shahid Beheshti University

Faculty of CSE

Computer Aided Digital System Design  
Project No.5

هدف از این تمرین طراحی یک جمع کننده سری است. این جمع کننده شامل یک FullAdder است که در هر سیکل یک بیت از دو عدد ورودی را با هم جمع می کند. یعنی در سیکل  $i$ ام بیت  $i$  از عدد اول با بیت  $i$  از عدد دوم با رقم نقلی طبقه قبل جمع می شوند، به صورتی که جمع دو عدد  $n$  بیتی در  $n$  سیکل کلاک انجام می شود. هر گاه ورودی  $start=1$  شود عمل جمع شروع می شود و پس از  $n$  سیکل نتیجه محاسبه و خروجی  $done=1$  می شود. کد این جمع کننده را به صورت Generic و به صورت ترتیبی (با پراسس) طراحی و پیاده سازی کنید و با Testbench تست نمایید.

ساختار ورودی/خروجی این سخت افزار در شکل زیر دیده می شود:

