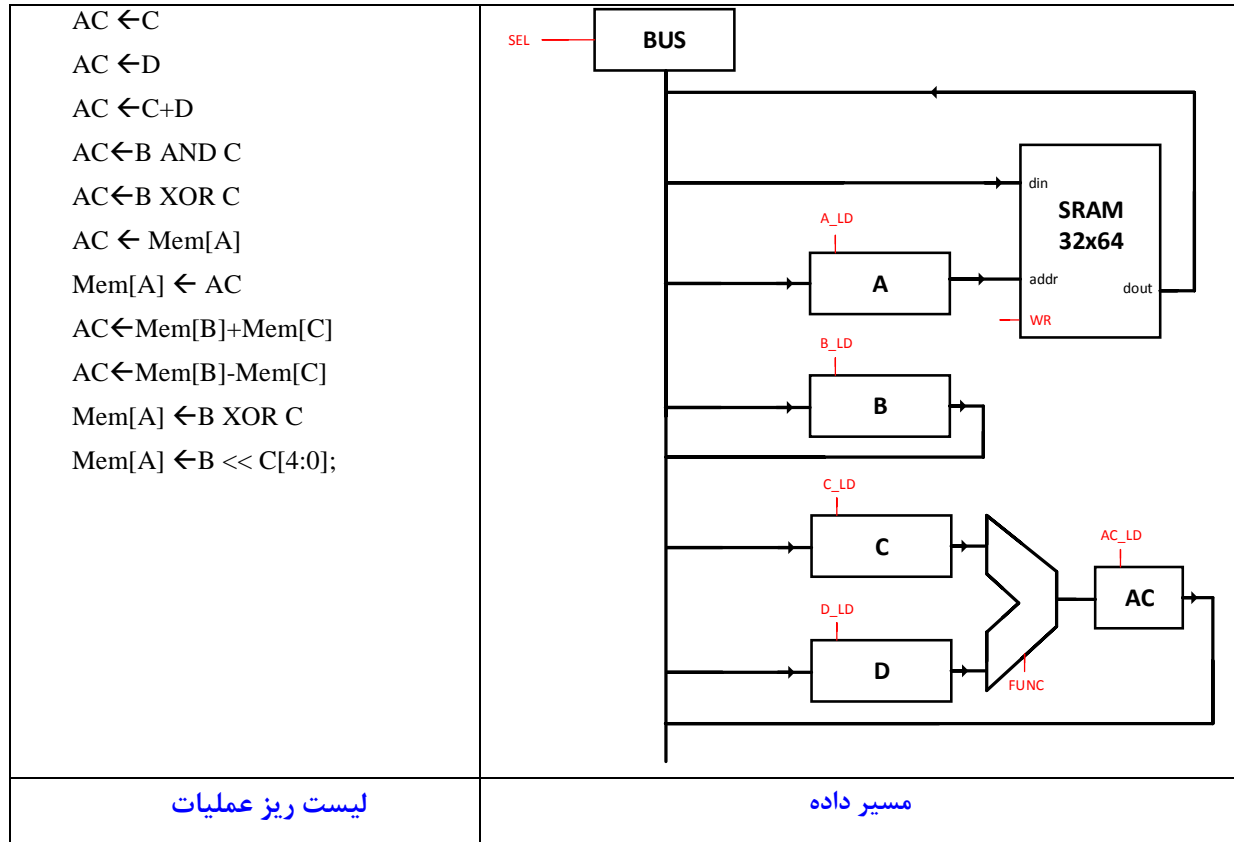


Computer Aided Digital System Design
Project No.6

32-bit Simple Integer Unit

هدف از طراحی این پروژه آشنایی دانشجویان با طراحی و پیاده‌سازی ماشین حالت است. برای این منظور یک مسیر داده بسیار ساده در نظر گرفته شده که روی آن چند ریز عملیات ساده طراحی گردد. ساختار این مسیره داده و لیست ریز عملیات به صورت زیر است.



این مسیر داده شامل ۴ رجیستر ۳۲ بیتی B، C، D و AC و یک رجیستر ۶ بیتی A و نیز شامل یک حافظه ایستای ۳۲ بیتی با ۶۴ سطر است. این سخت افزار را با استفاده از VHDL طراحی و پیاده‌سازی کنید و با استفاده از ورودی فایل تست کنید. میتوانید به رجیسترها و حافظه مقادیر اولیه دهید که در روند تست کمک کند.

ورودی این پردازنده سیگنالهای کلاک، ریست و opcode است و سیگنال خروجی ندارد. اثر اجرای دستورات روی محتوای حافظه و رجیسترها قابل مشاهده است.