

携帯電話基地局用 高速高効率PWM時変電源回路

3大学合同修論発表会

2013 / 02 / 01 Fri.

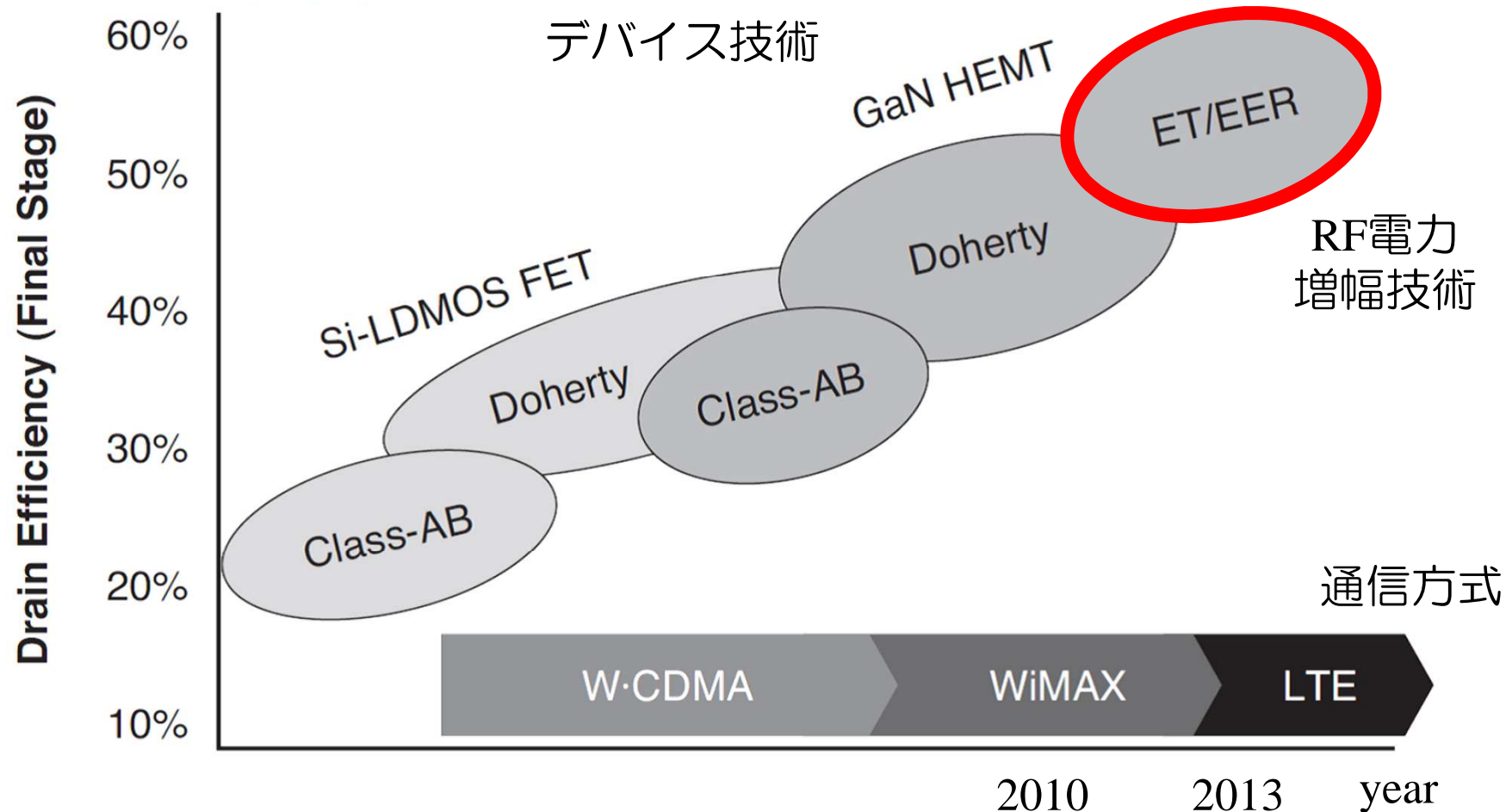
豊橋技術科学大学 情報・知能工学専攻

波動工学研究室所属 谷村 晃太郎

指導教員：大平 孝

- **RF電力増幅器の技術動向**
- **EER方式**
- **提案手法**
- **回路設計，計算機シミュレーションによる評価**
- **回路試作，測定による評価**
- **まとめ**

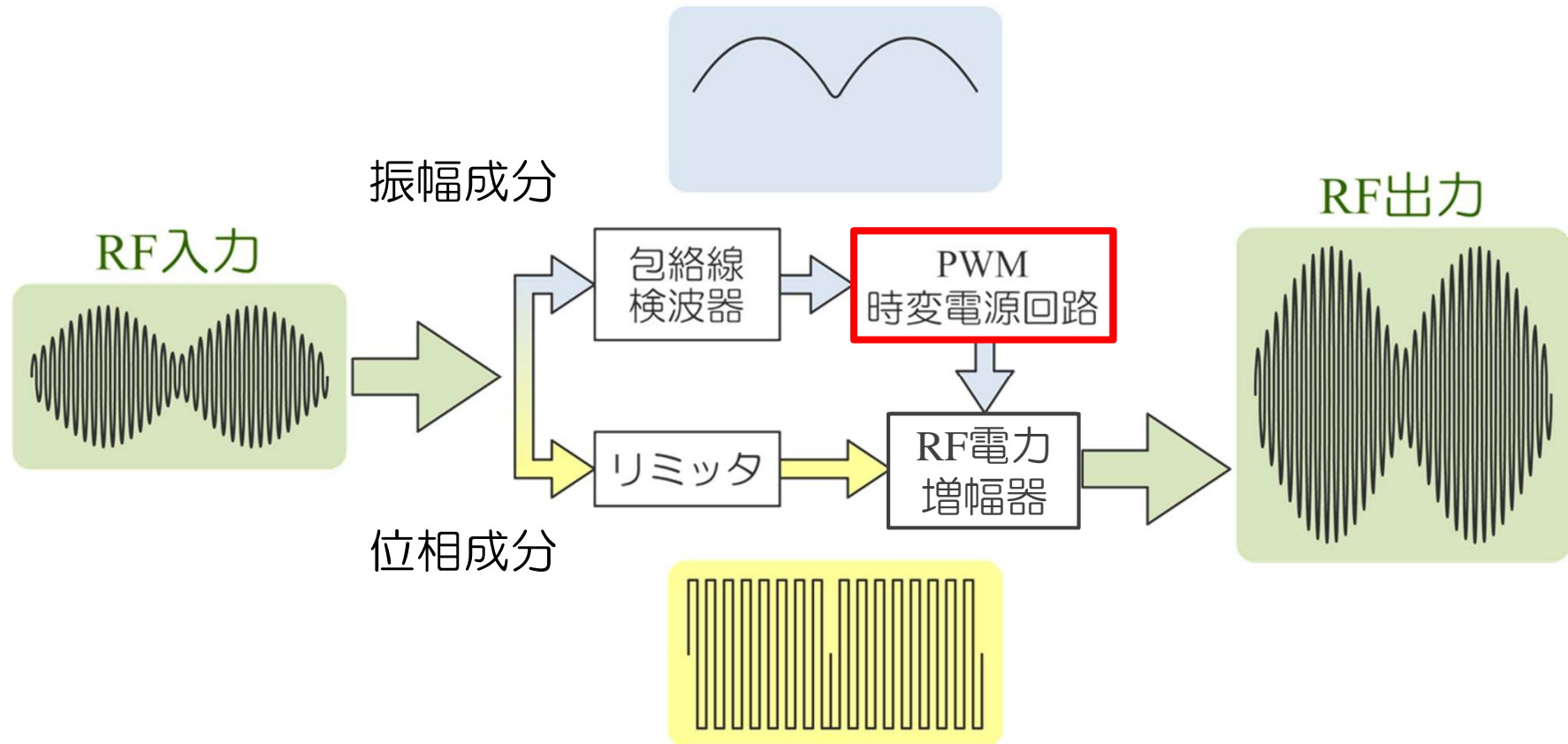
RF電力増幅器の技術動向^[1]



次世代RF電力増幅技術であるEER方式が注目されている

[1] 井上和孝 他, “携帯電話基地局用窒化ガリウム電力増幅器(GaN HEMT)の開発,”
SEIテクニカルレビュー, 第177号, pp.97-102, July, 2010.

Envelope Elimination and Restoration (EER)方式^[2]

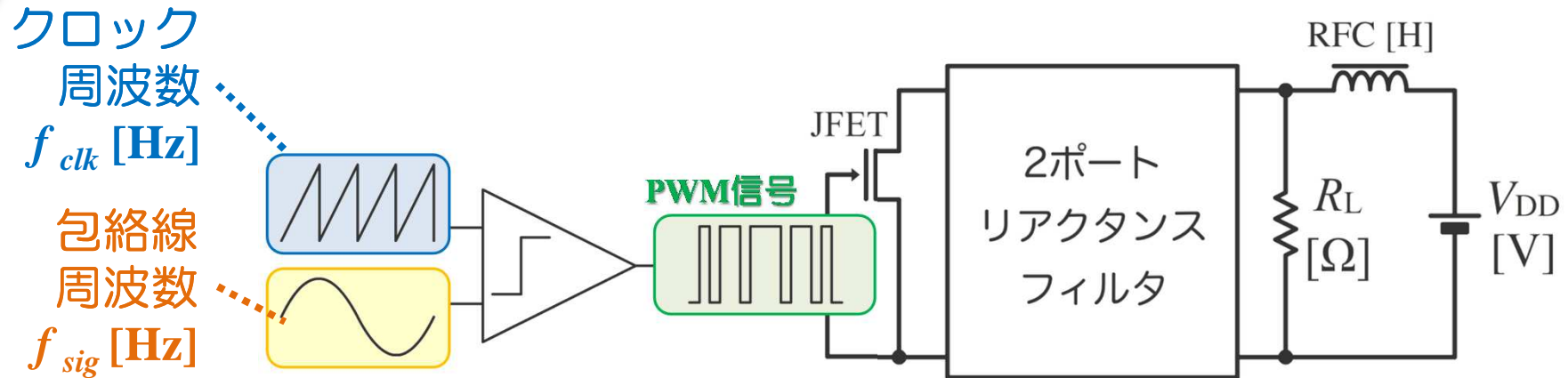


高効率を達成するPWM時変電源回路の報告例は極めて少ない

目的：高速高効率PWM時変電源回路の設計

[2] Leonard R. Kahn, Proc.IRE, pp.803-806, July 1952.

提案手法 2ポートリアクタンスフィルタ挿入型PWM時変電源回路



PWM時変電源回路に求める性能

- 電力効率が高い
- 出力電圧の全高調波歪THDが低い
- 出力電圧の振幅が理想通り出力される

性能を達成する手段

- PWM信号の f_{clk} 成分を除去, f_{sig} 成分を通過する
- 高速スイッチング可能で高耐圧なJFETを採用

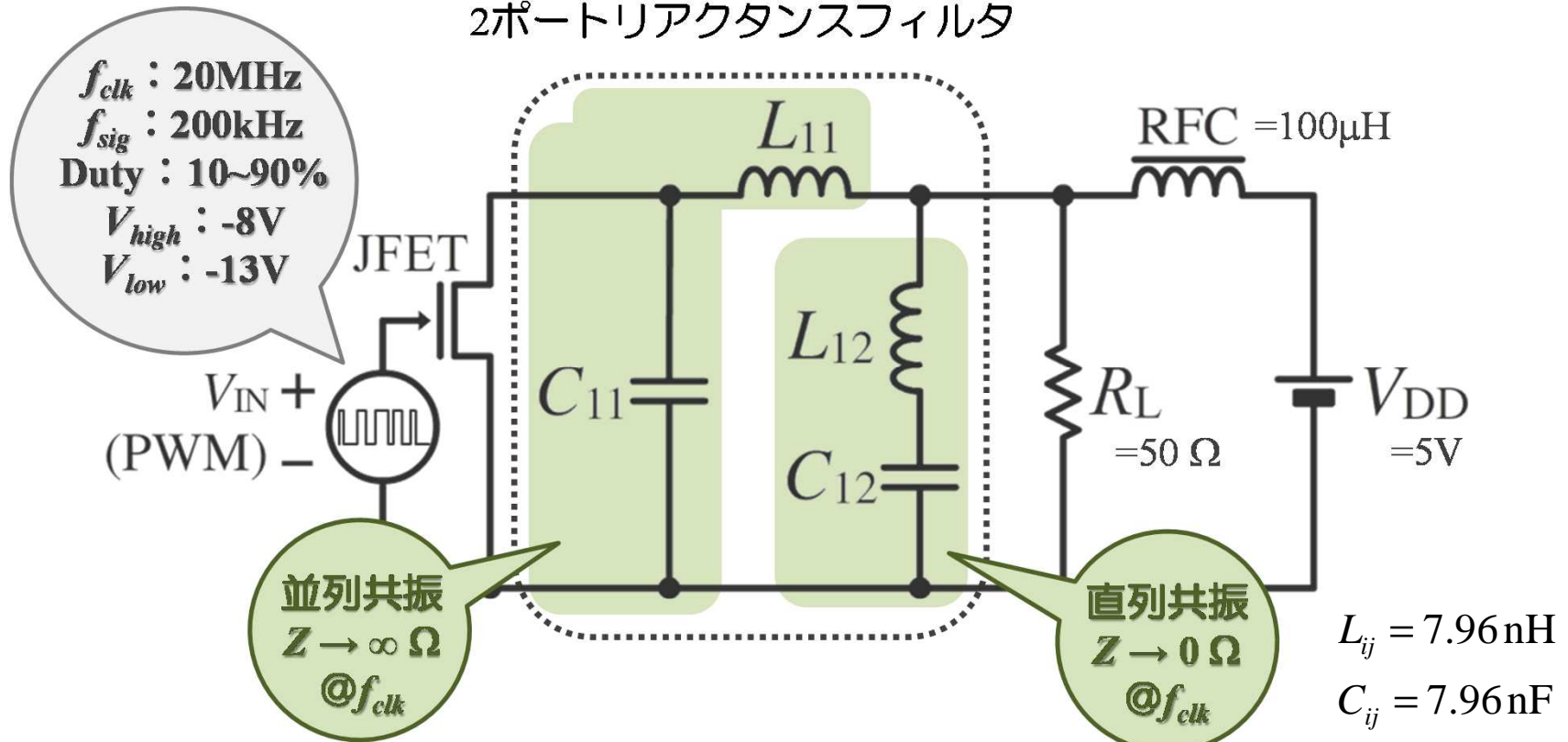


本研究では以下の2種類の回路を考える

- ① f_{clk} を除去する “ f_{clk} 除去電源回路”
- ② f_{clk} とその2次高調波 $2f_{clk}$ を除去する “ $2f_{clk} \cdot f_{clk}$ 除去電源回路”

f_{clk} 除去電源回路の設計

2ポートリアクタンスフィルタ



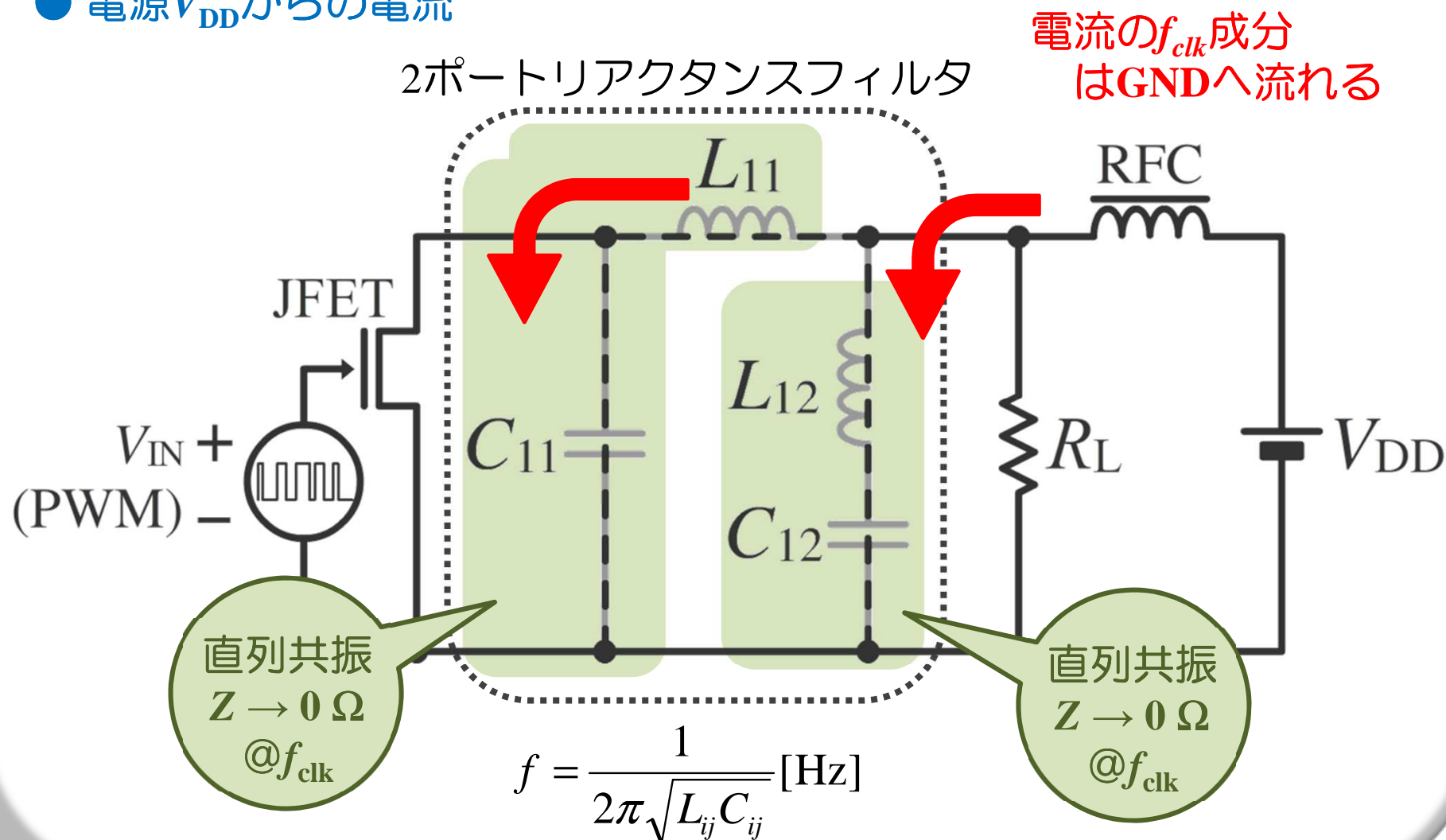
• f_{clk} しか決まっていない場合, L_{ij} や C_{ij} は一意に定まらない

$$f_{clk} = \frac{1}{2\pi\sqrt{L_{ij}C_{ij}}} [\text{Hz}]$$

LCの比率を表すファクタとして $\sqrt{\frac{L}{C}} [\Omega]$ を提案
 今回は $\sqrt{\frac{L}{C}} = 1 [\Omega]$ のフィルタを挿入

f_{clk} 除去電源回路の設計

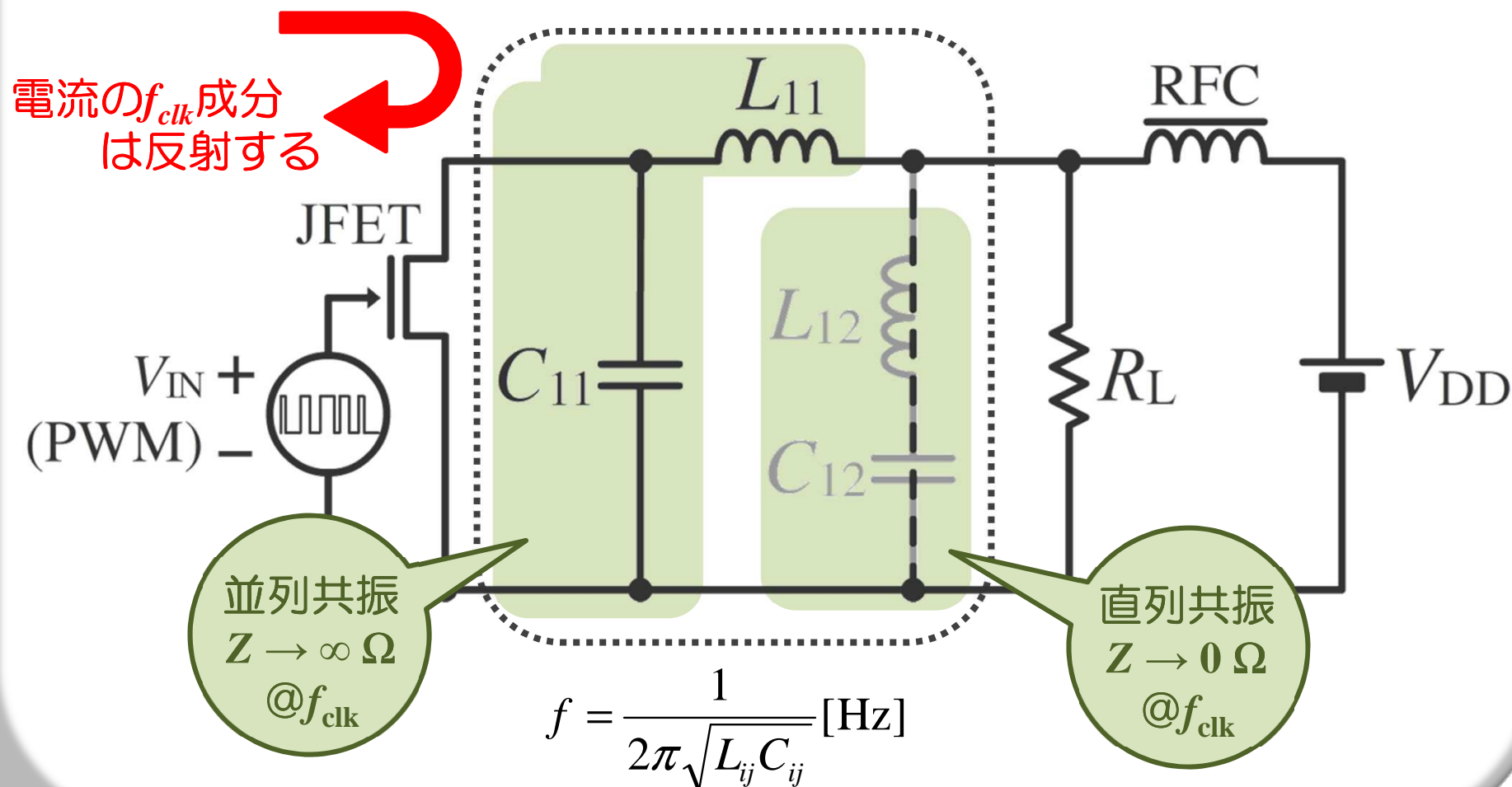
● 電源 V_{DD} からの電流



f_{clk} 除去電源回路の設計

● JFETからの電流

2ポートリアクタンスフィルタ



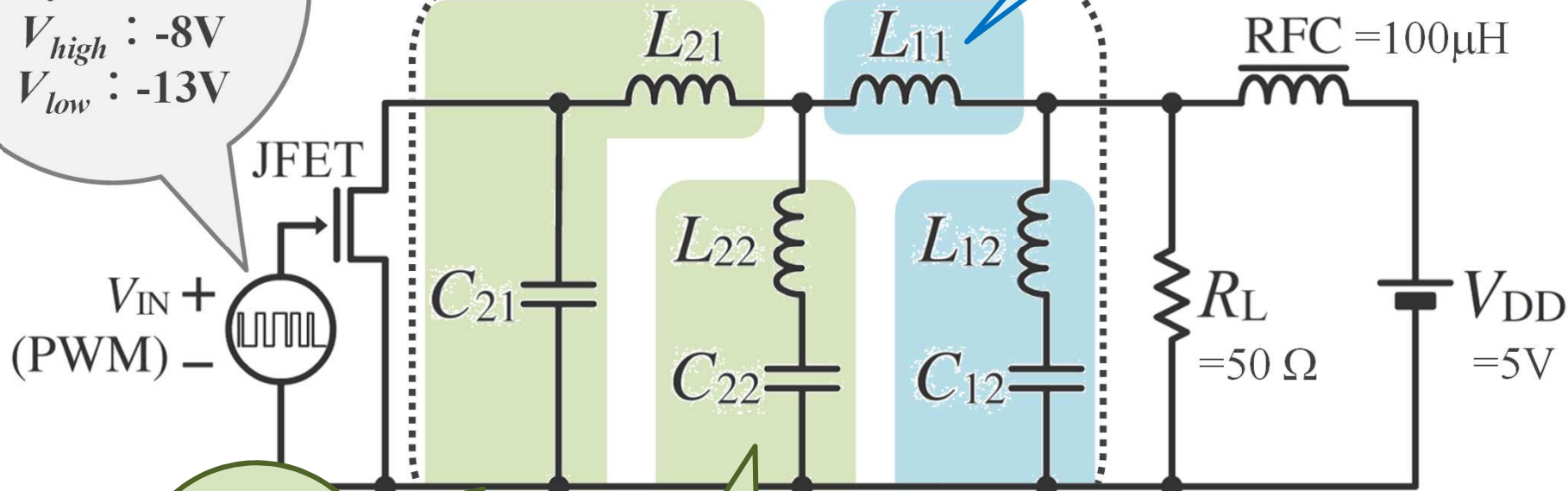
$2f_{clk} \cdot f_{clk}$ 除去電源回路の設計

f_{clk} : 20MHz
 f_{sig} : 200kHz
Duty : 10~90%
 V_{high} : -8V
 V_{low} : -13V

$$\begin{aligned} L_{21}, L_{22} &= 7.96 \text{ nH} & L_{11} &= 5.96 \text{ nH} \\ C_{21}, C_{22} &= 7.96 \text{ nF} & L_{12} &= 7.96 \text{ nH} \\ & & C_{12} &= 7.96 \text{ nH} \end{aligned}$$

2ポートリアクタンスフィルタ

並列共振
 $Z \rightarrow \infty \Omega$
@ f_{clk}



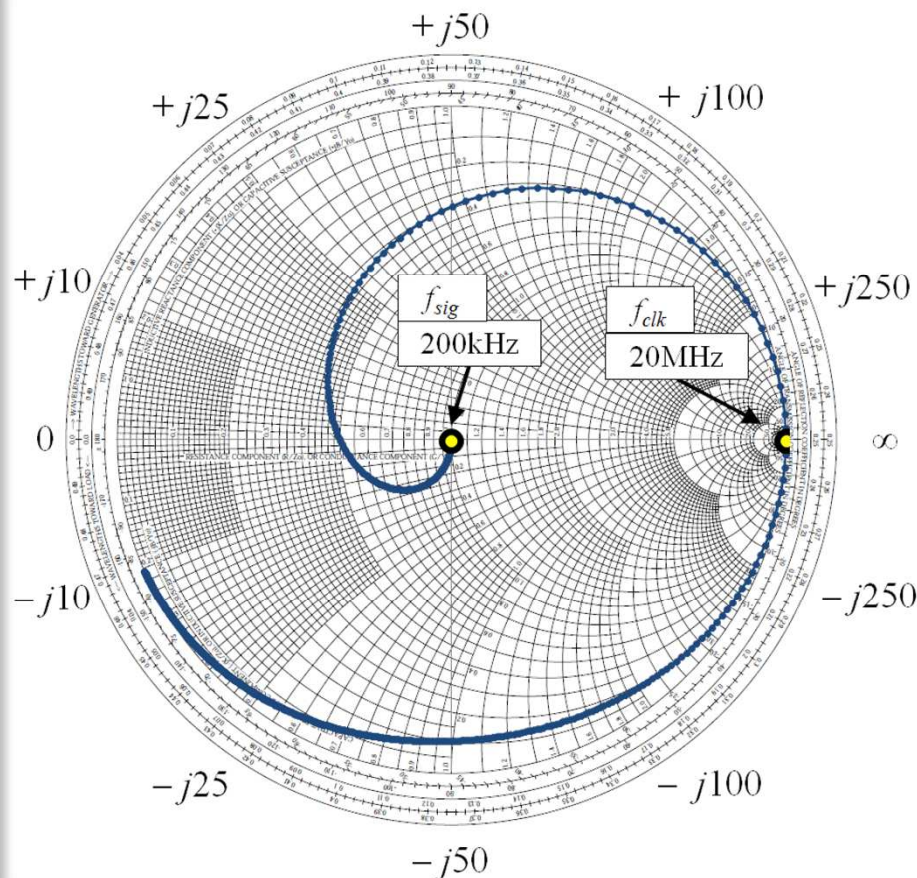
並列共振
 $Z \rightarrow \infty \Omega$
@ $2f_{clk}$

直列共振
 $Z \rightarrow 0 \Omega$
@ $2f_{clk}$

直列共振
 $Z \rightarrow 0 \Omega$
@ f_{clk}

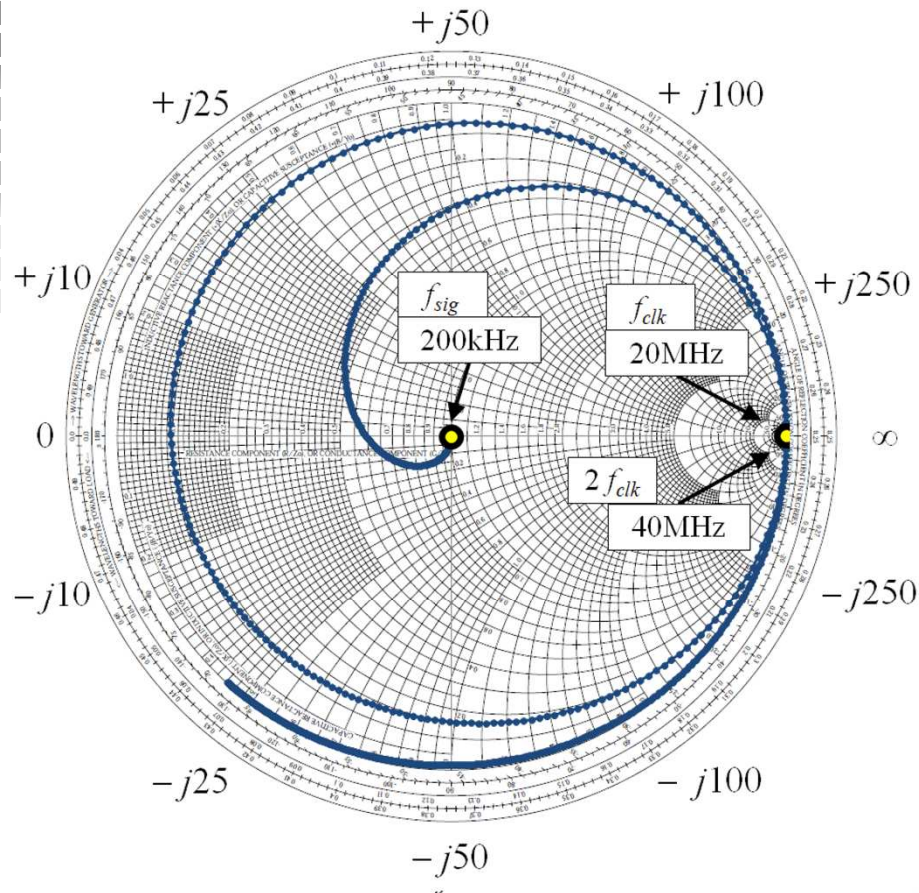
2つの回路の反射係数 S_{11} 計算値

f_{clk} 除去電源回路



f_{sig} を通過, f_{clk} を反射

$2f_{clk} \cdot f_{clk}$ 除去電源回路



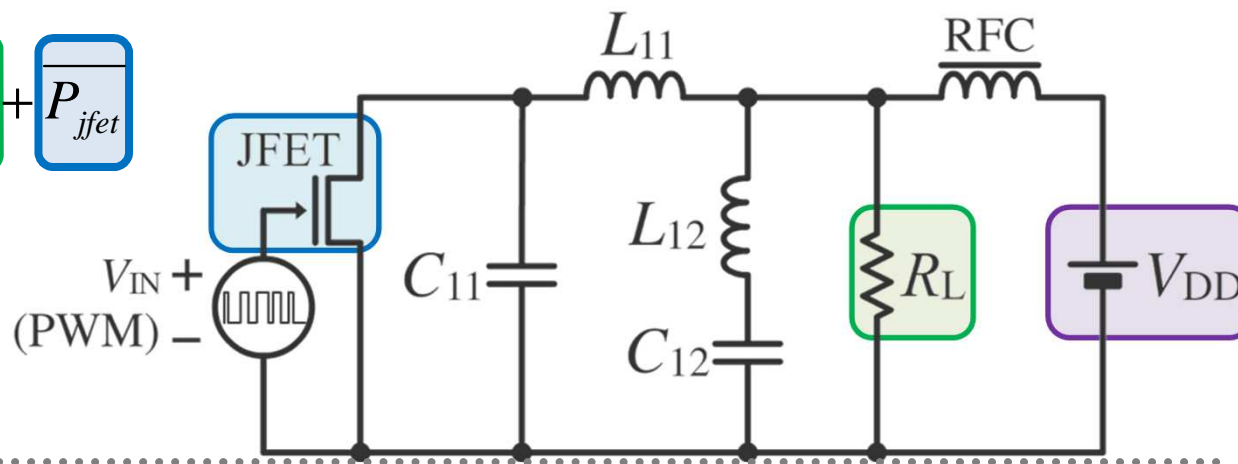
f_{sig} を通過, $2f_{clk}$ 及び f_{clk} を反射

計算機シミュレーションによる評価項目

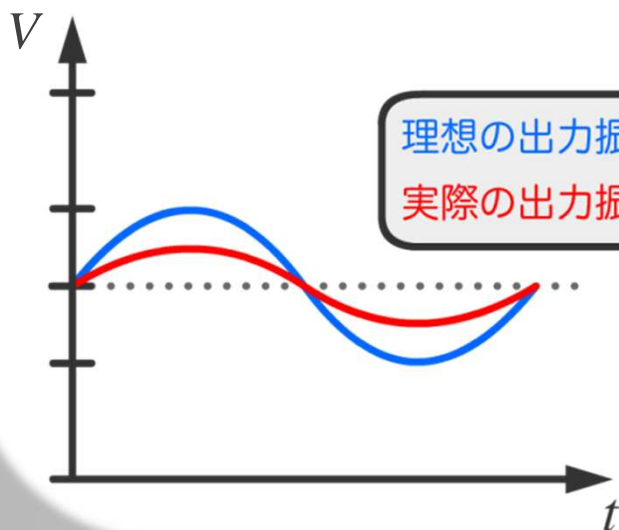
● 電力効率 η

$$\overline{P_{vdd}} = \overline{P_{rl}} + \overline{P_{jfet}}$$

$$\eta = \frac{\overline{P_{R_L}}}{\overline{P_{V_{DD}}}} \times 100[\%]$$



● 出力電圧振幅比 η_{vos}



$$\eta_{vos} = \frac{V_{os}}{V_{dd} \times \frac{\Delta Duty}{100}} \times 100[\%]$$

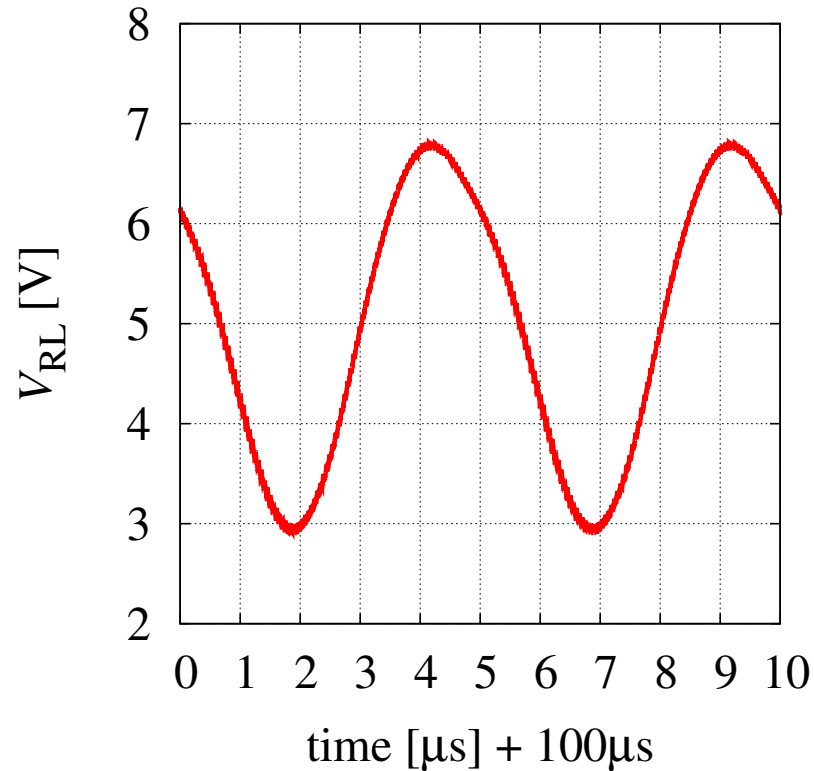
● 全高調波歪 THD

$$THD = \frac{\sqrt{V_2^2 + V_3^2 \dots + V_9^2}}{V_1} \times 100[\%]$$

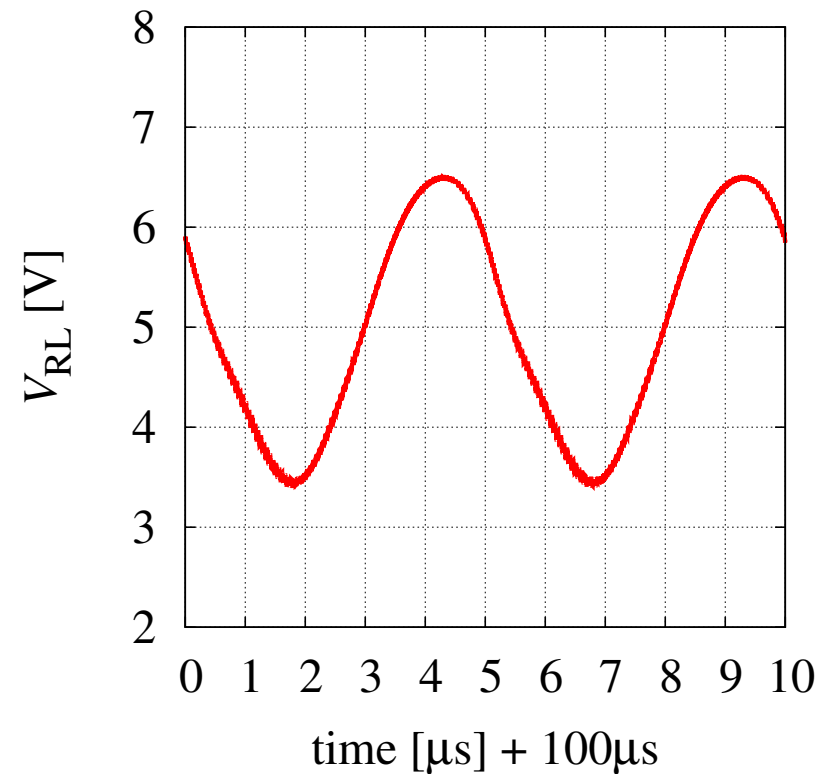
($V_1 = V|_{f_{sig}}, V_2 = V|_{2f_{sig}}, \dots$)

計算機シミュレーションによる評価

f_{clk} 除去電源回路

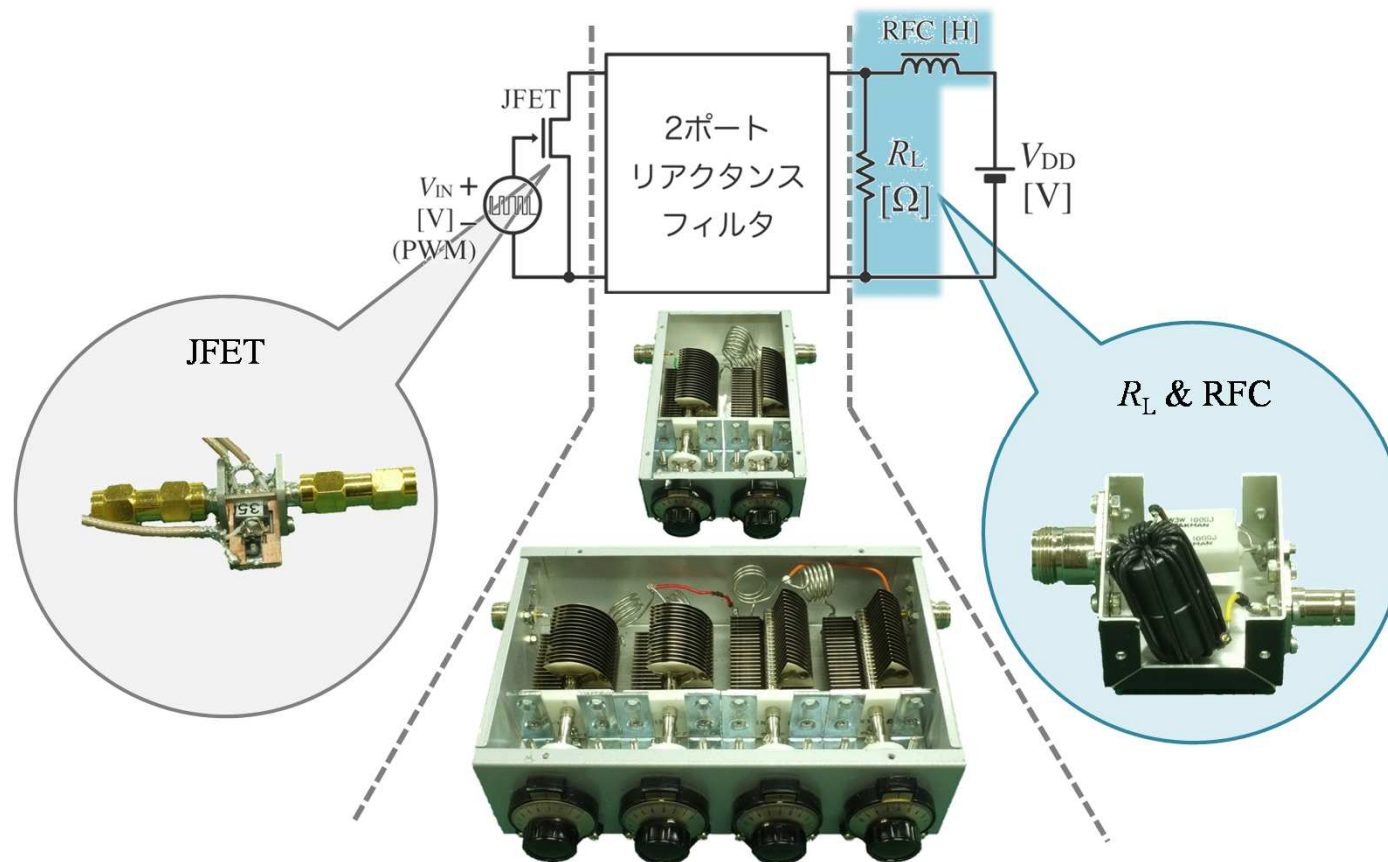


$2f_{clk} \cdot f_{clk}$ 除去電源回路



	電力効率 η [%]	出力電圧振幅比 η_{vos} [%]	THD [%]
f_{clk} 除去電源回路	68.5	94.0	10.70
$2f_{clk} \cdot f_{clk}$ 除去電源回路	75.1	75.0	4.64
	6.6ポイント向上	19.0ポイント低下	6.06ポイント削減

回路試作

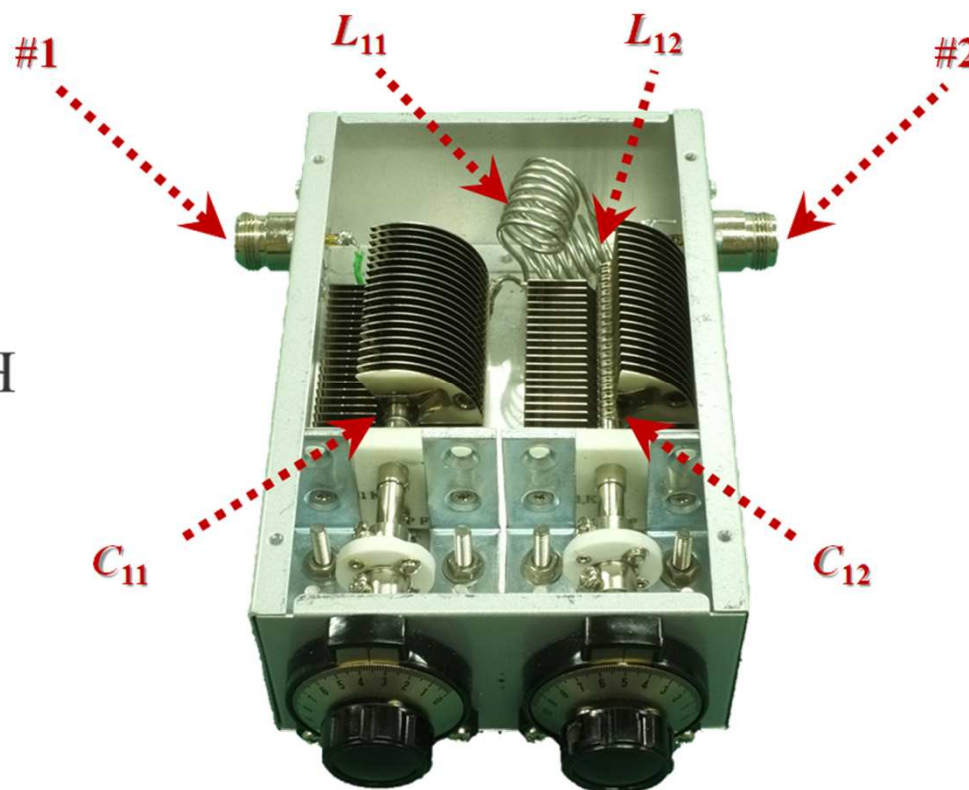
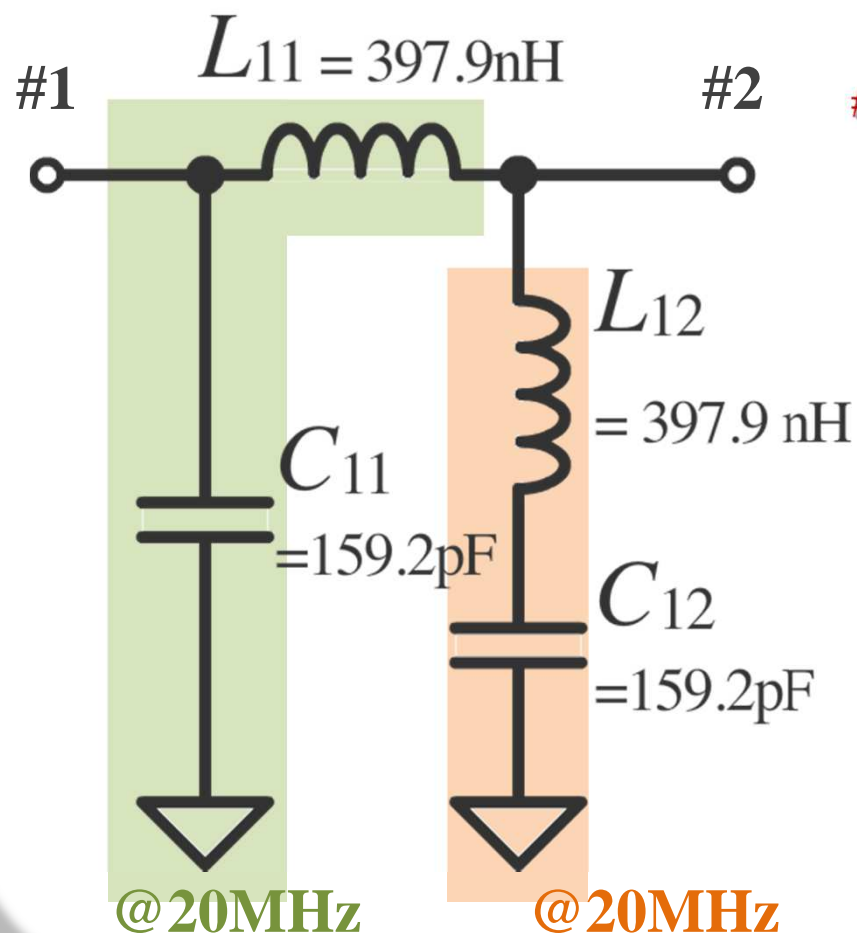


- 試作後のフィルタ特性を調整するため、可変コンデンサを使用
- フィルタ特性を最大限に引き出すため、シールドボックスを使用
- 損失がほとんど無い手巻きコイルを使用

f_{clk} 除去回路の試作

- 並列共振・直列共振 共に $\sqrt{L_{ij}/C_{ij}} = 50\Omega$

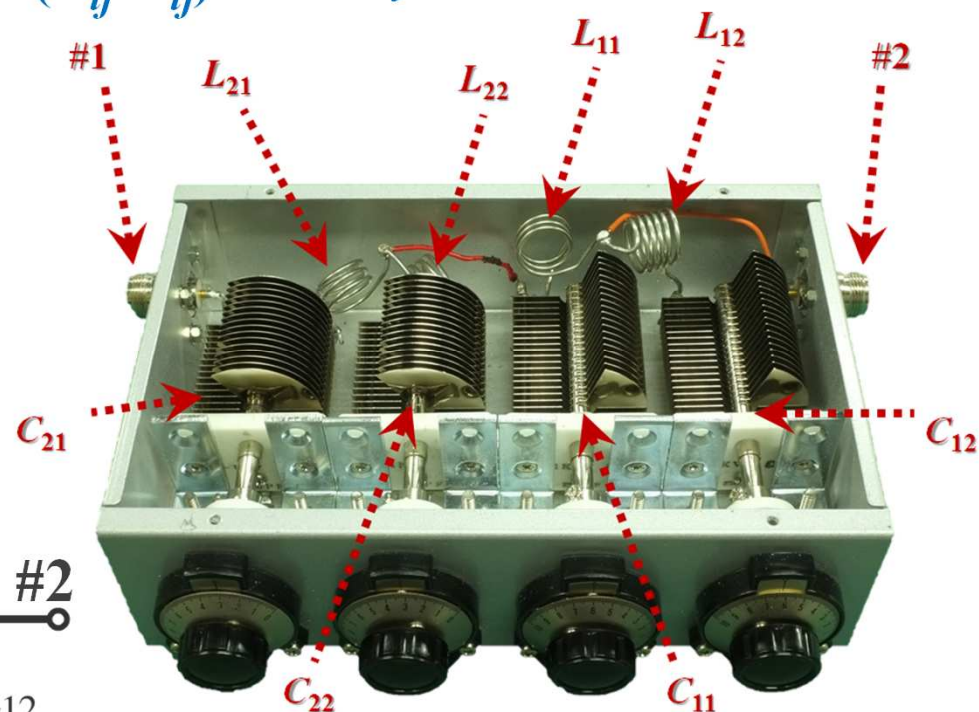
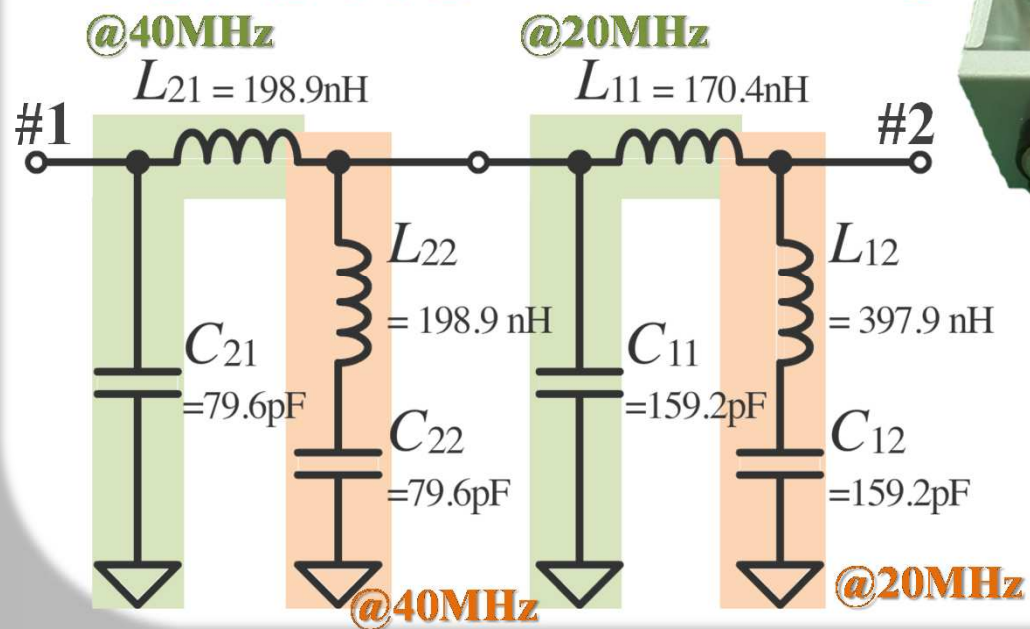
※各素子値は設計値



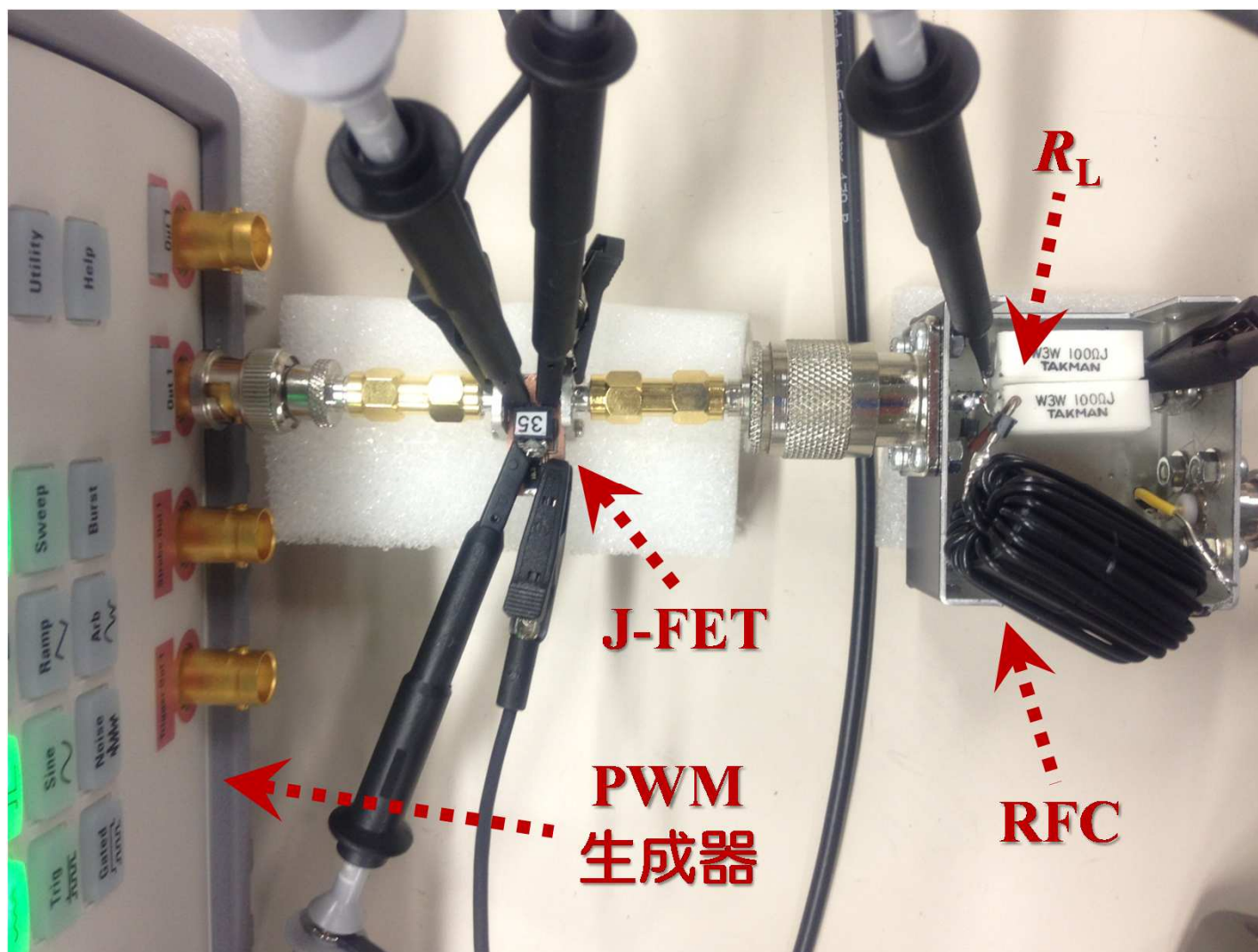
$2f_{clk} \cdot f_{clk}$ 除去回路の試作

- 並列共振・直列共振 共に $\sqrt{L_{ij}/C_{ij}} = 50\Omega$

※各素子値は設計値



PWM時変電源回路 導通実験のようす



試作回路の評価項目

● 評価項目

- 電力効率 η

$$\eta = \frac{\overline{P_{rl}}}{\overline{P_{vdd}}} \times 100[\%]$$

$$\overline{P_{rl}} = \frac{\overline{[V_{rl}(t)]^2}}{R_L} [\text{W}]$$

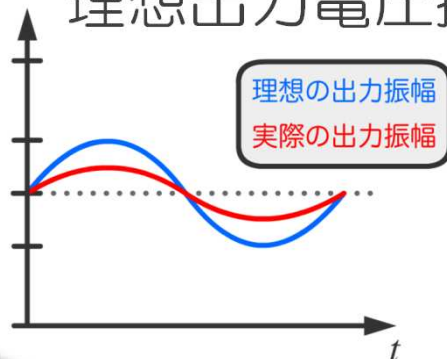
$$\overline{P_{vdd}} = \overline{V_{DD}} \times \overline{I_{DD}} [\text{W}]$$

- 出力電圧の f_{sig} 成分の全高調波歪THD（5次高調波まで考慮）

$$\text{THD} = \frac{\sqrt{V^2|_{400\text{kHz}} + V^2|_{600\text{kHz}} + V^2|_{800\text{kHz}} + V^2|_{1000\text{kHz}}}}{V|_{f_{sig}=200\text{kHz}}} \times 100[\%]$$

- 出力電圧振幅比 η_{vos}

理想出力電圧振幅に対する実際の振幅の割合



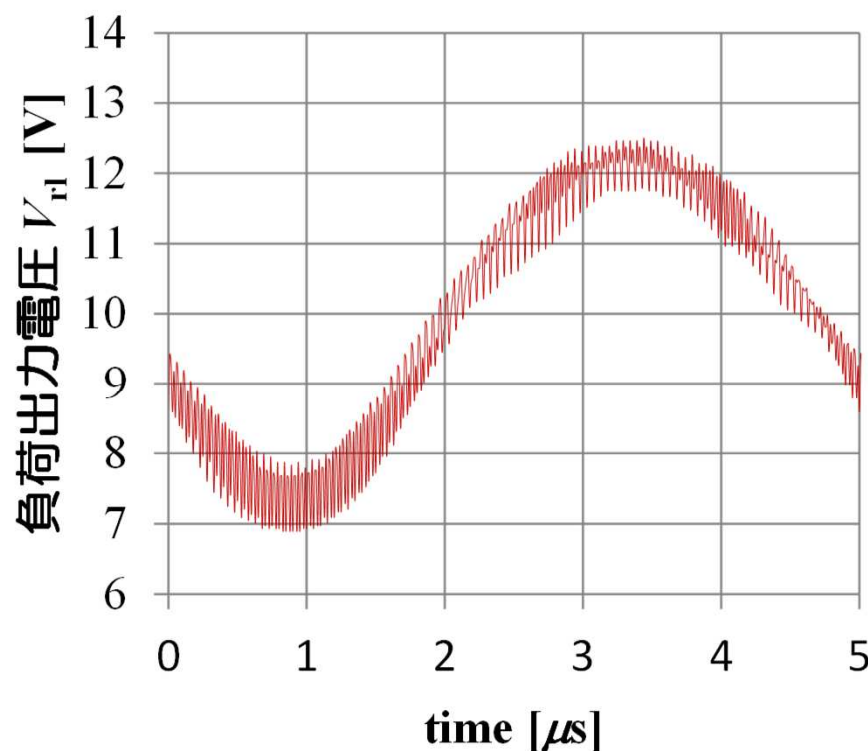
$$\eta_{vos} = \frac{V_{os}}{V_{DD} \times \frac{\Delta \text{Duty}}{100}} \times 100[\%]$$

V_{os} : 出力電圧の f_{sig} 成分

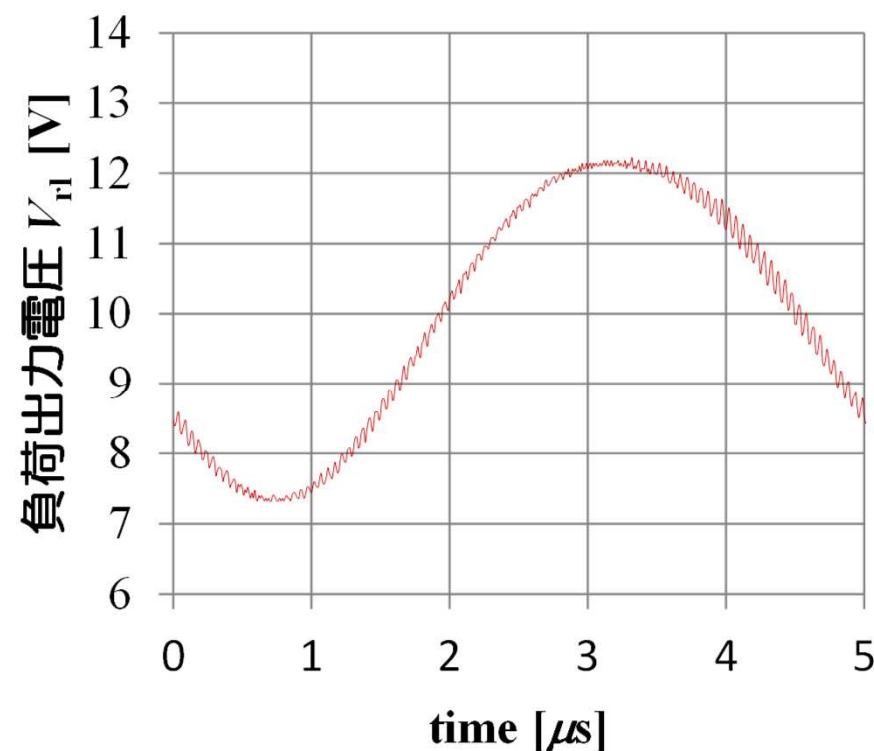
ΔDuty : Duty比変化幅

実験による評価

f_{clk} 除去電源回路



$2f_{clk} \cdot f_{clk}$ 除去電源回路



	電力効率 η [%]	出力電圧振幅比 η_{vos} [%]	THD [%]
f_{clk} 除去電源回路	71.95	83.72	12.65
$2f_{clk} \cdot f_{clk}$ 除去電源回路	72.62	84.91	10.30
	0.7ポイント向上	1.2ポイント向上	2.35ポイント削減

まとめ・今後の課題

● 目的

- ・ 高速高効率PWM時変電源回路の設計及び試作

● 解析結果

	電力効率 η [%]	出力電圧振幅比 η_{vos} [%]	THD [%]
f_{clk} 除去電源回路	68.5	94.0	10.70
$2f_{clk} \cdot f_{clk}$ 除去電源回路	75.1	75.0	4.64
	6.6ポイント向上	19.0ポイント低下	6.06ポイント削減

● 試作結果

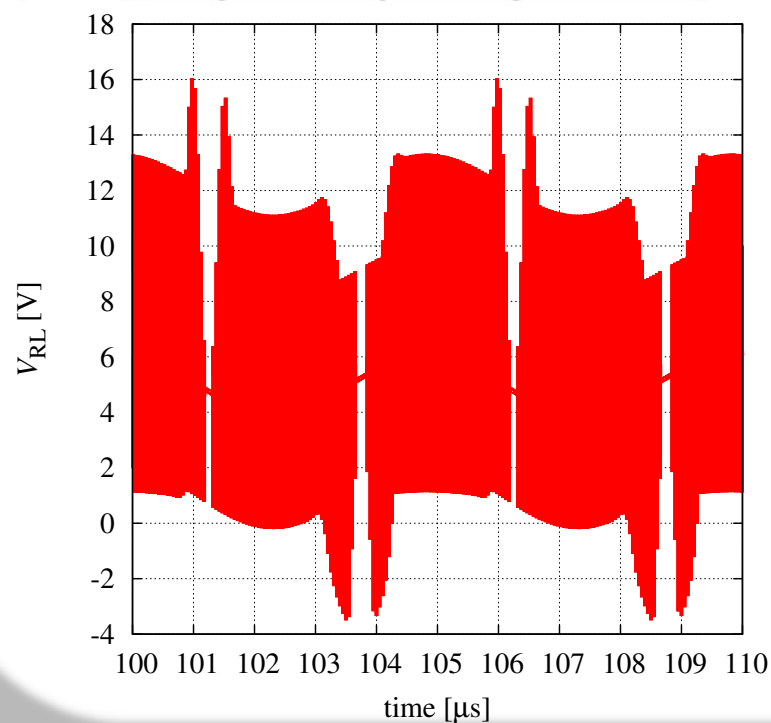
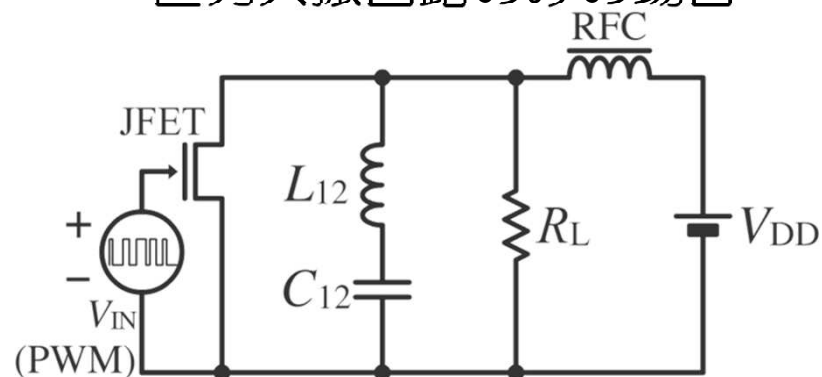
	電力効率 η [%]	出力電圧振幅比 η_{vos} [%]	THD [%]
f_{clk} 除去電源回路	71.95	83.72	12.65
$2f_{clk} \cdot f_{clk}$ 除去電源回路	72.62	84.91	10.30
	0.7ポイント向上	1.2ポイント向上	2.35ポイント削減

● 今後の課題

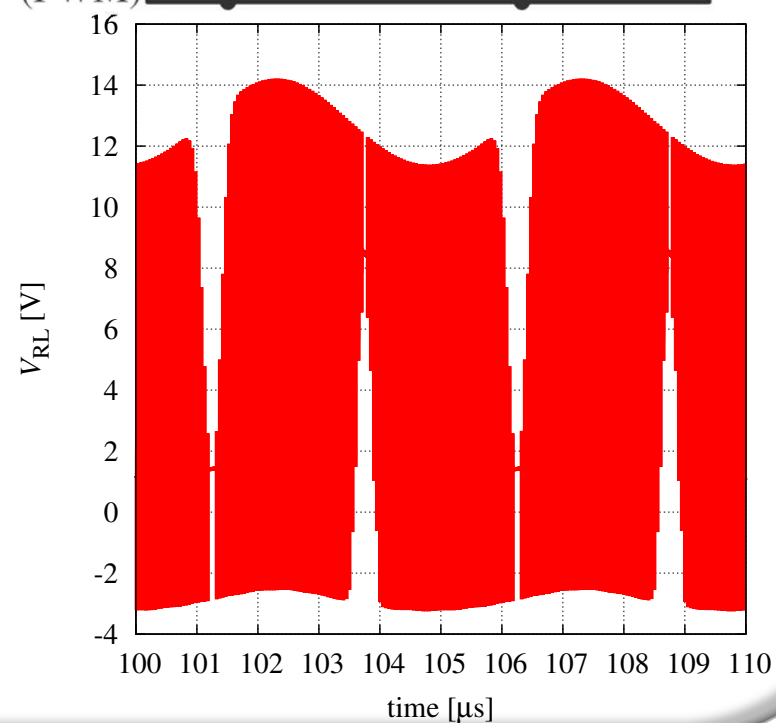
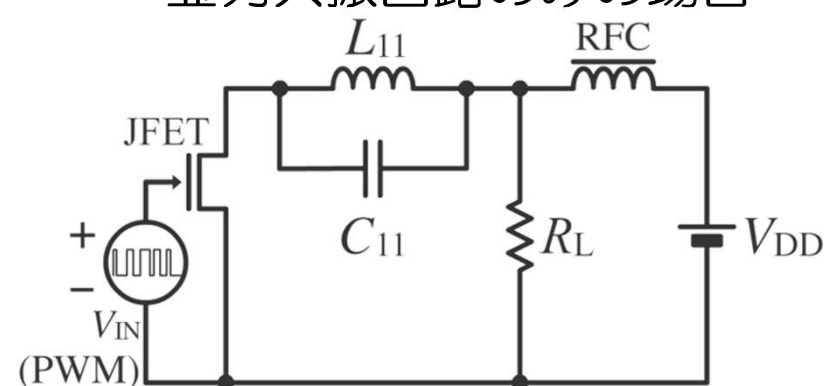
- ・ SPICEによる解析結果で出力電圧振幅比 η_{vos} が下がった原因を究明
- ・ 様々な $\sqrt{L/C}$ 値のフィルタを解析, 評価
- ・ 素子値や素子数をファクタとした全トポロジの解析, 評価

(付録) f_{clk} 除去回路の共振器がそれぞれ単体の場合

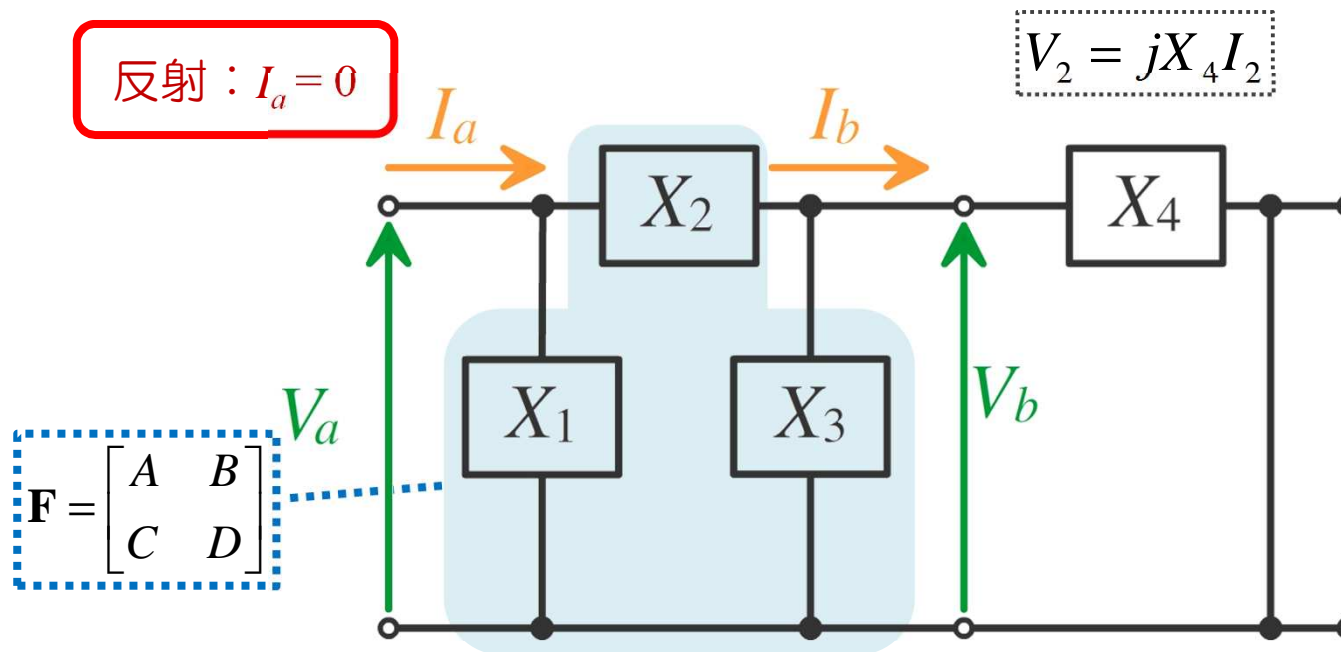
直列共振回路のみの場合



並列共振回路のみの場合



(付録) $2f_{clk} \cdot f_{clk}$ 除去回路の設計 1/2



● 入力と出力の関係

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix}$$

$$\begin{cases} V_1 = AV_2 + BI_2 \\ I_1 = CV_2 + DI_2 \end{cases} \text{ より}$$

$$A = \left. \frac{V_1}{V_2} \right|_{I_2=0}$$

$$B = \left. \frac{V_1}{I_2} \right|_{V_2=0}$$

$$C = \left. \frac{I_1}{V_2} \right|_{I_2=0}$$

$$D = \left. \frac{I_1}{I_2} \right|_{V_2=0}$$

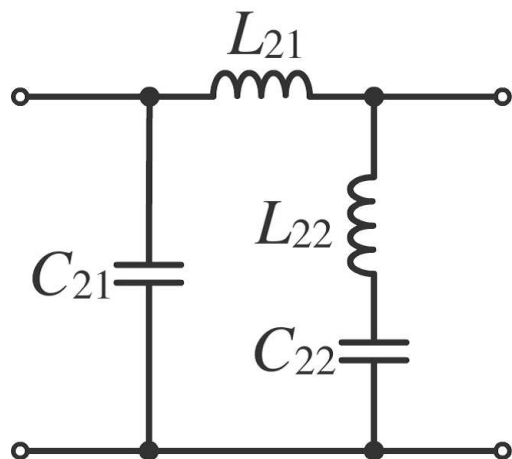
● jX_4 の \mathbf{F} 行列表現

$$I_1 = CV_2 + DI_2 \text{ より}$$

$$0 = C(Z I_2) + DI_2$$

$$\therefore jX_4 = -\frac{D}{C}$$

(付録) $2f_{clk} \cdot f_{clk}$ 除去回路の設計 2/2



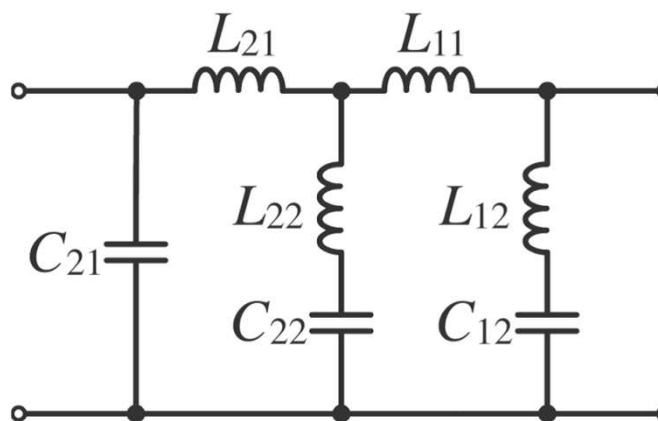
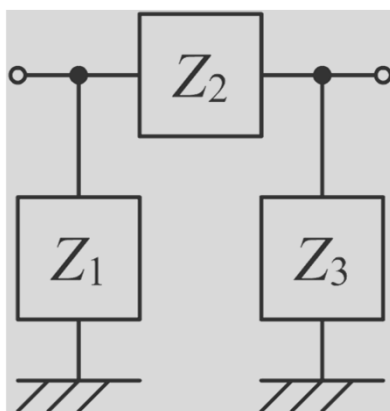
$$\mathbf{F} = \begin{bmatrix} 1 & 0 \\ \frac{1}{Z_1} & 1 \end{bmatrix} \begin{bmatrix} 1 & Z_2 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \frac{1}{Z_3} & 1 \end{bmatrix} = \begin{bmatrix} 1 + \frac{Z_2}{Z_3} & Z_2 \\ \frac{Z_1 + Z_2 + Z_3}{Z_1 Z_3} & \frac{Z_2}{Z_1} + 1 \end{bmatrix}$$

$$Z_1 = \frac{1}{j\omega_{clk} C_{21}}, \quad Z_2 = j\omega_{clk} L_{21},$$

$$Z_3 = j\omega_{clk} L_{22} + \frac{1}{j\omega_{clk} C_{22}}, \quad \omega_{clk} = 2\pi f_{clk}$$

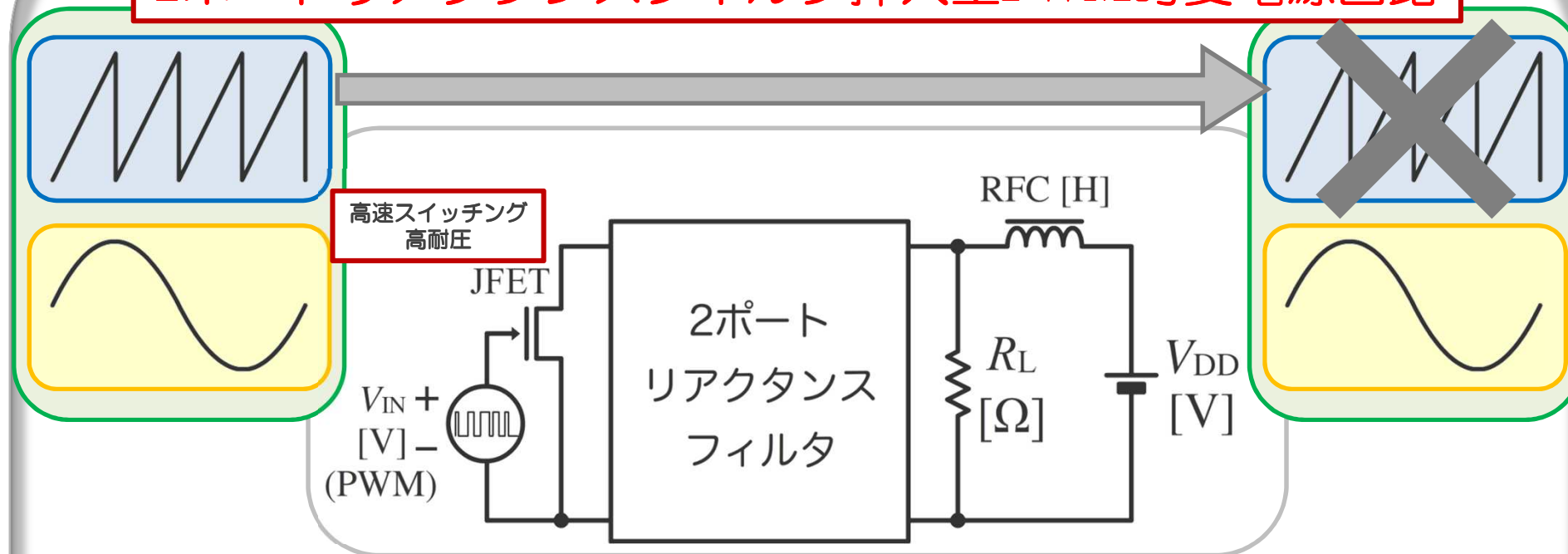
を考慮すると

$$Z = j\omega_{clk} \frac{5}{8} L_{21} = j\omega_{clk} L_{11}$$



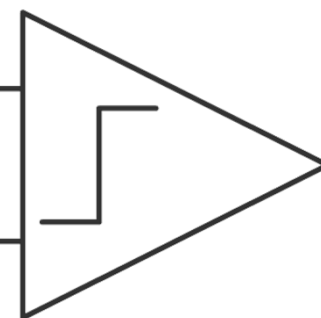
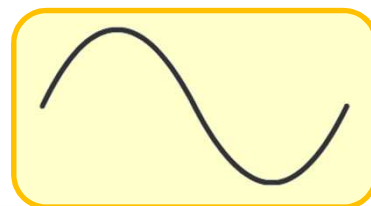
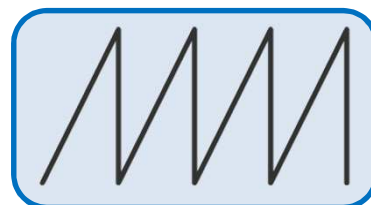
提案手法

2ポートリアクタンスフィルタ挿入型PWM時変電源回路

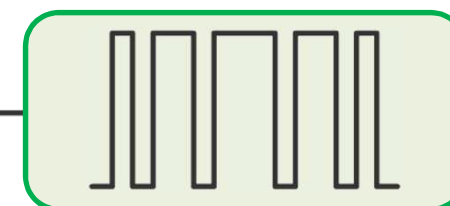


クロック周波数
 f_{clk} [Hz]

包絡線周波数
 f_{sig} [Hz]



PWM信号



(付録)