



ARISTOTLE
UNIVERSITY
OF THESSALONIKI

Σύνθεση και Φυσική Σχεδίαση Επεξεργαστή RISC-V

Ψηφιακά Ολοκληρωμένα Κυκλώματα
VLSI-ASIC Μεγάλης Κλίμακας

Παπαδάκης Κωνσταντίνος Φώτιος
AEM: 10371

Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης
Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
9 Νοεμβρίου 2025

Περιεχόμενα

1 Δημιουργία Script Αυτοματοποίησης

2 Άσκηση 1

Η πρώτη άσκηση αποτελεί την βάση της εργασίας. Καλούμαστε να χρησιμοποιήσουμε τρία εργαλεία της Cadence:

- Genus - Σύνθεση
- Innovus - Χωροθέτηση, Τοποθέτηση και Δρομολόγηση
- Tempus - Ανάλυση Χρονισμού

με σκοπό τη σύνθεση του ολοκληρωμένου κυκλώματος για τον επεξεργαστή RISC-V. Η αρχική υλοποίηση είναι απλοϊκή και έπειτα, μέσω των επόμενων ασκήσεων, εξετάζουμε τροποποιήσεις αυτής ώστε να πληρούνται συγκεκριμένες προδιαγραφές.

2.1 Βήμα 1

Στο πρώτο βήμα καλούμαστε να

- Ορίσουμε τις βιβλιοθήκες που θα χρησιμοποιήσουμε (timing, lef, qrc)
- Διαβάσουμε τον hdl κώδικα του επεξεργαστή RISC-V (picorv32.v)
- Να παρατηρήσουμε και να ερμηνεύσουμε τα console logs

2.2 Βήμα 2

Στη συνέχεια επεξεργαζόμαστε το κορυφαίο κύκλωμά μας μέσω της εντολής elaborate.

Πίνακας 1: Genus Tool Execution Summary

Operation	Status	Details
Setting library, script and HDL paths	Success	None
Load timing library	Warnings	Some cells don't have output pins defined
Load LEF library	Warnings	<ul style="list-style-type: none"> • Some resistance values are initialized to 0 • Some physical cells are not defined in the library • According to the LEF library there are total 11 routing layers $[V(5)/H(6)]$ • Total of 324 usable logic and 128 usable sequential lib-cells
Load QRC library	Success	According to the QRC library there are total 11 routing layers $[V(5)/H(6)]$
Read HDL picorv32.v	Warnings	Ignoring unsynthesizable construct $[VLOGPT - 37]$

Πίνακας 2: Elaborate

Operation	Status	Details
elaborate picorv32_wb	Warnings	None
Load timing library	Warnings	Some cells don't have output pins defined
Load LEF library	Warnings	<ul style="list-style-type: none"> • Some resistance values are initialized to 0 • Some physical cells are not defined in the library • According to the LEF library there are total 11 routing layers $[V(5)/H(6)]$ • Total of 324 usable logic and 128 usable sequential lib-cells
Load QRC library	Success	According to the QRC library there are total 11 routing layers $[V(5)/H(6)]$
Read HDL picorv32.v	Warnings	Ignoring unsynthesizable construct $[VLOGPT - 37]$