

Lab 5: Keyboard and Audio Modules

Group 21: 陳克盈 (112062205)、蔡明妍 (112062224)

Table of Contents

1 Q1: Sliding Windows sequence detector

- input clk: clock
- input rst_n: reset
- input in: input data
- output dec: detect signal

這題需要我們實作一個 Mealy machine，用來偵測輸入的序列是不是滿足 $1110(01) + 11$ 這個 regular expression。

1.1 State diagram

首先我們需要先畫出狀態圖，狀態的定義如下：

- S0: 初始狀態
- S1: 偵測到 1 的狀態
- S2: 偵測到 11 的狀態
- S3: 偵測到 111 的狀態，因此接受到 1 之後，還是代表前面有 111，因此會繼續保持 S3。
- S4: 偵測到 1110 這個狀態，因此接收到 1 之後，會回到只接收 1 的狀態，也就是 S1
- S5: 偵測到 11100 的狀態，由於下一個狀態需要輸入 1 才會達到，因此當輸入 0 的時候就必須回到 S0 的狀態
- S6: 偵測到 111001 的狀態，由於 (01) 可以多次出現，因此輸入為 0 的時候，可以回到 S5 重新偵測 (01)。
- S7: 偵測到 $1110(01)+1$ 的狀態，如果輸入為 1，就代表符合 regular expression，但因為這個 detector 是 Sliding Window 的，不會因為偵測到符合的 sequence 就直接重設，因此輸入 1 之後會再回到 S3。

1.2 Implementation

首先是狀態偵測的部分，我們使用 switch case 的語法，針對目前的狀態以及輸入的值，來決定下一個狀態。另外，因為這是一個 Mealy machine，dec 的值是不受 clock 影響的，因此 dec 是額外計算的，只要當前狀態是 S7，且輸入是 1，就會馬上輸出 True。

1.3 Simulation

我們重現了題目上的波形圖，可以發現當輸入的序列符合 regular expression 的時候，dec 會變成 1。

2 Q2: Traffic light controller

- input clk: clock
- input rst_n: reset

- input lr_has_car: Local road has car
- output hw_light: Highway light
- output lr_light: Local road light

這題需要我們實作一個紅綠燈的控制器，控制一個由 Highway 和 Local road 兩條道路所組成的交叉路口的紅綠燈。

由於 Highway 的優先度最高，因此這個流程分為六個狀態：

- (1) HW = Green, LR = Red: 如果已經保持這個狀態 ≥ 70 個 cycle 以上，且 Local road 有車，那就進到下一個狀態。
- (2) HW = Yellow, LR = Red: 黃燈階段，保持 25 個 cycle。
- (3) HW = Red, LR = Red: 兩邊都紅燈，保持一個 cycle
- (4) HW = Red, LR = Green: Local road 綠燈，保持 70 個 cycle
- (5) HW = Red, LR = Yellow: Local road 黃燈，保持 25 個 cycle
- (6) HW = Red, LR = Red: 兩邊都紅燈，保持一個 cycle 後回到第一個狀態。

2.1 State diagram

2.2 Implementation

跟前一題的實作方法相似，使用 switch case 由目前經過的 clock cycle 以及狀態來決定下一個狀態是什麼。

3 Q3: Greatest common divisor

- input clk: clock
- input rst_n: reset
- input start: start signal
- input [15:0] a, b: input numbers

這題我們需要實作一個利用輾轉相除法計算 GCD 的模組，整體分為三個狀態：

- (1) WAIT: 等待 start signal，當收到 start signal 的時候，就 fetch 輸入的 a, b，並進入到下一個狀態
- (2) CAL: 利用輾轉相除法計算 GCD
- (3) FINISH: 計算完比，將 gcd 輸出，在兩個 clock cycle 後回到 WAIT 狀態

3.1 Implementation

4 FPGA1: Mixed keyboard and audio modules together

這題要在 FPGA 上實作一個播放 C4 C8 音階的功能，當按下 w 鍵時，音調會往上播放、按下 s 鍵時，音調會往下播放、按下 r 鍵時，會在 1 秒與 0.5 秒之間互相切換播放速度。

4.1 Implementation

Tone Decoder

首先是 Decoder 的部分，這邊會接收兩個輸入：tone, height，分別代表音調和音高，如 C4 就會被分成 C, 4，並輸出相對應的音調頻率。

以 C 這個音為例，C4 的時候頻率就是 262 Hz，C5 的時候就是 262×2^1 ，C6 則是 262×2^2 ，以此類推，因此我直接使用 left shift 音高減掉四位元，就能夠得到相對應的頻率。

接著是音階控制的部分，首先是速度，fast = 0 時代表每一秒更新，fast = 1 時代表每半秒更新。當按下鍵盤 R 時，fast 值就會做一次 not 反轉，下圖是這部分的電路圖：接著是 direction，與 fast 的實作方法類似，direction = 0 代表下行，反之則是上行。實作的部分是改成按下 S 時將 direction 設為 0，按下 W 時將 direction 設為 1。接下來是 counter，每一個 clock cycle 就會加一，並且根據 fast 的值，輸出一個訊號代表音調是否要更新。

有了以上三個 register 後，就可以來實作音調的控制了。首先是 tone 的部分，當音調不在 C4 或 C8 時，每次更新就會根據 direction，將 tone 在 0 ~ 6 的區間加上一或減去一。如果判定會超出範圍就會保持原樣。接著是 height，每次更新時會檢測 tone 是否有 overflow 或是 underflow，並根據情況加減一。如果判定會超出範圍也會保持原諒。

最後，只要將 tone, height 輸入到 Decoder 中，得到對應的頻率後輸入至音訊控制模組，就完成了這題的音階控制。下圖展現的是相關參數的连接方式：

title

5 FPGA2: vending maching