

Lab 1: Gate-Level Verilog

Group 21: 陳克盈 (112062205)、蔡明妍 (112062224)

Table of Contents

1 NAND Gate to all other gates

此章節利用 NAND 所組成的所有邏輯閘，都將用來作為後續所有題目的邏輯閘使用。
在表示上為求可讀性，將會使用一般的邏輯閘符號來表示。

2 Full Adder vs. Half Adder

Half Adder 雖然能夠算出總和以及進位值，但由於缺少了 cin 的輸入，
導致他只能處理單一位元的加法，這也是為什麼他被稱作是 Half Adder。

3 Q1: 8-bit ripple carry adder

根據題目所求，建立八個 Basic Q3 撰寫的 Full Adder，並將他們依據順序將輸入輸出串接在一起，
便完成了 8-bit ripple carry adder。

4 Q2: Decode and execute

4.1 Universal gate

Universal gate 由