Національний університет "Львівська політехніка" Кафедра електронних обчислювальних машин (EOM)

Автоматизоване проектування комп'ютерних систем

спеціальність 123 "Комп'ютерна інженерія" спеціалізація 123.01 "Комп'ютерні системи" 4-ий курс

Лекція 9. Високорівневі засоби системного проектування (7)

01.1. RISC-V.

RISC-V (вимовляється "risk-five") — відкрита архітектура інструкцій центрального процесора, що базується на принципах RISC.

Набір процесорних інструкцій DLX з'явився у 1990-му році для першого видання книги Computer Architecture: A Quantitative Approach і позиціонувався в основному для навчальних цілей. Автором розробки був Девід Паттерсон; у академічних колах і серед ентузіастів було здійснено кілька реалізацій DLX для FPGA. Комерційного застосування DLX не мав, але його розвитком став RISC-V.

Існує також дизайн OpenRISC (також базується на DLX), що є продуктом з відкритим кодом і також підтримується дсс. Втім, кількість комерційних реалізацій OpenRISC незначна.

01.2. RISC-V.



RISC-V Ecosystem

Open-source software:

Gcc, binutils, glibc, Linux, BSD, LLVM, QEMU, FreeRTOS, ZephyrOS, LiteOS, SylixOS, ...

Commercial software:

Lauterbach, Segger, IAR, Micrium, ExpressLogic, Ashling, AntMicro, Imperas, UltraSoC ...

Software



ISA specification | Golden Model | Compliance

Hardware

Open-source cores:

Rocket, BOOM, RI5CY, Ariane, PicoRV32, Piccolo, SCR1, Shakti, Swerv, Hummingbird, ...

Commercial core providers:

Andes, Bluespec, Cloudbear, Codasip, Cortus, C-Sky, InCore, Nuclei, SiFive, Syntacore, ...

Inhouse cores:

Nvidia, +others

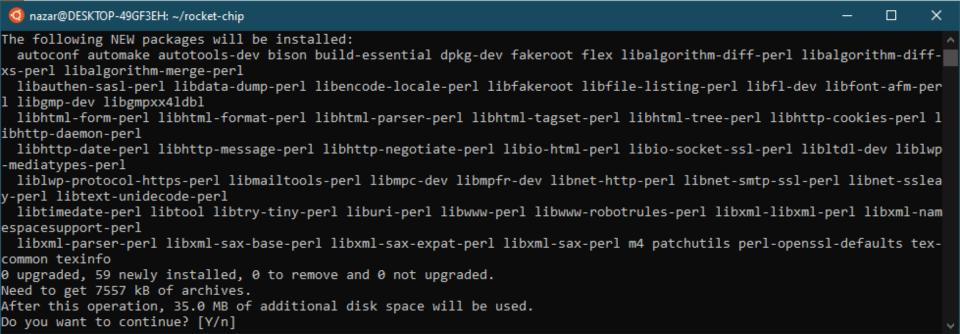
02.1. Приклад автоматизованого проектування систем на основі RISC-V.

Скачуємо та ініціалізуємо репозиторій Rocket Chip git clone https://github.com/ucb-bar/rocket-chip.git

cd rocket-chip git submodule update --init export TOP=\$(pwd)

02.2. Приклад автоматизованого проектування систем на основі RISC-V.

Інсталює додаткові пакети (Ubuntu) sudo apt-get install autoconf automake autotools-dev curl \ libmpc-dev libmpfr-dev libgmp-dev gawk build-essential bison flex \ texinfo gperf libtool patchutils bc



sudo apt install default-jre sudo apt install python

02.3. Приклад автоматизованого проектування систем на основі RISC-V.

Скачуємо та ініціалізуємо rocket-tools для Rocket Chip git clone https://github.com/freechipsproject/rocket-tools cd rocket-tools git submodule update --init --recursive

```
Contained to the contained of the conta
```

02.4. Приклад автоматизованого проектування систем на основі RISC-V.

```
# Компілюємо тулчейн RISC-V
# (застосовується Newlib для роботи без ОС)
# Редагуємо файл build.common
# JOBS = Кількість ядер/потоків, які дозволяє ваша машина
./build.sh
export RISCV=$TOP/rocket-tools/riscv-gnu-toolchain
cd $RISCV
git submodule update --init --recursive
```

02.5. Приклад автоматизованого проектування систем на основі RISC-V. <u>Проста програма.</u>

```
# За допомогою тулчейну RISC-V компілюємо просту програму # та запускаємо її на Spike (симулятор ISA) # використовуючи наявне проксі-ядро (pk) cd $TOP echo -e '#include <stdio.h>\n int main(void) \ { printf("Hello world!\\n"); return 0; }' > hello.c riscv64-unknown-elf-gcc -o hello hello.c spike pk hello
```

02.6. Приклад автоматизованого проектування систем на основі RISC-V. <u>Компіляція емулятора.</u>

```
# Компілюємо емулятор Rocket Chip
# Замінити -j8 на -jN (де N кількість ядер/потоків, що доступні вашій машині)
cd $TOP/emulator
make
# Запускаємо тести
# (може заняти тривалий проміжок часу)
# make -j8 run-asm-tests
# make -j8 run-bmark-tests
# можна запустити лише один окремий тест:
make output/rv64ui-p-add.out
```

02.7. Приклад автоматизованого проектування систем на основі RISC-V. <u>Компіляція емулятора(2).</u>

```
# Компілюємо емулятор Rocket Chip
# 3амінити -j8 на -jN (де N кількість ядер/потоків, що доступні вашій машині)
cd $TOP/emulator
# Якщо відсутня утиліта vcd2vpd,
# відкриваємо src/main/scala/Testing.scala файл
# та міняємо всі .vpd на .vcd (6 раз)
make debug
# Запускаємо тести
# (може заняти тривалий проміжок часу та багато місця на диску)
# make -j8 run-asm-tests-debug
# make -j8 run-bmark-tests-debug
# можна запустити лише один окремий тест
# (тоді міняти нічого не треба, якщо відсутня утиліта vcd2vpd):
make output/rv64ui-p-add.vcd
```

02.8. Приклад автоматизованого проектування систем на основі RISC-V. <u>Генерація RTL-моделі.</u>

```
# Генеруємо Rocket Chip Verilog RTL для FPGAs
# (B fsim/generated-src/)
# Default-конфігурація є "DefaultFPGAConfig",
# яку не можна змінити (наприклад, на "SmallFPGAConfig"),
# наприклад, якщо Default-реалізація з FPU
# не поміщається на кристал.
# Тоді використовуємо make CONFIG=ConfigName verilog
# для застосування бажаної конфігурації
# з набору доступних (src/main/scala/Configs.scala)
# Результуючий вивід Verilog RTL називаєтся Top.ConfigName.v
cd $TOP/vsim
make verilog
```