1. Общая структура кристалла FPGA. Основные блоки, входящие в структуру кристалла, их расположение, организация соединений.
2. Структура наборного логического блока (LAB) и организация блока MLAB.
3. Типы конфигураций адаптивных логических модулей (ALM).
4. Основные управляющие сигналы, поступающие на адаптивный логический модуль.
5. Особенность синтеза КЦУ в FPGA.
6. Синтез конечных автоматов в FPGA.
7. Как определяется максимальное время задержки в схемах, реализуемых на FPGA?
8. Способы организации выделенной памяти в FPGA.
9. Одно-портовая и двух-портовая память.
10. Каким образом обеспечивается синхронизация всех узлов устройства, функционирующего в FPGA?
11. Типы частотных сетей. Особенности формирования и распространения сигнала для каждого типа.
12. Понятие стволовой частоты. Основные блоки преобразования частоты в FPGA.
13. Структура и назначение блоков цифрового сигнального процессора.
14. Аппаратные возможности для последовательной передачи данных в среде FPGA.
15. Необходимость различных типов присвоения данных при программировании устройства в FPGA.
16. Протокол JTAG. Структура TAP.
17. Протокол JTAG. Структура и функционирование BSC (ячейки граничного сканирования.
18. Функции Планировщика пакета Quartus.
19. Общая структура HPS Cortex A9, входящего в структуру FPGA CycloneV.
20. Производительность процессора. В чем заключается конвейерная обработка команд? Ступени конвейера.
21. Производительность процессора. Суперскалярная архитектура. Прогнозирование переходов.
22. Структура внутренней памяти процессорной системы. Память устройств.
23. Интерфейс I2C. Принцип построения, структура передачи информации.
24. Шина SPI. Принцип функционирования, типы конфигураций, структура передачи информации.
25. Шина PCIe. Принцип построения, структура передачи информации, назначение.
26. UART. Структура, принцип передачи информации.
27. Шина USB. Предпосылки создания. Иерархия.
28. Шина USB. Структура. Роли блоков, входящих в структуру.
29. Шина USB. Типы передаваемых пакетов.
30. Шина USB. Виды пересылок.
31. Устройства для подсчета временных интервалов.
32. Преобразование виртуальной памяти в физическую. Страничное преобразование памяти.
33. Преобразование виртуальной памяти в физическую. Сегментное преобразование.
34. Виды фрагментаций, возникающих при страничной и сегментной организации памяти. Способы устранений фрагментаций.
35. Структура основных блоков управления микропроцессорной системы.