

기술 2024-231

2024.12.19.

이 보고서는 시가총액 5,000억 원 미만의 중소형 기업에 대한 투자정보 확충을 위해 발간한 보고서입니다.

기술분석보고서 일반전기전자

네패스(033640)

- ▶ 요약
- ▶ 기업현황
- ▶ 시장동향
- ▶ 기술분석
- ▶ 재무분석
- ▶ 주요 변동사항 및 전망

작성기관 (주)NICE디앤비

작성자 이상룡 전문위원

[YouTube 요약 영상 보러가기](#)

- 본 보고서는 투자 의사결정을 위한 참고용으로만 제공되는 것이므로, 투자자 자신의 판단과 책임하에 종목선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 본 보고서를 활용한 어떠한 의사결정에 대해서도 본회와 작성기관은 일체의 책임을 지지 않습니다.
- 본 보고서의 요약영상은 유튜브(IRTV)로도 시청 가능하며, 영상편집 일정에 따라 현재 시점에서 미게재 상태일 수 있습니다.
- 텔레그램에서 “한국IR협의회” 채널을 추가하시면 매주 보고서 발간 소식을 안내 받으실 수 있습니다.
- 본 보고서에 대한 자세한 문의는 작성기관(TEL.02-2122-1300)로 연락하여 주시기 바랍니다.

네패스(033640)

고부가가치 기술로 미래를 준비하는 반도체 패키징 기업

기업정보(2024.12.05. 기준)

대표자	이병구, 이창우
설립일자	1990년 12월 27일
상장일자	1999년 12월 14일
기업규모	중견기업
업종분류	반도체 제조업
주요제품	반도체 패키징 및 테스트 등

시세정보(2024.12.05. 기준)

현재가(원)	6,190원
액면가(원)	500원
시가총액(억 원)	1,457억 원
발행주식수	23,059,202주
52주 최고가(원)	22,600원
52주 최저가(원)	6,190원
외국인지분율	7.09%
주요주주	
이병구 외 특수관계인	25.91%
자기주식	1.39%

■ 반도체 패키징 및 테스트를 주력으로 전자재료, 2차전지 사업을 영위

네패스(이하 동사)는 1990년 12월 설립되어 1999년 12월 코스닥시장에 상장한 업체로, 반도체 패키징 및 테스트 사업을 주력으로 영위하고 있으며 전자재료 제조, 2차전지 부품 제조 사업 등도 영위하고 있다. 2023년 기준 동사의 매출 비중은 반도체 부문이 72.7%, 2차전지 부문이 14.1%, 전자재료 부문이 13.1%로 반도체 패키징 및 테스트 부문의 매출이 높다.

■ 반도체 미세 집적 기술의 발전, 고부가가치 패키징 분야 성장

반도체 패키징 산업은 각종 공정장비들의 대규모 설비투자를 요구하는 장치 산업으로, 금속, 유기 화학 등 소재와 부품, 장비 기술을 사용하기 때문에 많은 산업과 연계되어 있고, 수요처인 반도체 대기업과의 긴밀한 관계가 요구되는 분야이다. 반도체 패키징은 모바일 단말과 IoT 제품의 증가에 따라 칩의 복합화, 소형화에 대한 시장의 요구가 계속되고 있으며 플립칩, 웨이퍼 레벨 패키징, 적층 패키징 등 다양한 고부가가치 패키징 수요가 증가하고 있다.

■ 첨단 패키징 기술 개발을 통한 미래 시장 준비

현재까지의 반도체는 공정 미세화를 통해 성능을 향상해 왔으나 한계에 근접하고 있다. 이에 다중·복수의 칩을 하나의 패키지로 제조하는 등의 첨단 패키징 기술이 대안으로 부상하고 있다. 동사는 3곳의 기업부설연구소를 통해 RDL 인터포저 기반 2.5D 패키징 기술 개발, 팬아웃 기술 기반 첨단 PoP 기술 상용화 등을 수행하며 미래 반도체 시장을 대비하기 위해 능동적으로 대응하고 있다.

요약 투자지표 (K-IFRS 연결 기준)

	매출액 (억 원)	증감 (%)	영업이익 (억 원)	이익률 (%)	순이익 (억 원)	이익률 (%)	ROE (%)	ROA (%)	부채비율 (%)	EPS (원)	BPS (원)	PER (배)	PBR (배)
2021	4,183.7	21.8	-164.0	-3.9	-291.5	-7.0	-20.6	-3.1	314.1	-1,721	7,667	-22.3	5.0
2022	5,880.4	40.6	-67.1	-1.1	945.5	16.1	36.5	8.5	188.5	3,364	10,934	4.7	1.4
2023	4,801.1	-18.4	-700.0	-14.6	-1,094.6	-22.8	-49.7	-10.5	240.1	-4,270	6,510	-4.6	3.0

기업경쟁력

반도체 패키징과 테스트의 통합 서비스 제공

- 네패스아크 등의 주요 종속회사와 함께 반도체 패키징 및 테스트 등 반도체 후공정 토탈 서비스를 제공
- 국내 최초 WLP 개발, 세계 최초 PLP 양산 등 반도체 패키징 관련 기술력 보유 및 지속적인 연구개발 활동 수행

첨단 반도체 패키징 기술 개발

- RDL 인터포저 기반 2.5D 패키징, 팬아웃 기술 기반 첨단 PoP 기술 개발 및 상용화 진행 중

핵심 기술 및 적용제품

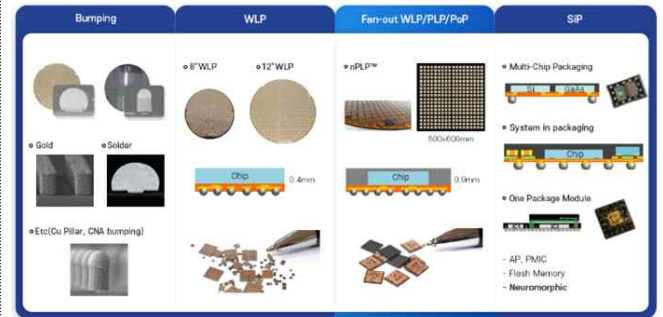
반도체 패키징 및 테스트

- 웨이퍼 레벨 패키징(WLP)
- 팬아웃(Fan-Out) WLP/PLP/PoP
- 웨이퍼 테스트, 패키지 테스트, 모듈테스트 등

전자재료 및 2차전자 부품 제조

- 반도체 제조 공정용 케미컬류(현상액, 반도체 부식액, 포토레지스트 등)
- 2차전지용 리드탭 등

동사의 주요 제품



시장경쟁력

세계 반도체 패키징 시장 규모

년도	시장 규모	연평균 성장률
2024년	472.2억 달러	▲10.94%
2029년	793.7억 달러	

국내 반도체 패키징 시장 규모

년도	시장 규모	연평균 성장률
2022년	14조 257억 원	▲23.76%
2027년	40조 7,288억 원	

시장환경

- 모바일 단말과 IoT 제품의 증가에 따른 칩의 복합화, 소형화
 - 규모와 기술 양 측면에서 반도체 패키징 산업의 발전 예상
- 반도체 제조 공정의 미세화, 여러 기능의 칩을 하나의 패키지로 통합하는 등의 기술 혁신 진행 중

I. 기업 현황

반도체 패키징 및 테스트를 주력으로 전자재료, 2차전지 사업도 영위

동사는 반도체 및 전자 관련 부품의 제조 및 판매 등을 수행하는 기업으로, 시스템 반도체의 반도체 패키징 사업을 주력으로 영위하고 있다. 반도체 제품은 WLP 및 FOWLP, FOPLP 등을 취급하고 있으며, 그 외 관계사를 통한 반도체 테스트, 2차전지 부품 제조 사업 등도 수행하고 있다.

■ 기업 개요

동사는 1990년 12월에 설립되어 반도체 및 전자 관련 부품, 전자재료 및 화학제품 제조, 판매 등의 사업을 영위하고 있으며, 종속회사를 통해 반도체 관련 테스트, 2차전지 부품 제조 등의 사업을 영위하고 있다. 동사는 충청북도 음성군 삼성면 금일로 965번길 105 (용성리)에 본사를 두고 있으며, 1999년 12월 14일에 코스닥시장에 상장하였다.

[표 1] 동사의 주요 연혁

일자	내용
1990.12.	법인 설립
1996.05.	기업부설연구소 설립(現. (주)네패스 EM연구소)
1999.12.	코스닥시장 상장
2015.07.	월드클래스 300 기업 선정(중소기업청)
2019.04.	TEST 사업 부문 물적분할을 통한 분할신설법인 네패스아크 설립
2020.02.	FOPLP 사업 부문 물적분할을 통한 분할신설법인 (주)네패스라웨 설립
2022.11.	2022년 10대 등대기업 선정(산업통상자원부)
2023.11.	현재 세계일류상품 선정(WLP(웨이퍼 레벨 패키징))
2024.03.	이창우 대표이사 선임 및 각자대표이사 체제로 전환(이병구 → 이병규, 이창우 각자대표이사)

자료: 동사 사업보고서(2023.12.) 및 홈페이지, NICE디앤비 재구성

2024년 9월 말 기준, 동사의 최대 주주는 이병규 외 특수관계인으로 25.91%의 지분을 보유하고 있고, 자기주식으로 1.39%를 보유하고 있다. 동사는 주요 계열사로 코스닥시장에 상장한 네패스아크와 그 외 (주)네패스라웨, (주)네패스야하드 등을 보유하고 있다.

[표 2] 최대주주 및 특수관계인 주식소유 현황

주주명	지분율(%)
이병규 외 특수관계인	25.91
자기주식	1.39
기타	72.70
합계	100.00

[표 3] 주요 계열사 현황

회사명	주요 사업	자산총액(억 원)
네패스아크	반도체 제조 관련 테스트	3,956.8
(주)네패스라웨와 그 종속기업	반도체 제조	1,894.8
(주)네패스야하드	2차전지 부품 제조	1,193.6

자료: 동사 분기보고서(2024.09.), NICE디앤비 재구성

■ 대표이사 경력

동사는 2인의 각자대표이사 체제로 운영되고 있으며, 이병구 대표이사는 경남대학교 영문학과를 졸업하고, 1978년 11월 금성일렉트론에 입사하여 생산기술센터장을 역임한 후, 1990년 12월에 동사를 설립하여 경영을 총괄하고 있다.

이창우 각자대표이사는 미국 오하이오 주립 대학교(The Ohio State University) 수학과, 세인트 토마스 대학교(University of St. Thomas) 경영학부를 졸업한 이후 동사에 2010년 10월 입사하여 미래전략실 등에서 근무하였다. 이후 2019년 4월에 동사에서 물적문할한 네패스아크의 대표이사로 현재까지 경영을 총괄하고 있으며, 2022년 11월부터는 동사에 재입사하여 부회장으로 재직 중, 2024년 3월에 동사의 대표이사로 선임되어 직무를 수행하고 있다.

이병구 대표이사는 종속회사인 네패스아크, (주)네패스라웨, (주)네패스야하드의 대표이사직도 겸임하고 있으며, 이창우 대표이사는 네패스아크의 대표이사, (주)네패스이앤씨의 부회장직을 겸임하고 있다.








■ 주요 사업

네패스아크 등 주요 종속회사를 포함한 동사의 주요 사업은 반도체 사업 부문, 전자재료 사업 부문, 2차전지 사업 부문으로 이루어져 있다. 반도체 사업 부문은 WLP 및 FOWLP/FOPLP, Test 등으로 구성되어 있고, 전자재료 사업 부문은 반도체, LCD 등의 제조공정용 케미칼인 현상액(Developer), 반도체 부식액(Etchant), PR(Photo Resist), 세정제(Cleaner)등의 제품으로 구성되어 있으며, 2차전지 사업 부문에서는 2차전지용 리드탭 등의 제품을 생산하고 있다.

■ 주요 고객사

동사는 삼성전자, 에스케이하이닉스, 엘지디스플레이, JSR 등의 주요 고객사를 보유하고 있으며, 직접 납품, 직수출, 구매확인서 수출 등을 통해 제품을 공급하고 있다.

ESG(Environmental, Social and Governance) 활동 현황

		<ul style="list-style-type: none"> ◎ 환경전담조직 운영 및 ISO 14001 기반의 체계적인 환경경영시스템 구축 및 운영 ◎ 환경경영방침 제정 및 실천 		<ul style="list-style-type: none"> ◎ 온실가스 배출량 및 유해물질, 에너지 사용량 관리 ◎ 친환경 법인 차량 운영 및 태양광 패널 설치를 통한 이산화탄소 저감
		<ul style="list-style-type: none"> ◎ 학술단체 발전기금 기탁 및 충청도내 중·고교 장학금 지원, 나눔경영 전담 조직 운영 ◎ 발달 장애인으로 구성된 루아 오케스트라 운영 및 '나눔씨앗' 펀드의 개설을 통한 지속적인 나눔 활동 수행 ◎ K-반도체 현장 실무형 전문 인재 1만명 양성과 대·중소 기업 간 동반성장 상생협력을 위한 CHAMP(국가인적자원개발컨소시엄) 사업 수행 		
		<ul style="list-style-type: none"> ◎ 온라인 비대면 플랫폼, 유선, 전자메일 등의 다양한 채널을 활용한 이사회 개최일과 안건 공유 시행 ◎ 감사의 전문성 확보 및 내부회계관리 제도 설계·운영 ◎ '네패스 윤리경영 규정'을 마련해 사내 게시판에 공지, 전사 임직원의 윤리의식 개선을 위한 프로그램과 제도 운용 		

II. 시장 동향

반도체 및 반도체 패키징 미세 집적 기술의 발전, 고부가가치 패키징 분야 성장

반도체 및 반도체 패키징 산업은 대규모 설비투자를 요구하는 장치 산업이며, 많은 산업과 연계되어 있다. 반도체 및 반도체 패키징 산업은 미세 집적 기술의 발전이 이뤄지고 있으며, 플립칩, 웨이퍼 레벨 패키징, 적층 패키징 등 다양한 고부가가치 패키징 수요가 증가하고 있다.

■ 반도체 및 반도체 패키징 산업의 특징

반도체는 우리나라 3대 수출 산업 중 하나로 국내 기업이 세계 시장에서 지배적인 위치를 점유하고 있는 분야이며, 반도체 패키징 산업은 반도체 제조에 필수 공정 중 하나이다.

반도체 패키징(Semiconductor Packaging)은 반도체 후공정이라고도 하며, 반도체 칩을 밀봉하여 포장하는 공정을 의미한다. 반도체 패키징을 위해서는 칩의 분리, 장착, 배선 등 순차적으로 진행되는 정밀한 공정이 필요하며, 금속, 유기 화학 등 소재와 부품, 장비 기술을 사용하기 때문에 많은 산업과 연계되어 있다. 반도체 패키징 산업은 반도체 소재와 장비를 공급하는 후방 산업과 반도체를 설계 및 생산, 판매하는 전방 산업을 보유하고 있다.

반도체 패키징 산업은 각종 공정장비들의 대규모 설비투자를 요구하는 장치 산업으로, 수요처인 반도체 대기업과의 긴밀한 관계가 요구되는 분야이다. 특히 Middle-end 영역의 웨이퍼 레벨 패키징은 웨이퍼를 제조하고 회로를 새기는 전공정에 근접하는 수준의 패키지 설계 능력이 요구되며, 고객사의 기술 변화에 대응하기 위한 연구개발이 지속적으로 필요하다.

반도체 시장은 반도체 제조공정의 미세화, 여러 기능의 칩을 하나의 패키지로 통합하는 등의 기술 혁신과 인공지능 산업의 부상, 자율주행 자동차, 보안 기술 등이 특징으로 점차 고속화 및 소형화되고 있으며, 이에 대응하는 패키지 역시 미세 집적 기술을 통해 패키지에 의한 동작 속도 저하를 방지하고 추가적인 부피 증가를 최소화하는 방향으로 발전하고 있다.

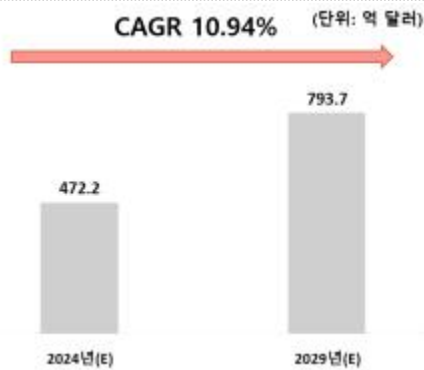
[그림 1] 국내 반도체 패키징 시장 현황



자료: 3DIC & TSV Interconnects: 2012 Business Updates, Yole, NICE디앤비 재구성

시장조사업체 Mordor Intelligence에 따르면 세계 반도체 패키징 시장규모는 2024년 472.2억 달러로 추산되며, 이후 연평균 성장률 10.94%로 성장하여 2029년에는 793.7억 달러 규모에 이를 것으로 예상되며, IMARC Group에 따르면 세계 반도체 웨이퍼 레벨 패키징(WLP) 시장규모는 2023년 57.0억 달러를 기록하였으며, 이후 연평균 성장률(CAGR) 16.48%로 성장하여 2032년에는 225.0억 달러 규모에 이를 것으로 추산된다.

[그림 2] 세계 반도체 패키징 시장 규모



자료: Mordor Intelligence(2024), NICE디앤비 재구성

[그림 3] 세계 반도체 웨이퍼 레벨 패키징 시장 규모

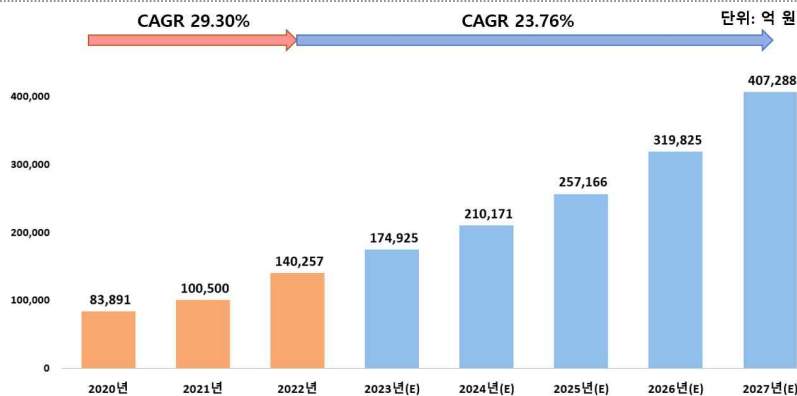


자료: IMARC Group(2024), NICE디앤비 재구성

한편, 글로벌 리서치 기업 Technavio가 분석한 국내 반도체 패키징 시장 규모는 2020년 8조 3,891억 원에서 연평균 29.3% 성장하여 2022년 14조 257억 원 규모를 기록하였으며, 동일 성장률을 기록하였을때 2027년에는 40조 7,288억 원의 시장 규모를 기록할 것으로 전망된다.

모바일 단말과 IoT 제품의 증가에 따라 칩의 복잡화, 소형화에 대한 시장의 요구가 계속되고 있으며, 이에 따라 반도체 패키징 산업은 규모와 기술 양 측면에서 발전을 계속할 것으로 예상된다. 전자제품의 소형화를 위해 웨이퍼 공정 미세화뿐 아니라 패키지 소형화에 대한 요구가 증대되고 있으며, 이에 따라 플립칩, 웨이퍼 레벨 패키징, 적층 패키징 등 다양한 고부가가치 패키징 수요가 증가하고 있다.

[그림 4] 국내 반도체 패키징 시장 규모



자료: Technavio(2024), NICE디앤비 재구성

■ 경쟁사 분석

패키징 전문 업체(OSAT)는 세계적으로 약 300여 개 업체가 있는 것으로 확인되고, 주요 업체로는 대만의 ASE(Advanced Semiconductor Engineering), 미국의 Amkor Technology, 중국의 JCET(Jiangsu Changjiang Electronics Technology) 등이 있다. 국내 패키징 시장은 삼성전자, 에스케이하이닉스 등 종합 반도체 업체 제품과 엘지디스플레이, 삼성디스플레이의 디스플레이용 반도체 패키징 위주로 편중되어 있으며, 전체 시장의 약 70% 이상을 글로벌 업체의 국내 법인이 담당하고 있다. 대표적인 국내의 반도체 패키징 기업으로는 앰코테크놀로지코리아(주)(Amkor Korea), 제이셋스태츠칩팩코리아(유)(JCET STATS ChipPAC Korea), 에이에스이코리아(주)(ASE Korea) 등이 있으며, 그 외 상장기업으로는 LB세미콘이 있다.

동사의 경쟁업체 중 하나인 LB세미콘은 선행기술팀, 제품개발팀으로 구성된 R&D그룹을 운영하고 있으며, 공정기술 개선, 차세대 패키지 신기술을 개발하여 제품에 적용하고 있으며, 국내 및 해외 전공정업체들과 지속적으로 신규 제품 개발 활동을 수행하고 있다.

[표 4] 국내 반도체 패키징 시장 경쟁업체 현황

(단위: 억 원)

회사명	사업부문	매출액			기본정보 및 특징(2023.12. 기준)
		2021	2022	2023	
네패스 (동사)	반도체 후공정, 전자재료 및 2차전지 부품 제조	1,130	1,229	1,462	· 중견기업, 코스닥시장 상장(1999.12.14.) · 반도체 사업부문, 전자재료 사업부문, 2차전지 사업부문 운영 · 시스템 반도체의 첨단 후공정 파운드리 서비스 제공 중 · K-IFRS 연결 기준
앰코테크놀로지코 리아(주)	반도체 조립 및 판매	31,223	45,420	49,929	· 중견기업, 기타 외감기업(외국인투자기업) · Amkor Technology의 한국법인으로 아남반도체(주)의 공장을 양수하여 영업을 개시 · 고품질 반도체 패키징 및 테스트 서비스 제공 중 · K-IFRS 별도 기준
제이셋스태츠칩팩 코리아(유)	반도체 조립 및 패키징	16,980	24,139	22,679	· 중견기업, 기타 외감기업(외국인투자기업) · JCET의 손자회사 · 반도체 소자 조립 및 테스트, 패키징 관련 사업 영위 중 · K-IFRS 별도 기준
에이에스이코리아 (주)	반도체 부품 조립 및 판매	6,517	7,445	6,278	· 중견기업, 기타 외감기업(외국인투자기업) · ASE Investment(Labuan) Inc.의 자회사 · 고성능 무선통신 및 파워 멀티칩 패키징과 테스트 서비스 · K-IFRS 별도 기준
LB세미콘	반도체 후공정, 페배터리 재생	4,962	5,246	4,169	· 중견기업, 코스닥시장 상장(2011.01.31.) · 디스플레이 구동칩, 전력관리반도체, 이미지센서 등 비메모리 반도체의 후공정 사업 및 페배터리 재생 사업 영위 중 · K-IFRS 연결 기준

자료: 각 사 사업보고서(2023.12.), NICE디앤비 재구성

III. 기술분석

자체 연구개발 및 상용화 기술을 보유한 반도체 후공정 파운드리 기업

동사는 반도체 및 전자 관련 부품의 제조 및 판매 등을 수행하는 기업으로, 시스템 반도체의 반도체 패키징 사업을 주력으로 영위하고 있다. 동사는 반도체 제품으로 WLP 및 FOWLP, FOPLP 등을 취급하고 있으며, 그 외 관계사를 통한 반도체 테스트, 2차전지 부품 제조 사업 등도 수행하고 있다.

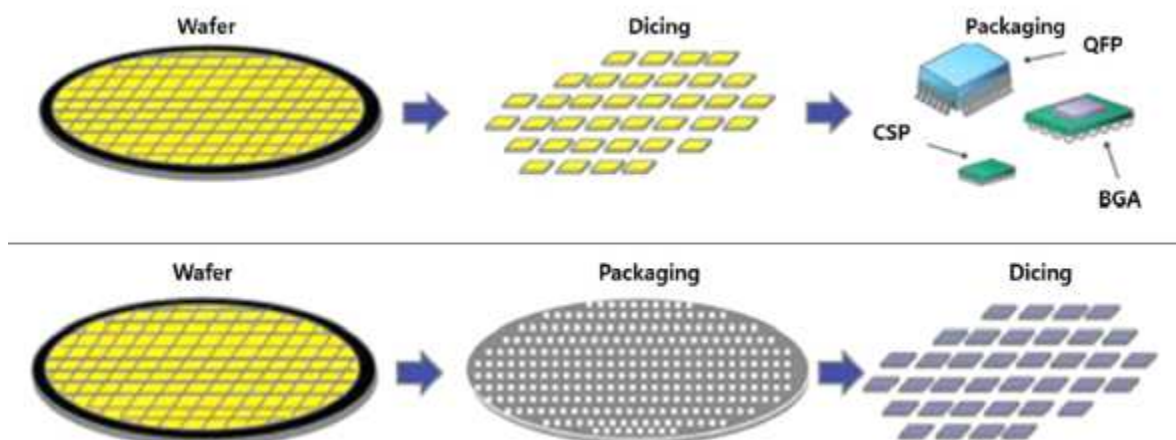
■ 기술 개요 및 주요 서비스

반도체 패키지(Semiconductor Package)는 미세 전기회로가 집적된 반도체 칩을 외부 영향으로부터 보호할 수 있도록 밀봉하여 포장하는 동시에 외부와의 전기적 연결 및 열 방출 경로를 확보하여 완제품화한 것으로, 이를 제작하는 공정을 패키징(Packaging)이라고 한다. 전체 반도체 공정은 크게 전공정과 후공정으로 구분되며, 웨이퍼(Wafer) 상에서 반도체 표면의 증착, 식각 등을 통해 집적회로를 구현하는 것이 전공정, 웨이퍼를 절단하여 개별 조립하는 과정이 후공정으로, 후공정 전반을 일반적으로 패키징이라고 한다.

반도체 패키지는 기계적 보호(Protection), 전기적 연결(Electrical Connection), 기계적 연결(Mechanical Connection), 열 방출(Heat Dissipation) 등의 주요한 역할을 한다. 일반적으로 반도체 패키지는 반도체 칩/소자를 EMC(Epoxy Mold Compound)와 같은 패키지 재료로 감싸, 외부의 기계적 및 화학적 충격으로부터 보호하는 역할을 하며, 물리적/전기적으로 칩을 시스템에 연결하는 역할과 효과적으로 열을 발산해주는 역할도 수행한다.

반도체 제품은 반드시 패키징 공정을 통해 외부로부터 보호가 가능한 형태로 출하되어야 하므로, 반도체 패키지는 반도체 내부의 집적회로와 함께 최종적인 제품 성능을 결정하는 반도체 기술의 핵심적인 요소라고 할 수 있다. 일반적인 반도체 패키징(다이 레벨) 공정은 [웨이퍼 절단 → 칩 접착 → 전극 배선 → 봉지 성형 → 도금 및 패키지 절단 → 테스트 및 포장] 순으로 진행되며, 웨이퍼 레벨 패키징(Wafer Level Packaging: WLP) 기술은 웨이퍼 절단과 칩 접착 전에 미리 배선 등의 공정을 진행하고 이후 낱개 칩으로 분리하여 실장하는 방식으로 반도체의 공간과 비용을 절약할 수 있어 소형 디지털 가전 등의 반도체 패키징 공정에 사용되고 있다.

[그림 5] 다이 레벨 패키징 공정(상)과 웨이퍼 레벨 패키징 공정(하)



■ 고부가가치 반도체 패키지 기술 보유

동사는 WLP 및 FOWLP, FOPLP 등을 생산하는 반도체 부문 사업을 주력으로 영위하고 있으며, WLP 기술 개발 및 양산, PLP, 초박형 SiP(FOSiP) 양산 기술 등을 보유하고 있다. 동사에서 보유하고 있는 주요 반도체 패키징 기술은 다음과 같다.

▶ 웨이퍼 레벨 패키징(Wafer Level Packaging: WLP)

웨이퍼 레벨 패키징은 범핑, 재배포선(Redistribution Layer: RDL) 등 웨이퍼를 자르지 않은 상태에서 한번에 패키지 공정 및 테스트를 진행하는 패키징 기술로, 기존 대비 약 20%의 생산원가 절감이 가능한 장점이 있다. 동사는 돌기 형태의 금속 구조물을 통해 웨이퍼 상의 외부 입출력의 전기적 접속을 이뤄질 수 있도록 만드는 웨이퍼 범핑 기술을 기반으로, 프로브 테스트까지 전공정을 수행할 수 있는 기술력을 확보하고 있다.

▶ 팬아웃(Fan-Out) WLP/PLP/PoP

웨이퍼 레벨 패키지 공정은 WLCSP(Wafer Level Chip Scale Package), TSV(Through Silicon Via) 등으로 구분할 수 있는데 그 중 칩 스케일 패키지인 WLCSP에서 칩의 크기가 패키지 크기와 거의 일치하고, 칩 내부의 솔더볼이 구현된 것을 팬인(Fan-In) 방식이라고 하고, 칩보다 패키지의 크기가 크고, 칩 외부에도 연결을 위한 솔더볼이 구현되어 칩과 연결된 것으로 팬아웃(Fan-Out) 방식이라고 한다. 팬인 방식은 PCB 접속을 위해 비교적 큰 단자를 칩 전면에 직접 배치하므로 접속 단자 수가 제한적이며, 칩 크기가 증가하면 용량 문제가 발생하는 문제가 있다. 반면 팬아웃 방식은 웨이퍼 상태에서 배선과 패키징을 수행하는 것은 동일하지만, 각각의 칩 사이를 벌려 재배포하고 이들 사이를 몰딩재로 지지하면서 비교적 넓은 면적에 전극을 형성하는 공정으로, 팬인 방식에 비해 가용 단자 수가 증가하고, 용량 완화, 패키지 두께 감소 등의 효과를 얻을 수 있다. 동사는 300mm 사이즈의 FOWLP(Fan-In WLP)를 상용화했으며, M-Series™ 라이선스를 통해 Fan-Out 패키징 포트폴리오를 강화하고 있다.

또한, 동사는 반도체 칩을 완제품과 연결하는 별도의 기판 없이 바로 제품에 적용이 가능하도록 기판 패넬 위에 칩을 올려 패키징하는 기법인 PLP(Panel Level Package) 기술을 최초로 상용화하여 제품을 생산하고 있으며, 팬아웃 레벨 패키지 기술을 기반으로 여러 개의 패키지를 적층하여 3차원 패키징 기술을 구현한 PoP(Package on Package) 기술도 보유하고 있다.

▶ 시스템 인 패키지(System in Package: SiP)

다중 칩 패키지(Multi Chip Package: MCP)는 패키지 형태로 각각 배치되던 다수의 칩들을 하나의 패키지 내에 실장 및 배선하여 만든 제품이다. 2개 이상의 반도체 칩을 2D 혹은 3D로 적층한 구조를 가지고 있으며, 저전력, 고집적, 낮은 신호 손실 등의 장점을 가지고 있다.

SiP(System in Package) 방식은 일반적으로 2차원 멀티칩 실장 방식인 MCM(Multi-Chip Module)과 구별되어 패키지 내에서 여러 칩을 3차원적으로 적층하는 방식을 의미한다. 동사의 SiP 솔루션은 기판과 와이어를 배제한 웨이퍼 레벨 패키지 기반의 초소형 MCM 솔루션으로 기존 패키지 대비 1/3 수준으로 작게 만들 수 있고, 신호 전달 거리가 30% 이상 짧아져 칩의 성능 또한 향상시킬 수 있는 장점을 보유하고 있다. 동사는 팬아웃 방식의 패키징 기술로 더욱 얇고 작은 크기의 패키지 서비스를 제공하고 있다.

[그림 6] 동사의 주요 제품



자료: 동사 홈페이지, NICE디앤비 재구성

■ 관계사를 통한 반도체 패키징, 패키징 검사의 턴키 서비스 제공

동사는 네패스아크 등의 주요 종속회사와 함께 반도체 패키징 및 테스트 등 반도체 후공정 토탈 서비스를 제공하고 있다. 2019년 4월 동사의 반도체 사업부 내 테스트 사업 부문이 물적분할하여 설립된 네패스아크는 증착공정 등 전공정이 완료된 웨이퍼에 대해 패키징 전후에 테스트를 수행하고 있다. 전력반도체(Power Management Integrated Circuit: PMIC), 디스플레이 구동칩(Display Driver IC: DDI), 단일 칩 시스템(System On Chip: SoC) RFIC 등의 웨이퍼 테스트(Wafer Test), 패키지 테스트(Package Test), 모듈 테스트(Module Test) 등을 수행하고 있으며, 동사는 보유하고 있는 패키징 및 패키징 검사 기술을 기반으로 8" 및 12" 플립칩 범펍 및 테스트를 포함한 일괄 수주 계약 서비스를 제공하고 있다.

그 외 동사는 반도체, 디스플레이 등의 제조공정용 케미컬을 제조하는 전자재료 사업을 영위하고 있다. 이와 함께 주요 종속회사를 통해 반도체 테스트, 2차전지 부품 등의 생산도 진행하고 있다. 고순도 재료생산 기술을 바탕으로 반도체의 미세화로 패턴을 구성하기 위하여 사용되는 공정재료인 현상액(Developer), 에칭제(Etchant), 포토레지스터(Photo Resist: PR), 세정제(Cleaner) 등을 제조하고 있으며, 2차전지의 음극과 양극판을 외부와 전기적으로 연결하는 역할을 하는 부품인 리드탭과 TP(Thermal Protection) 솔루션을 ESS, EV용 배터리용으로 납품하고 있다.

■ 동사의 연구개발 역량

동사는 1996년 5월 첫번째 기업부설연구소를 설립하였으며, 2024년 12월 현재 총 3개의 기업부설연구소를 운영하고 있다. 동사의 기업부설연구소에서는 스마트폰, 자동차, 웨어러블 기기 등의 전자제품의 차세대 패키징 개발과 모듈 솔루션, LCD/OLED 디스플레이, 메모리/시스템 반도체의 케미컬류, 그 외 에너지 세이빙, 녹색건축, 2차전지 등에 대한 고기능성 재료 등에 대한 개발활동을 수행하고 있다.

동사의 주요 종속회사인 네패스아크에서는 기술본부 조직 아래 개발연구소, 제품기술 1팀 및 2팀을 조직하여 고객사 기술대응 및 시스템 반도체 테스트 사업 분야 전반에 걸친 연구개발을 진행하고 있으며, (주)네패스라웨, (주)네패스야하드 등에서도 기업부설연구소를 통한 연구개발 활동을 수행하고 있다.

[표 5] 동사의 연구개발비용

(단위: 억 원, %, K-IFRS 연결 기준)

항목		2021	2022	2023
네패스	연구개발비용	612.34	741.46	753.71
	연구개발비 / 매출액 비율	14.64%	12.61%	15.70%
네패스아크	연구개발비용	5.10	5.61	5.11
	연구개발비 / 매출액 비율	0.45%	0.36%	0.41%

자료: 각사 사업보고서(2023.12.), NICE디앤비 재구성

[표 6] 동사에서 진행 중인 연구개발 실적

연구 과제	연구기간	연구 내용
이차전지용 전도성소재 개발	'19.10 ~ 진행중	· 이차전지용 전도성 첨가제 개발
SiP Platform 기술 개발	'20.01 ~ 진행중	· RF Connectivity 모듈 개발을 위한 SiP 공정기술 개발
PSA 아크릴계 점착제용 세정제 개발	'20.08 ~ 진행중	· 반도체 및 디스플레이 패널에 적용되는 PSA 아크릴계 점착제 세정용 Chemical 개발
모바일 자가 학습 가능 재귀 뉴럴 네트워크 프로세서 기술 개발	'20.04 ~ 진행중	· 모바일용 딥러닝 자가 학습 가속 IP 및 클라우드/모바일 분산 학습 검증 시스템 개발
ToF	'20.10 ~ 진행중	· ToF 센서용 광엔진(모바일용) 개발
2.5D SiP 개발	'21.04 ~ 진행중	· 프로세스와 고속적층 메모리 통합 PIM 프로세서 패키지 개발
DMSO free Stripper 개발	'21.11 ~ 진행중	· DMSO 배제된 친환경 Stripper 개발
nPoP-CL(Chip Last) 개발	'21.04 ~ 진행중	· High Density & Thin Profile PoP 개발을 위한 4대 핵심기술 도출 및 공정기술 확보
칩렛 이종집적 고성능 AI 반도체 개발	'23.04 ~ 진행중	· 칩렛 이종집적 고성능 AI 개발(Embedded Si bridge RDL interposer)
자율형 IoT 디바이스 상황인지 집단지능 프레임워크 기술 개발	'24.01 ~ 진행중	· 자율형 IoT 디바이스 상황인지 집단지능 프레임워크 기술 개발
고결착력의 표면코팅형 기능성 집전체 제조기술 개발	'24.07 ~ 진행중	· 고결착력의 표면코팅형 기능성 집전체 제조기술 개발을 위한 코팅 분산액 개발

자료: 동사 분기보고서(2024.09.), NICE디앤비 재구성

IV. 재무분석

2023년 매출 감소 및 적자 지속, 적자규모 확대

동사는 주력 부문인 반도체 패키징 공정의 매출 실적에 따라 매출 외형 등락세를 나타낸 가운데, 2023년 매출 감소 및 대규모 적자를 시현해 취약한 수익성을 나타내었다.

■ 반도체 패키징 공정 매출에 따라 외형 등락세 나타내며 2023년 매출 감소

동사는 2021년 연결 기준 4,183.7억 원의 매출액을 기록한 이후, 2022년은 리드탭, 반도체 패키징 공정 매출 증가 및 환율 상승에 힘입어 매출액은 전년 대비 40.6% 증가한 5,880.4억 원을 기록하였다. 다만, 2023년에는 반도체 패키징 공정 매출 감소 및 환율 영향 등으로 전년 대비 18.4% 감소한 4,801.1억 원의 매출액을 기록한 바, 최근 3개년 매출 외형은 등락을 나타내었다.

한편, 2024년 3분기 누적 기준 전년 동기 대비 2차전지 관련 매출이 감소하였으나, 전자재료 관련 매출은 증가하여 전년 동기 매출 3,611.8억 원과 비슷한 3,590.5억 원의 매출을 기록하였다.

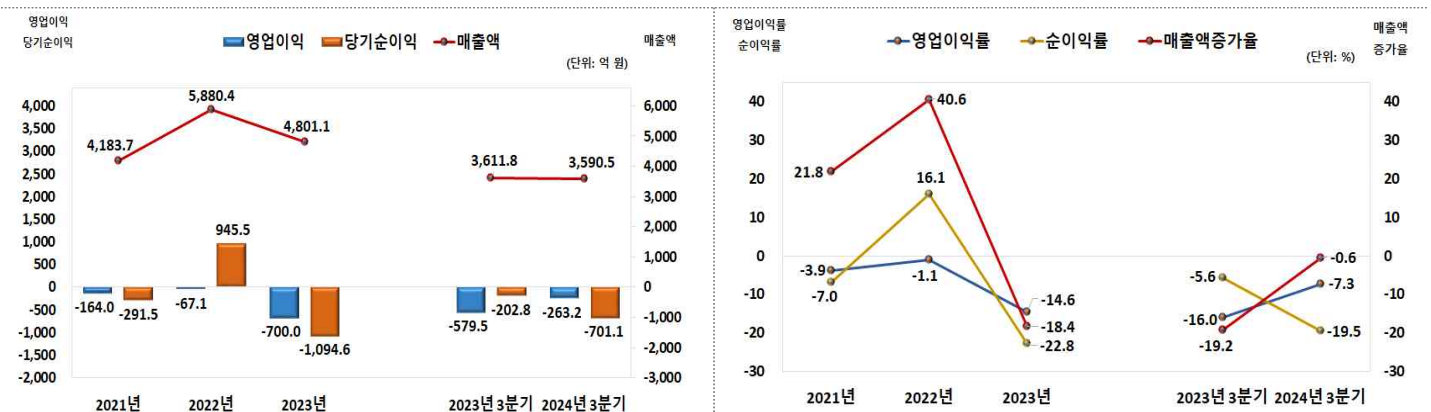
■ 2023년 대규모 영업손실 및 순손실 기록 등 수익성 취약한 수준

동사는 2021년 164.0억 원의 영업손실을 기록한 이후, 2022년 매출 증가에 따른 판관비 부담(판관비율 2021년: 25.9%, 2022년: 22.2%) 감소로 영업손실은 전년 대비 96.9억 원 축소된 67.1억 원을 기록하였으며, 대규모의 금융부채평가이익 인식 등으로 945.5억 원의 순이익을 기록하였다. 이후 2023년 원가 부담 확대 및 판관비 부담 증가로 손실규모가 크게 확대되어 700.0억 원의 영업손실을 기록하는 등 최근 3개년 영업수익성은 적자를 지속하였다.

한편, 2024년 3분기에도 영업수익성 적자가 지속되고 있으나, 원가 부담 축소 등으로 손실 규모는 전년 동기 579.5억 원 대비 316.3억 원 축소되어 영업손실은 263.2억 원을 기록하였다.

[그림 7] 동사 손익계산서 분석

(단위: 억 원, %, K-IFRS 연결 기준)



자료: 동사 사업보고서(2023.12.), 분기보고서(2024.09.), NICE디앤비 재구성

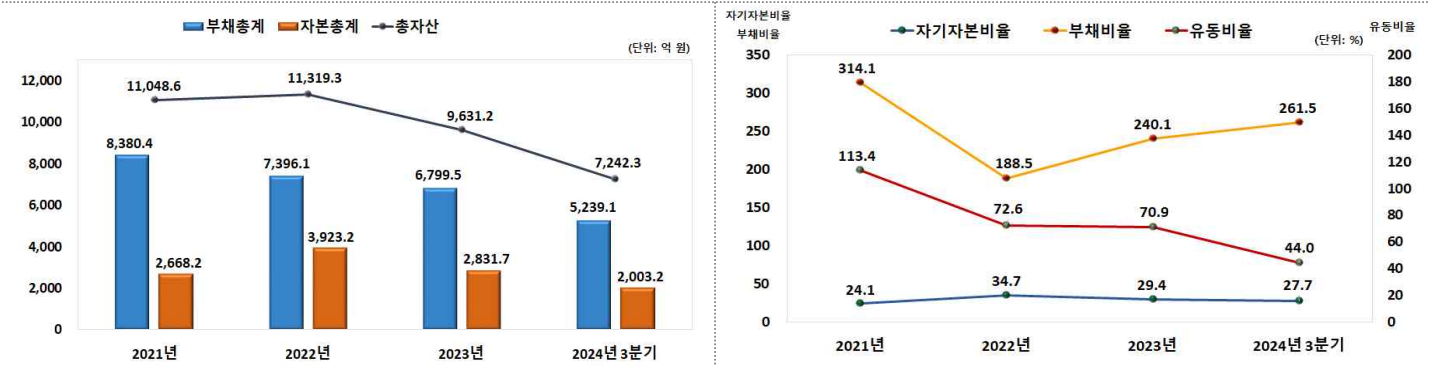
■ 주요 재무안정성 지표 악화 추이, 열위한 수준

동사의 부채비율은 2021년 314.1%를 기록한 이후, 2022년 부채규모 감소, 순이익의 내부유보 등에 힘입어 188.5%를 기록하며 개선되었으나, 2023년 당기순손실 시현으로 인한 이익잉여금의 감소 등으로 전년 대비 악화된 240.1%를 기록하였다. 이후 2024년 3분기에는 전기 말 대비 소폭 악화된 261.5%의 부채비율을 나타낸 바, 2022년 이후 전반적인 재무안정성 지표는 악화 추이를 보였으며, 열위한 수준으로 판단된다.

또한, 최근 3개년간 유동비율은 각각 113.4%, 72.6%, 70.9%를 기록하며 하락세를 나타내었고, 2024년 3분기에도 하락세가 이어져 유동비율 44.0%를 기록하는 등 제한적인 수준의 유동성을 나타내었다.

[그림 8] 동사 재무상태표 분석

(단위: 억 원, %, K-IFRS 연결 기준)



자료: 동사 사업보고서(2023.12.), 분기보고서(2024.09.), NICE디앤비 재무성

[표 7] 동사 요약 재무제표

(단위: 억 원, K-IFRS 연결 기준)

항목	2021년	2022년	2023년	2023년 3분기 누적	2024년 3분기 누적
매출액	4,183.7	5,880.4	4,801.1	3,611.8	3,590.5
매출액증가율(%)	21.8	40.6	-18.4	-19.2	-0.6
영업이익	-164.0	-67.1	-700.0	-579.5	-263.2
영업이익률(%)	-3.9	-1.1	-14.6	-16.0	-7.3
순이익	-291.5	945.5	-1,094.6	-202.8	-701.1
순이익률(%)	-7.0	16.1	-22.8	-5.6	-19.5
부채총계	8,380.4	7,396.1	6,799.5	7,308.6	5,239.1
자본총계	2,668.2	3,923.2	2,831.7	3,741.1	2,003.2
총자산	11,048.6	11,319.3	9,631.2	11,049.6	7,242.3
유동비율(%)	113.4	72.6	70.9	97.3	44.0
부채비율(%)	314.1	188.5	240.1	195.4	261.5
자기자본비율(%)	24.1	34.7	29.4	33.9	27.7
영업현금흐름	759.1	976.4	799.6	438.5	1,042.8
투자현금흐름	-2,522.8	-3,006.5	-1,539.9	-1,256.4	345.7
재무현금흐름	2,511.0	926.5	328.1	578.9	-1,915.1
기말 현금	2,465.3	1,361.7	949.6	1,127.9	423.0

자료: 동사 사업보고서(2023.12.), 분기보고서(2024.09.)

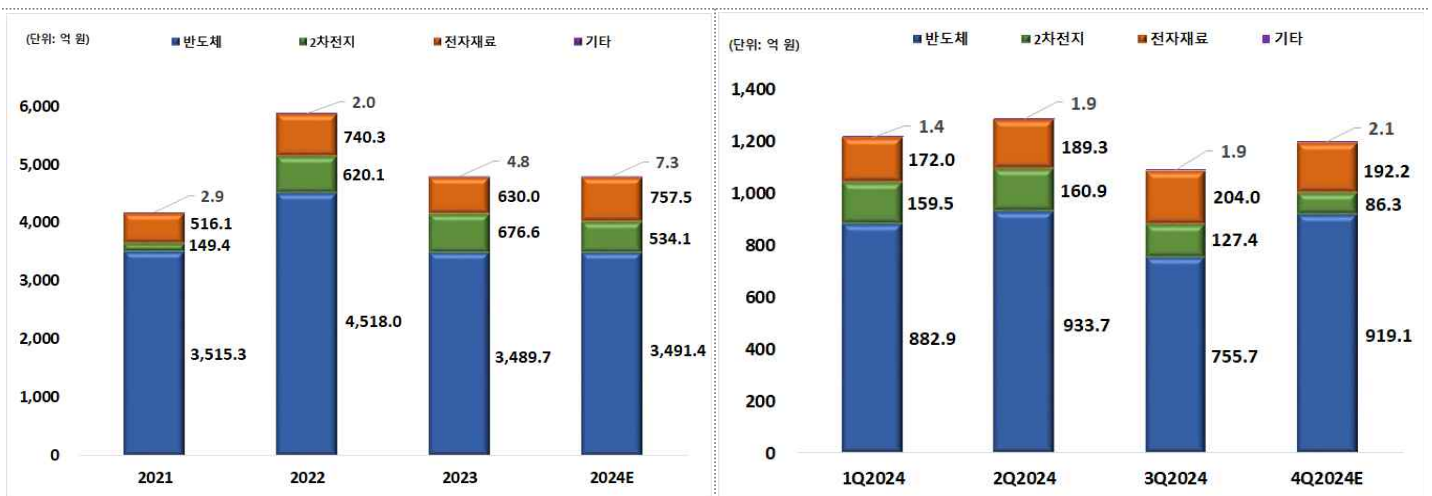
■ 동사 실적 전망

동사의 주력 사업인 반도체 패키징 및 테스트 부분의 대표적인 고객사는 삼성전자이며, 동사는 삼성전자에 PMIC(FI-WLP, Test), DDI(FI-WLP, Test), AP(Test) 등 스마트폰용 반도체를 공급하고 있다. 따라서 삼성전자의 스마트폰 출하량과 파운드리 생산량이 동사의 실적에 영향을 미친다. 삼성전자를 포함한 글로벌 스마트폰 판매 부진, 반도체 업황 둔화, 환율하락 등의 영향으로 2023년 매출이 감소하였으며, 2024년 역시 그 영향으로 2023년과 비슷한 매출을 기록할 것으로 예상된다.

다만, 동사가 속한 메모리 반도체 산업은 IoT용 칩, AI, 자동차 전장 등 새로운 산업에서의 수요로 인해 크게 성장할 것으로 예상되며, 동사는 FO-PLP 등의 고부가가치의 반도체 패키지 제품 생산역량을 늘리고 있는 바, 그에 따라 동사 역시 성장할 수 있는 잠재력을 보유하고 있는 것으로 판단된다.

[그림 9] 동사의 사업부문별 실적 및 전망

(단위: 억 원, %, K-IFRS 연결 기준)



자료: 동사 사업보고서(2023.12.), 분기보고서(2024.09.), NICE디앤비 재구성

[표 8] 동사의 사업부문별 연간 실적 및 분기별 전망

(단위: 억 원, %, K-IFRS 연결 기준)

항목	2021	2022	2023	2024E	1Q2024	2Q2024	3Q2024	4Q2024E
매출액	4,183.7	5,880.4	4,801.1	4,790.3	1,215.8	1,285.8	1,089.0	1,199.7
반도체	3,515.3	4,518.0	3,489.7	3,491.4	882.9	933.7	755.7	919.1
2차전지	149.4	620.1	676.6	534.1	159.5	160.9	127.4	86.3
전자재료	516.1	740.3	630.0	757.5	172.0	189.3	204.0	192.2
기타	2.9	2.0	4.8	7.3	1.4	1.9	1.9	2.1

자료: 동사 사업보고서(2023.12.), 분기보고서(2024.09.), NICE디앤비 재구성

V. 주요 변동사항 및 향후 전망

첨단 패키징 기술 개발을 통한 미래 시장 준비

기존의 선풍 미세화를 통한 반도체 성능 향상이 한계에 다다른 현재, 다중·복수의 칩을 하나의 패키지로 만들 수 있는 첨단 패키징이 반도체 시장의 새로운 돌파구가 되고 있다. 동사는 첨단 패키징 기술 개발 및 상용화 등을 통해 미래 반도체 시장을 능동적으로 대응하고 있다.

■ RDL 인터포저 기반 2.5D 패키징, 팬아웃 기술 기반 첨단 PoP 기술 등을 통한 미래시장 준비

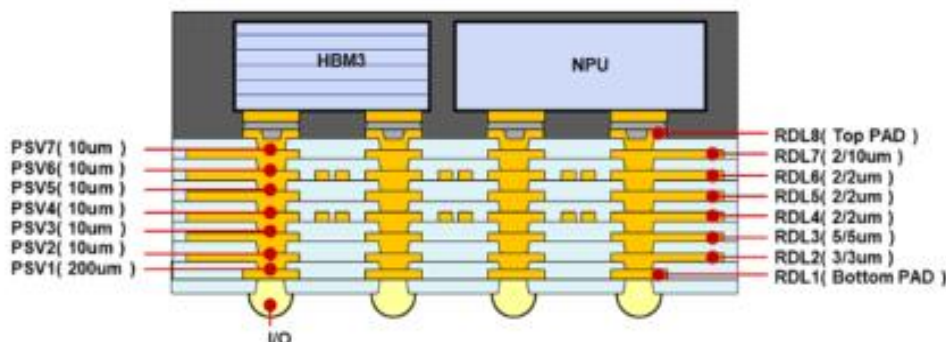
현재까지의 반도체는 공정 미세화를 통해 성능을 향상해 왔으나 한계에 근접하고 있다. 이에 다중·복수의 칩을 하나의 패키지로 제조하면서 칩 성능 향상, 비용절감 등을 구현하는 첨단 패키징이 반도체 미세화의 기술적·경제적 한계를 돌파하는 대안으로 부상하고 있다. 동사는 RDL 인터포저 기반 2.5D 패키징 개발, 팬아웃 기술기반 첨단 PoP 기술 상용화 등을 통해 미래 반도체 시장을 준비하고 있다.

2.5D 패키징은 AI 반도체와 같은 로직칩과 고대역폭 메모리(High Bandwidth Memory: HBM)를 하나의 패키지로 집적하는 데 주로 사용하는 패키징 기술이다. 동사는 2.5D 패키징에서 사용되는 실리콘 소재의 인터포저를 대체할 수 있는 팬아웃 공정 기반의 재배선(RDL) 인터포저를 개발하고 2024년 6월 미국 덴버에서 열린 ‘제74회 전자부품기술학회(ECTC)’에서 공개했다. 동사에서 구현한 기술은 8 레이어 RDL 인터포저 기술로, 기존의 6개의 레이어 기반에서 2개의 레이어가 추가된 첨단 패키징 기술이다. 인공지능 반도체 수요 증가에 따라 칩렛 패키징 기술이 주요 화두인 가운데 우수한 전기적 특성 및 생산 효율성, 제조 비용 절감 등의 장점을 보유하고 있다. 동사는 해당 기술을 네트워크 강화 및 고객사 기술 협력을 통해 상용화에 적극 나서 글로벌 반도체 패키지 경쟁력을 확보해 나갈 계획에 있다

또한, 동사는 2.5D 패키징 기술을 확장하여 팬아웃 기술 기반의 첨단 PoP의 상용화도 추진하고 있다. 동사는 라이다 센서 제조업체와 PoP 품질 인증을 진행하고, 미국의 보청기, 엑스레이용 센서 업체와 PoP 개발 공급을 논의하는 등 자율주행 자동차용 라이다(LiDAR)와 헬스케어, 스마트폰 프로세서(AP) 시장도 공략하기 위해 사업을 공격적으로 이끌어가고 있다.

전세계적으로 탄소 배출 저감 중요성이 강조되면서 저전력(Low Power) 패키징 기술의 높은 수요 속에서 동사는 반도체를 보다 작고, 얇게 구현해 폼팩터 사이즈를 최소화할 수 있는 후공정 첨단 파운드리 기술을 기반으로 반도체 생태계가 요구하는 기술력을 확보하고 새로운 기회를 준비하고 있다.

[그림 10] 동사의 8 레이어 RDL 인터포저 구조도



자료: 동사 제공 자료, NICE디앤비 재구성

네패스(033640)

증권사 투자의견

작성기관	투자의견	목표주가	작성일
-	-	-	-
투자의견 없음			

시장정보(주가 및 거래량)



자료: 네이버증권(2024.12.05.)

최근 6개월간 한국거래소 시장경보제도 지정여부

시장경보제도란?

한국거래소 시장감시위원회는 투기적이거나 불공정거래 개연성이 있는 종목 또는 주가가 비정상적으로 급등한 종목에 대해 투자자주의 환기 등을 통해 불공 정거래를 사전에 예방하기 위한 제도를 시행하고 있습니다.

시장경보제도는 「투자주의종목 투자경고종목 투자위험종목」의 단계를 거쳐 이루어지게 됩니다.

※관련근거: 시장감시규정 제5조의2, 제5조의3 및 시장감시규정 시행세칙 제3조~제3조의7

기업명	투자주의종목	투자경고종목	투자위험종목
네패스	X	X	X