Расчёт по Analog Devices для ADF5356 (ADIsimPLL 5.10)

Для приема сигнала L1

fout =5939,58; fvco =5939,58; fref =10 МГц, fpfd=5 МГц, Step=0.001 МГц

fvco /fpfd= 1187.916= N, INT=1187, FRAC1=0.916\*224=0.916\*16777216=

15 367929, FRAC2=107, MOD2=125. Расчёт по Analog Devices ADF5356

|  |  |  |  |
| --- | --- | --- | --- |
| Регистр № h | h | binary | Примечание |
| 00 | 304A30 | 0000 0000 0011 0000 0100 1010 0011 0000 | INT=1187d =  Prescaler=8/9 |
| 01 | EA7EF91 | 0000 1110 1010 0111 1110 1111 1001 0001 | FRAC1=15 367929 |
| 02 | 1AC07D2 | 0000 0001 1010 1100 0000 0111 1101 0010 | FRAC2  MOD2 |
| 03 | 3 | 0000 0000 0000 0000 0000 0000 0000 0011 | Откл. установка фазы при каждом переключении |
| 04 | 32008984 | 0011 0010 0000 0000 1000 1001 1000 0100 | Digital LD, I=0.9mA, Uld=3V, PD+,fref/2 |
| 05 | 800025 | 0000 0000 1000 0000 0000 0000 0010 0101 | DEFAULT |
| 06 | 35004476 | 0011 0101 0000 0000 0100 0100 0111 0110 | P=+5dBm, Out A вкл, OutB выкл, Ibleed=15mkA |
| 07 | 60000E7 | 0000 0110 0000 0000 0000 0000 1110 0111 | LE synchr от REFin. LD precision-12ns,1024 цикл.LD |
| 08 | 15596568 | 0001 0101 0101 1001 0110 0101 0110 1000 |  |
| 09 | 4027CC9 | 0000 0100 0000 0010 0111 1100 1100 1001 |  |
| 0A(10) | C0033A | 0000 0000 1100 0000 0000 0011 0011 1010 | Авт.установка ADC Clock |
| 0B(11) | 61200B | 0000 0000 0110 0001 0010 0000 0000 1011 | Normal operation |
| 0C (12) | 15FC | 0001 0101 1111 1100 | Resync Clock =1, T=0.2mks |
| 0D (13) | D | 1101 |  |
|  |  |  |  |
| Δf=50кГц: 27pF; 24k/390pF; 47k; 3.9pF→L(50kHz)=-90dBc/Hz | | | |

Для приема сигнала L1

fout =5939,58; fvco =5939,58; fref =20 МГц, fpfd=10 МГц, Step=0.001 МГц

fvco /fpfd= 593.958= N, INT=593, FRAC1=0.958\*224=0.958\*16777216=

15 072572, FRAC2=116, MOD2=125. Расчёт по Analog Devices ADF5356

|  |  |  |  |
| --- | --- | --- | --- |
| Регистр № h | h | binary | Примечание |
| 00 | 302510 | 0000 0000 0000 0000 0000 0000 0000 0000 | INT=593d =  Prescaler=8/9 |
| 01 | F53F7C1 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC1=15 072572 |
| 02 | 1D007D2 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC2=116  MOD2=125 |
| 03 | 3 | 0000 0000 0000 0000 0000 0000 0000 0011 | Откл. установка фазы при каждом переключении |
| 04 | 32008984 | 0011 0010 0000 0000 1000 1001 1000 0100 | Digital LD, I=0.9mA, Uld=3V, PD+,fref/2 |
| 05 | 800025 | 0000 0000 1000 0000 0000 0000 0010 0101 | DEFAULT |
| 06 | 35008476 | 0000 0000 0000 0000 0000 0000 0000 0000 | P=+5dBm, Out A вкл, OutB выкл, Ibleed=15mkA |
| 07 | 60000E7 | 0000 0110 0000 0000 0000 0000 1110 0111 | LE synchr от REFin. LD precision-12ns,1024 цикл.LD |
| 08 | 15596568 | 0001 0101 0101 1001 0110 0101 0110 1000 |  |
| 09 | 7047CC9 | 0000 0000 0000 0000 0000 0000 0000 0000 |  |
| 0A(10) | C0067A | 0000 0000 0000 0000 0000 0000 0000 0000 | Авт.установка ADC Clock |
| 0B(11) | 61200B | 0000 0000 0110 0001 0010 0000 0000 1011 | Normal operation |
| 0C (12) | 15FC | 0001 0101 1111 1100 | Resync Clock =1, T=0.2mks |
| 0D (13) | D | 1101 |  |
|  |  |  |  |
| Δf=50кГц: 33pF; 20k/470pF; 43k; 5.6pF→L(10kHz)=-100dBc/Hz | | | |

Для приема сигнала L2

fout =6287,40; fvco =6287,40; fref =10 МГц, fpfd=5МГц, Step=0.001 МГц

fvco /fpfd= 1257.48= N, INT=1257, FRAC1=0.48\*224=0.48\*16777216=8 053063,FRAC2=17, MOD2=25

Расчёт по Analog Devices ADF5356

|  |  |  |  |
| --- | --- | --- | --- |
| Регистр № h | h | binary | Примечание |
| 00 | 304E90 | 0000 0000 0011 0000 0100 1110 1001 0000 | INT=125d =  Prescaler=8/9 |
| 01 | 7AE1471 | 0000 0111 1010 1110 0001 0100 0111 0001 | FRAC1=8 053063 |
| 02 | 440192 | 0000 0000 0100 0100 0000 0001 1001 0010 |  |
| 03 | 3 | 0000 0000 0000 0000 0000 0000 0000 0011 | Откл. установка фазы при каждом переключении |
| 04 | 32008984 | 0011 0010 0000 0000 1000 1001 1000 0100 | Digital LD, I=0.9mA, Uld=3V, PD+,fref/2 |
| 05 | 800025 | 0000 0000 1000 0000 0000 0000 0010 0101 | DEFAULT |
| 06 | 35004476 | 0001 0101 0000 0010 1000 0000 0011 0110 | P=+5dBm, Out A вкл, OutB выкл, Ibleed=15mkA |
| 07 | 60000E7 | 0000 0110 0000 0000 0000 0000 1110 0111 | LE synchr –откл. LD precision-12ns,1024 цикл.LD |
| 08 | 15596568 | 0001 0101 0101 1001 0110 0101 0110 1000 |  |
| 09 | 4027CC9 | 0000 0100 0000 0010 0111 1100 1100 1001 |  |
| 0A(10) | C0033A | 0000 0000 1100 0000 0000 0011 0011 1010 | Авт.установка ADC Clock |
| 0B(11) | 61200B | 0000 0000 0110 0001 0010 0000 0000 1011 | Normal operation |
| 0C (12) | 15FC | 0001 0101 1111 1100 | Resync Clock =1, T=0.02mks |
| 0D (13) | D | 1101 |  |
|  |  |  |  |
| Δf=50кГц: 33pF; 20k/470pF; 43k; 5.6pF→L(50kHz)=-90dBc/Hz | | | |

Для приема сигнала L2

fout =6287,40; fvco =6287,40; fref =20 МГц, fpfd=10МГц, Step=0.001 МГц

fvco /fpfd= 628.74= N, INT=628, FRAC1=12 415 138,FRAC2=21, MOD2=25

Расчёт по Analog Devices ADF5356

|  |  |  |  |
| --- | --- | --- | --- |
| Регистр № h | h | binary | Примечание |
| 00 | 302740 | 0000 0000 0000 0000 0000 0000 0000 0000 | INT=628d =  Prescaler=8/9 |
| 01 | BD70A31 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC1=12 415 138 |
| 02 | 540192 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC2=21  MOD2=25 |
| 03 | 3 | 0000 0000 0000 0000 0000 0000 0000 0011 | Откл. установка фазы при каждом переключении |
| 04 | 32008984 | 0011 0010 0000 0000 1000 1001 1000 0100 | Digital LD, I=0.9mA, Uld=3V, PD+,fref/2 |
| 05 | 800025 | 0000 0000 1000 0000 0000 0000 0010 0101 | DEFAULT |
| 06 | 35008476 | 0000 0000 0000 0000 0000 0000 0000 0000 | P=+5dBm, Out A выкл, OutB вкл, Ibleed=15mkA |
| 07 | 60000E7 | 0000 0110 0000 0000 0000 0000 1110 0111 | LE synchr –откл. LD precision-12ns,1024 цикл.LD |
| 08 | 15596568 | 0001 0101 0101 1001 0110 0101 0110 1000 |  |
| 09 | 7047CC9 | 0000 0000 0000 0000 0000 0000 0000 0000 |  |
| 0A(10) | C0067A | 0000 0000 0000 0000 0000 0000 0000 0000 | Авт.установка ADC Clock |
| 0B(11) | 61200B | 0000 0000 0110 0001 0010 0000 0000 1011 | Normal operation |
| 0C (12) | 15FC | 0001 0101 1111 1100 | Resync Clock =1, T=0.02mks |
| 0D (13) | D | 1101 |  |
|  |  |  |  |
| Δf=50кГц: 33pF; 20k/470pF; 43k; 5.6pF→L(50kHz)=- Bc/Hz | | | |

Для приема сигнала L5

fout =6338,55; fvco =6338,55; fref =20 МГц, fpfd=10 МГц, Step=0.001 МГц

fvco /fpfd= 633.855= N, INT=633, FRAC1=14344 519,FRAC2=17, MOD2=25

Расчёт по Analog Devices ADF5356

|  |  |  |  |
| --- | --- | --- | --- |
| Регистр № h | h | binary | Примечание |
| 00 | 302790 | 0000 0000 0000 0000 0000 0000 0000 0000 | INT=628d =  Prescaler=8/9 |
| 01 | DAE1471 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC1=12 415 138 |
| 02 | 440192 | 0000 0000 0000 0000 0000 0000 0000 0000 | FRAC2=21  MOD2=25 |
| 03 | 3 | 0000 0000 0000 0000 0000 0000 0000 0011 | Откл. установка фазы при каждом переключении |
| 04 | 32008984 | 0011 0010 0000 0000 1000 1001 1000 0100 | Digital LD, I=0.9mA, Uld=3V, PD+,fref/2 |
| 05 | 800025 | 0000 0000 1000 0000 0000 0000 0010 0101 | DEFAULT |
| 06 | 35008476 | 0000 0000 0000 0000 0000 0000 0000 0000 | P=+5dBm, Out A выкл, OutB вкл, Ibleed=15mkA |
| 07 | 60000E7 | 0000 0110 0000 0000 0000 0000 1110 0111 | LE synchr –откл. LD precision-12ns,1024 цикл.LD |
| 08 | 15596568 | 0001 0101 0101 1001 0110 0101 0110 1000 |  |
| 09 | 7047CC9 | 0000 0000 0000 0000 0000 0000 0000 0000 |  |
| 0A(10) | C0067A | 0000 0000 0000 0000 0000 0000 0000 0000 | Авт.установка ADC Clock |
| 0B(11) | 61200B | 0000 0000 0110 0001 0010 0000 0000 1011 | Normal operation |
| 0C (12) | 15FC | 0001 0101 1111 1100 | Resync Clock =1, T=0.02mks |
| 0D (13) | D | 1101 |  |
|  |  |  |  |
| Δf=50кГц: 33pF; 20k/470pF; 43k; 5.6pF→L(50kHz)=- Bc/Hz | | | |

Содержимое регистров определяется следующим образом.

При заданном значении fout и при фиксированных fpfd =5(10) МГц и шаге перестройки fstep = 0.001 МГц (MOD2=5000)

1. Вычисляется N= fout /fpfd и выделяется его целая часть [N]=INT,которая в двоичном коде записывается в Рег. 0 [DB19:DB4].
2. Дробная часть {N}умножается на 224 (16777216) frac1={N}\*16777216 и выделяется целая часть [frac1]=FRAC1, которая в двоичном коде записывается в Рег. 1[DB27:DB4].
3. Вычисляется FRAC2 ={frac1}\*MOD2 и ищется НОД (наибольший общий делитель) для FRAC2 и MOD2, на который делятся эти числа (для сокращения битов). Сокращенные FRAC2 и MOD2 заносятся в двоичном коде соответственно в Рег.2[DB31:DB18] и Рег.2[DB17:DB4].

Порядок программирования работы синтезатора:

1. Регистр13
2. Регистр 12
3. Регистр11
4. Регистр10
5. Регистр 9
6. Регистр 8
7. Регистр 7
8. Регистр 6
9. Регистр 5
10. Регистр 4
11. Регистр 3
12. Регистр 2
13. Регистр 1
14. Желательно совершить более 16 циклов ADC clock(≥16/fADC clock )
15. Регистр 0

При изменении частоты синтезатора, который уже работает, достаточно

записать следующую последовательность регистров:

1. Регистр 13
2. Регистр 10
3. Регистр 2
4. Регистр 1
5. Желательно совершить более 16 циклов ADC clock(≥16/fADC clock )
6. Регистр 0