**反相器电路与版图设计实验报告**



**课程名称： 集成电路综合设计与实践**

**任课教师： 张志峰**

**姓 名:**

**学 号:**

**专 业： 微电子科学与工程**

目 录

[**反相器电路与版图设计实验报告**](#_Toc180704292) [1](#_Toc180704293)

[一、实验要求 3](#_Toc180704294)

[二、实验目的 3](#_Toc180704295)

[三、电路设计 3](#_Toc180704296)

[四、版图设计 4](#_Toc180704297)

[①DRC检查 4](#_Toc180704298)

[②LVS检查 5](#_Toc180704299)

[五、电路仿真 5](#_Toc180704300)

[①DC分析 5](#_Toc180704301)

[②瞬态分析 6](#_Toc180704302)

[六、总结 9](#_Toc180704303)

# 一、实验要求

1. 使用GPDK045库中的pmos1v、nmos1v器件，绘制一个反相器的晶体管级电路。反相器中MOS管的沟道长度为45nm，Wp=1.56um，Wn = 1.04um。
2. 绘制其版图，其中PMOS和NMOS晶体应以2个finger的形式绘制。所绘制版图应通过DRC、LVS检查，并应实现尽可能小的版图面积，在实验报告中写明所完成的反相器版图的高度、宽度和面积数值。
3. 对于该反相器，进行基础的电路仿真，并分析结果：
   1. 仿真得出其VTC特性曲线（DC分析），并测量其切换点（Switching Point，及VIN与VOUT的交点）电压。
   2. 调整反相器中NMOS晶体管沟道宽度，使得VTC特性曲线中切换点电压值为1/2 VDD。
   3. 瞬态分析。绘制瞬态仿真电路图，测量该反相器空载时的延时（本征延时）以及fanout = 4时的延时，并观察和测量反相器输出电压切换过程中的电流、功耗情况。
   4. 调整反相器NMOS晶体管的沟道宽度，使得该反相器在fanout=4的情况下：
      1. 输出从高到低和从低到高变化时的延时相等（最平衡）
      2. 输出从高到底和从高到低变化时的延时之和最小（最快）
4. 撰写实验报告。报告中除对实验完成情况的必要截图、实验过程和结果的描述之外，还应包括必要的分析。

# 二、实验目的

熟悉基本的模拟电路设计以及版图设计的流程，熟悉Cadence virtuoso工具的使用以及Linux系统的操作，完成反相器的电路与版图设计并进行基础的电路仿真。

# 三、电路设计

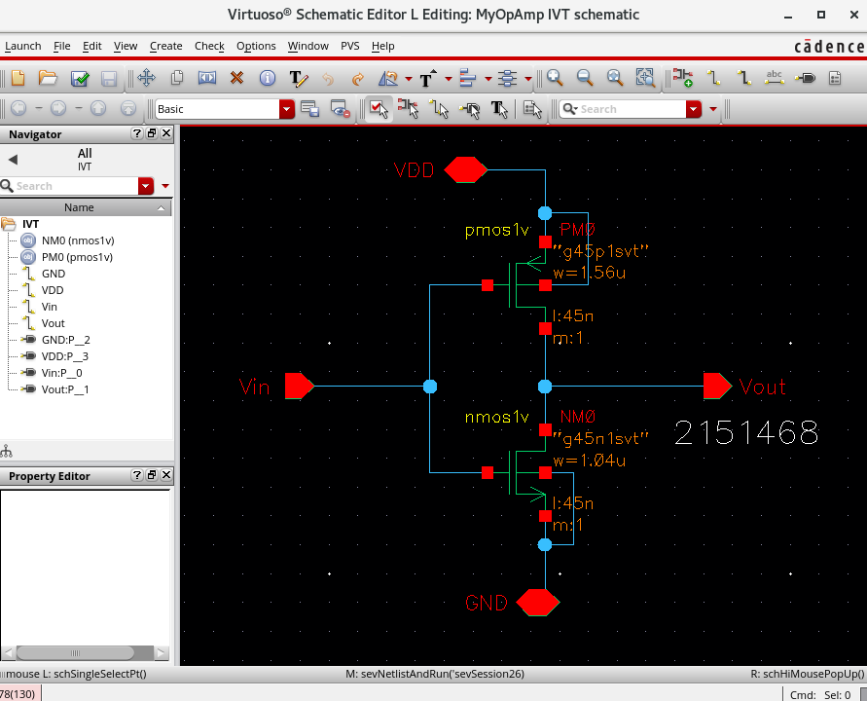


图1 反相器电路图

如图1所示为本次反相器电路设计的原理图。该电路使用了GPDK045库中的pmos1v、nmos1v器件绘制，反相器中mos管的沟道长度为45nm，Wp=1.56um，Wn = 1.04um，符合实验要求。

# 四、版图设计

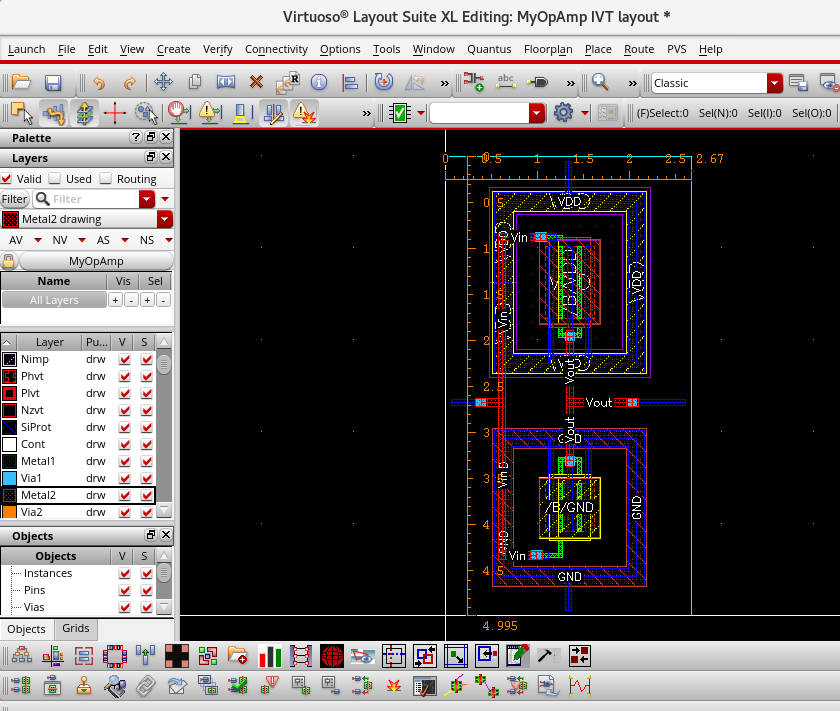


图2 反相器版图

如图2所示为本次反相器设计的版图，由图可知，该反相器版图的宽度为2.67um，高度为4.995um，版图面积为13.33665um2。

## ①DRC检查

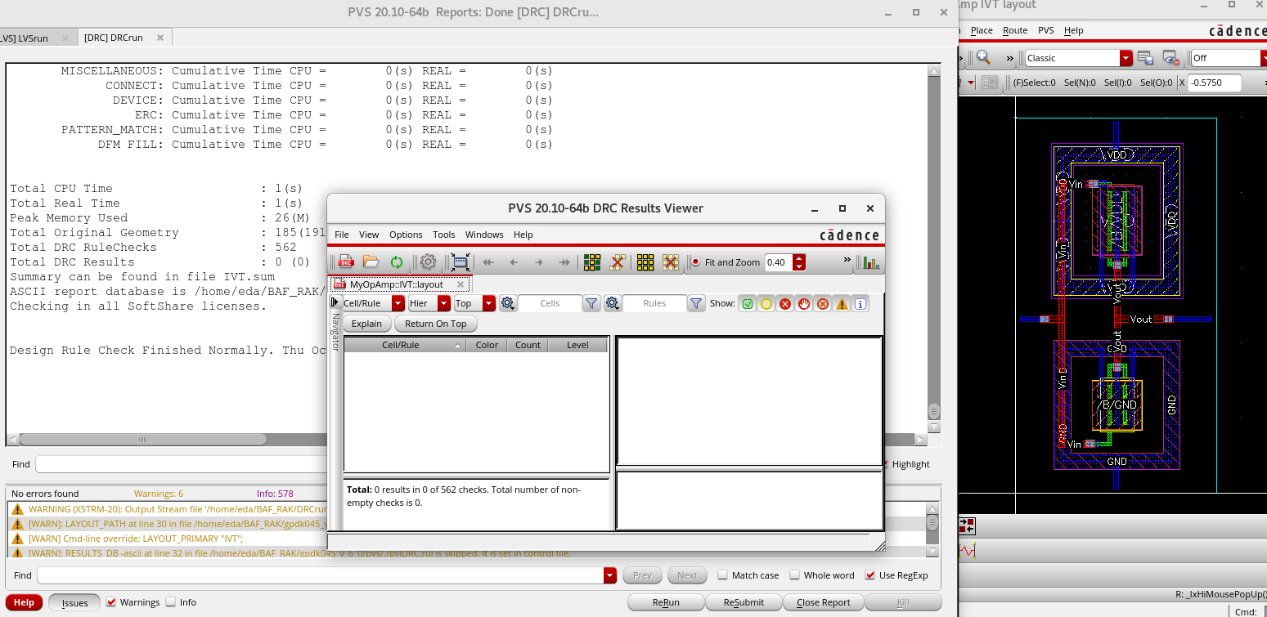


图3 DRC检查

如图3所示为本次反相器版图设计的DRC检查，本版图设计中的DRC检查遵照《Basics of Analog Flow: A Design-Oriented Approach》中DRC检查实验方法进行。由图可知，本版图设计全部符合DRC rule要求，DRC通过。

## ②LVS检查

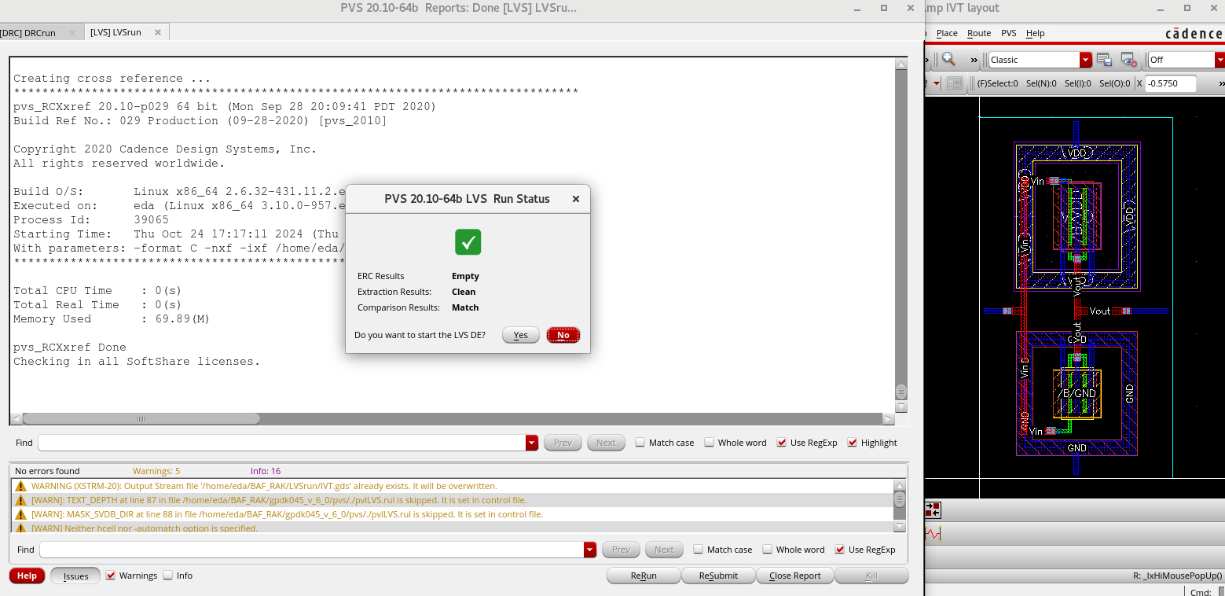


图4 LVS检查

如图4所示为本次反相器版图设计的LVS检查，本版图设计中的LVS检查遵照《Basics of Analog Flow: A Design-Oriented Approach》中LVS检查实验方法进行。由图可知，本版图设计全部符合LVS rule要求，LVS通过。

# 五、电路仿真

对于该反相器，本实验进行基础的电路仿真，主要可分为DC仿真与瞬态仿真：

## ①DC分析

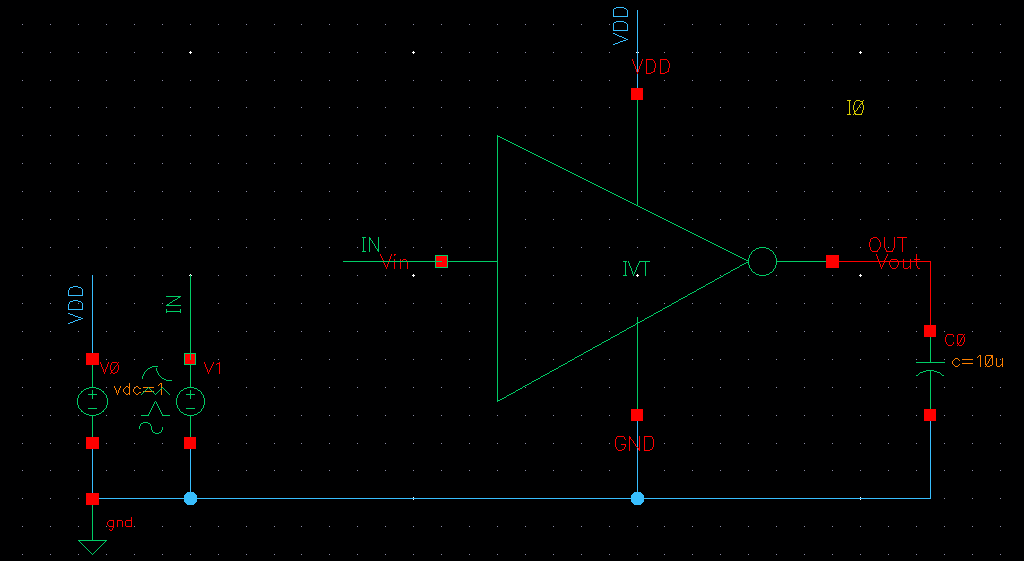


图5 DC分析电路图

如图5所示为得到该反相器VTC特性所设计的电路，VDD电压为1V，Vin从0变化至1V，负载电容为10uF仿真结果如图6所示。

如图6所示，当NMOS晶体管沟道宽度为1.04um时，switching point电压为495mV，因此调整NMOS晶体管的沟道宽度，使switching point电压值为1/2VDD即500mV。

由图7可知，当NMOS晶体管沟道宽度为1.0875um时，，switching point电压为500mV。

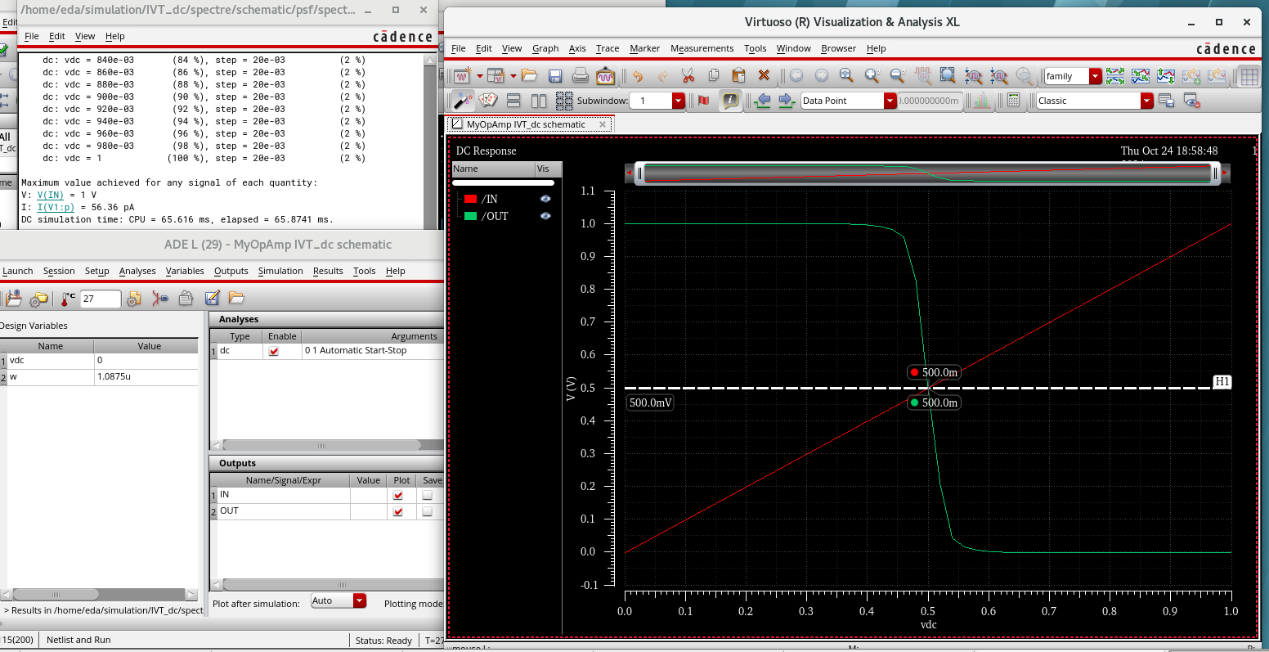


图7 DC优化结果

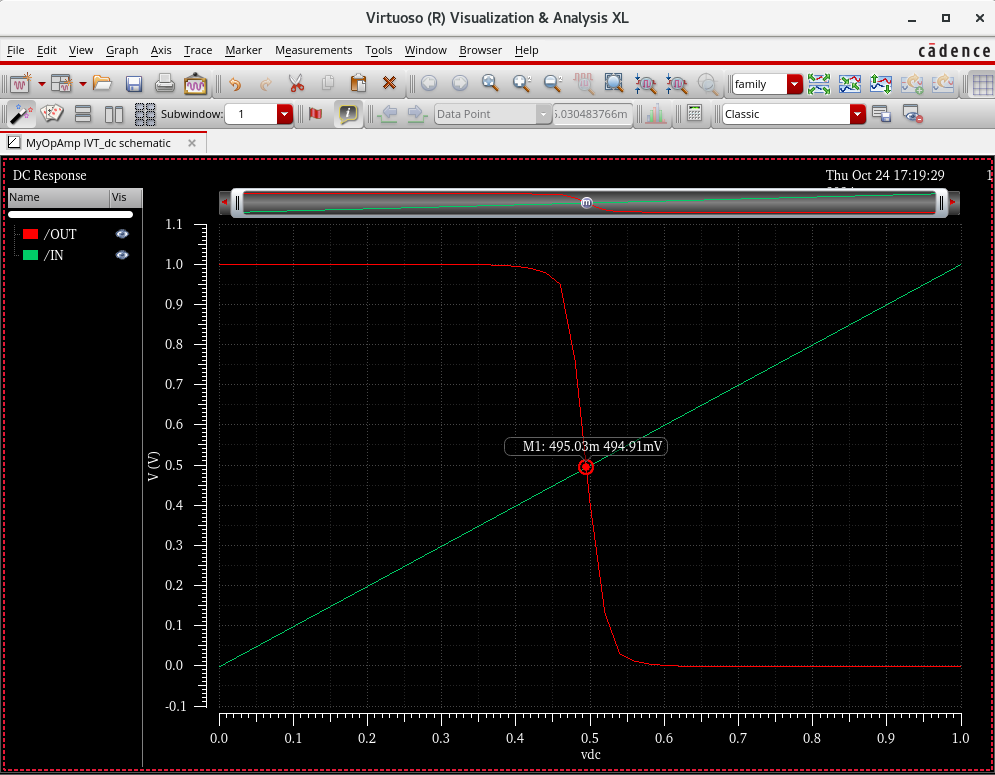


图6 DC分析结果

## ②瞬态分析

如图8所示为对该反向器进行空载瞬时分析所设计的电路图，其中VDD为1V，负载电容为10Ff，Vin输入为在0和1V范围内变化的矩形波，上升边10ps，下降边10ps，周期为1ns，在该仿真中测量其2ns内的输入输出波形。

如图9所示为该反相器空载时的输入输出电压曲线和输出电流，可知当输入由低变高输出由高到低变化时的本征延时为26.8112ps-5ps=21.8112ps；当输入由高变低输出由低到高变化时的本征延时为525.296ps-505ps=20.296ps。输出电流功耗情况如第三条曲线所示。



图9 空载瞬态分析

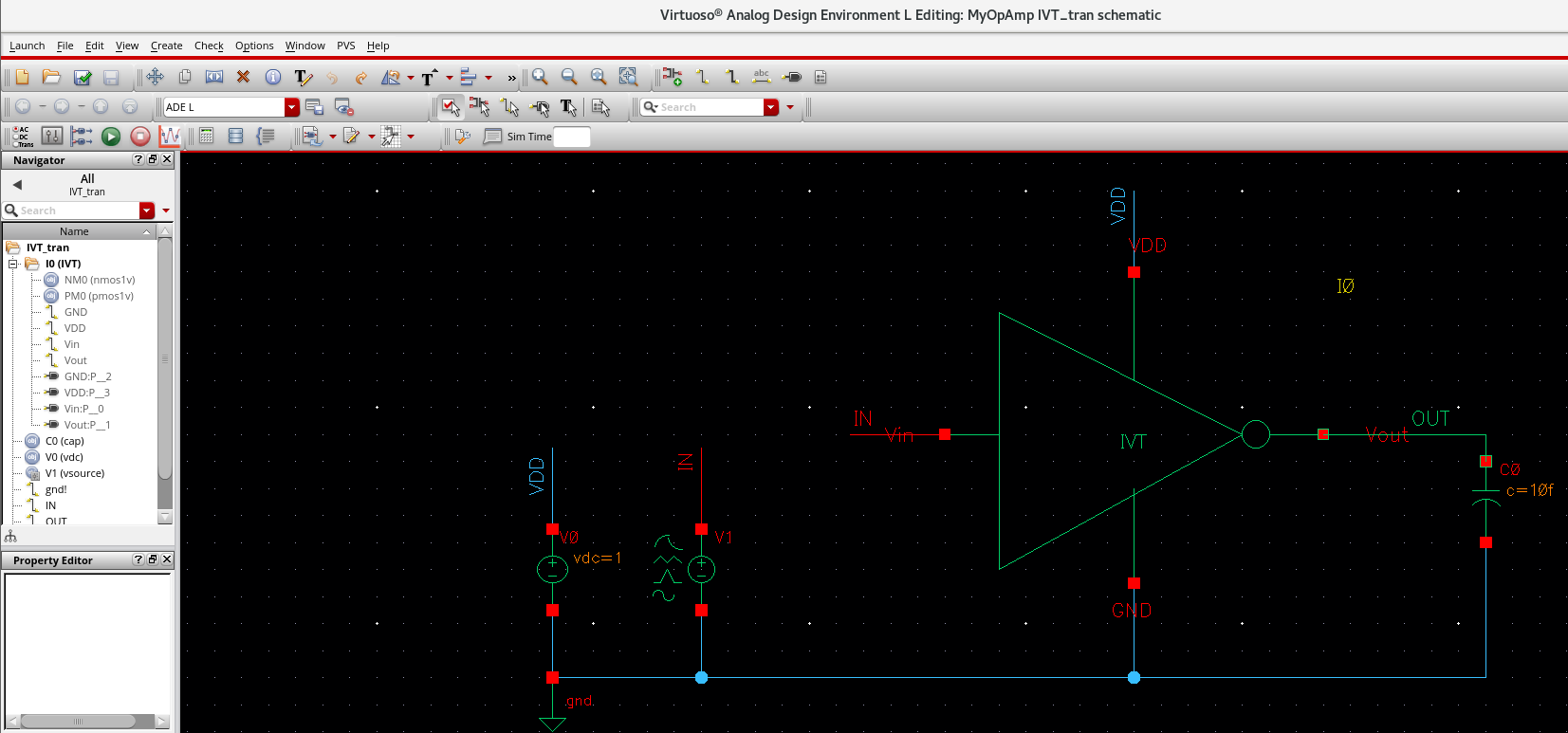


图8 空载瞬态分析电路图

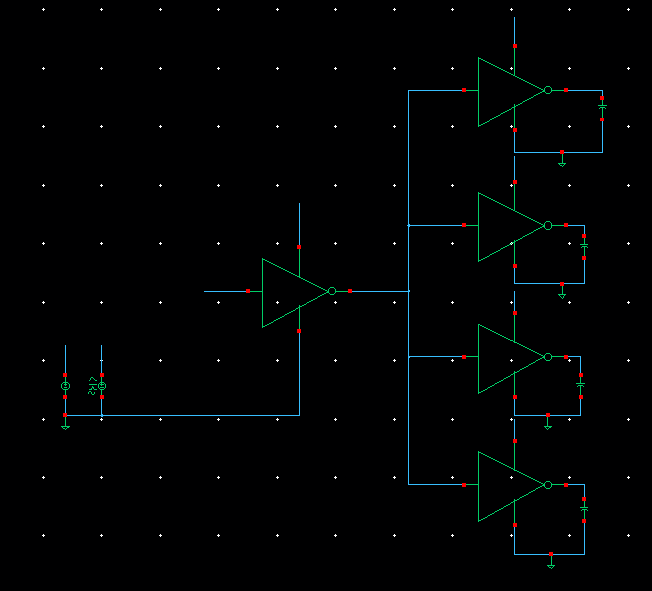
如图10所示为对该反向器进行fanout=4瞬时分析所设计的电路图，其中VDD为1V，负载电容为10Ff，Vin输入为在0和1V范围内变化的矩形波，上升边10ps，下降边10ps，周期为1ns，在该仿真中测量其2ns内的输入输出波形。

图10 fanout=4时瞬态分析电路图

如图11所示为该反相器空载时的输入输出电压曲线和输出电流，可知当输入由低变高输出由高到低变化时的延时为20.8711ps-5ps=15.8711ps；当输入由高变低输出由低到高变化时的本征延时为520.772ps-505ps=15.772ps。输出电流功耗情况如第三条曲线所示。

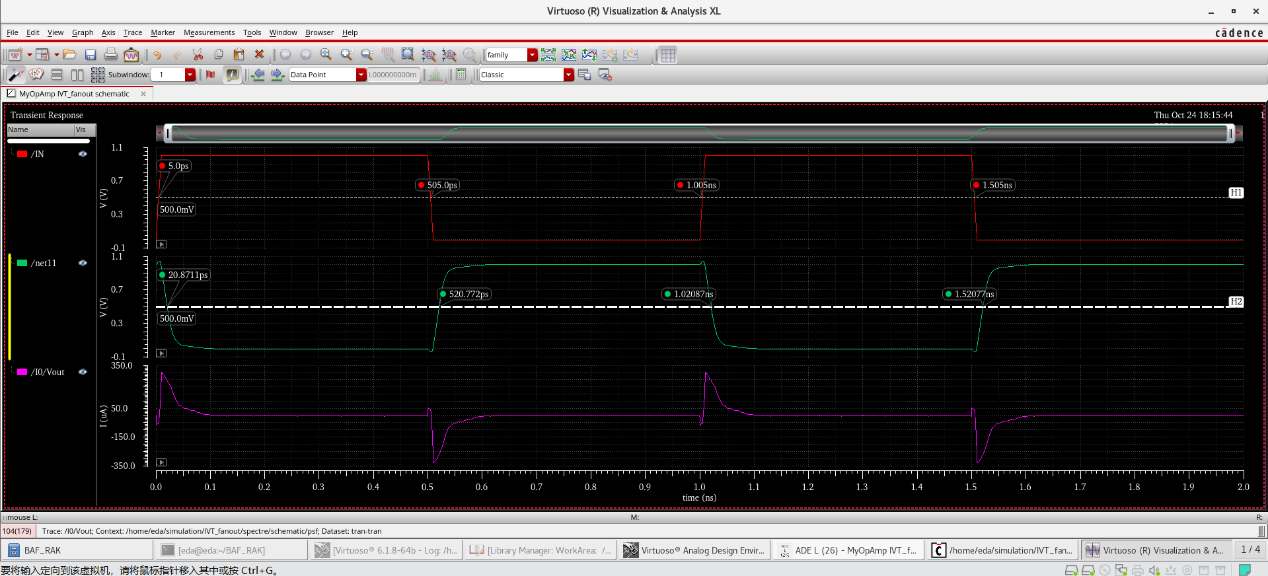


图11 fanout=4时瞬态分析

此时可发现，反相器级联后的延时可能比单级反相器更小。发生这种情况的主要原因包括电容耦合效应的缓解、电压摆幅的调节、负载分担效应以及信号恢复的作用。级联反相器时，前一级的输出驱动下一级，减小了负载电容，缩短了充放电时间，增强了信号变化的速度。此外，级联能够将负载分散，使每一级反相器的负载减小，减少延时。多级反相器还可以修复信号质量，改善响应速度，因此总体延时可能低于单级反相器直接驱动较大负载的延时。

接着对fanout=4的情况进行优化，使输出从高到低和从低到高变化时的延时相等，由图12可知，当NMOS晶体管沟道宽度为1.058um时，输出从高到低和从低到高变化时的延时相等为15.768ps。

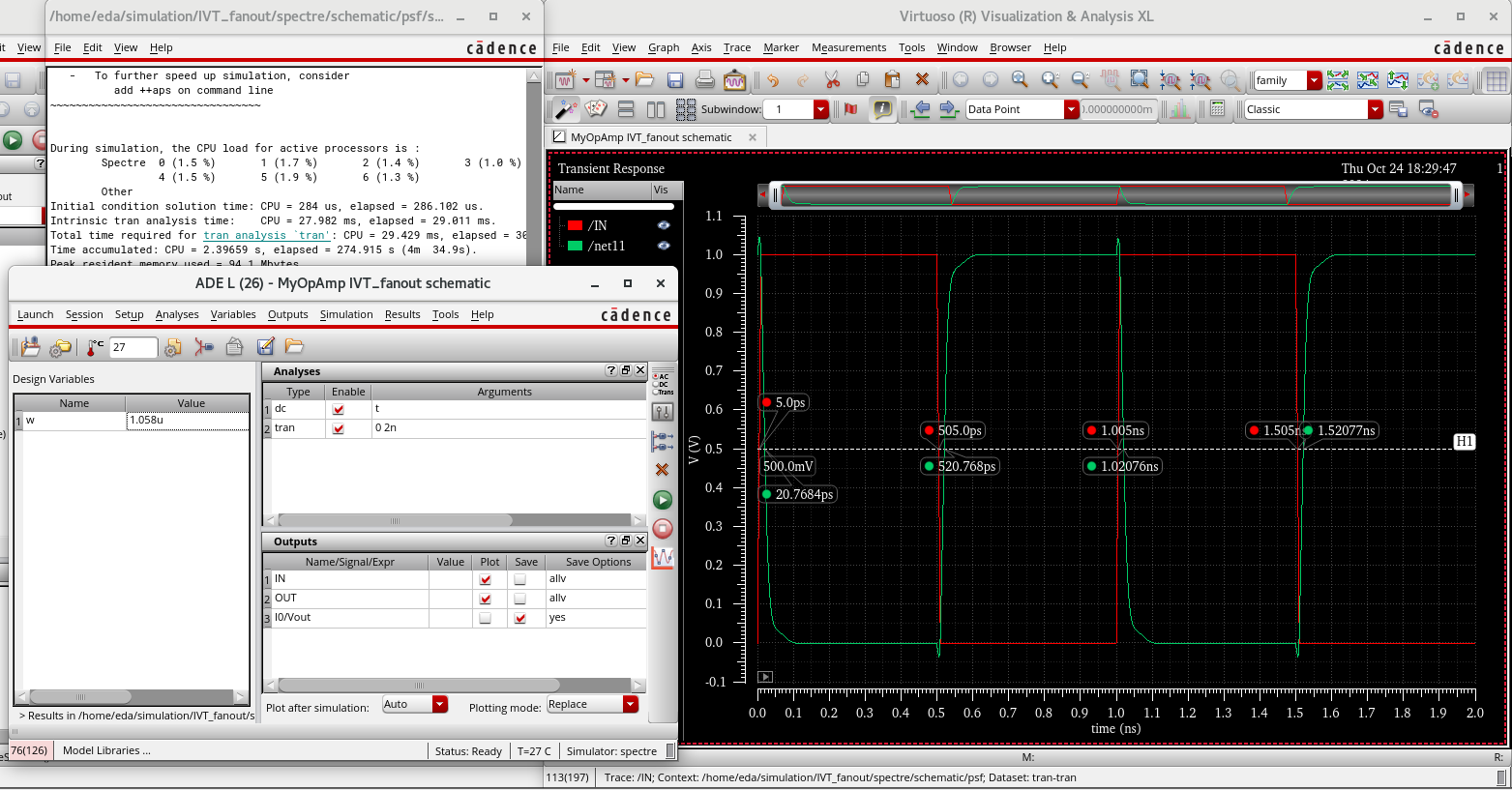


图12 延时平衡优化

继续进行优化，使输出从高到低和从低到高变化时的延时之和最小，由图13可知，当NMOS晶体管沟道宽度为1.18um时，输出从高到低和从低到高变化时的延时之和最小为31.334ps。

# 六、总结

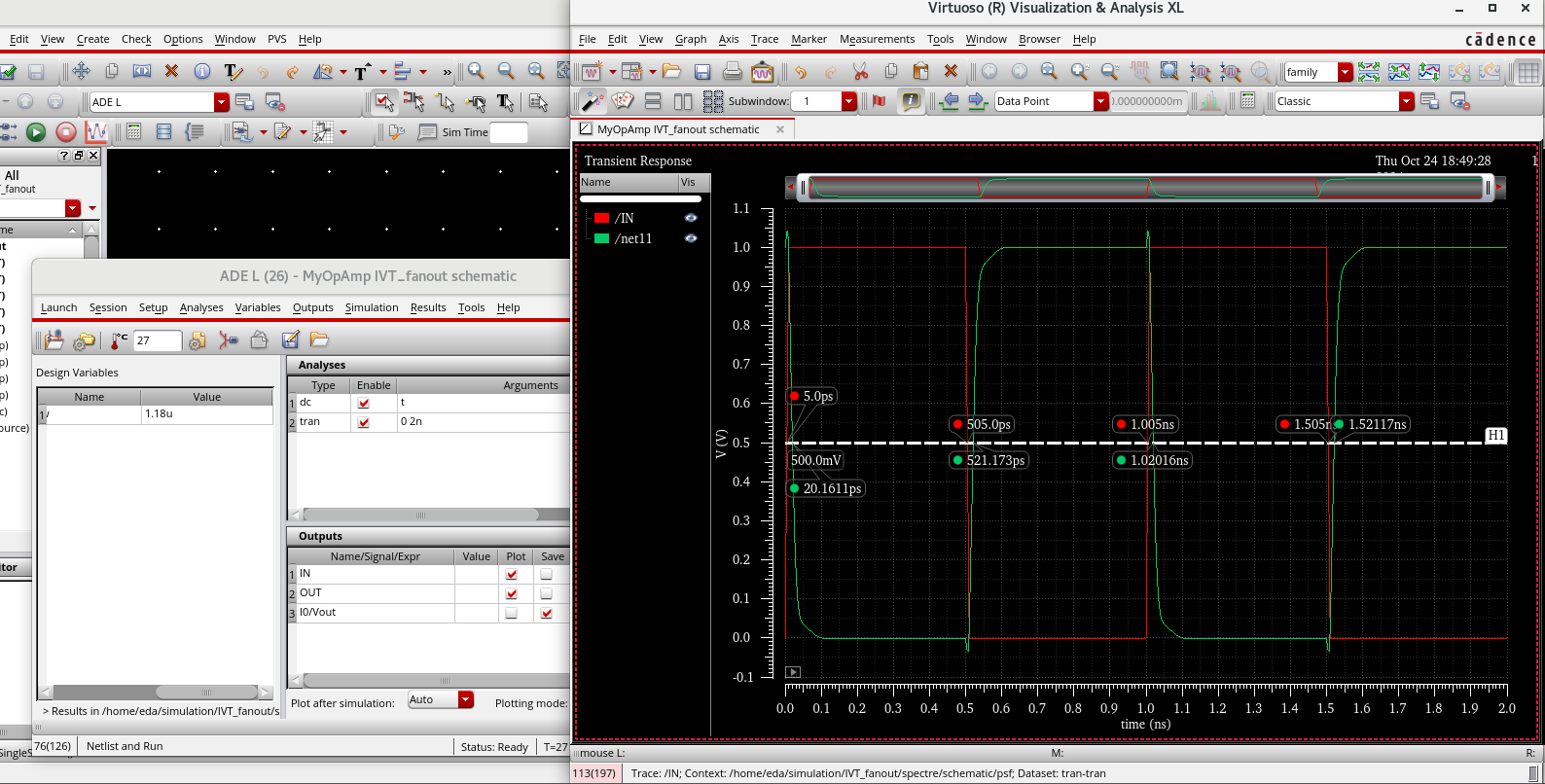


图13 延时最优

本设计再一次巩固了模拟电路仿真设计的流程，从电路原理图设计出发，在版图设计中经过了DRC、LVS检查，在电路仿真中学习了DC分析与瞬态分析的方法，为以后从事模拟相关方面的工作打下了基础。

同时，就本课程而言，由于反相器构成了数字电路以及数字集成电路的基础本设计也会帮助设计者在后续的数字电路设计学习中对电路有更深的理解，对模拟电路中的延时的理解也可以对数字的时序有更好地把握。