ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΕΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 203 - ΠΡΟΧΩΡΗΜΕΝΗ ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2016

Εργαστήριο 3

Υλοποίηση Μετρητή που Επικοινωνεί με FSM

ΕΚΠΟΝΗΣΗ : Καθηγ. Α. Δόλλας,
Δρ. Κ. Παπαδημητρίου

ΕΔΙΠ: Μ. Κιμιωνής
Κ. Παπαδημητρίου

ΒΟΗΘΟΙ: Π. Μαλακωνάκης
Ι. Γαλανομμάτης
Κ. Καλαϊτζής
Μ. Κουσανάκης

ΕΚΔΟΣΗ : 9.0 (Εαρινό εξάμηνο 2016)

Χανιά 2016

Σκοπός – Γενική περιγραφή

Είναι η δημιουργία ενός σύγχρονου μετρητή 4-bit, που ελέγχεται από τα εξωτερικά σήματα εισόδου reset, load, enable, και εσωτερικά από μια FSM που ελέγχει το σήμα updown. Η τιμή του μετρητή φαίνεται σε 4 LEDs. Στην "κανονική λειτουργία" του, ο μετρητής ανεβοκατεβαίνει (0 ως 15, κατευθείαν μετά προς τα κάτω), κάθε φορά που δίνετε έναν παλμό με εξωτερικό Push Button (PB). Θα χρειαστείτε το κύκλωμα "debouncebutton.vhd"

Περιγραφή κυκλώματος και λειτουργίας

Το κύκλωμα αποτελείται από 2 βασικά υποκυκλώματα:

- έναν μετρητή 4-bit που μπορεί να μετράει πάνω (up) και κάτω (down), και έχει εισόδους όλα τα γνωστά σήματα ελέγχου όπως στο Κεφ 3 των σημειώσεων: clock, reset, load, enable, updown.
- μια FSM που ελέγχει το updown του μετρητή. Η ίδια η FSM, ελέγχεται από τον μετρητή ως εξής: όταν ο μετρητής "ανεβαίνει", και πριν αυτός φτάσει στο maxValue, τότε το updown της FSM θα γίνει '0', ενώ όταν ο μετρητής "κατεβαίνει", και πριν αυτός φτάσει στο minValue, τότε το updown θα γίνει '1'.

Η επικοινωνία και η αλληλεπίδραση μεταξύ μετρητή και FSM φαίνεται στον παρακάτω ψευδοκώδικα. Προσοχή όμως: ο ψευδοκώδικας δίνεται για να καταλάβετε τη συμπεριφορά του κυκλώματος που θα υλοποιήσετε, **όχι για να το σχεδιάσετε έτσι**. Τα δύο υποκυκλώματα είναι αυτόνομα, ανεξάρτητες μονάδες (modules), και επικοινωνούν μεταξύ τους μόνο μέσω του σήματος updown και μέσω του μετρητή:

```
if fsm's output='1', then counter does upcounting
else if fsm's output='0', then counter does downcounting
```

σημείωση: η fsm έχει 2 καταστάσεις(states), στο state0 η έξοδος output='1', στο state1 η έξοδος output='0'. Με ασύγχρονο reset, η fsm μένει/επιστρέφει στο state0.

```
when counter goes UP, if counter = maxValue-1, then fsm goes to state1
when counter goes DOWN, if counter = minValue+1, then fsm goes to state0
```

* minValue= "0000", maxValue= "1111"

Εξωτερικό I/O κυκλώματος & διεπαφή με το Basys2

Όνομα	in/out	Active high/low	Πλάτος σε bit	Αντιστοίχιση στο Board
clk	in		1	MCLK
reset	in	high(1')	1	PB3
load	in	high('1')	1	SW0
enable	in	high('1')	1	PB0
counterOut	out[3:0]		4	LED3-LED0
updown	out		1	LED5

Πίνακας 1: Είσοδοι - έξοδοι του κυκλώματος

Για καλύτερη εποπτεία των εισόδων που δίνετε, συνδέσετε ως βοηθητικά, τα σήματα enable και load στα LED7 και LED6 αντίστοιχα.

Περιγραφή λειτουργίας σύμφωνα με τα σήματα εισόδου

Παρακάτω περιγράφεται η αντίδραση του κυκλώματος ανάλογα με την τιμή των σημάτων εισόδου. Υψηλότερη προτεραιότητα έχει το σήμα reset (ασύγχρονο), μετά το load (σύγχρονο), και τέλος το enable (σύγχρονο).

Πάτημα PB3 (reset):
Η έξοδος του μετρητή γίνεται "0000", για όση ώρα κρατάτε πατημένο το reset.

Ενεργοποίηση SW0 (load):
Αν το reset είναι ανενεργό ('0'), και ενεργοποιηθεί το load ('1), τότε θα φορτωθεί στον μετρητή η τιμή **3_{10} (0011_2)**, άσχετα από την τιμή που έχει εκείνη τη στιγμή. Αν απενεργοποιηθεί το load ('1), ο μετρητής μπορεί να ξεκινήσει να μετράει πάνω ή κάτω ξεκινώντας από την τιμή **3_{10} (0011_2)**, όταν πατηθεί το PB0 όπως περιγράφεται παρακάτω.

Πάτημα PB0 (enable):
Αν τα reset και load είναι ανενεργά ('0'), η ενεργοποίηση του enable ('1') επιτρέπει την "κανονική λειτουργία" του μετρητή, δηλ. αλλάζει τιμή με κάθε πάτημα του PB0. Κάθε φορά που το πατάτε, προκαλείται αύξηση ή μείωση κατά 1:

…0->1->2->3->…13->14->15->14->13->…3->2->1->0->1->2->…

Αν το enable είναι ανενεργό ('0'), δεν αλλάζει η τιμή του μετρητή.

Οδηγίες σχεδίασης που πρέπει να ακολουθήσετε

Τα δύο υποκυκλώματα είναι ξεχωριστές μονάδες (modules). Κάθε υποκύκλωμα μπορεί να αποτελείται από άλλα ξεχωριστά μικρότερα υποκυκλώματα. Π.χ ο 4-bit μετρητής που θα σχεδιάσετε **πρέπει να αποτελείται από 4 flip-flops**, καθένα έχει είσοδο clock, reset, Din, ld, en, updown. Δείτε το Κεφ 3 των σημειώσεων. Η έξοδος Q κάθε flip-flop, θα συνδεθεί στην είσοδο του επόμενου για να δημιουργηθεί ο μετρητής 4-bit, με σχεδίαση structural, όχι behavioral. Τη σύνδεση μεταξύ των flip-flops, θα την κάνετε με **instances (component και port map) σε ένα module που θα ονομάσετε counter**. Αυτό το module, δε θα περιέχει instance του module της FSM. Τα 2 υποκυκλώματα, δηλ. το counter module και το FSM module, θα τα συνδέσετε σε ένα topLevel. Προσοχή που και πως θα συνδέσετε το debouncebutton.

Για την προσομοίωση, θα "καλέσετε" μόνο το toplevel ως instance στο testbench.

Προετοιμασία

Πριν την προσέλευση σας στο εργαστήριο:

Α) Να έχετε σχεδιάσει το block diagram του κυκλώματος. Στο block diagram να φαίνονται αναλυτικά είσοδοι/έξοδοι κι εσωτερικές συνδέσεις.

Β) Να έχετε σχεδιάσει το αναλυτικό διάγραμμα του μετρητή 4-bit και της FSM. Απαιτούμενο είναι να μπορείτε να μας περιγράψετε πως αλληλεπιδρούν τα υποκυκλώματα και επηρεάζουν τη συνολική συμπεριφορά του κυκλώματος.

Γ) Να έχετε υλοποιήσει το κύκλωμα σε κώδικα VHDL και να έχετε κάνει προσομοίωση. Προτείνεται, το κύκλωμα σας να έχει περάσει και το στάδιο "Implement" δηλ. "Place & Route" στο Xilinx ISE.

Παρατηρήσεις/Σημειώσεις

α) Τα δύο υποκυκλώματα είναι σύγχρονα, έχουν ρολόϊ
β) Το κύκλωμα "debouncebutton.vhd" βρίσκεται στο courses
γ) Επαληθεύστε τη λειτουργία κάθε υποκυκλώματος, βήμα-προς-βήμα καθώς τα σχεδιάζετε, δηλ.: για κάθε flip-flop φτιάξτε ένα testbench και προσομοιώστε το, στη συνέχεια κάντε το ίδιο για το counter module. Επίσης ελέγξτε και τη σύνδεση με το debouncebutton. Ξεχωριστό testbench να κάνετε και για

το fsm module. Ενώστε τα όλα μετά στο topLevel, και φτιάξετε το τελικό testbench.
δ) Λεπτομέρειες για το αναπτυξιακό Basys2 θα βρείτε στο παρακάτω link:
https://reference.digilentinc.com/ media/basys2:basys2 rm.pdf

Παραδοτέα:

Πηγαίος κώδικας VHDL, κυματομορφές προσομοίωσης, παρουσίαση κυκλώματος.

Βαθμολογία:

Διεξαγωγή εργαστηρίου	**Σύνολο: 70%**
	Προετοιμασία 20%
	Προσομοίωση 30%
	Σωστή λειτουργία του κυκλώματος στο Board 20%
Αναφορές	**Σύνολο: 30%**

ΠΡΟΣΟΧΗ!

1) Η έλλειψη προετοιμασίας οδηγεί στην απόρριψη στη συγκεκριμένη εργαστηριακή άσκηση.

2) Η διαπίστωση αντιγραφής σε οποιοδήποτε σκέλος της άσκησης οδηγεί στην άμεση απόρριψη από το σύνολο των εργαστηριακών ασκήσεων.

3) Ο βαθμός της αναφοράς μετράει στον τελικό βαθμό του εργαστηρίου μόνο αν ο βαθμός της διεξαγωγής του εργαστηρίου είναι (35/70)%.

Καλή Επιτυχία ☺