

ГИБРИДНЫЕ ПРОЦЕССОРЫ НА ПРИМЕРЕ T2+ ОТ SUN

КРОШЕНИННИКОВ АРТЕМ, 633 ГР.

ПОДГОНКА ПОД НАШ ПРОЕКТОР

Black - White - League - Sky - Beige - Simple
Serif - Blood - Night - Moon - Solarized

UltraSPARC T2 («Niagara 2») — многоядерный
многопоточковый микропроцессор от Sun Microsystems.

Представитель семейства процессоров SPARC и
последователь UltraSPARC T1

T2 -- октябрь 2007 года,

T2 Plus -- апрель 2008 года,

T3 -- 2010 год.

ОСОБЕННОСТИ T2

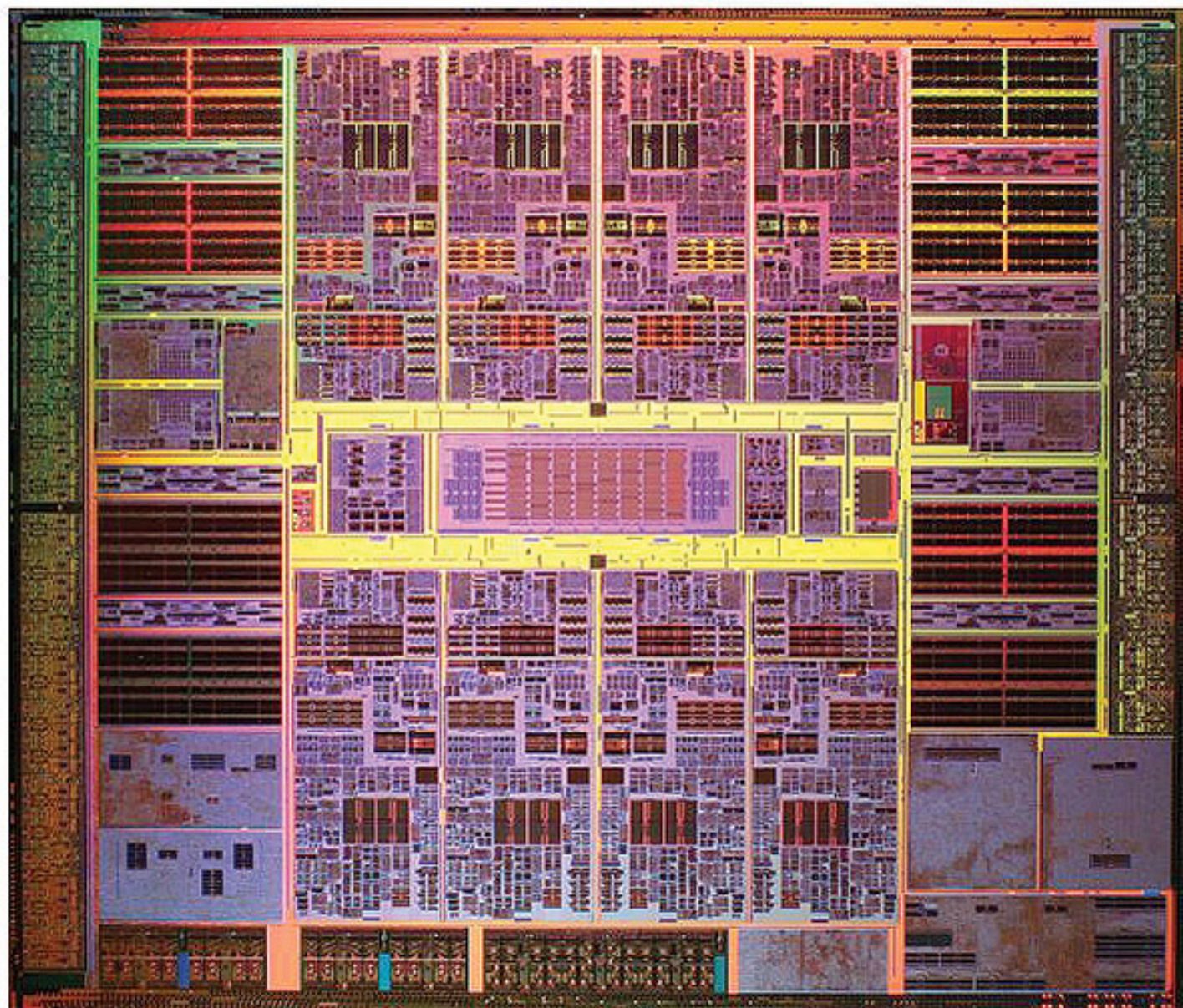
- 65 нм техпроцесс
- 8 ядер, у каждого ядра по 8 потоков
- Увеличение тактовой частоты с 1,2 до 1,4 ГГц
- Один порт PCI Express вместо интерфейса JBus
- Два порта 10 Gigabit Ethernet
- Размер кэша L2 увеличен с 3 до 4 МБ
- 2 целочисленных АЛУ на ядро вместо одного
- Одно устройство с плавающей точкой на ядро (а не на процессор, как раньше)
- Восемь устройств шифрования, каждое поддерживает DES, 3DES, AES, RC4, SHA1, SHA256, MD5, RSA-2048, ECC, CRC32

ОТЛИЧИТЕЛЬНЫЕ ОСОБЕННОСТИ T2+

- Возможность использовать в двух- и четырех-процессорных конфигурациях
- Удален встроенный в чип Ethernet-контроллер на 10-Гбит

Главная особенность T2+ по сравнению с T2 -- принцип SMP

Симметричная мультипроцессорность (Symmetric Multiprocessing, сокращённо SMP) — архитектура многопроцессорных компьютеров, в которой два или более одинаковых процессора сравнимой производительности подключаются единообразно к общей памяти (и периферийным устройствам) и выполняют одни и те же функции



Name	UltraSPARC IV+®	SPARC64™ VI	UltraSPARC™ T1	UltraSPARC™ T2	UltraSPARC™ T2 Plus
Codename	Panther	Olympus-C	Niagara	Niagara 2	Victoria Falls
Physical					
process	90nm	90nm	90nm	65nm	65nm
die size	335 mm ²	421 mm ²	379 mm ²	342 mm ²	
pins	1368		1933	1831	
transistors	295 M	540 M	279 M	503 M	
clock	1.5 – 2.1 GHz	2.15 – 2.4 GHz	1.0 – 1.4 GHz	1.0 – 1.4 GHz	1.2 – 1.4 GHz
Architecture					
cores	2	2	8	8	8
threads/core	1	2	4	8	8
threads/chip	2	4	32	64	64
FPU : IU	1 : 1	1 : 1	1 : 8	1 : 1	1 : 1
integration			8 × small crypto	8 × large crypto, PCI-E, 2 × 10Gbe	8 × large crypto, PCI-E, multi-socket coherency
virtualization	<u>domains</u> ¹		hypervisor		
L1 i\$	64K/core	128K/core	16K/core		
L1 d\$	64K/core	128K/core	8K/core		
L2 cache (on-chip)	2MB, shared, 4-way, 64B lines	6MB, shared, 10-way, 256B lines	3MB, shared, 12-way, 64B lines	4MB, shared, 16-way, 64B lines	

Name	UltraSPARC IV+®	SPARC64™ VI	UltraSPARC™ T1	UltraSPARC™ T2	UltraSPARC™ T2 Plus
Codename	Panther	Olympus-C	Niagara	Niagara 2	Victoria Falls
L3 cache	32MB shared, 4-way, tags on-chip, 64B lines	n/a	n/a		
MMU	on-chip		on-chip, 4 × DDR2	on-chip, 4 × FB-DIMM	on-chip, 2 × FB-DIMM
Memory Models	TSO	TSO	TSO, limited RMO		
Physical Address Space	43 bits	47 bits	40 bits		
i-TLB	16 FA + 512 2-way SA		64 FA		
d-TLB	16 FA + 512 2-way SA		64 FA	128 FA	
combined TLB		32 FA + 2048 2-way SA			
Page sizes	8K, 64K, 512K, 4M, 32M, 256M	8K, 64K, 512K, 4M, 32M, 256M	8K, 64K, 4M, 256M		
<u>Memory bandwidth²</u> (GB/sec)	9.6		25.6	60+	32

ВИРТУАЛИЗАЦИЯ

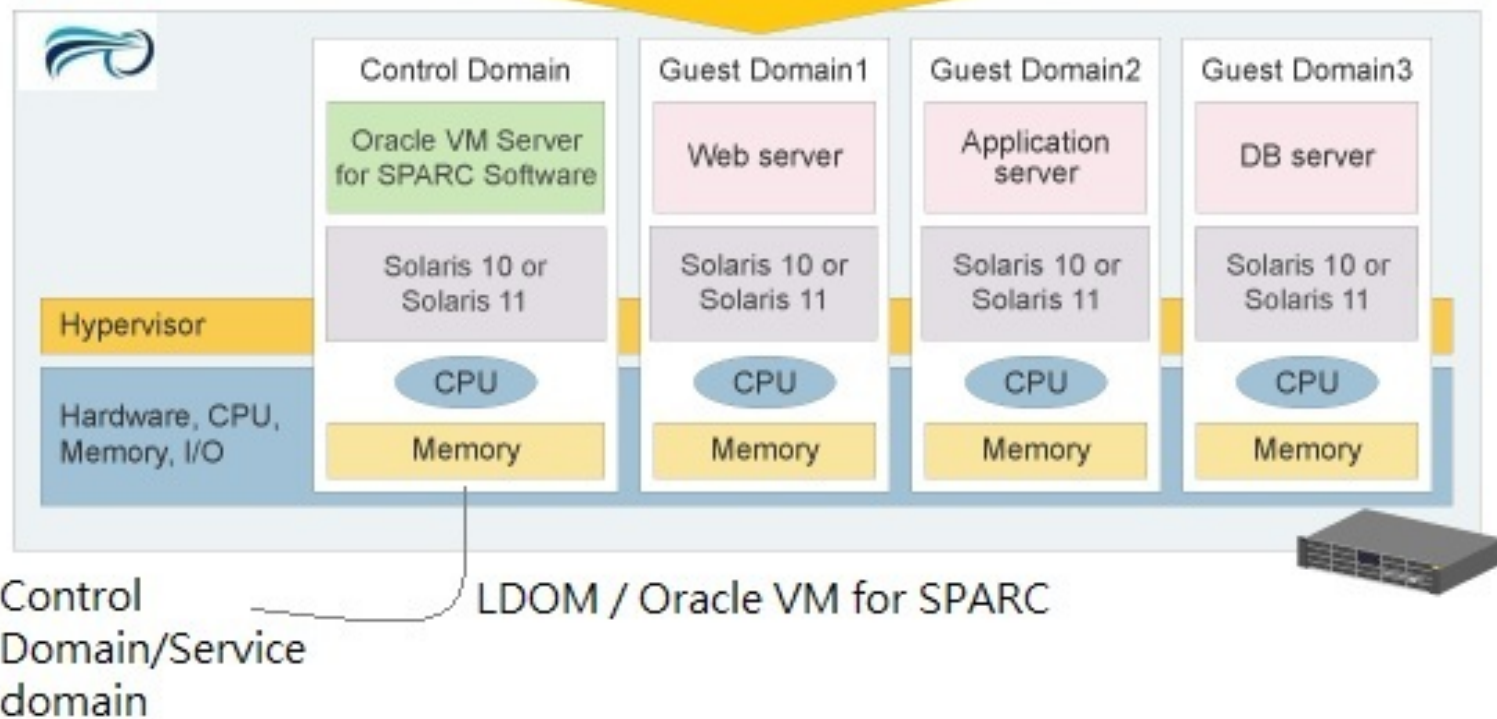
Как и T1, T2 поддерживает гипер-привилегированный режим (Hyper-Privileged execution mode). В этом режиме работает гипервизор SPARC, который может разбить T2 на 64 логических домена (LDoms), в каждом из которых может работать своя операционная система

LOGICAL DOMAINS (LDOMS ИЛИ LDOM)

Технология виртуализации и разделения физических ресурсов для линейки UNIX-серверов, основанных на архитектуре SPARC V9

Каждый логический домен представляет собой полноценную виртуальную машину с набором аппаратных ресурсов. Операционные системы, работающие внутри отдельных доменов, могут независимо запускаться, останавливаться или перезагружаться.

Guest Domains to run the operating system instances



В случае серверной конфигурации с использованием общего хранилища данных, появляется возможность живой миграции логических доменов с одного сервера на другой без необходимости их останова (начиная с Oracle VM Server for SPARC версии 2.1). При этом используется метод безопасной высокоскоростной передачи между серверами содержимого памяти виртуальных машин, при помощи шифрования выделенными модулями криптографических ускорителей, имеющимися во всех процессорах микроархитектуры sun4v.

ОБЛАСТЬ ПРИМЕНЕНИЯ

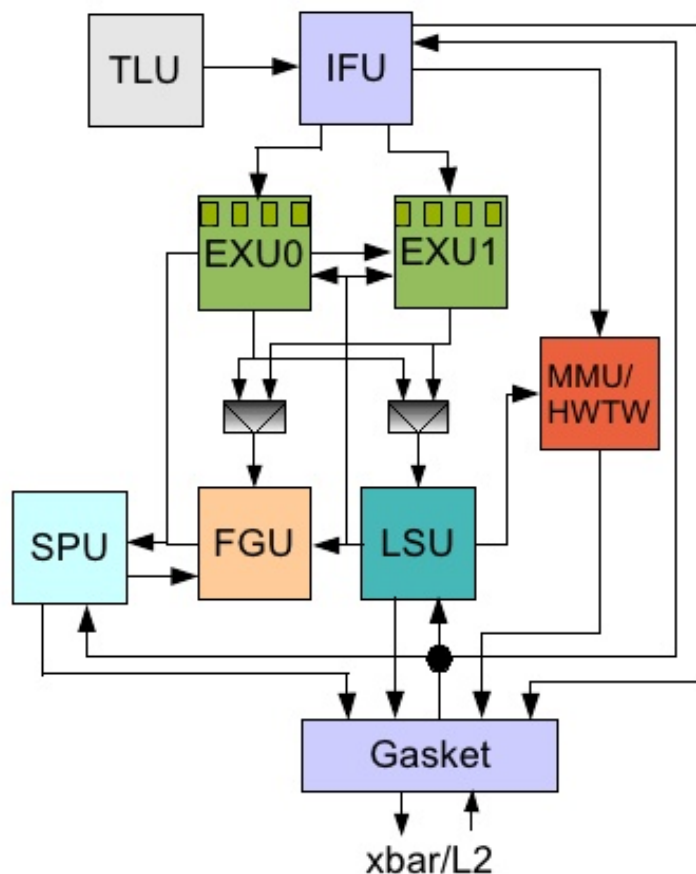
“Тяжелые” серверные приложения

ERP-системы SAP, CRM-системы Siebel

Oracle DB

Виртуализация с помощью контейнеров Solaris

UltraSPARC T2/Plus CPU Core Block Diagram



- IFU – Instruction Fetch Unit
 - > 16 KB I\$, 32B lines, 8-way SA
 - > 64-entry fully-associative ITLB
- EXU0/1 – Integer Execution Units
 - > 4 threads share each unit
 - > Executes one integer instruction/cycle
- LSU – Load/Store Unit
 - > 8KB D\$, 16B lines, 4-way SA
 - > 128-entry fully-associative DTLB
- FGU – Floating/Graphics Unit
- SPU – Stream Processing Unit
 - > Cryptographic acceleration
- TLU – Trap Logic Unit
 - > Updates machine state, handles exceptions and interrupts
- MMU – Memory Management Unit
 - > Hardware tablewalk (HWTW)
 - TLB miss handled by hardware
 - > 8KB, 64KB, 4MB, 256MB pages

УНИВЕРСАЛЬНОСТЬ ПРОЦЕССОРОВ ULTRASPARC T2/T2+

- Вычисления
- Сетевые функции
- Безопасность
- Ввод\вывод данных
- Интегрированная поддержка OS Solaris

SPU на каждом ядре работает параллельно с ядром на той же самой частоте. Модуль шифрования/хеширования поддерживает DES, 3DES, AES, RC4, SHA1, SHA256, MD5, RSA-2048, ECC, CRC32.

SPU разрабатывался, чтобы достигнуть проводной скорости шифрования и дешифрования на процессорных портах 10 GbE.

ВЫВОДЫ

- Архитектурный подход UltraSparc T2/T2+ положил начало развитию APU (AMD Fusion, Intel SandyBridge и далее)
- Размещение всех вычислительных юнитов на одном кристалле позволяло снизить энергопотребление и тепловыделение
- Многопроцессорный подход позволил не увеличивать тактовую частоту, а наращивать количество потоков
- Интеграция всех юнитов позволила увеличить производительность во всех сферах

СПАСИБО ЗА ВНИМАНИЕ

Вопросы?

В начало.