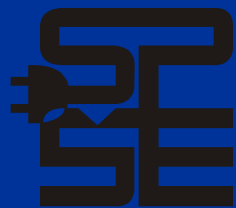
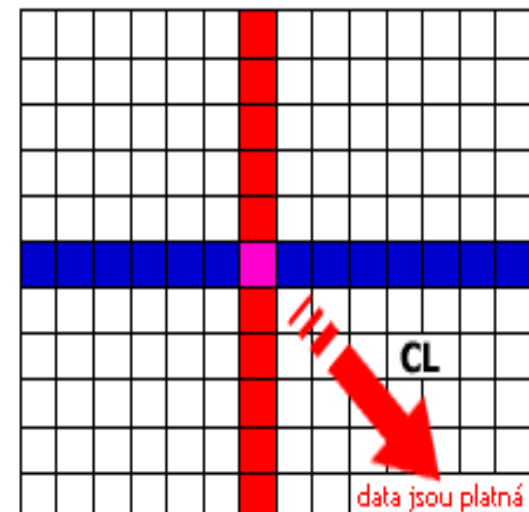
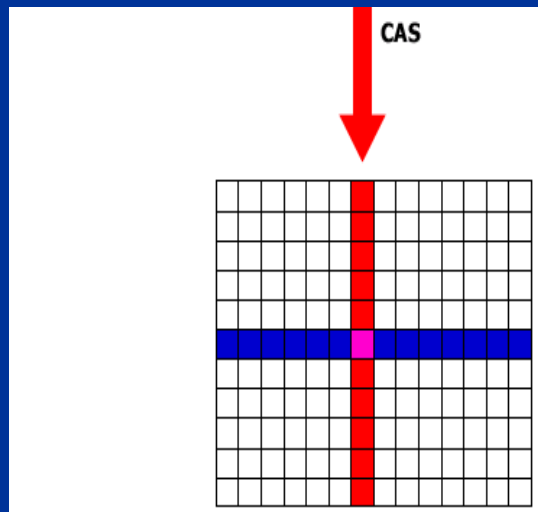
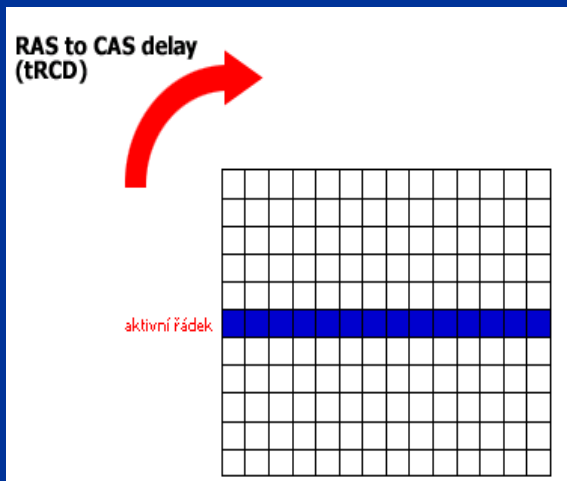
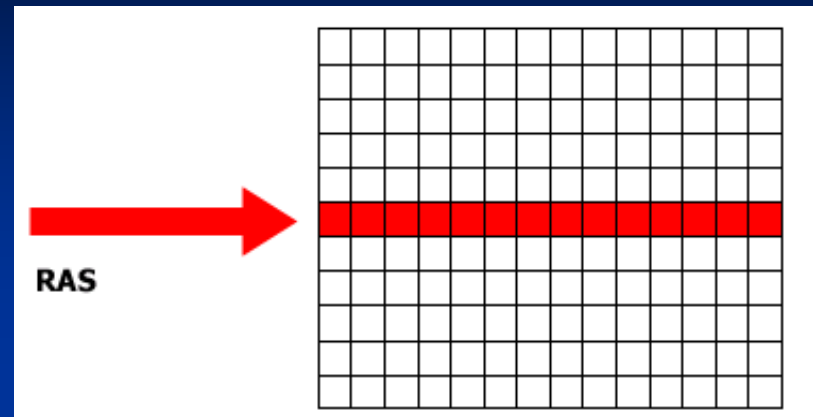
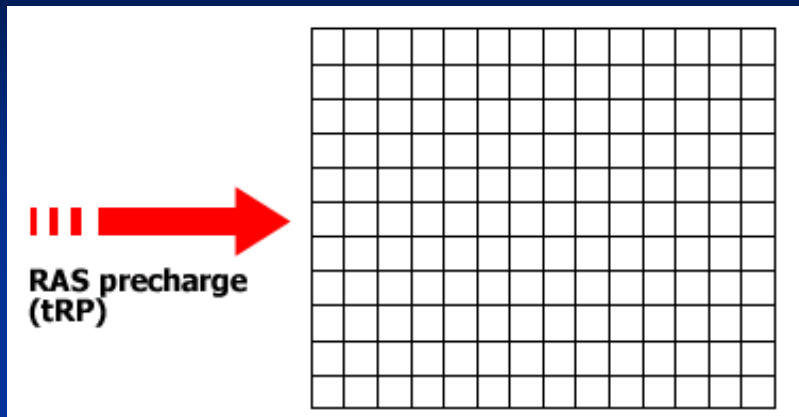


Název školy	Střední průmyslová škola elektrotechnická, Havířov, Příspěvková organizace, Makarenkova 513/1, Havířov
Název a číslo OP	OP Vzdělávání pro konkurenceschopnost, CZ.1.5
Název projektu Registrační číslo	Podpora odborných kompetencí CZ.1.07/1.5.00/34.0946
Název šablony klíčové aktivity:	III/2 Inovace a zkvalitnění výuky prostřednictvím ICT
Číslo materiálu (sady) Název sady	<b>VY_32_INOVACE_08-08</b> Paměti RAM_4 – latence pamětí, technologie Dual Channel a další vlastnosti paměťových modulů a jejich odlišnosti
Autor	Ing. Peter Ralbovský
Tématický celek Předmět	Komponenty základní desky PC - Paměti RAM - typy a jejich charakteristiky HARDWARE
Ročník	4. ročník SPŠE
Datum tvorby Ověření ve výuce	Leden 2013 Říjen – Listopad 2013
Anotace	Popis významu a souvislostí mezi taktováním pamětí a jejich latencemi – vliv na celkovou rychlost přenosu dat a jejich testování, zvyšování datové propustnosti a odlišnosti jednotlivých typů z hlediska podpory chipsetu základní desky.
Metodický pokyn	Prezentace je určena jako pomocný materiál k výkladu do 1- 2 hodin a částečně s využitím odkazů na zdroje a internetu i k samostudiu. Při výuce má každý student před sebou základní desku, paměťové moduly a s využitím manuálu k základní desce a s ohledem na zvýšení kapacity i datové propustnosti tyto instaluje.
Zdroje a odkazy	Pokud není uvedeno jinak, uvedený materiál je z vlastních zdrojů

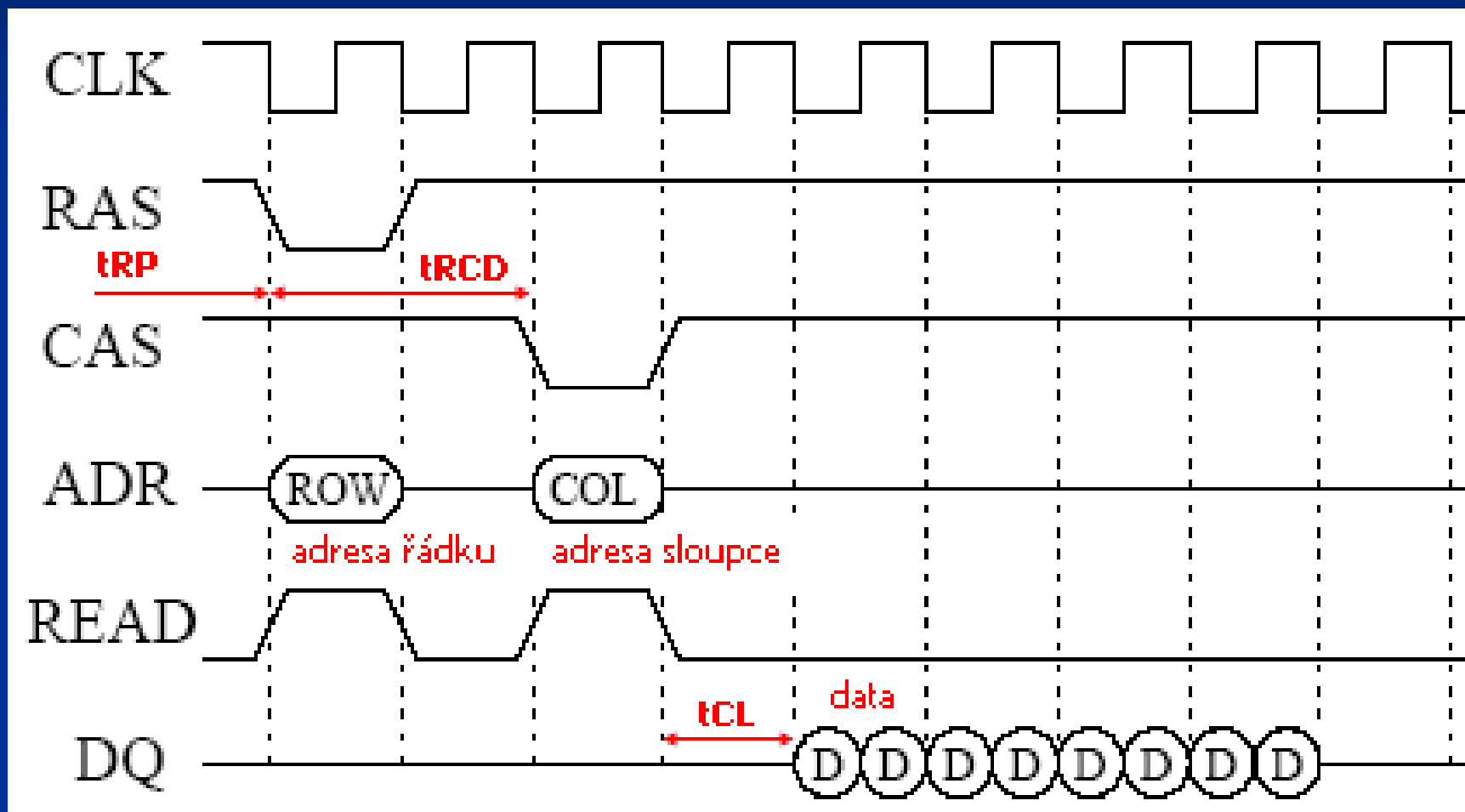


Autorem materiálu a všech jeho částí, není-li uvedeno jinak, je Ing. Peter Ralbovský.  
Střední průmyslová škola elektrotechnická, Havířov, příspěvková organizace, Makarenkova 513/1, Havířov. Tento výukový materiál byl zpracován v rámci projektu EU peníze středním školám- OP VK, CZ.1.5.

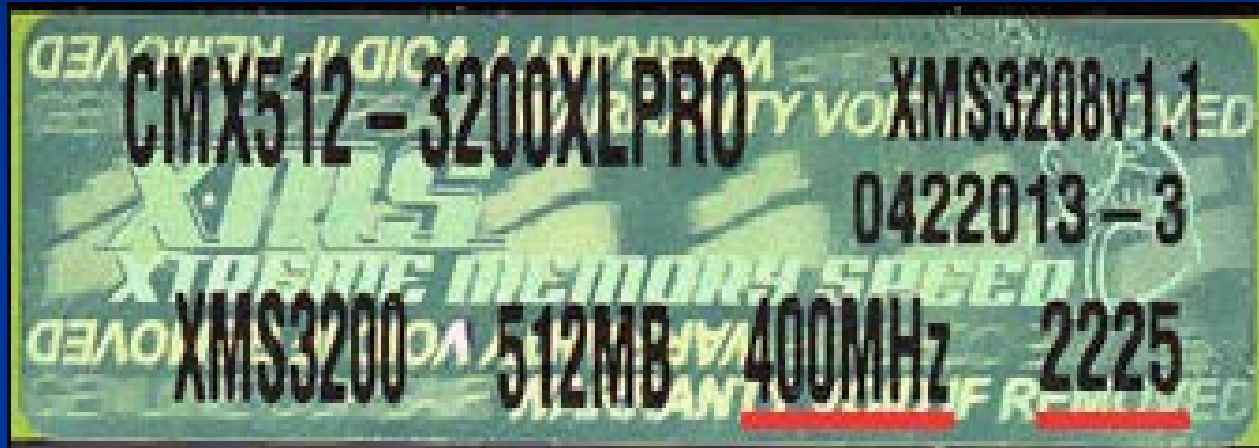
# Latence – dopravní spoždění



# Časování paměti



# Latence paměti



**PC3200 2-3-4-6 1T**

typ

CL-tRCD-tRP-tRAS Command

# Časování paměti

- Udává počty taktů potřebné k různým operacím, které jsou prováděny v průběhu přístupu k paměti
- Operace:
  - $t_{\text{RCD}}$ :  $\overline{\text{RAS}}$  to  $\overline{\text{CAS}}$  Delay:
    - časová prodleva (počet taktů) od okamžiku, kdy je vybrán (aktivován) řádek do doby, kdy je možné vybrat sloupec a potvrdit jej signálem  $\overline{\text{CAS}}$
    - při sekvenčním čtení (zápisu) nemá příliš velký dopad, protože data jsou čtena (zapisována) na stejném řádku, který je stále aktivní

# Časování paměti

- $t_{CL}$ : CAS Latency:
  - počet taktů potřebný k získání informace z paměťové buňky poté, kdy byl vybrán její sloupec
  - uplatňuje se při každém přístupu k paměti  $\Rightarrow$  má největší vliv na rychlost paměti
- $t_{RP}$ : RAS Precharge Time:
  - počet taktů nutný pro ukončení přístupu k jednomu řádku paměti a pro zahájení přístupu k řádku jinému
  - ve spojení s  $t_{RCD}$  udává počet taktů nezbytných k přechodu z jednoho řádku paměti na řádek druhý, kde již může být vybrán požadovaný sloupec

# Časování paměti

- $t_{RAS}$ : Active to Precharge Delay:

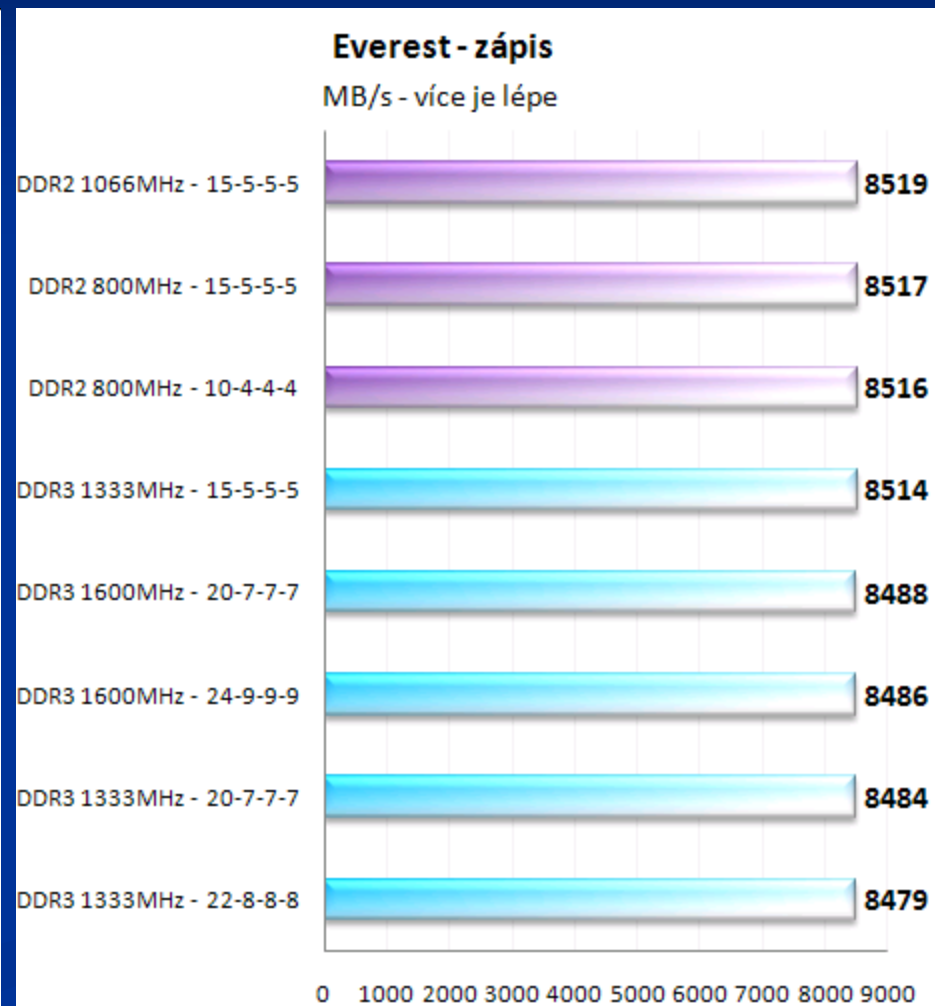
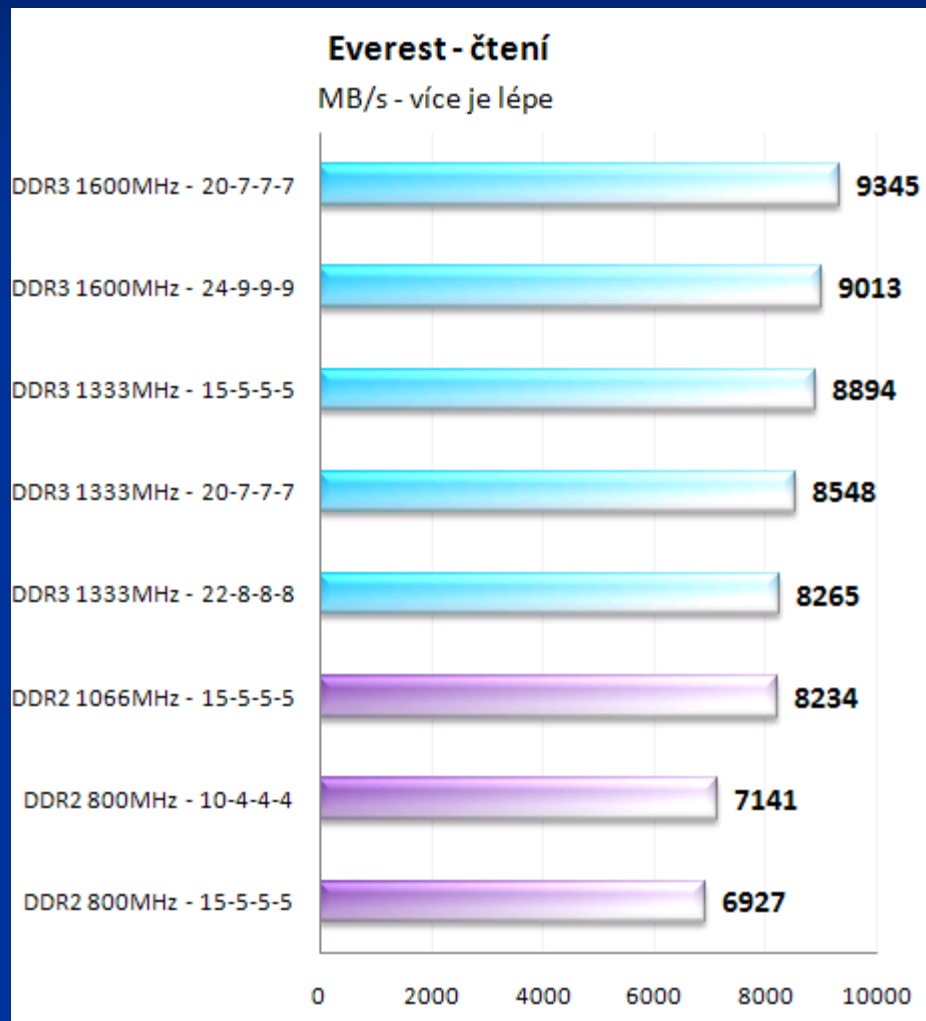
- nejmenší počet taktů, po které musí být řádek aktivní, než může opět deaktivován
- vyjadřuje minimální dobu, po kterou musí být signál  $\overline{RAS}$  v aktivní úrovni

- Výše uvedené údaje bývají zapisovány ve čtyřčlenné notaci vyjadřující časování dané paměti:

$$t_{CL}-t_{RCD}-t_{RP}-t_{RAS}$$

- Např.: 2-3-3-6

# Testy – porovnání typu a vlivu latencí

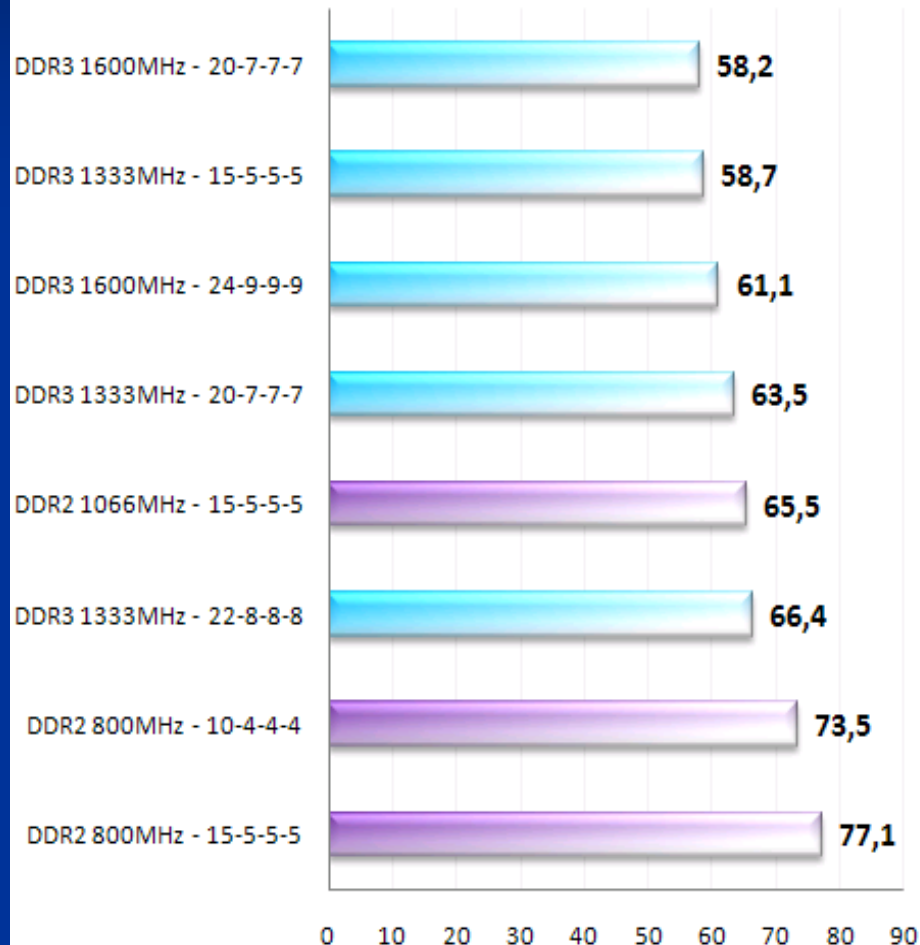




# Testy – porovnání typu a vlivu latencí

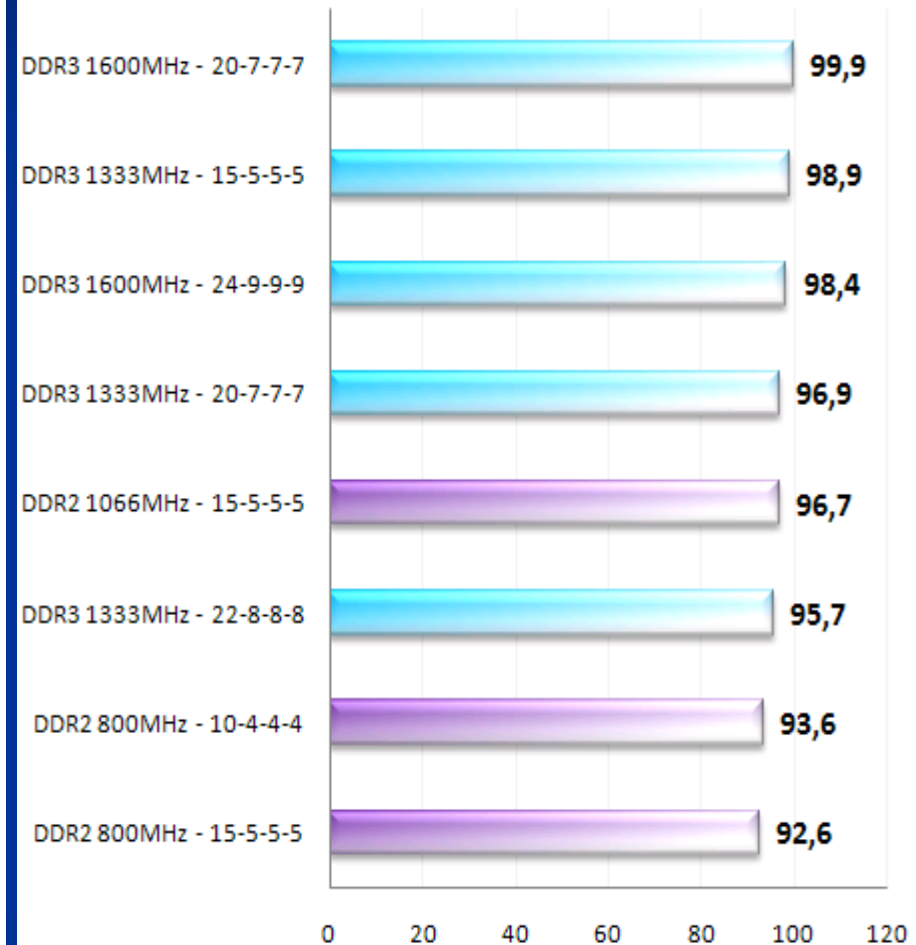
**Everest - latence**

ns - méně je lépe



**Celkový výkon**

procenta - více je lépe



# Dual Channel DDR

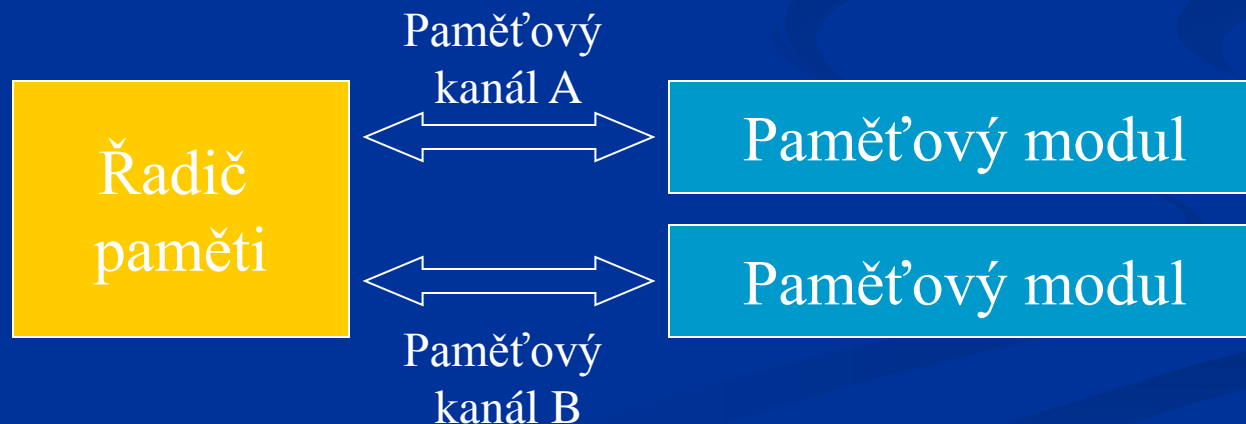
- Nejedná se o nový typ paměti, ale o novou architekturu základních desek využívající paměti DDR, DDR2 a DDR3 SDRAM
- Pro práci s pamětí se využívají dva kanály
- Data jsou přenášena po 128 bitech (64 bitů pro každý kanál)
- Tímto se minimalizují doby, kdy není možné k paměti přistupovat (memory latencies)

# Dual Channel DDR

## ■ Single Channel Memory:



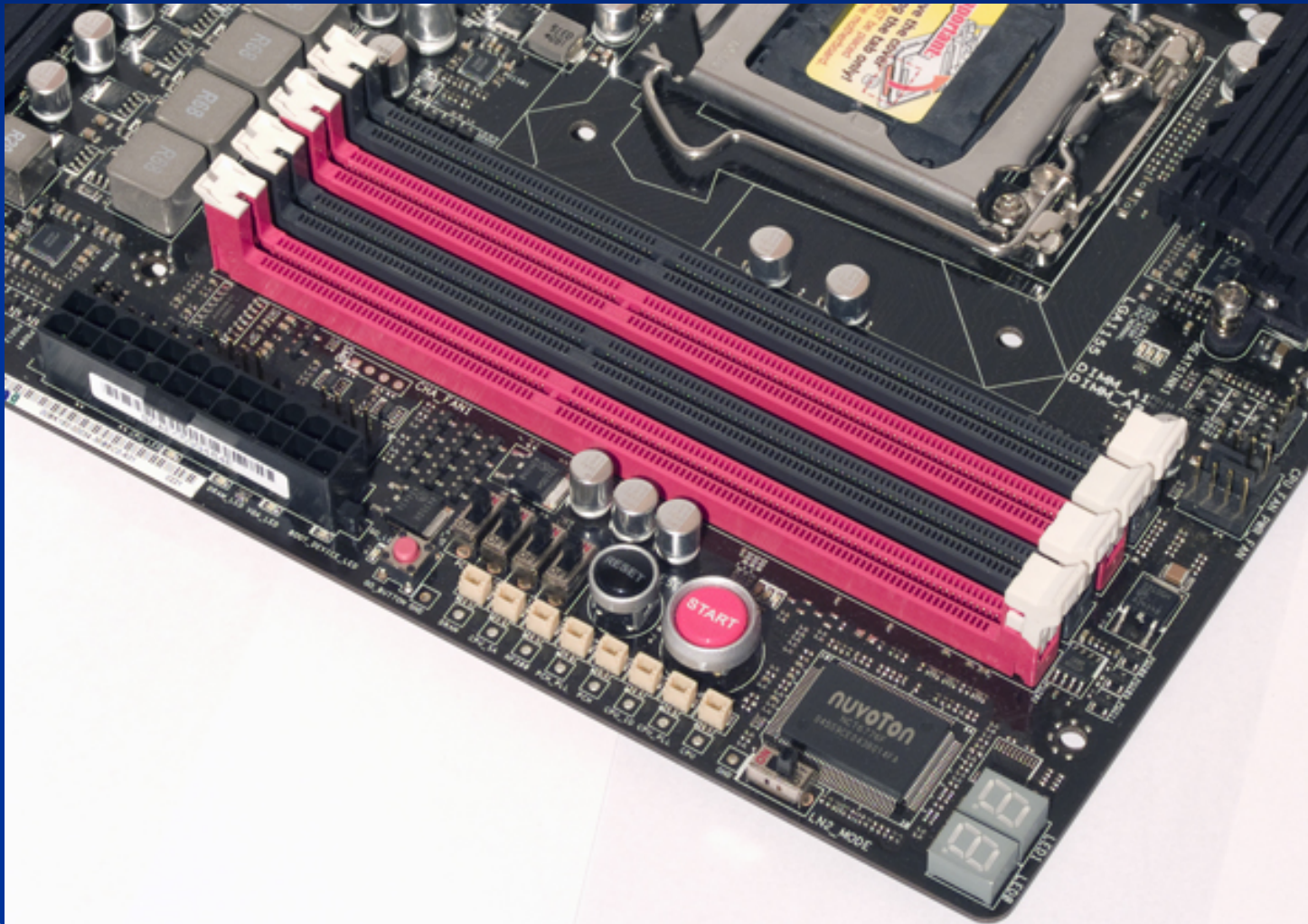
## ■ Dual Channel Memory:



# Dual Channel DDR

- Pro využití architektury Dual Channel DDR je zapotřebí:
  - čipová sada podporující Dual Channel DDR
  - paměťové moduly (DIMM) musí být osazovány po dvojicích
  - oba moduly ve dvojici musí mít stejné parametry
- Použití Dual Channel DDR teoreticky zdvojnásobuje přenosovou rychlost paměti

# Dual Channel – praktické zapojení





# Dual Channel DDR2

- Při použití různých typů pamětí dostáváme níže uvedené maximální přenosové rychlosti:

Typ paměti	Označení	Přenosová rychlost Single Channel	Přenosová rychlost Dual Channel
DDR200	PC1600	1600 MB/s	3200 MB/s
DDR266	PC2100	2100 MB/s	4200 MB/s
DDR333	PC2700	2700 MB/s	5400 MB/s
DDR400	PC3200	3200 MB/s	6400 MB/s
DDR2 400	PC2 3200	3200 MB/s	6400 MB/s
DDR2 533	PC2 4300	4266 MB/s	8533 MB/s
DDR2 667	PC2 5300	5333 MB/s	10666 MB/s
DDR2 800	PC2 6400	6400 MB/s	12800 MB/s
DDR2 1000	PC2 8000	8000 MB/s	16000 MB/s
DDR2 1066	PC2 8500	8500 MB/s	17000 MB/s

# Dual Channel DDR3

Typ paměti	Označení	Přenosová rychlost Single Channel	Přenosová rychlost Dual Channel
DDR3 800	PC3 6400	6400 MB/s	12800 MB/s
DDR3 1066	PC3 8500	8500 MB/s	17000 MB/s
DDR3 1333	PC3 10600	10670 MB/s	21340 MB/s
DDR3 1600	PC3 12800	12800 MB/s	25600 MB/s

Již se používá:  
Triple Channel a Quad Channel

# Další vlastnosti modulů DIMM

- **ECC**(Error Checking and Correcting)
  - znamená , že modul používá samoopravný kód, který dokáže zjistit a opravit jednobitovou nebo u některých typu i dvoubitovou chybu v paměti (pomocí kontrolních součtů ), musí podporovat zákl. deska
  - ECC nebo non-ECC.
- **Registered** (také **Buffered - Unbuffered**).
  - Tyto moduly obsahují navíc speciální I/O buffery (registry), přes které jdou čtená/zapisovaná data. Účelem je zvýšení spolehlivosti přenosu dat
  - Opět nutná podpora zákl. desky
  - Označení v názvu modulu **REG** nebo **U**
- **Fully-Buffered** (FB-DIMM)
  - Tyto paměti obsahují čip AMB(Advanced Memory Buffer), vylepšení obvodů pro buffered paměti, který je jakýmsi bezpečnostním a stabilizačním rozhraním.
  - Mezi AMB a pamětmi na modulu se data přenášejí sériově, kdežto mezi AMB a paměťovou sběrnici paralelně
  - FM-DIMM moduly jsou mnohem dražší a navíc jsou nekompatibilní s běžně prodávanými základními deskami do desktopů a notebooků (jsou určeny pro servery).



# KVR1333D3E9S/4G

## 4GB 512M x 72-Bit PC3-10600

### CL9 ECC 240-Pin DIMM

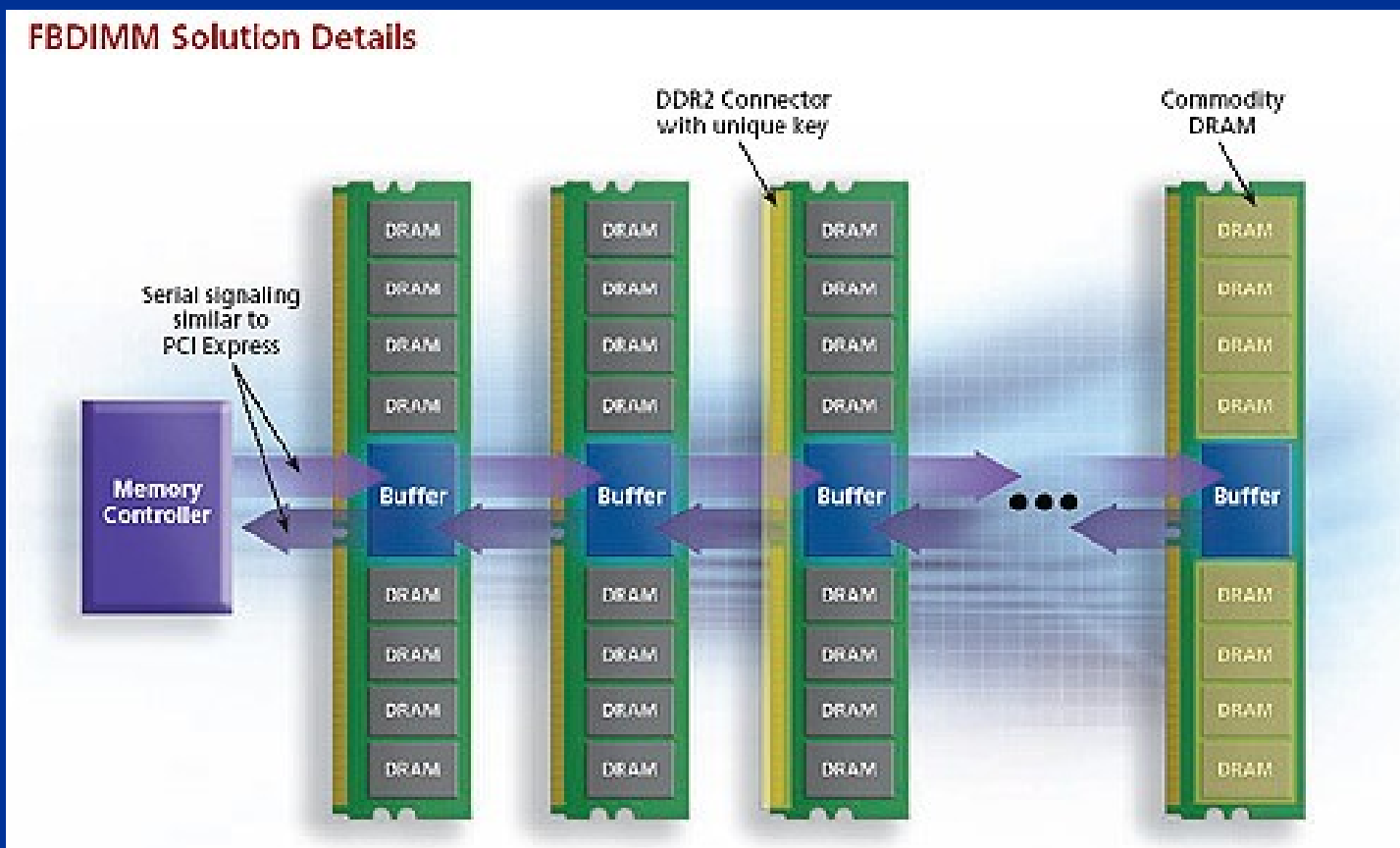
#### DESCRIPTION:

This document describes ValueRAM's 512M x 72-bit 4GB (4096MB) DDR3-1333MHz CL9 SDRAM (Synchronous DRAM) ECC memory module, based on eighteen 256M x 8-bit DDR3-1333MHz FBGA components. The SPD is programmed to JEDEC standard latency 1333MHz timing of 9-9-9 at 1.5V. This 240-pin DIMM uses gold contact fingers and requires +1.5V. The electrical and mechanical specifications are as follows:

- Každý modul DIMM se skládá na jedné straně z osmi (v případě ECC devíti) čipů. Každý čip má datovou šířku 8 bitů a nějakou danou kapacitu udávanou běžně v Mbitech (ale někdy i v MBytech). Jak postupuje výrobní technologie, tato kapacita se zvyšuje.
- Z obr. výše se dozvíme několik podstatných věcí:
  - Modul má datovou kapacitu 4 GB.
  - Sestává z osmnácti čipů o kapacitě 256 Mbyte a datové šířce 8 bitů. Jedná se tedy o 2Gbit čipy. Protože je čipů osmnáct, je modul oboustranný. Ostatně  $18 * 8 \text{ bitů} / 2 = 72 \text{ bitů}$ .
  - Jedná se o ECC modul s datovou šířkou 72 bitů. Ostatně  $18 * 256 \text{ Mbyte} / 9 = 4 \text{ GB}$ .

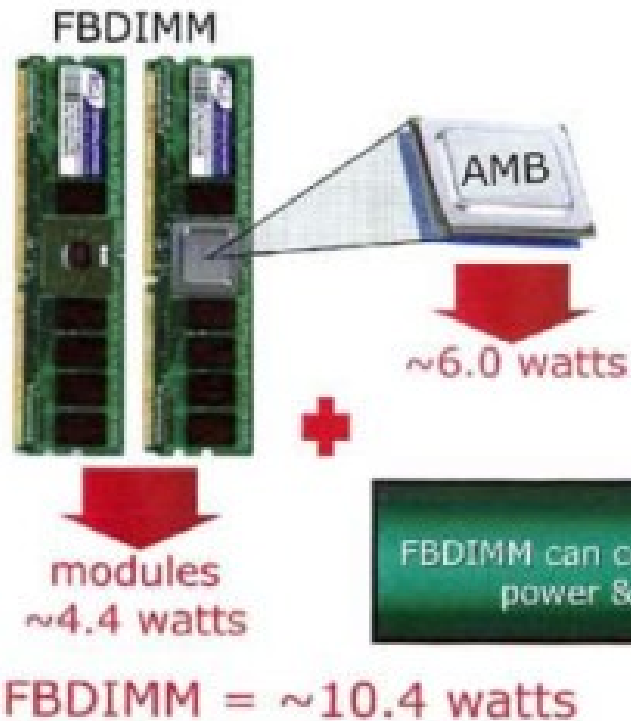
# Technologie: Fully Buffered FB-DIMM

- Teorie skrytá za pojmem plně bufferovaného DIMM modulu není nic jiného než nahrazení současného paralelního DIMM modulu s šířkou 64 bitů sériovým rozhraním pracujícím s mnohem vyšší frekvencí.



## Taking a look at FBDIMM Gen.1

### Effects on Power



#### Pro's

- Increased Memory Capacity

#### Con's

- More Latency
- Increased Power

#### Example:

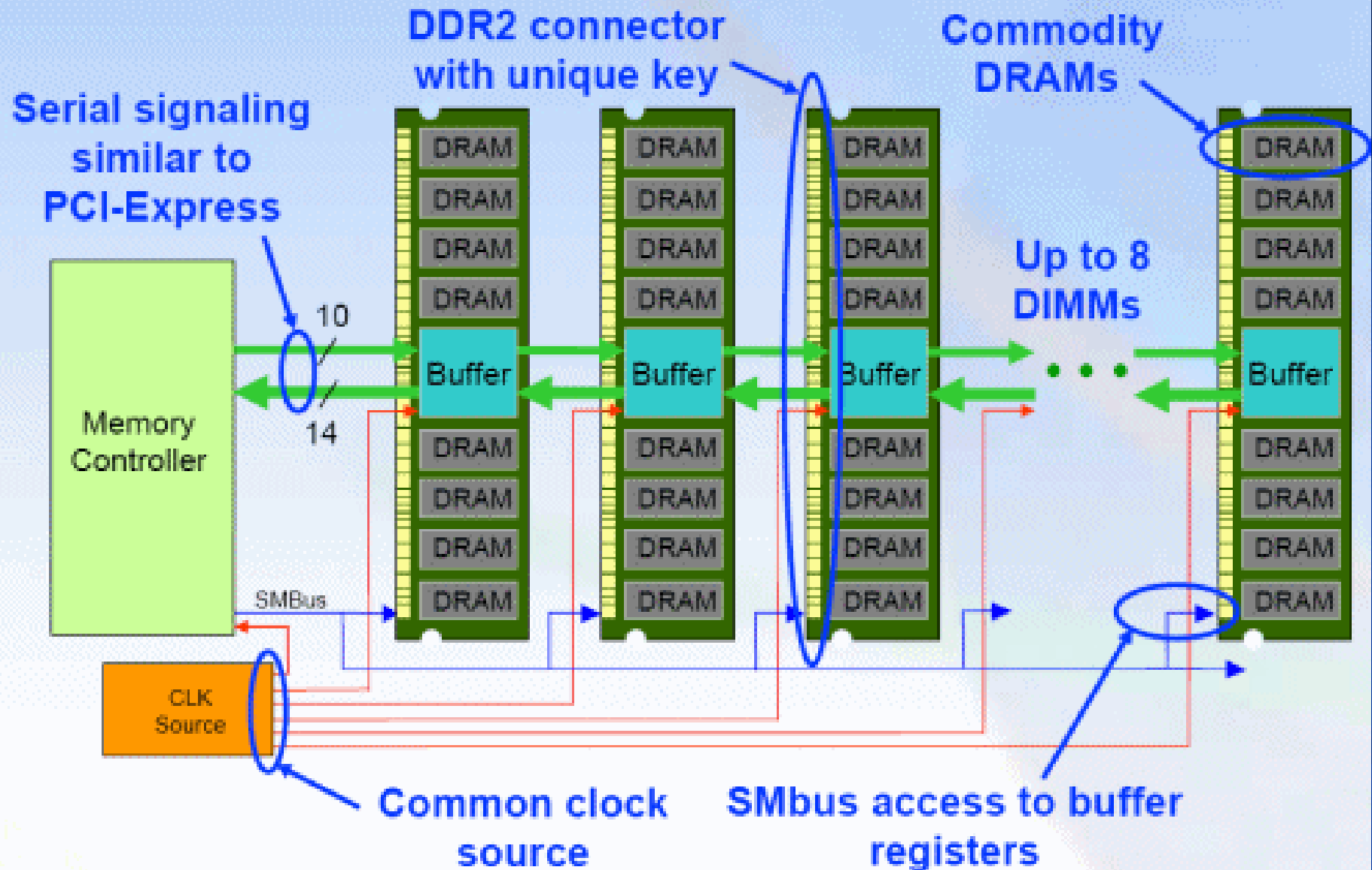
32 FBDIMM modules = ~333 watts

32 DDR2 modules = ~140 watts

#### Perspective

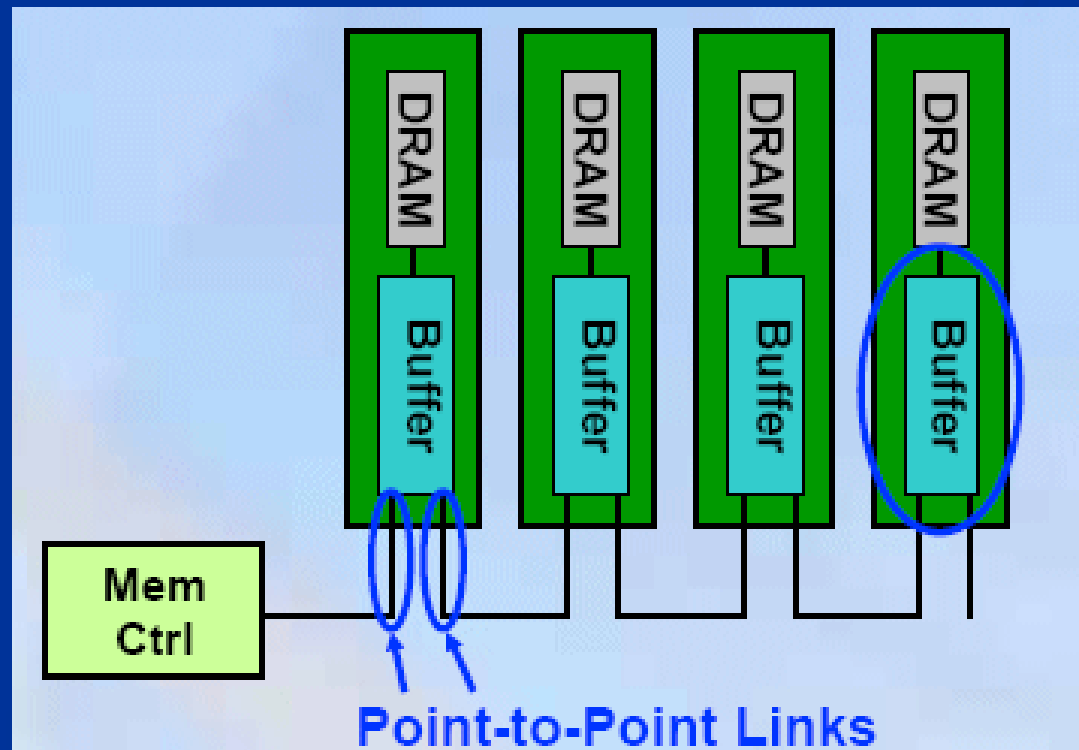
FBDIMM can consume and dissipate over 236% more power & heat in contrast to RDIMM (DDR2)

# FB-DIMM Solution Details



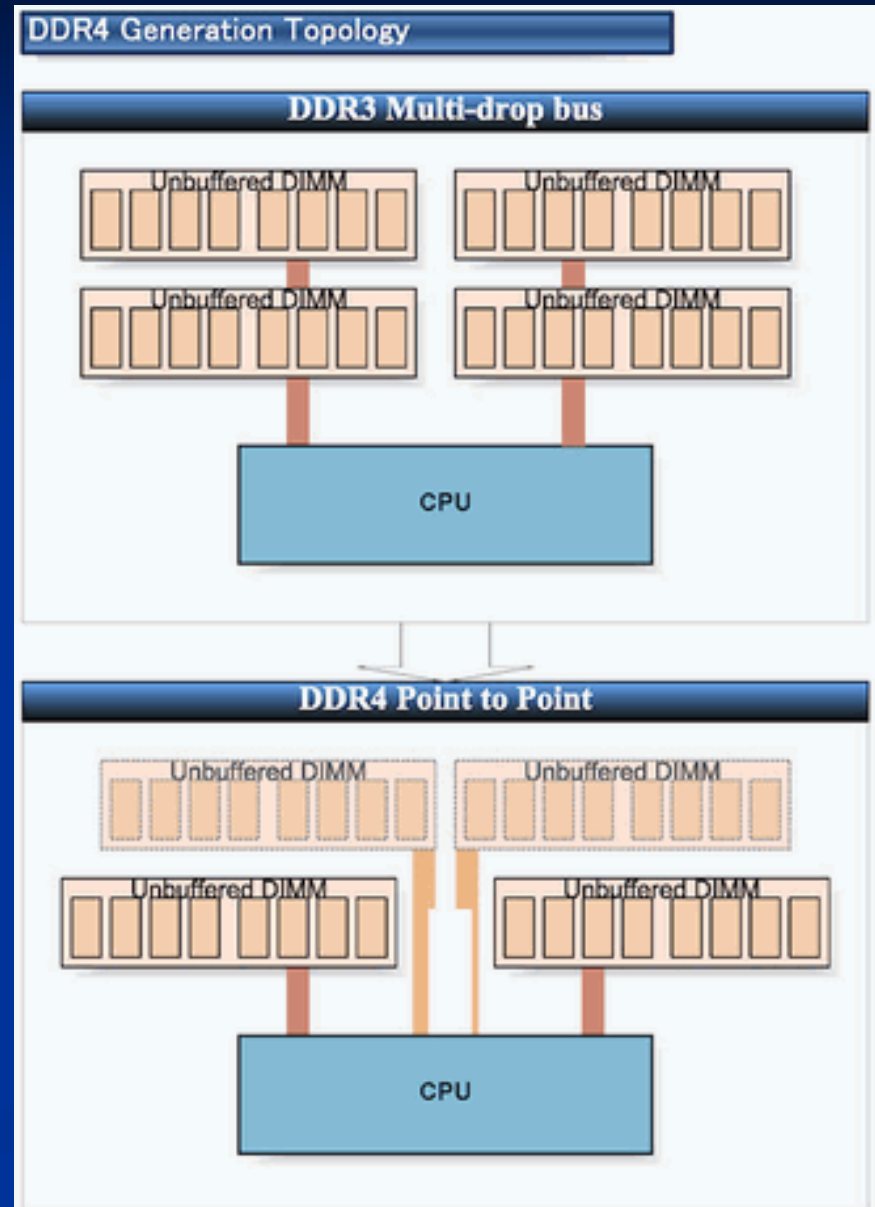
# Technologie: Fully Buffered FB-DIMM

- Každý DIMM modul je vybaven další elektronikou - bufferem (AMB - Advanced Memory Buffer). Tento buffer obstarává celou komunikaci modulu a zároveň také distribuuje hodinový signál do čipů.
- Celé spojení je formou point-to-point s oddělenými směry dovnitř a ven. Buffer prvního modulu je spojen s řadičem v čipsetu, buffer druhého modulu je spojen s bufferem prvního modulu, buffer třetího modulu s bufferem druhého modulu atd. Tímto způsobem může jeden kanál obhospodařovat až 8 FB-DIMMů . A to více méně bez ohledu na frekvenci.



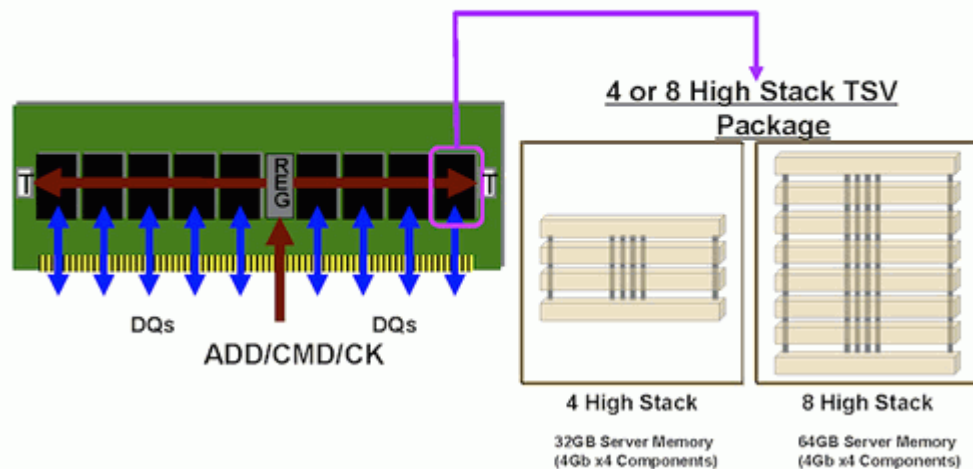
# DDR4 až na 4266 MHz. Jaké budou?

- V průběhu příštího roku chce organizace JEDEC stanovit standard pro paměti DDR SDRAM čtvrté generace, v roce 2012 má začít komerční výroba. Většina uživatelů ale na nový typ operační paměti přejde až kolem roku 2015.
- změna topologie z „multidrop“ na dvoubodové spoje (point to point). To znamená, že na jeden paměťový kanál řadiče bude možné připojit pouze jeden DIMM modul.

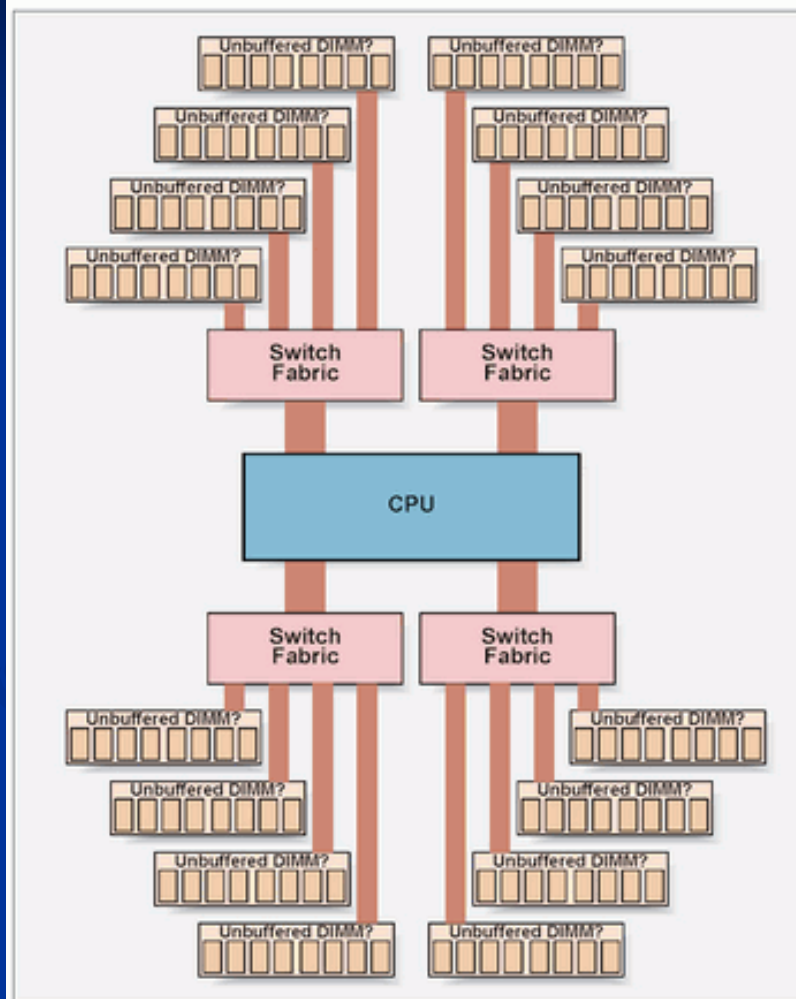


# Technologie TSV (můstky procházející skrz čipy)

## TSV Example in Server



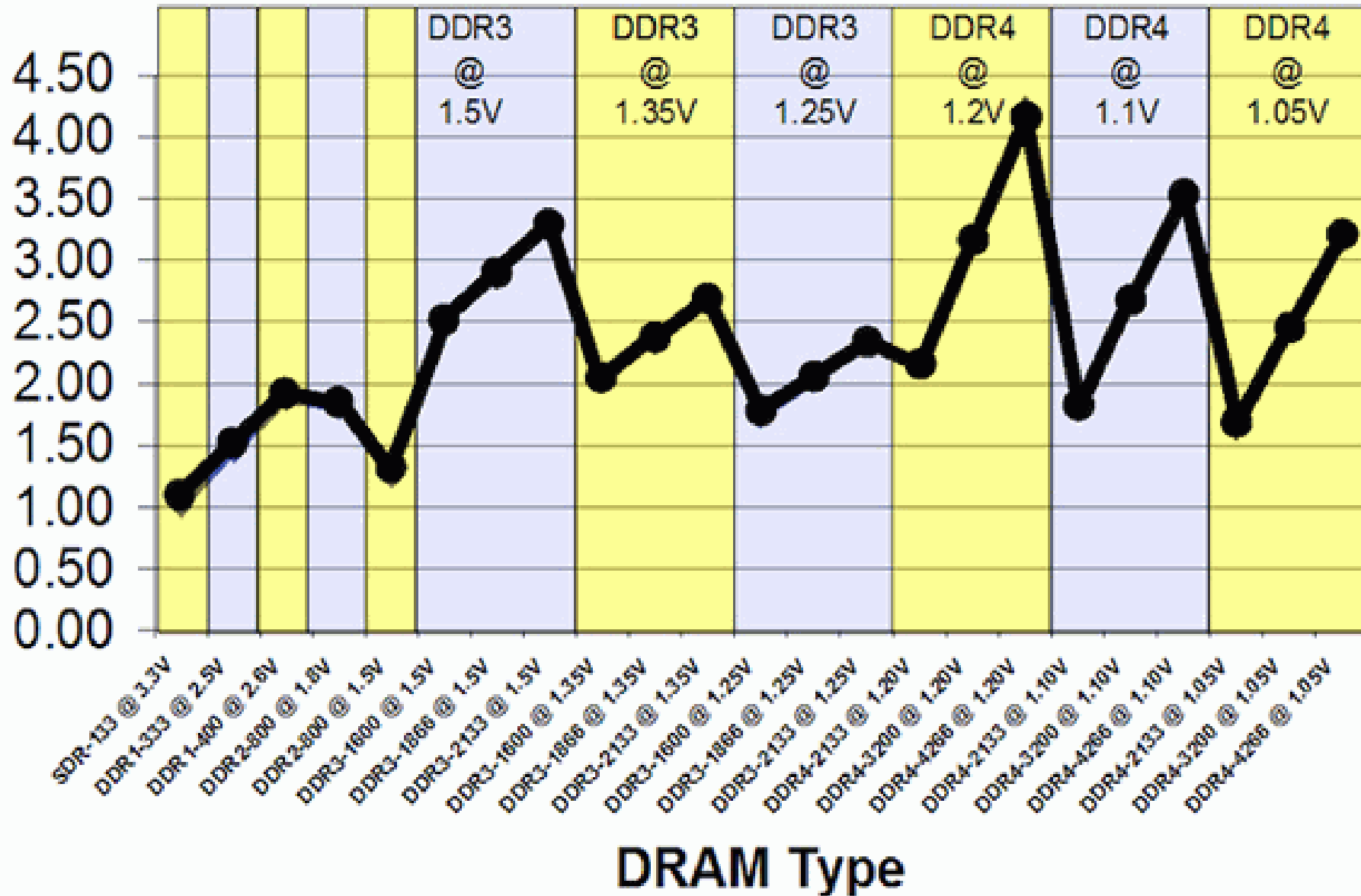
## DDR4 Generation Server



Copyright (c) 2010 Hiroshige Goto All rights reserved.

# Power @ Maximum Frequency

Power Relative to PC-133





# Kontrolní otázky:

- Vysvětlete pojem Latence pamětí.
- Uved'te příklad latencí
- Vysvětlete souvislost mezi taktovací frekvencí a latencemi pamětí.
- Co je to Dual Channel?
- Vysvětlete nutné podmínky a princip fungování Dual Channel.
- Jak zapojíte moduly pamětí do základní desky, aby jste využili dvojnásobné přenosové rychlosti i kapacity

# Kontrolní otázky:

- Co znamená označení Registered (resp. Buffered, Unbuffered případně REG nebo U) a kde lze použít tyto moduly
- Co prakticky znamená označení ECC na modulu a vysvětlíte souvislost se základní deskou.
- Vysvětlíte princip technologie Fully Buffered.

# Použité zdroje:

- HORÁK, Jaroslav. *Hardware učebnice pro pokročilé*. Brno: CPRESS, 2007, ISBN 978-80-251-1741-5.
- DEMBOWSKI, Klaus. *Mistrovství v HARDWARU*. Brno: CPRESS, 2009, ISBN 978-80-251-2310-2.
- PETŘÍČEK, Lukáš. *Vývoj modulů DRAM a operační paměti* [online]. [cit. 16.2.2013]. Dostupný na WWW: [http://www.svethardware.cz/art\\_doc-A6F55FA383F23A0EC1257206006DD3D3.html](http://www.svethardware.cz/art_doc-A6F55FA383F23A0EC1257206006DD3D3.html)
- KWOLEK, Jirka. *Nastavení paměti a dopad na výkon celého systému* [online]. [cit. 16.2.2013]. Dostupný na WWW: <http://pctuning.tyden.cz/component/content/4829?task=view&limit=1&start=2>
- EAGLE. *Technologie: Fully Buffered FB-DIMM* [online]. [cit. 16.2.2013]. Dostupný na WWW: [http://www.svethardware.cz/art\\_doc-78014566F350DC89C1256E9000482DDB.html](http://www.svethardware.cz/art_doc-78014566F350DC89C1256E9000482DDB.html)
- MUMI.CZ. *Vnitřní paměti* [online]. [cit. 16.2.2013]. Dostupný na WWW: <http://www.fi.muni.cz/usr/pelikan/ARCHIT/TEXTY/INTPAM.HTML>
- CARDA, Jakub. *Test tří nadupaných motherboardů s Intel P67 pro Sandy Bridge* [online]. [cit. 16.2.2013]. Dostupný na WWW: <http://www.fi.muni.cz/usr/pelikan/ARCHIT/TEXTY/INTPAM.HTML>