

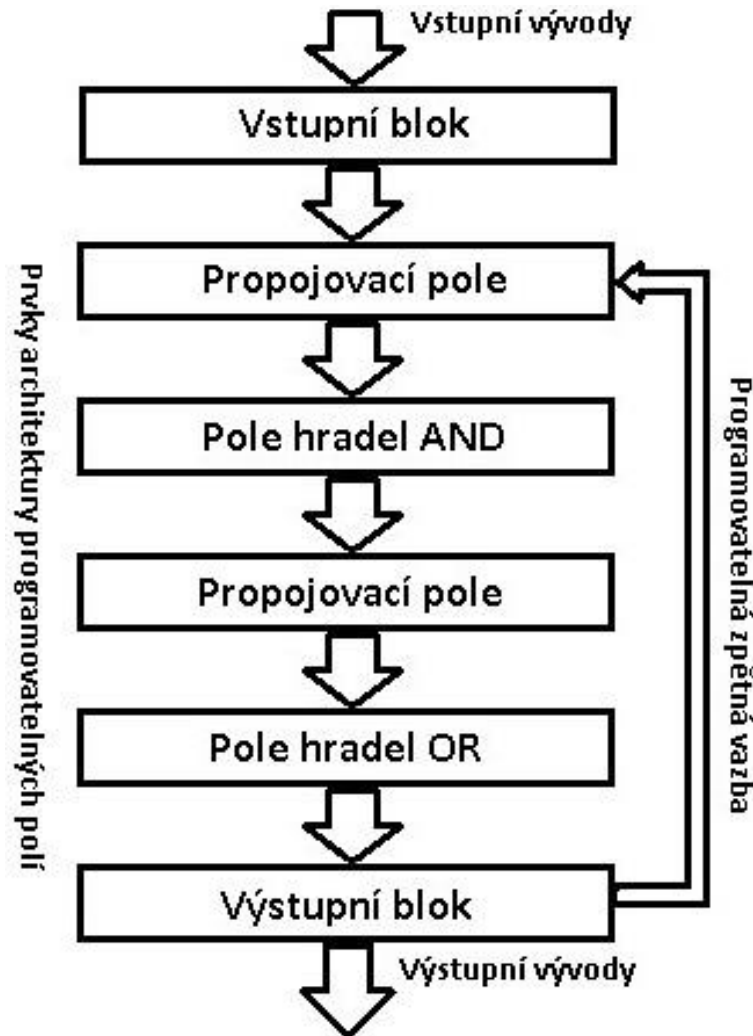
# Hardware

3. Programovatelné logické obvody  
3. ročník

# PLD – Programmable Logic Device

Vstupní blok:

- Vyrovnávací paměť
- Vstupní budiče
- Logika pro programové povolení vstupů



Výstupní blok:

- Makro-buňka
- Registry
- Invertory

# PLD – Programmable Logic Device

- ▶ Číslicové obvody, které lze konfigurací naprogramovat
  - Vytváření/přerušování propojek nebo zápis do paměťových buněk
- ▶ Nahrazují kombinační a sekvenční LO
  - Sestaveny z obvodů střední inteligence
    - Hradla, čítače, registry, ...
- ▶ Prostředek pro návrh/realizaci kombinačních. a sekvenčních obvodů
  - Díky vývojovým prostředkům, které lze pro práci s nimi použít, umožňují podstatným způsobem usnadnit práci vývojáře/návrháře

# PLD – Programmable Logic Device

- ▶ Jakákoliv logická funkce, jakékoliv logické rovnice, lze vyjádřit pomocí součtu součinů booleovských proměnných
  - Disjunktivní forma
  - Implementace formou vhodného zapojení hradel
- ▶ Výhody:
  - Zpřehlednění a snížení počtu pinů
  - Zvýšení spolehlivosti
  - Snadná modifikace
  - Velmi výkonné
- ▶ Nevýhody:
  - Nutná znalost programovacího jazyka pro PLD
  - Při poruše (většinou) nutno vyměnit jako celek
  - Cena

# PLD – Programmable Logic Device

- ▶ Programovatelné hradlové pole
  - Číslicový obvod, který má na čipu určité množství elementárních logických prvků, umístěných do maticové struktury
- ▶ Prvky lze vzájemně propojit pomocí konfigurovatelné propojovací sítě
  - Požadovaná funkce
- ▶ Několik desítek vertikal. a horizontal. vodičů
  - Konfigurace pomocí programovatelných propojek v místě křížení vodičů

# PLD – Programmable Logic Device

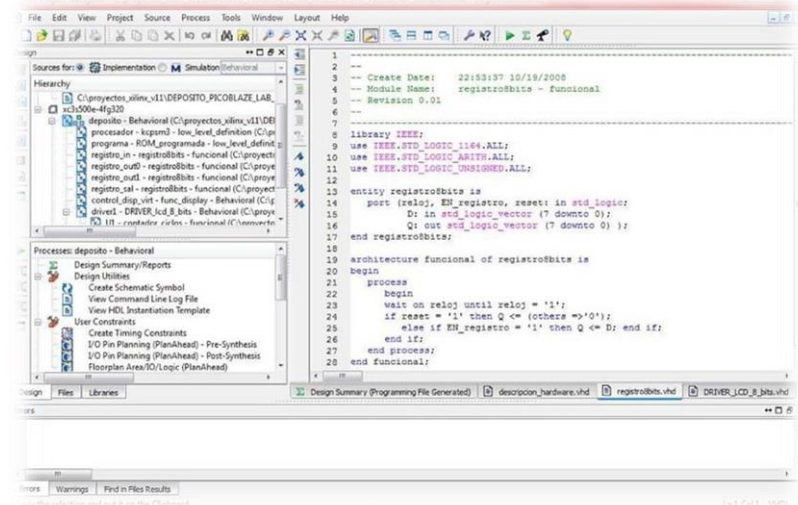
## ► Výrobci:

- Xilinx
- Lattice
- Altera (Intel)



## ► Programovací jazyk:

- ABEL HDL
- VHDL
- Verilog





# PLD – rozdělení

## 1. SPLD

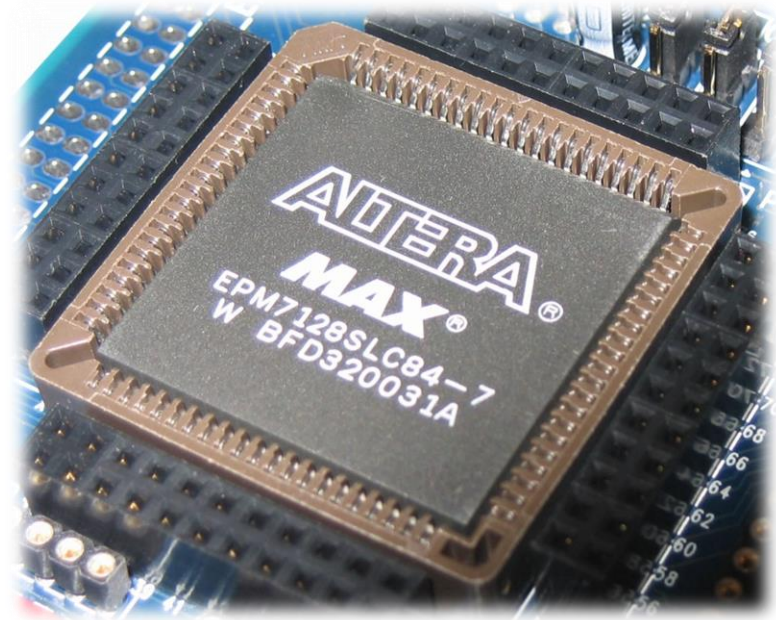
- Simple PLD
- Spíše pro kombinační logiku
- a) PAL
- b) PLA

## 2. CPLD

- Complex PLD
- Charakteristické počtem makro-buňek

## 3. FPGA

- Field Programmable Gate Array
- Místo makro-buňek mají logické bloky



# PLD – metodika návrhu

## 1. Formální zápis neboli zadání

- Určení vstupů a výstupů

## 2. Popis problému

- a) Funkční a přechodové tabulky
- b) Booleovské rovnice
- c) Orientovaný graf
- d) Časové průběhy
- e) Minimalizace
- f) Schéma zapojení

## 3. Simulace

- Velmi důležitá – odhalení řady chyb (lazení/debuging)

## 4. Realizace

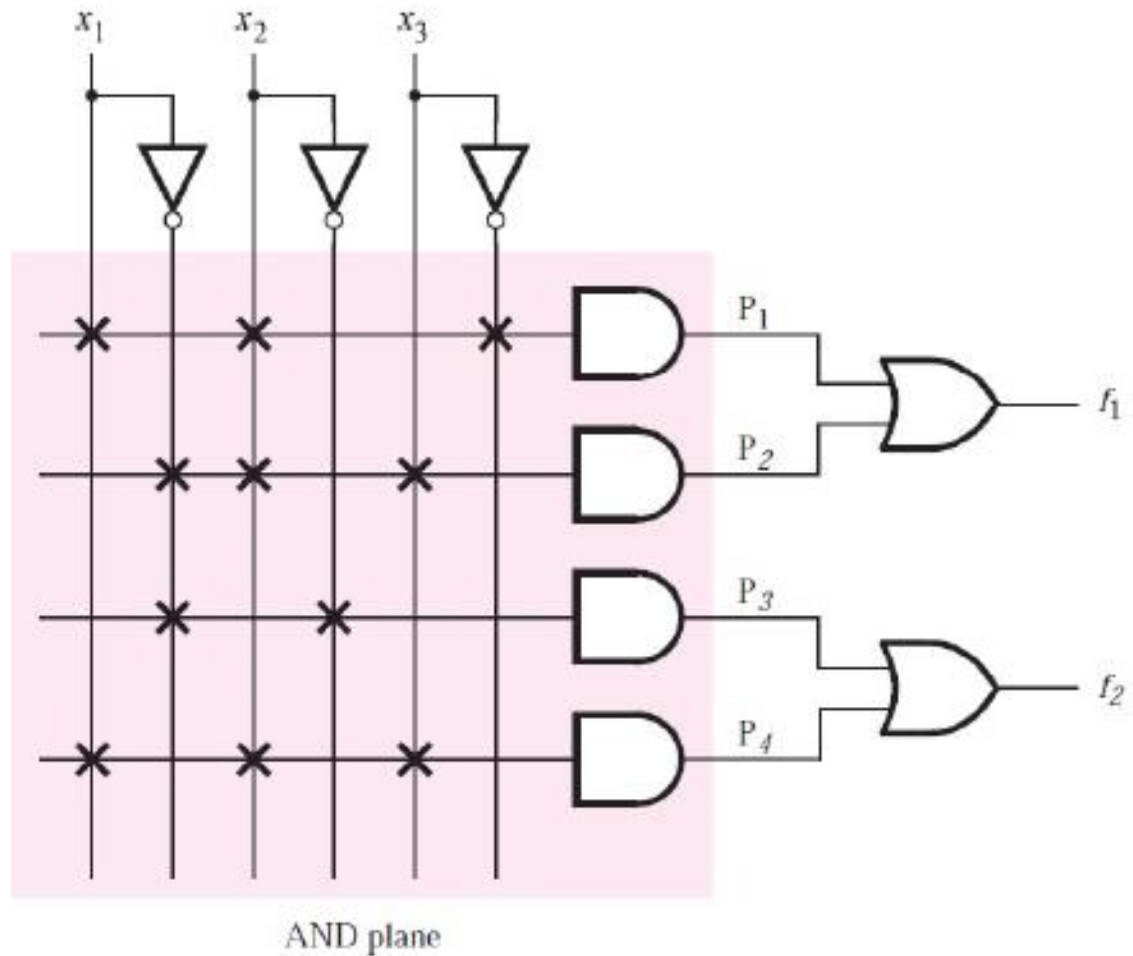


# PLD kompilátor

- ▶ Vývojové systémy/prostředí umožní definovat návrh číslicového obvodu bez ohledu na konkrétní typ PLD, jež bude nakonec použit
  - Zápis programu ve vyšším programovacím jazyce
- ▶ Převádí definice log. funkcí do implementačního prostředí konkrétního PLD
- ▶ Dříve výstupem soubor .jedec dnes .bit
  - Programuje se do konkrétního PLD (přes LPT, USB)
- ▶ Transformace zápisu včetně minimalizace
  - Zjednodušení návrhu
  - Doplněno optimalizací pro konkrétní PLD
    - Minimalizace vstupů, výstupů, vnitřních termů a makro-buňek

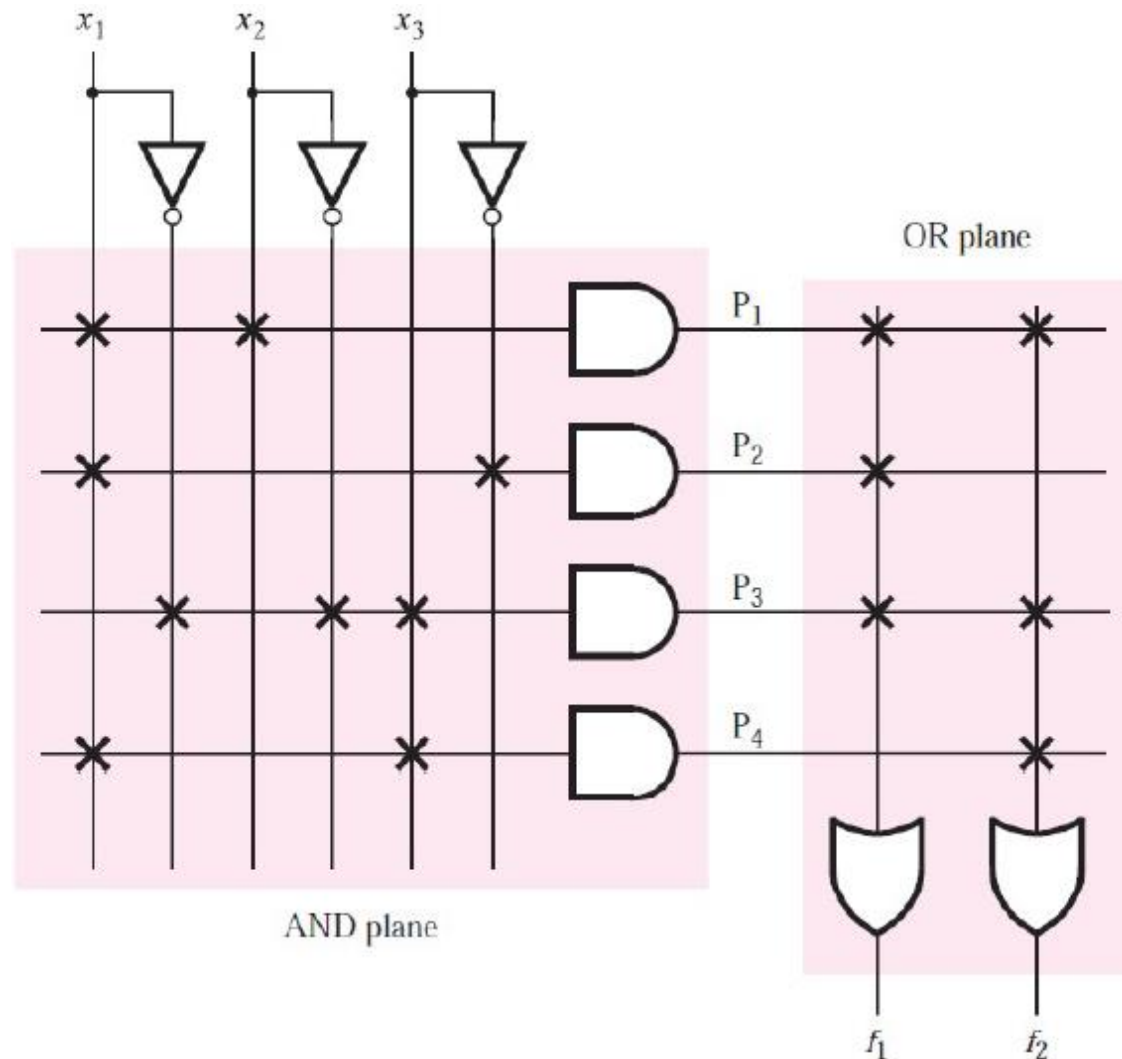
# SPLD – PAL

- ▶ Výstupní termy pro  $P_x$  a  $f_x$ ?

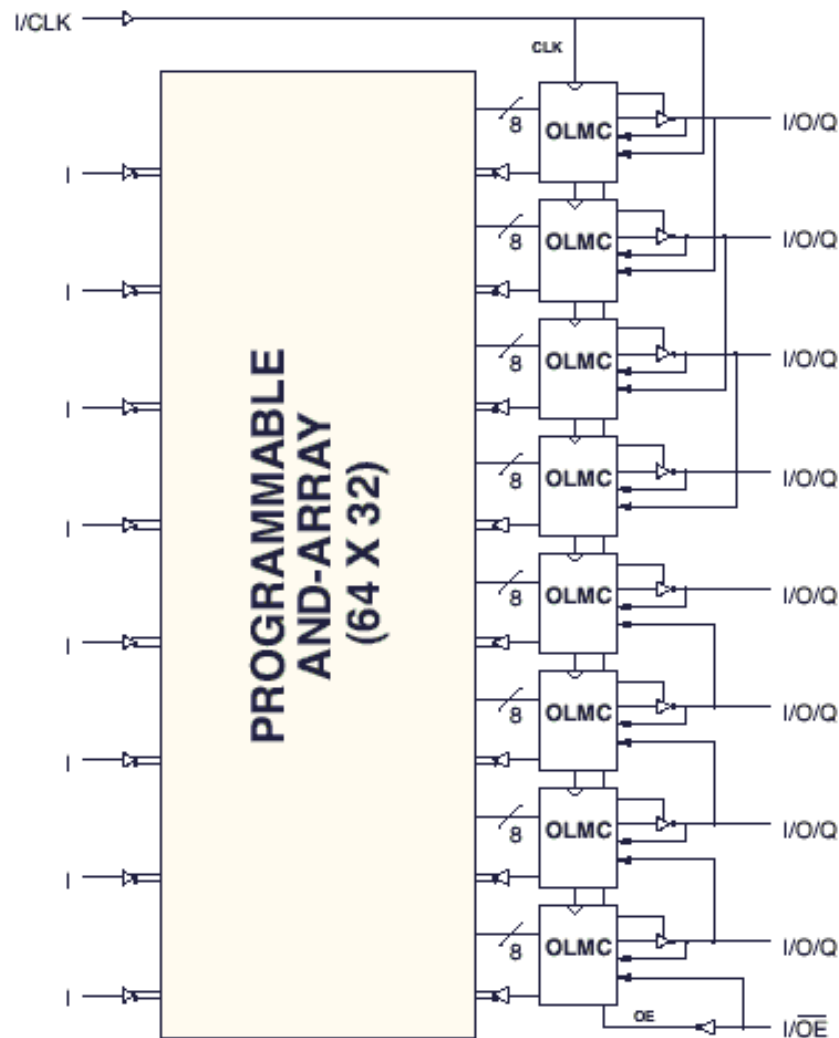


# SPLD – PLA

- ▶ Výstupní termy pro  $P_x$  a  $f_x$ ?

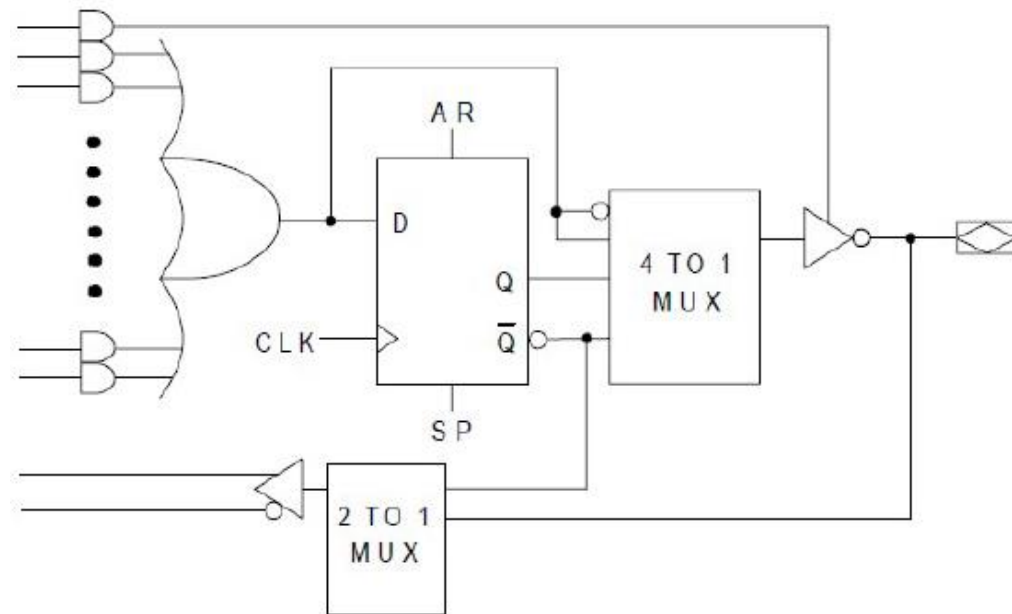


# SPLD – GAL

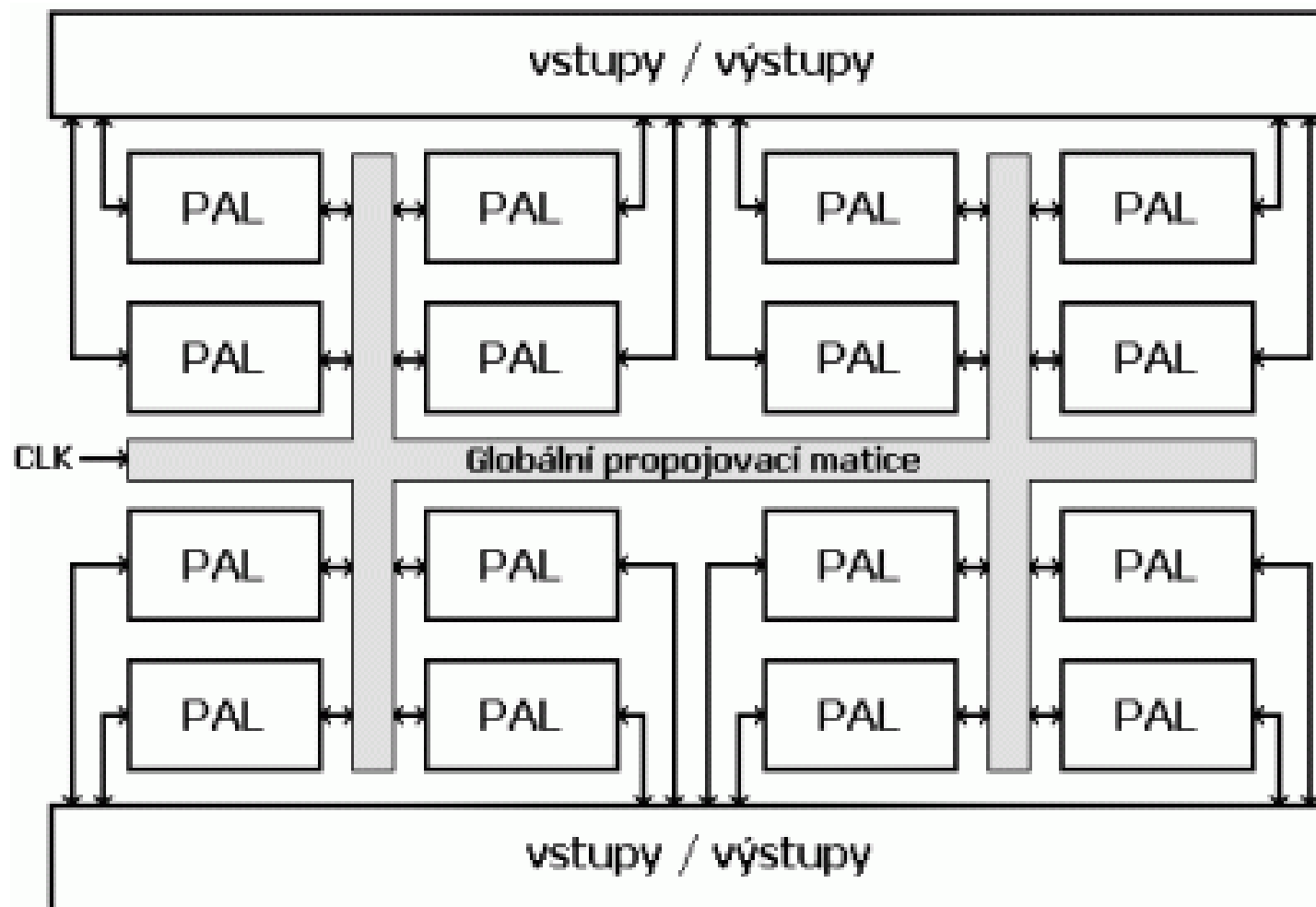


# Makro-buňka

- ▶ Output Logic Macro Cell
- ▶ Možno vytvářet SLO
  - Moore vs. Mealy
- ▶ Základní částí je DKO
  - Doplněný o pomocná hradla
  - Bez DKO pouze jako KLO



# Complex PLD

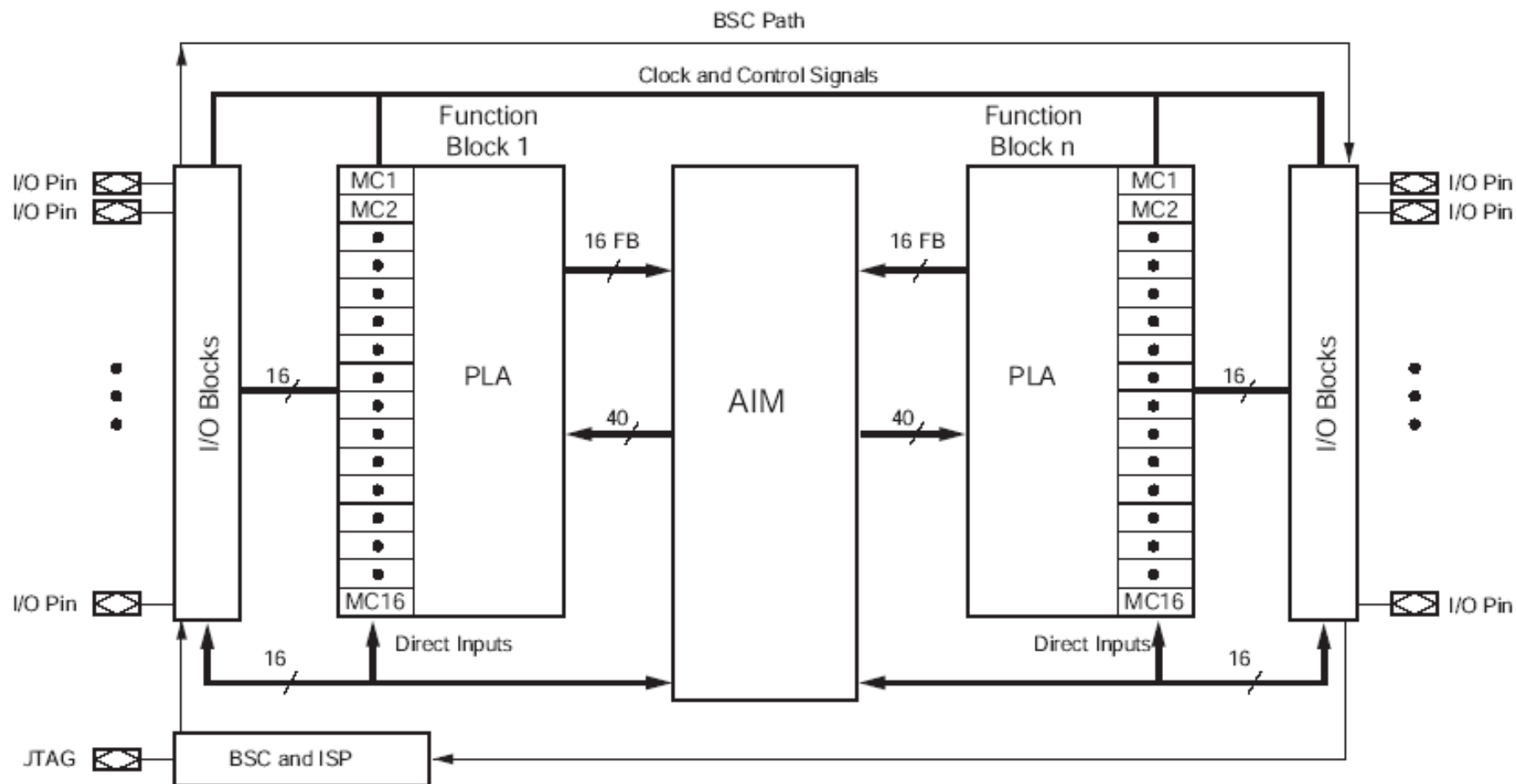


# Complex PLD

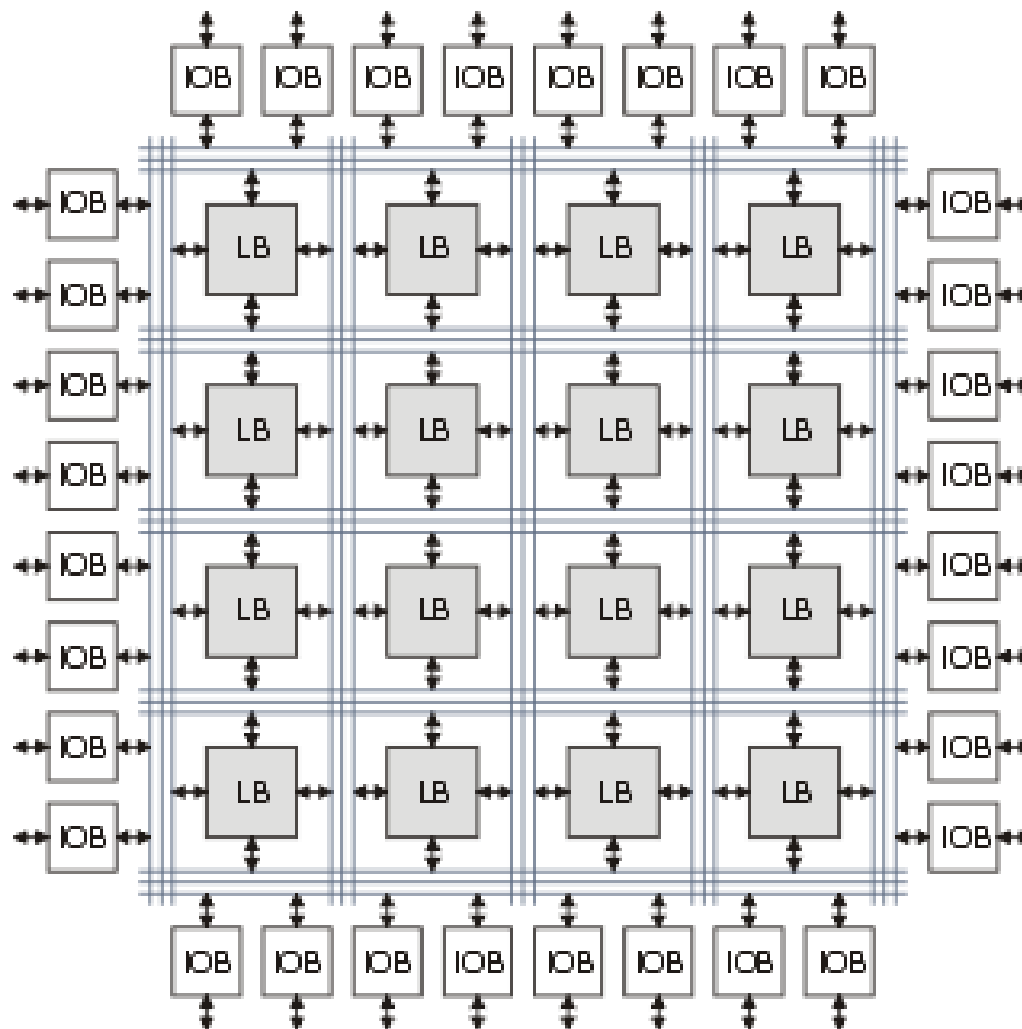
- ▶ Komplexnější než SPLD
- ▶ Větší množství logiky na jednom čipu
  - Několik obvodů patřících do SPLD
- ▶ Počet makro-buněk řádově v 10ky až 100ky
  - SPLD v řádu jednotek
- ▶ Většina pinů je univerzálních
  - Pár speciálních (CLK, programování, ...)



# CPLD – CoolRunner II



# Field Programmable Gate Array



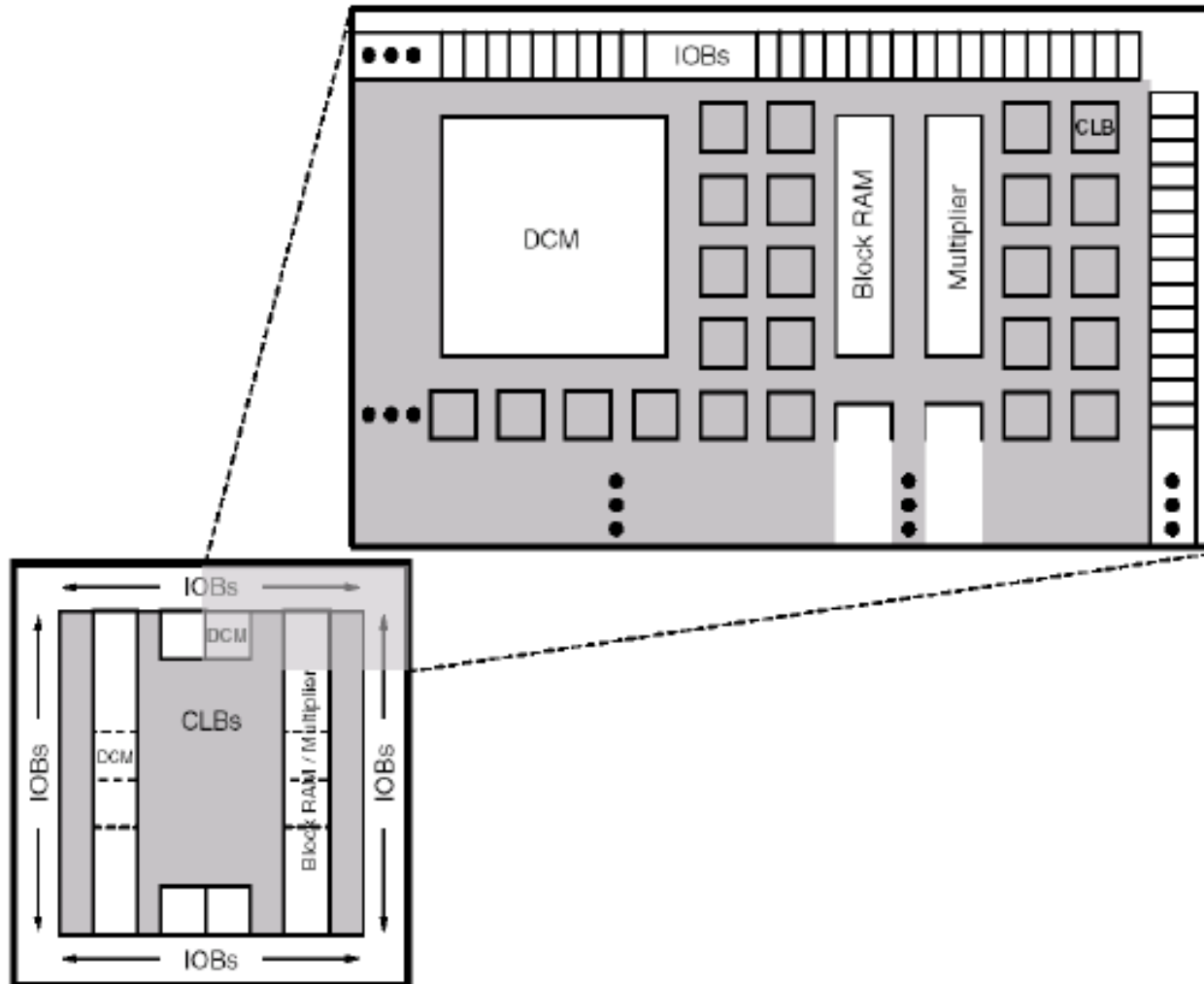
# Field Programmable Gate Array

- ▶ Nejsložitější, ale zároveň nejobecnější PLD
- ▶ Místo makro-buňek obsahují logické bloky
  - Samotná programovatelná logika
- ▶ IOB přísluší každému IO pinu a mohou obsahovat registr, budič, multiplexer a ochranné obvody
- ▶ Jednotlivé LO jsou propojeny GIM/AIM
  - Signály sousedních LO mohou být propojeny přímo
    - Rychlejší, realizace např. čítaček, násobiček

# Field Programmable Gate Array

- ▶ Většina FPGA obsahuje také paměť
  - Synchronous Static Random Access Memory (SSRAM)
- ▶ Také mohou obsahovat speciální bloky
  - HW násobičky; PLL, DLL (práce s CLK)
- ▶ Využití externí EEPROM
  - Automatické přečtení po zapnutí → SSRAM

# FPGA



# FPGA – architektura

## 1. IOB

- Vstupně/výstupní bloky
- Standardy
- Řídí tok dat mezi I/O pinem a vnitřní logikou
- Možno zařadit zpožďovací obvod, paměťový člen, ...

## 2. CLB

- Configurable Logic Block
- Paměťové členy; tabulky log. funkcí (look-up-table) na principu RAM
- Přidána logika pro zřetězení se sousedními CLB

## 3. Block RAM

## 4. Multiplier

- Násobičky

## 5. DCM

- Digital Clock Manager
- Auto-kalibrace
- Rozvod CLK ke všem CLB
- Dále distribuce zpoždění, násobení, dělení, fázový posun

**KONEC**



# Zdroje

- ▶ <https://seekvectorlogo.net/xilinx-vector-logo-svg/> [30. 3. 2020]
- ▶ <https://www.latticesemi.com/> [30. 3. 2020]
- ▶ [https://www.researchgate.net/figure/Design-phase-in-ISE-WebPack\\_fig11\\_224184472](https://www.researchgate.net/figure/Design-phase-in-ISE-WebPack_fig11_224184472) [30. 3. 2020]
- ▶ [https://en.wikipedia.org/wiki/Complex\\_programmable\\_logic\\_device](https://en.wikipedia.org/wiki/Complex_programmable_logic_device) [30. 3. 2020]