

Laboratorium 1, 2, 3, 4 PMK

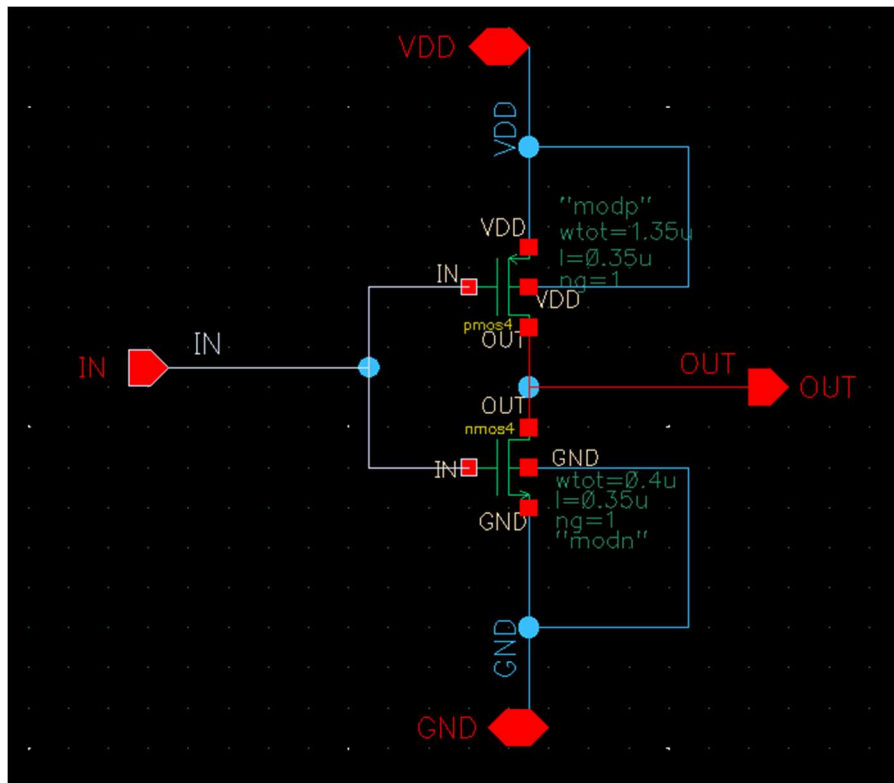
Imię: Konrad

Nazwisko: Krupski

Numer albumu: 310729

Bramka logiczna: $!(a+b+c+d)$

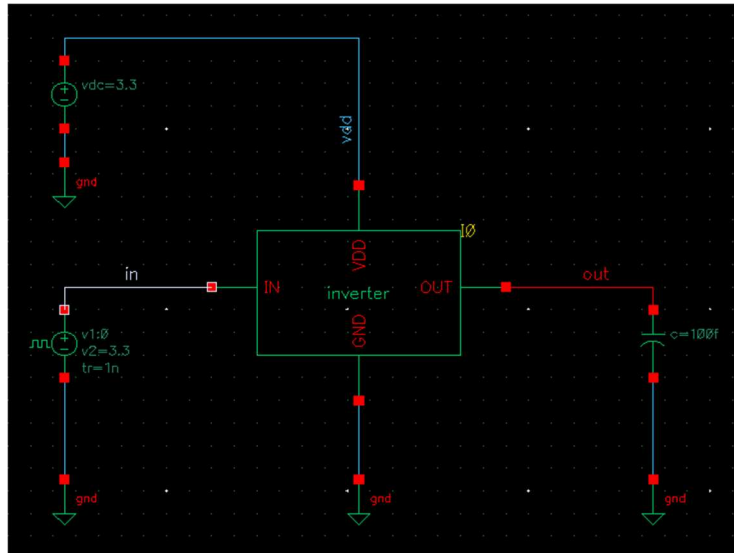
Realizacja części elektrycznej dla inwertera



Rysunek 1 Schemat inwertera

Komentarz:

Na początku budowania układu inwertera trzeba utworzyć symbol elementu, który jest opisywany przez układ elektryczny przedstawiony na rysunku 1. Należy pamiętać, aby „środkowy” pin tranzystora pmos był podłączony bezpośrednio do zasilania, a „środkowy” pin tranzystora nmos bezpośrednio do masy.



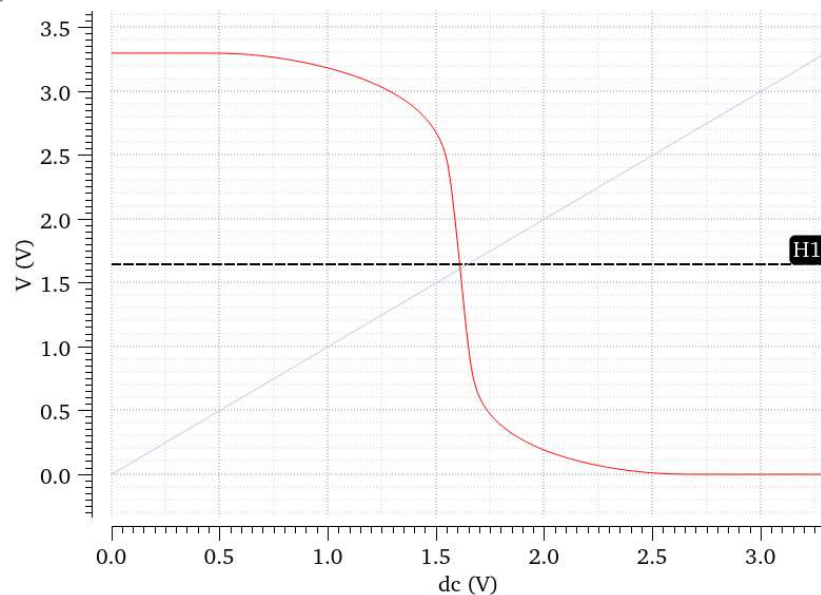
Rysunek 2 Układ elektryczny z zastosowanym symbolem inwertera

Komentarz:

Następnie został utworzony układ, który będzie służył do przeprowadzenia symulacji zbudowanego wcześniej elementu. Zastosowany w układzie kondensator o pojemności 100 fF, sprawić, że układ będzie charakteryzował się zachowaniem bliskim realnemu, gdzie przełączenia tranzystorów nie są nieskończenie szybkie.

DC Response	
Name	Vis
/in	<input checked="" type="checkbox"/>
/out	<input checked="" type="checkbox"/>

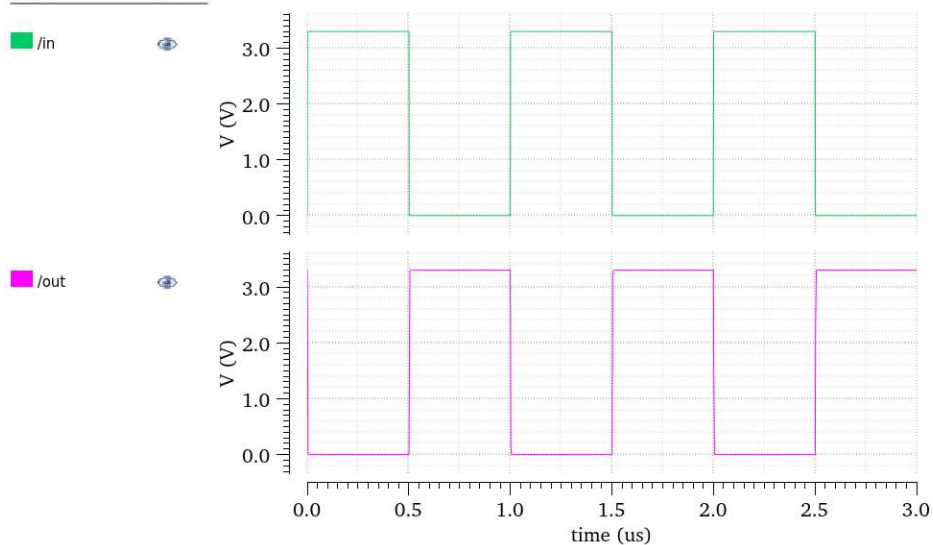
Thu Nov 10 16:27:21 2022 1



Rysunek 3 Charakterystyka przejściowa inwertera

Komentarz:

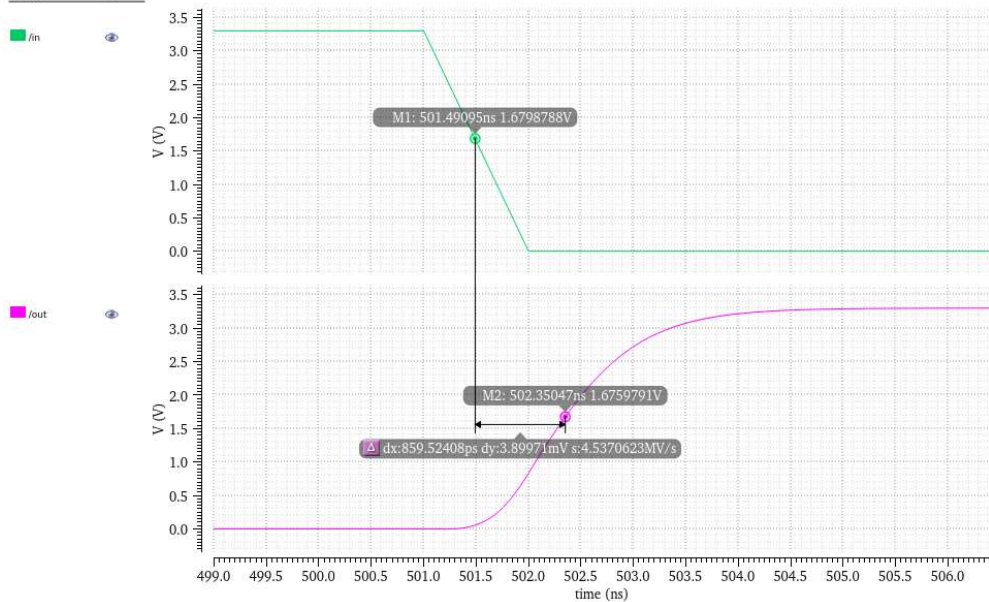
Charakterystyka przejściowa jest bliska charakterystyce idealnej, gdzie przełączenia tranzystorów następuje w połowie napięcia zasilania, czyli 1.65V. Aby to osiągnąć, należało zmienić szerokości kanałów tranzystorów pmos w celu wyrównania ruchliwości nośników typu p i typu n. Szerokość kanału pmos została ustawiona na 0.85 μm .



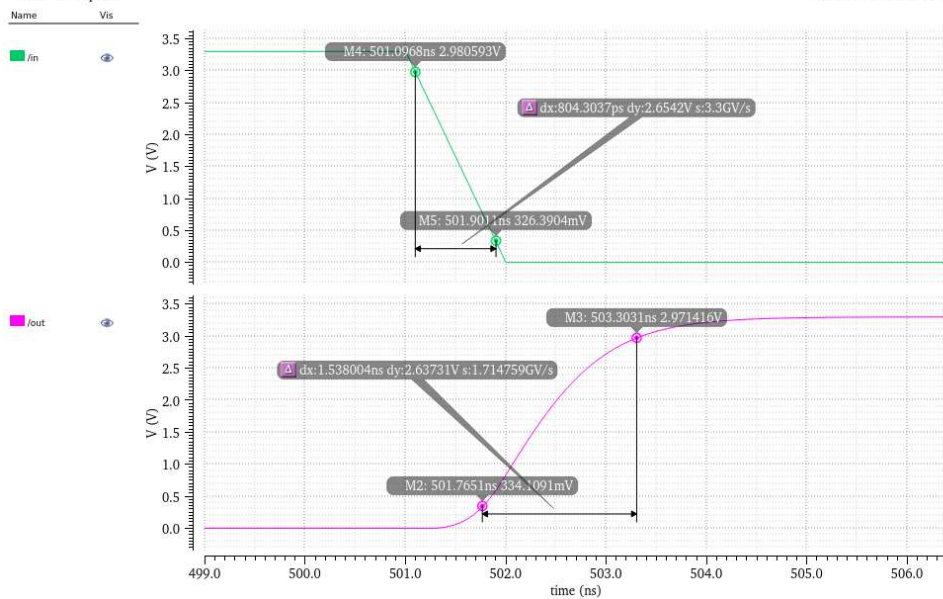
Rysunek 4 Przebiegi czasowe inwertera

Komentarz:

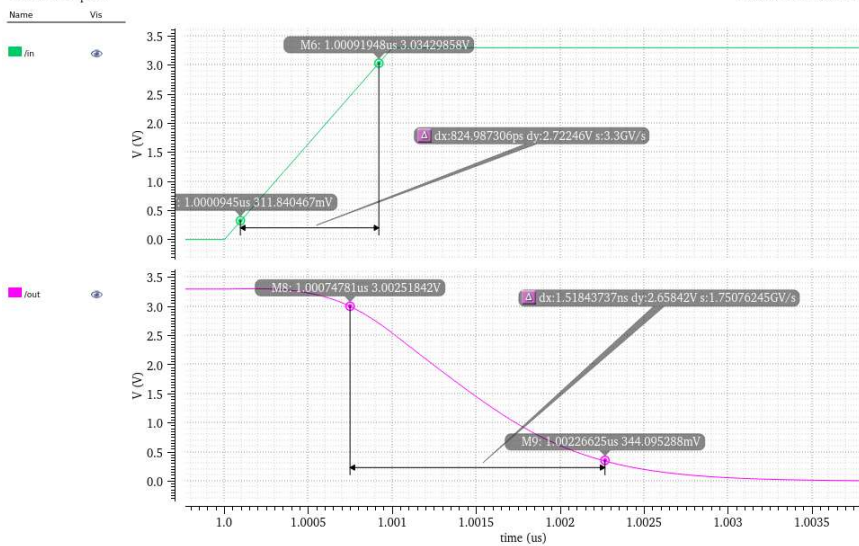
W kolejnej części pomiarów należało wyznaczyć czasy opóźnienia, narastania i opadania. Czasy opóźnienia wyznaczamy dla wartości napięcia równej 50% napięcia zasilania, natomiast czasy narastania i opadania dla wartości napięcia od 10% do 90% napięcia zasilania.



Rysunek 5 Pomiar czasu opóźnienia

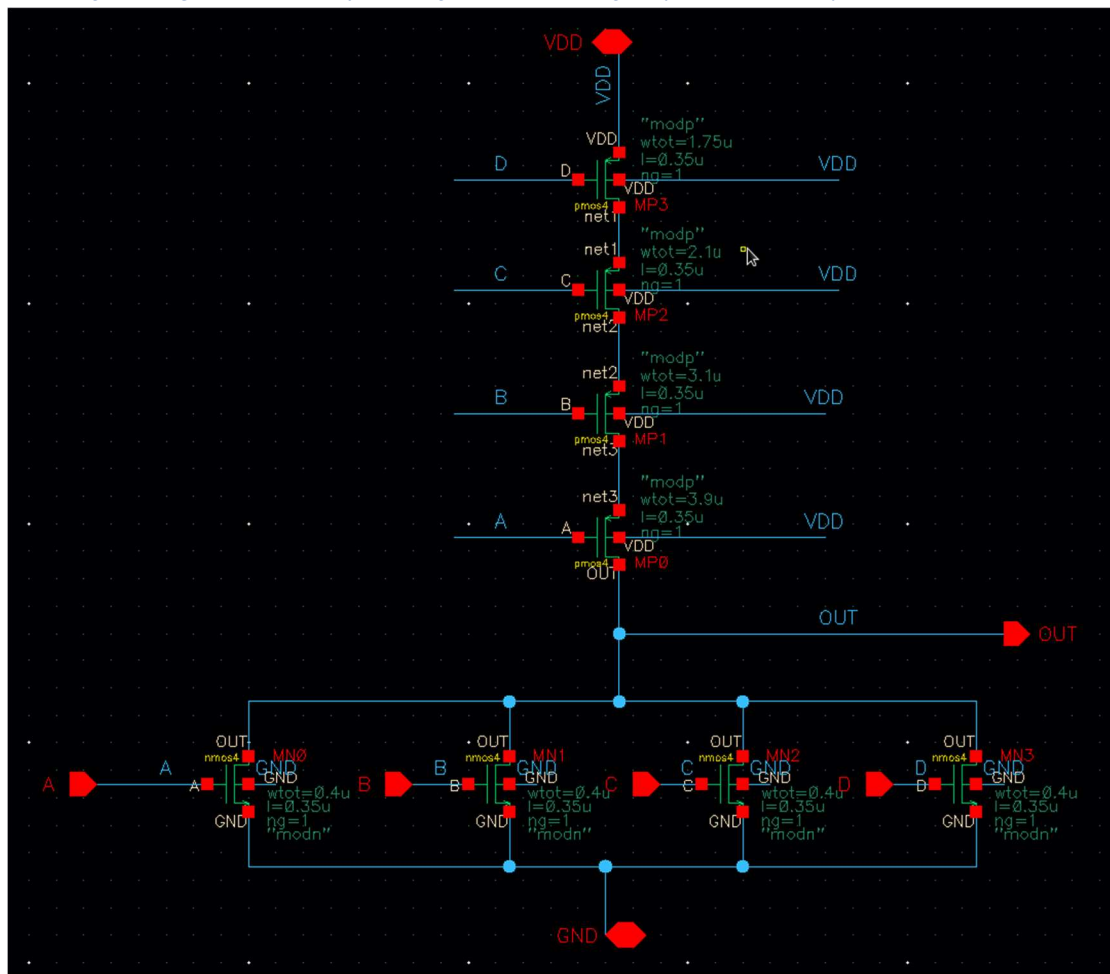


Rysunek 6 Pomiar czasu narastania



Rysunek 7 Pomiar czasu opadania

Realizacja części elektrycznej dla funkcji $!(A+B+C+D)$



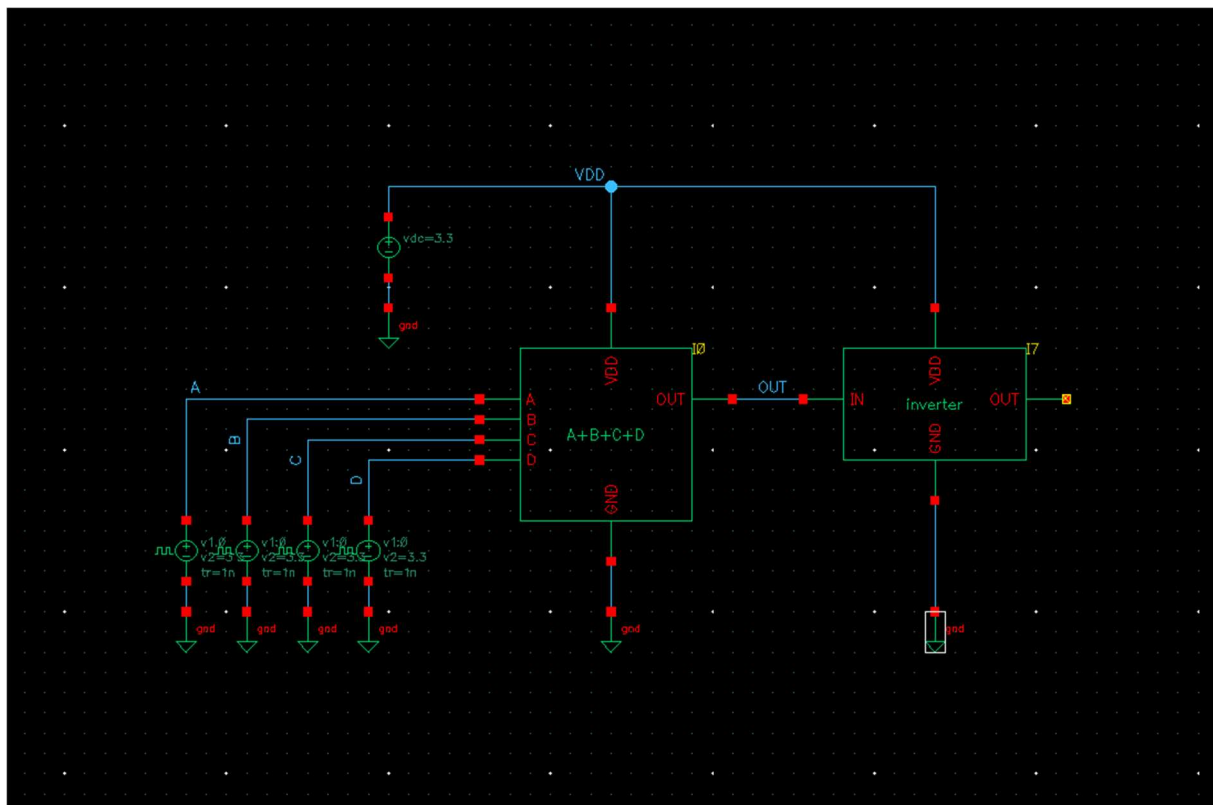
Rysunek 8 Schemat bramki zbudowany przy użyciu tranzystorów

Rozmiary tranzystorów typu n: 0.35um

Rozmiary tranzystorów typu p: 1.75um, 2.1um, 3.1um, 3.9um

Komentarz:

Schemat został zbudowany, tak samo jak w poprzednim przypadku, w oparciu o tranzystory typu p i typu n. Należało zapewnić odpowiednie szerokości kanałów dla tranzystorów typu p w celu wyrównania ruchliwości nośników.



Rysunek 9 Realizacja układu

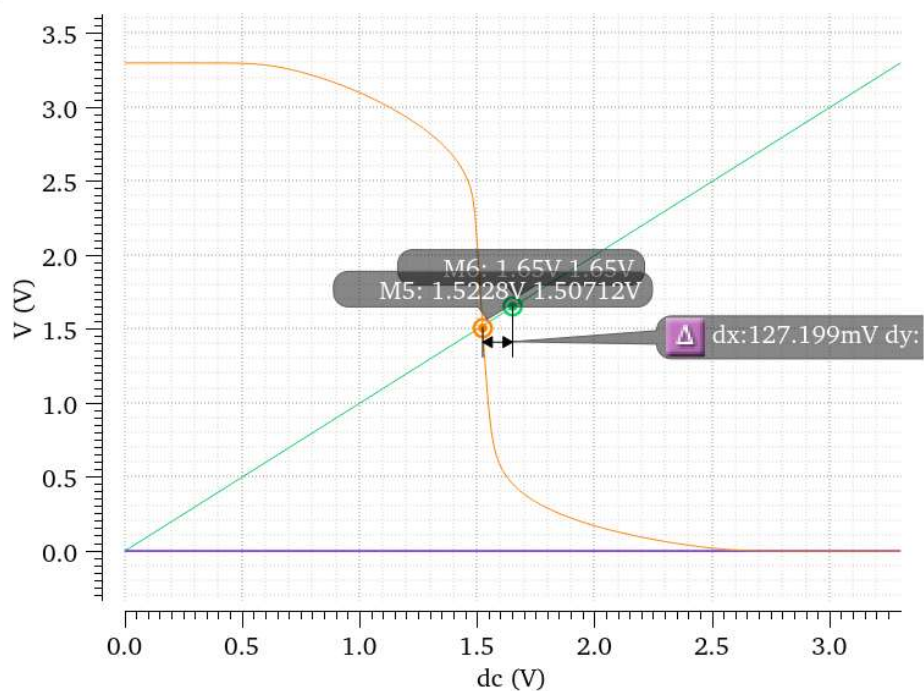
Komentarz:

W kolejnym kroku został utworzony układ w oparciu o wcześniej zdefiniowany symbol bramki. Ten układ charakteryzuje się 4 wejściami, dlatego potrzebowaliśmy 4 różnych źródeł na wejściach, których okresy zostały odpowiednio ustawione, w taki sposób, aby była możliwość obserwacji wszystkich stanów na wyjściu układu oraz utworzenie tablicy prawdy.

DC Response

Fri Nov 18 08:35:17 2022 1

Name	Vis
/A	
/B	
/C	
/D	
/OUT	

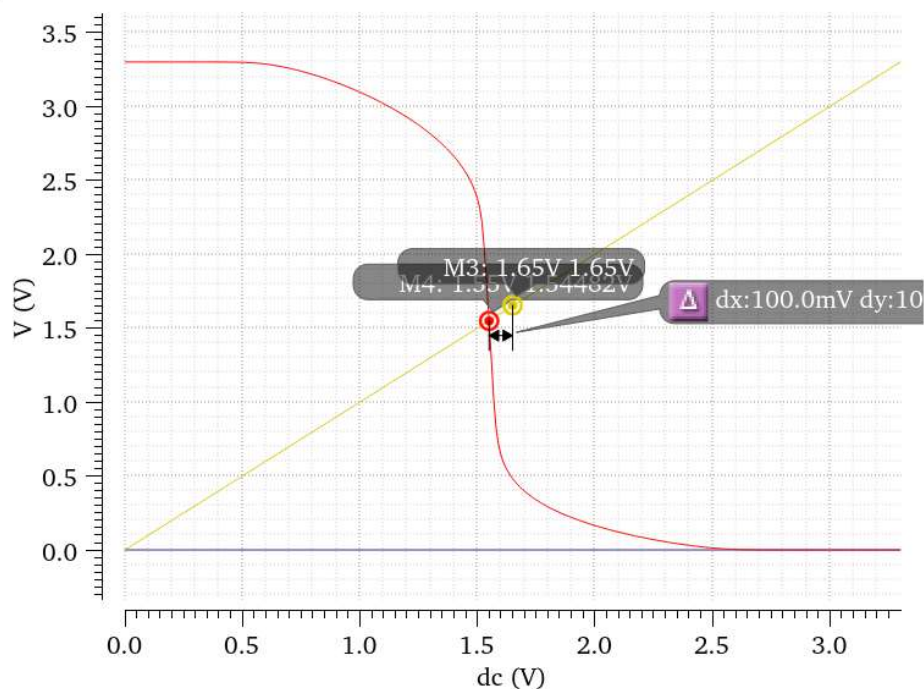


Rysunek 10 Charakterystyka przejściowa wejścia A

DC Response

Fri Nov 18 08:34:07 2022 1

Name	Vis
/A	
/B	
/C	
/D	
/OUT	



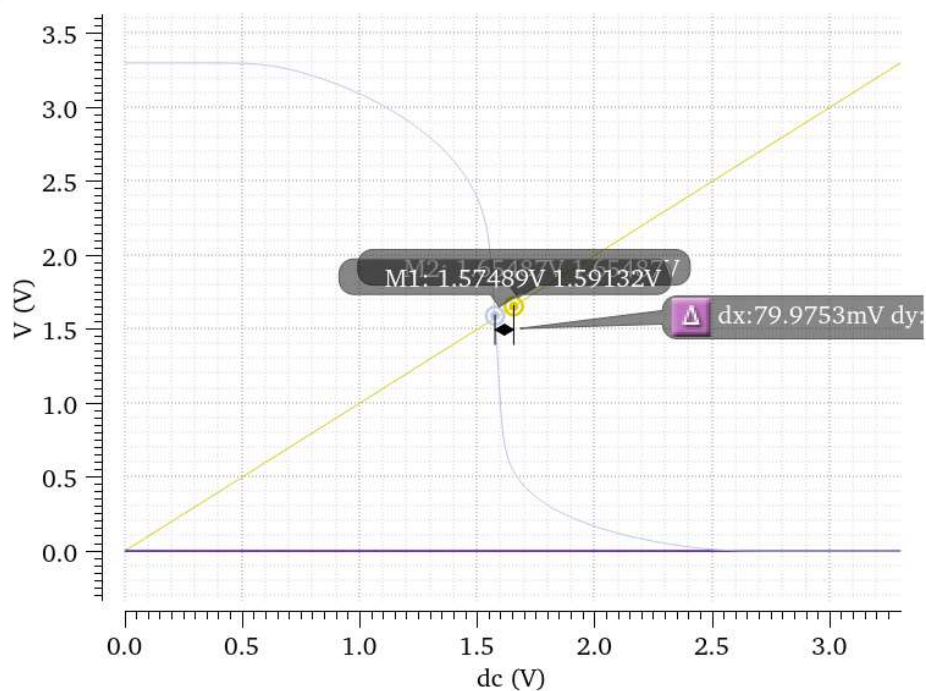
Rysunek 11 Charakterystyka przejściowa wejścia B

DC Response

Fri Nov 18 08:32:01 2022 1

Name Vis

- /A
- /B
- /C
- /D
- /OUT



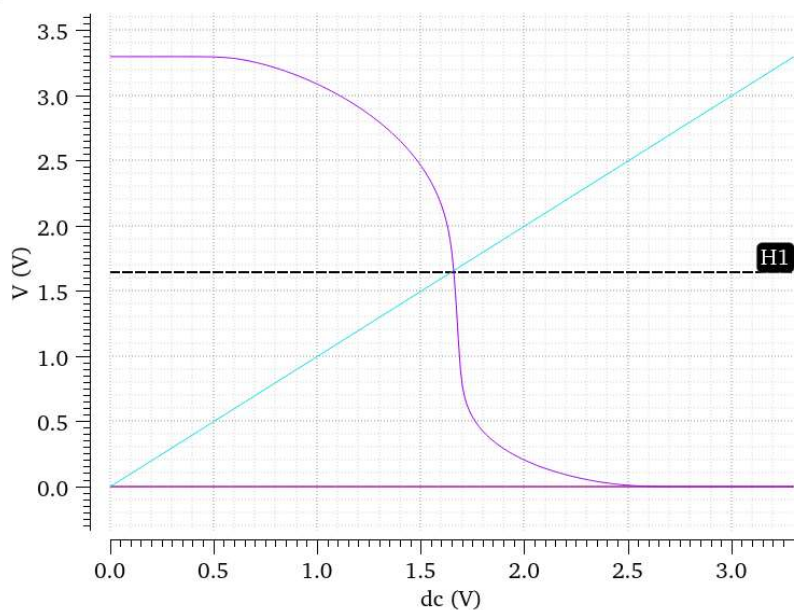
Rysunek 12 Charakterystyka przejściowa wejścia C

DC Response

Fri Nov 18 08:33:15 2022 1

Name Vis

- /A
- /B
- /C
- /D
- /OUT



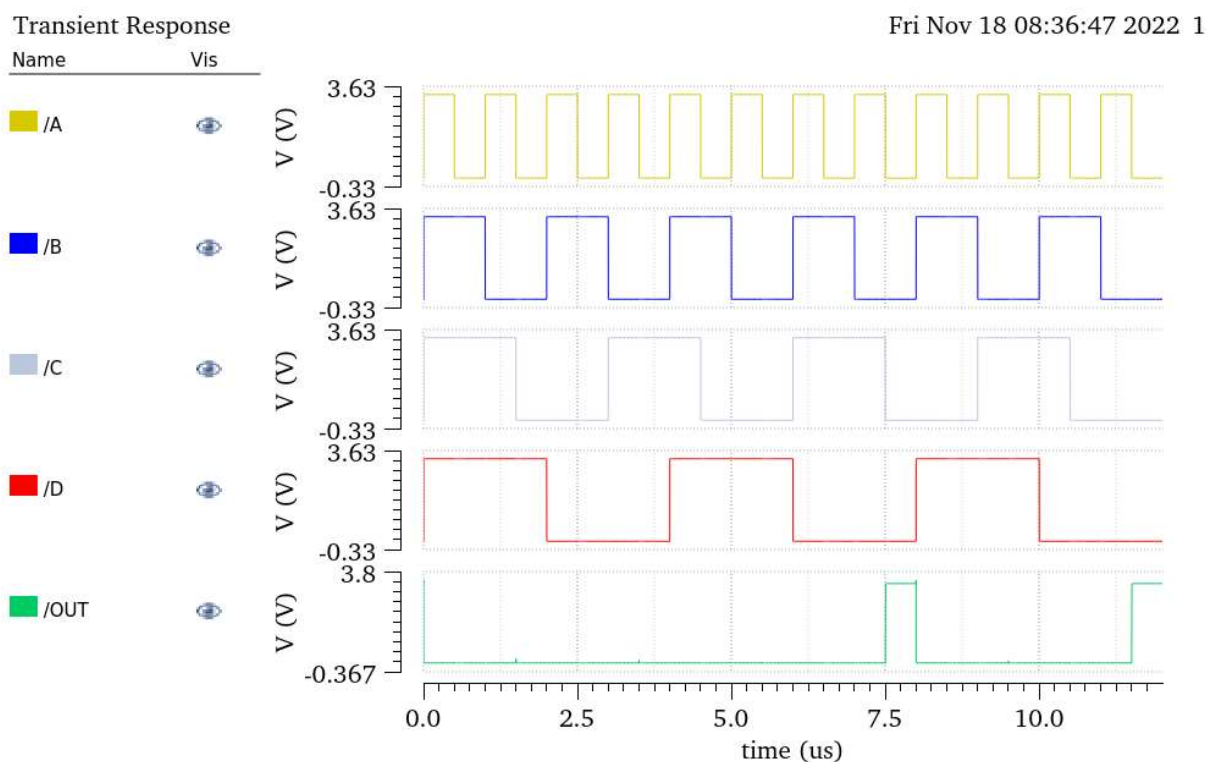
Rysunek 13 Charakterystyka przejściowa wejścia D

Wejscie	Napięcie przełączenia [V]	Wektor testowy [ABCD]
A	1.53	0000 -> 1000
B	1.55	0000 -> 0100
C	1.57	0000 -> 0010
D	1.65	0000 -> 0001

Komentarz:

W kolejnym kroku została przesymulowana charakterystyki przejściowe każdego z wejść zbudowanego układu. Dobieranie odpowiednich szerokości kanałów tranzystorów było realizowane w sposób iteracyjny. Na początek została dobrana odpowiednia szerokość kanału tranzystora dla wejścia A, tak aby charakterystyka przejściowa była symetryczna. Następnie została dobrana odpowiednia szerokość kanału tranzystora dla wejścia B. Ostatecznie otrzymaliśmy charakterystyki przejściowe widoczne na zrzutach ekranu.

Obserwujemy, że wejście D jest dopasowane idealnie, niemniej jednak inne wejścia nie są już tak symetryczne, jednak wynik jest akceptowalny.

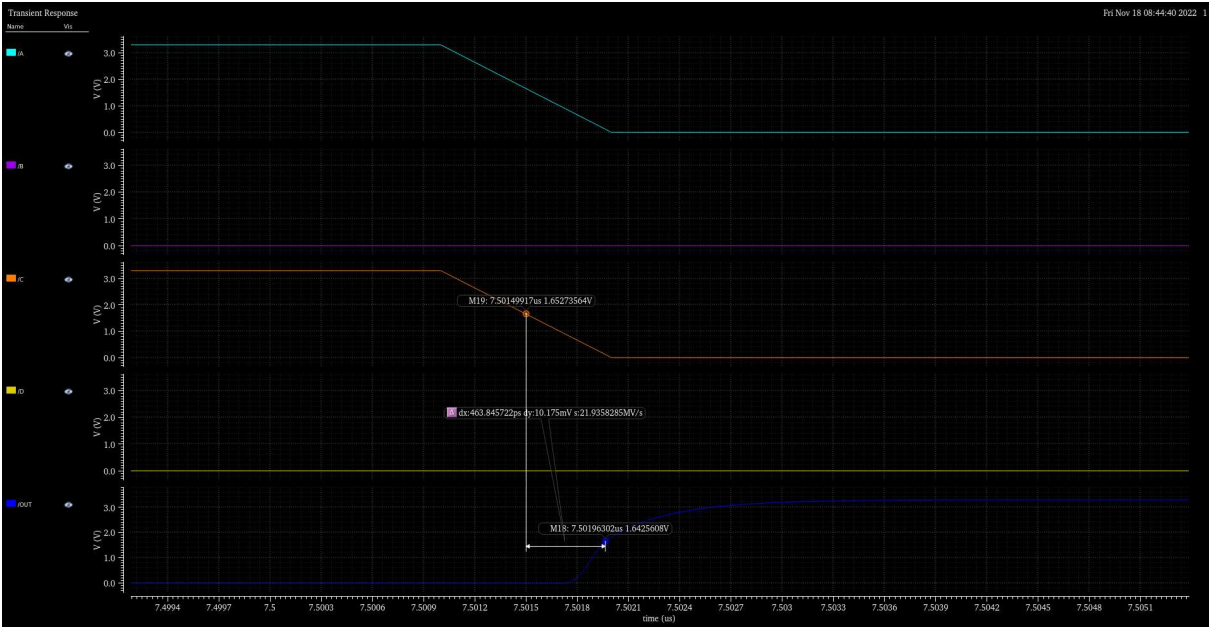


Rysunek 14 Przebiegi czasowe wejść i wyjścia bramki

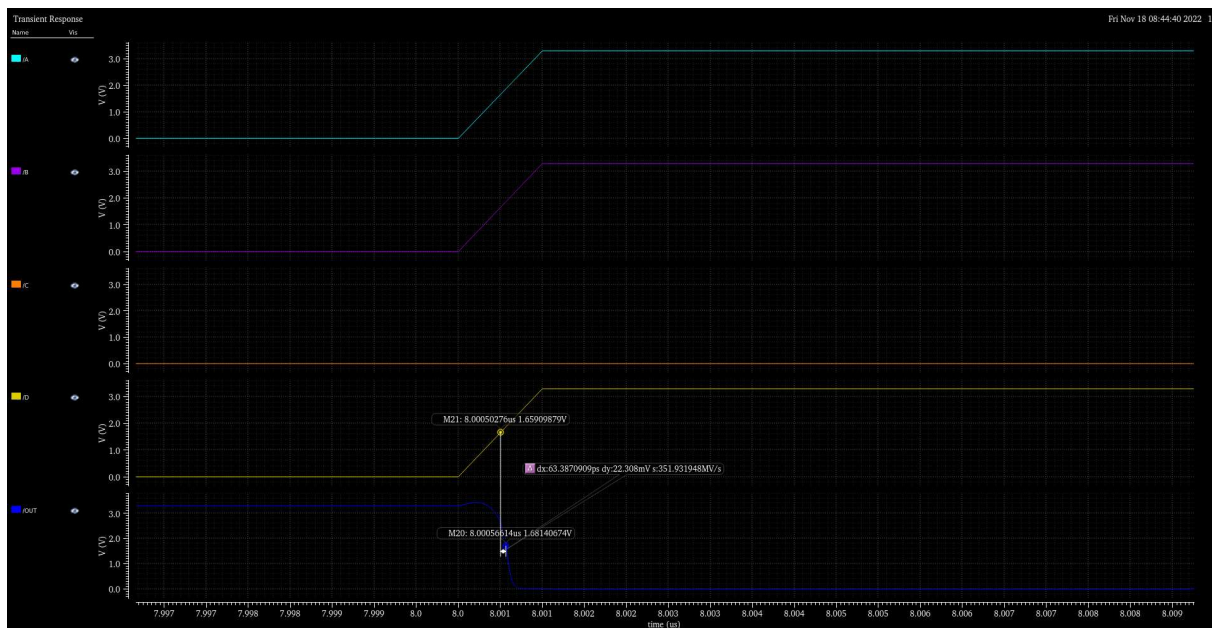
Komentarz:

Obserwujemy, że zachowanie bramki jest zgodne z zakładanym. Możemy stwierdzić, że rzeczywiście realizuje ona założoną funkcję i stan wysoki na wyjściu jest tylko wtedy, gdy wszystkie wejścia są w stanie niskim. Najlepiej zostanie to przedstawione za pomocą tablicy prawdy opartej o stany wejściowe i wyjściowe zrealizowanego układu.

A	B	C	D	OUT
0	0	0	0	1
0	0	0	1	0
0	0	1	1	0
0	0	1	0	0
0	1	1	0	0
0	1	1	1	0
0	1	0	1	0
0	1	0	0	0
1	1	0	0	0
1	1	0	1	0
1	1	1	1	0
1	1	1	0	0
1	0	1	0	0
1	0	1	1	0
1	0	0	1	0
1	0	0	0	0



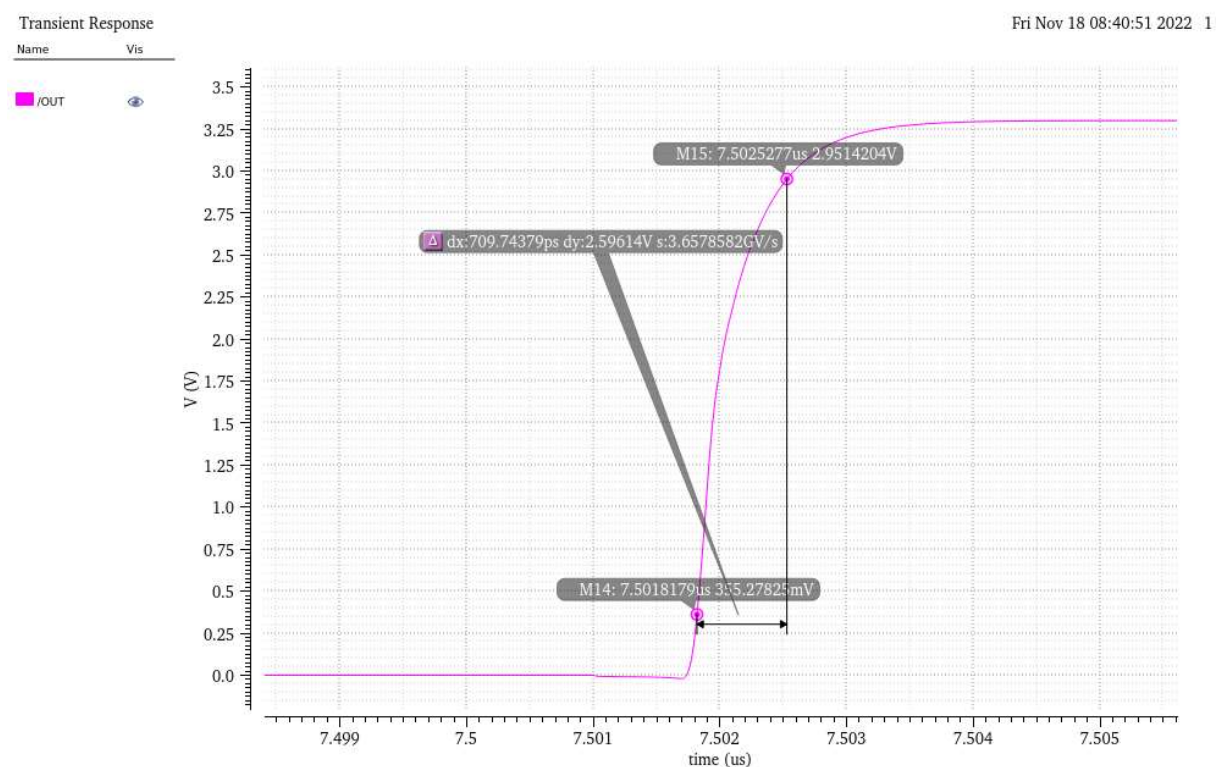
Rysunek 15 Pomiar czasu opóźnienia podczas przechodzenia wyjścia w stan wysoki



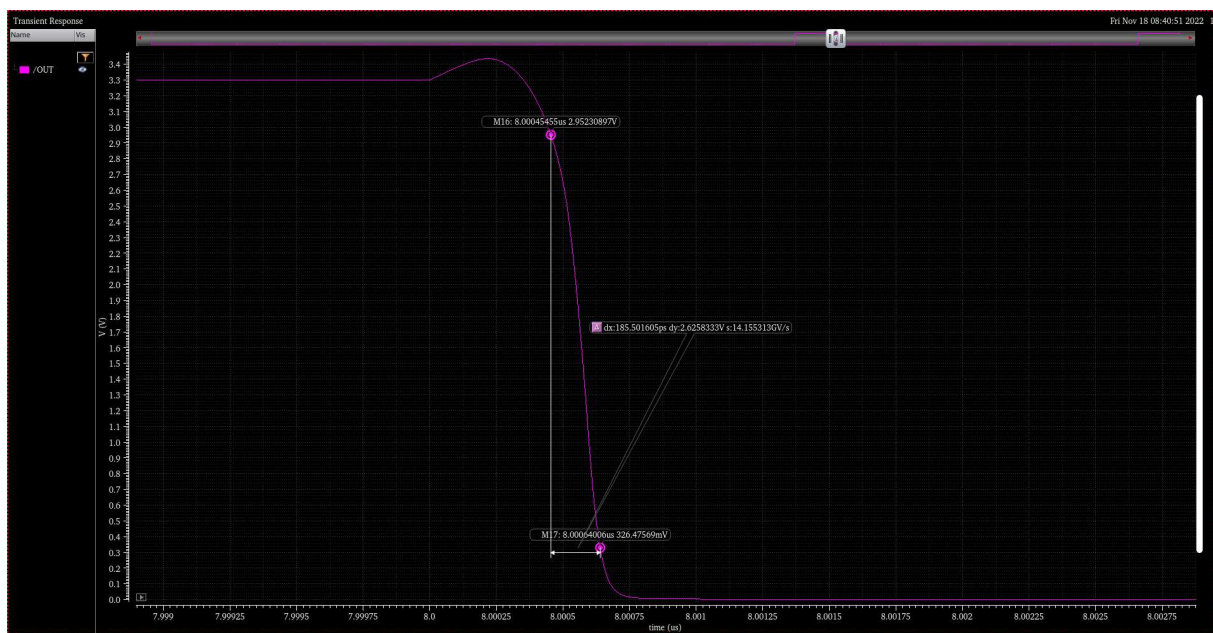
Rysunek 16 Pomiar czasu opóźnienia podczas przechodzenia wyjścia w stan niski

Komentarz:

Obserwujemy poprawę czasów opóźnienia względem poprzednio zbudowanego inwertera. Spowodowane jest to tym, że w układzie realizującym bardziej złożoną funkcję zastosowano tranzystory typu p o szerszym kanale z czym związana jest ich większa rezystancja, która pomaga przeładować pojemności.



Rysunek 17 Pomiar czasu narastania



Rysunek 18 Pomiar czasu opadania

Komentarz:

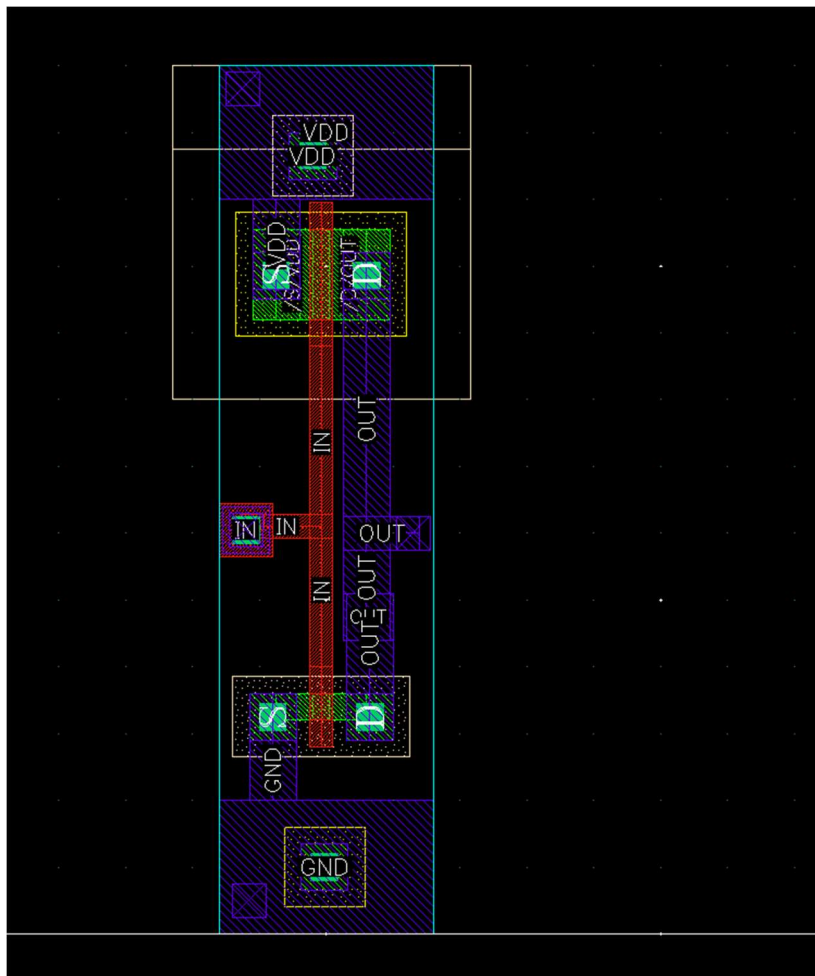
Tak samo jak poprzednio obserwujemy poprawę względem inwertera. Czasy opóźnień zostały porównane w sekcji, gdzie przeprowadzałem ekstrakcję bramki.

	Inwerter	!(A+B+C+D)
Czas narastania	1.54 ns	0.704 ns
Czas opadania	1.52 ns	0.185 ns
Czas opóźnienia	859.53 ps	463.84 ps

Komentarz:

Czasy opadania zarówno w przypadku inwertera jak i drugiego układu są mniejsze od czasów narastania, Spowodowane jest to zastosowaniem, w obu przypadkach, większych szerokości kanałów tranzystorów typu p i tym samym zwiększeniem ich rezystancji, co umożliwia szybsze rozładowanie pojemności.

Realizacja części topologicznej inwertera



Rysunek 19 Zrealizowany layout inwertera

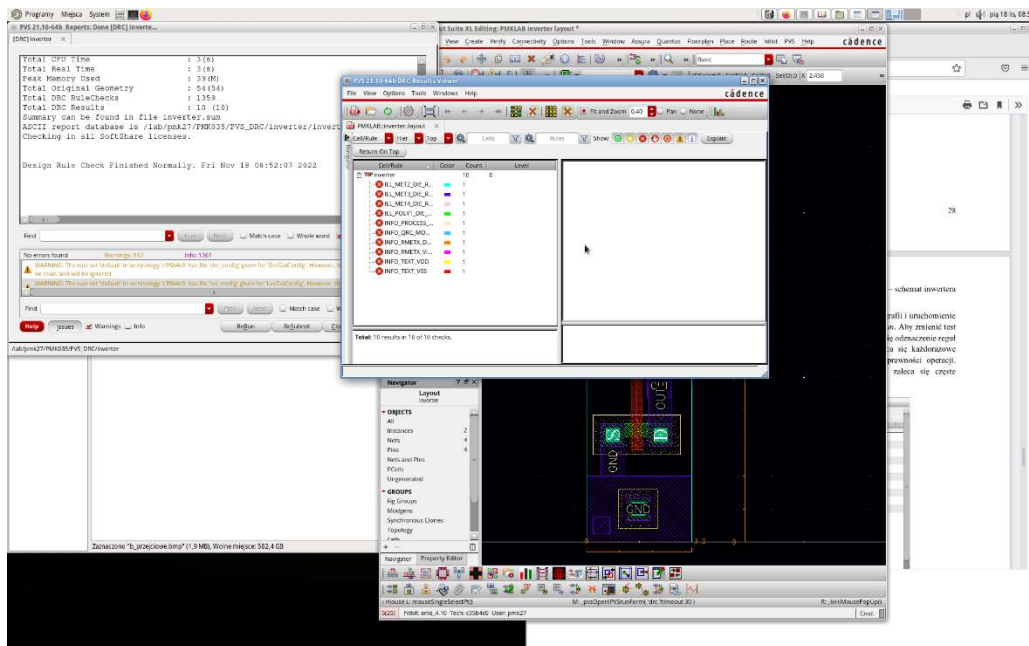
Komentarz:

Przeprowadzenie projektu topologicznego inwertera było nieobowiązkowe jednak zostało zrealizowane w celu ćwiczeniowym. Podczas tego projektu należało zastosować przelotki w celu połączenia poszczególnych części tranzystorów z odpowiadającymi im portami.

Wymiary inwertera

Wysokość: 13 μm

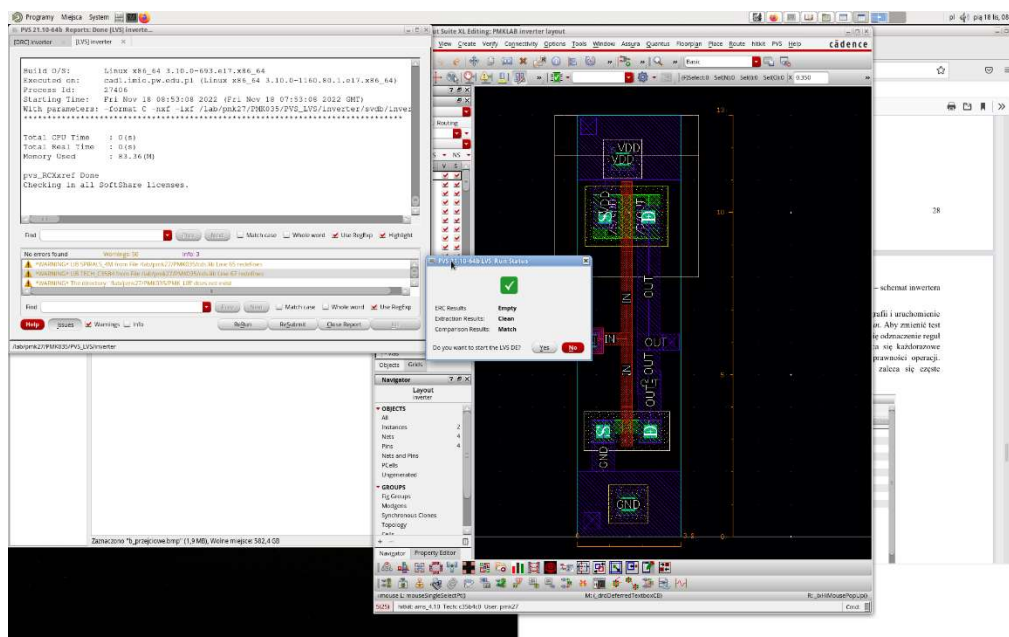
Szerokość: 3.2 μm



Rysunek 20 Analiza DRC

Komentarz:

W celu weryfikacji układu została przeprowadzona analiza DRC. Po wykonaniu analizy należało się upewnić się, że nie występują błędy związane z nieprawidłowym rozmieszczeniem elementów czy niepożądanymi zwarciami. Błędy powiązane z gęstością warstw produkcyjnych zostały pominięte.

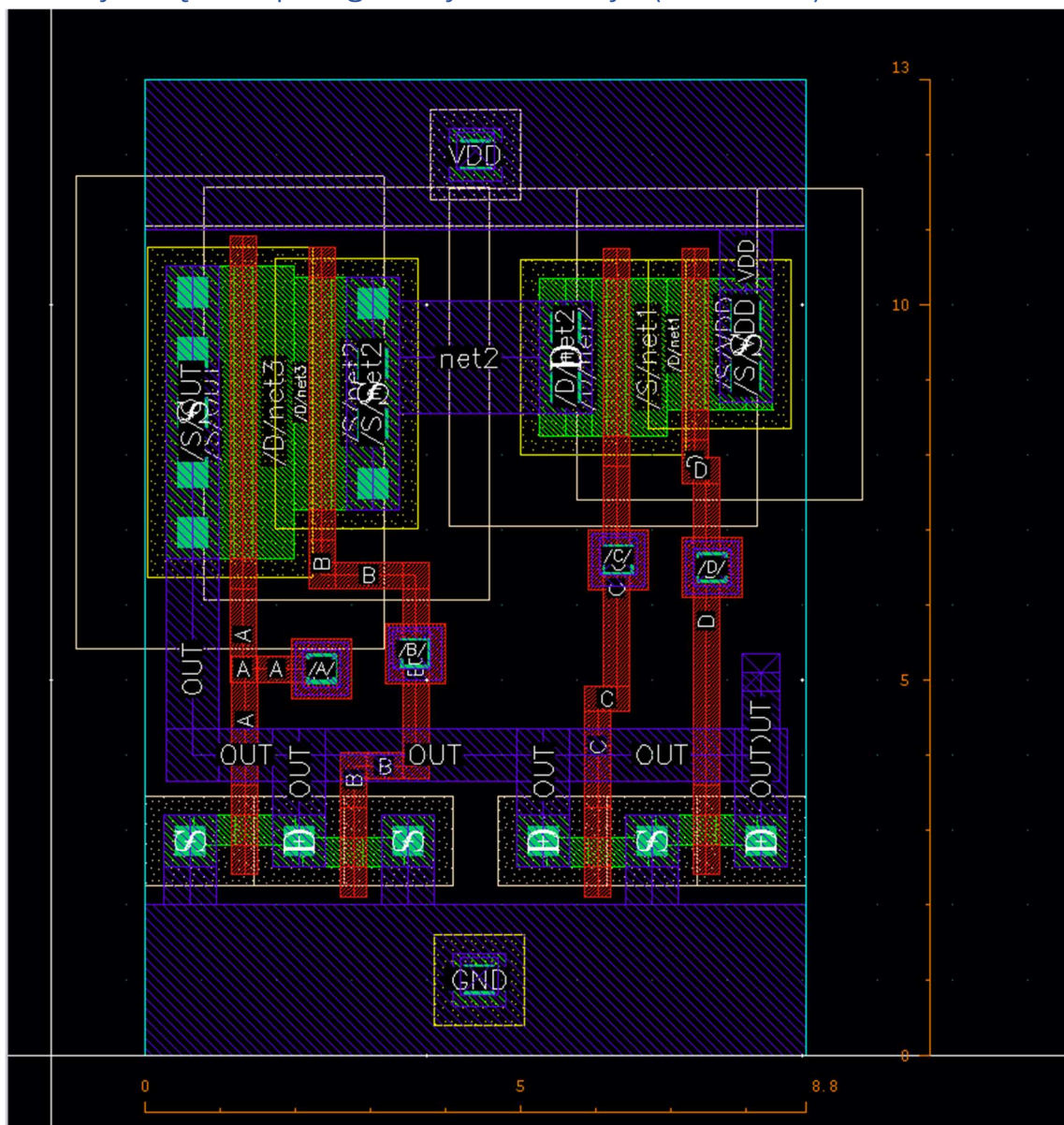


Rysunek 21 Analiza LVS

Komentarz:

Analiza LVS również przebiegła pomyślnie.

Realizacja części topologicznej dla funkcji $!(A+B+C+D)$



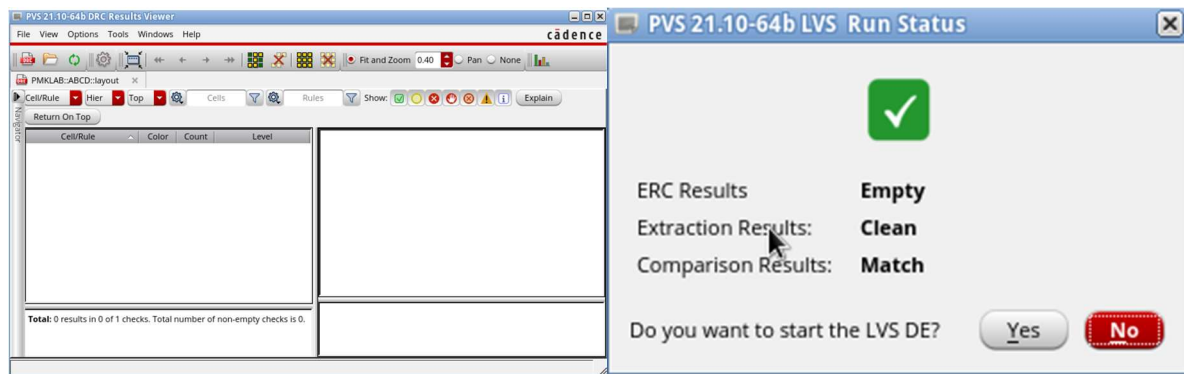
Rysunek 22 Topologia płytki

Komentarz:

Topologie płytki zrealizowano w taki sposób, aby spełnione zostały wymagania zaprezentowane na laboratorium. Wymiary płytki

Długość: 8.8 um

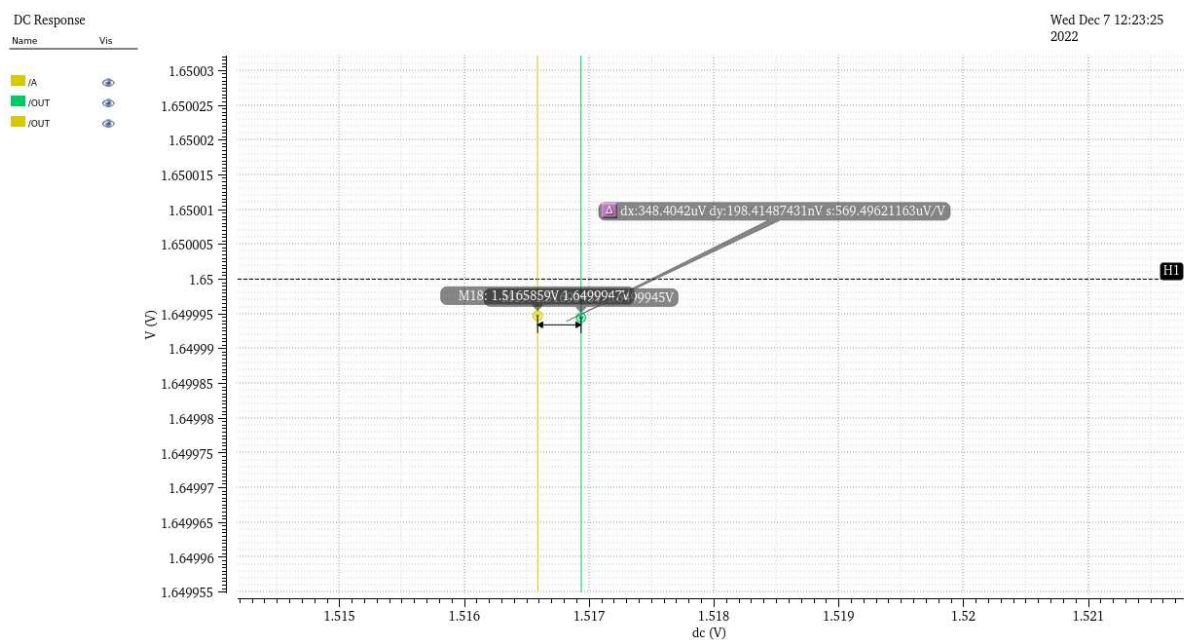
Szerokość: 13um (wartość podana przez osobę prowadzącą zajęcia)



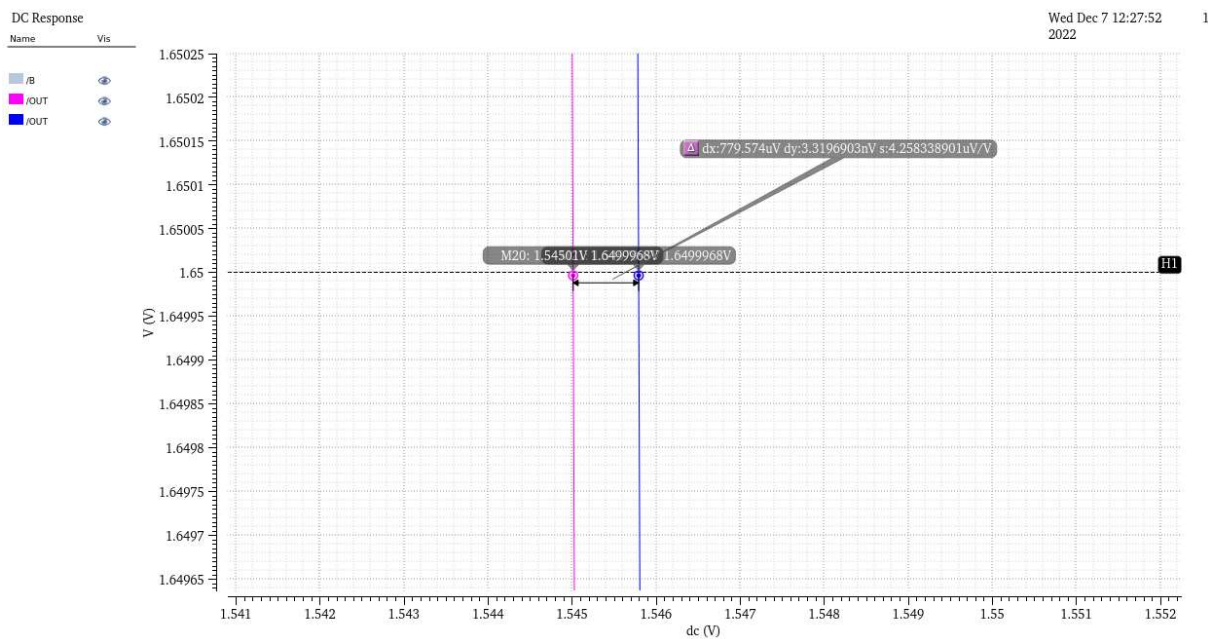
Komentarz:

Zrealizowane analizy DRC i LVS zakończyły się pomyślnie, dlatego w kolejnej części przejdę do ekstrakcji płytki oraz przeanalizowania przebiegów nowo utworzonego modelu.

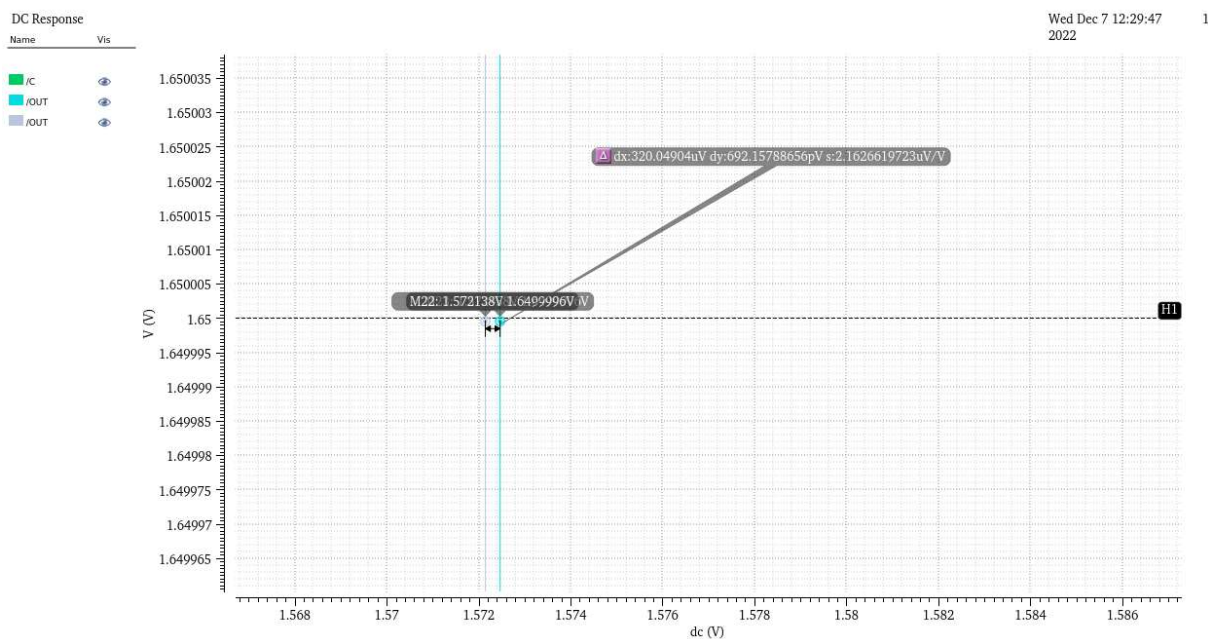
Analiza DC



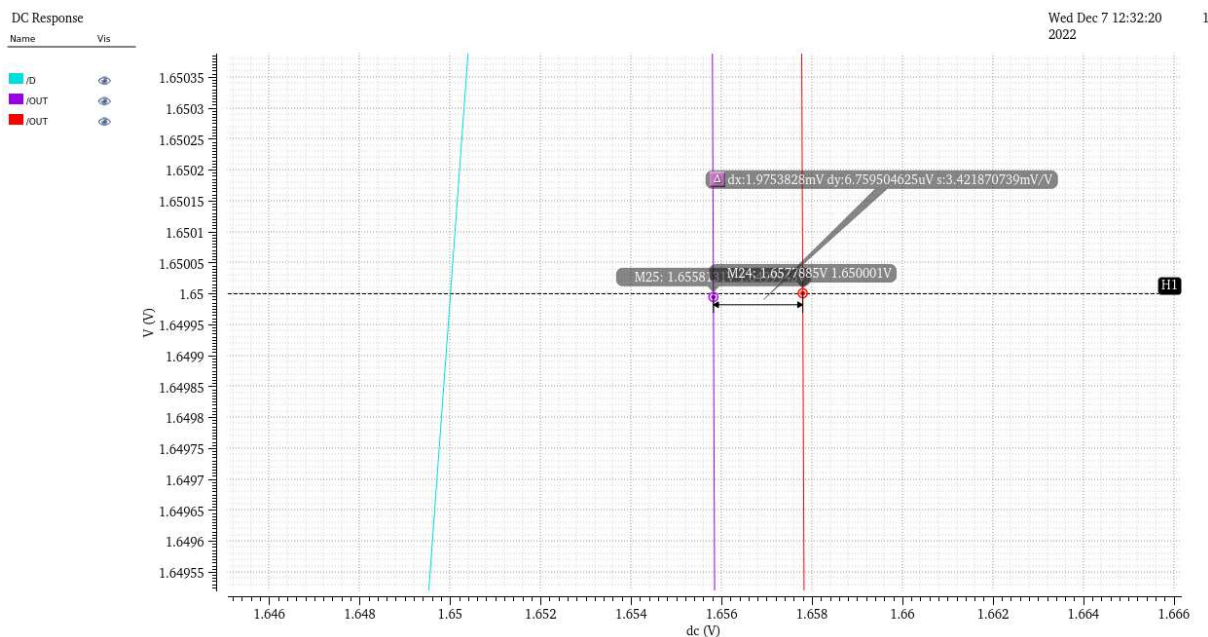
Rysunek 23 Charakterystyka przejściowa wejścia A



Rysunek 24 Charakterystyka przejściowa wejścia B



Rysunek 25 Charakterystyka przejściowa wejścia C



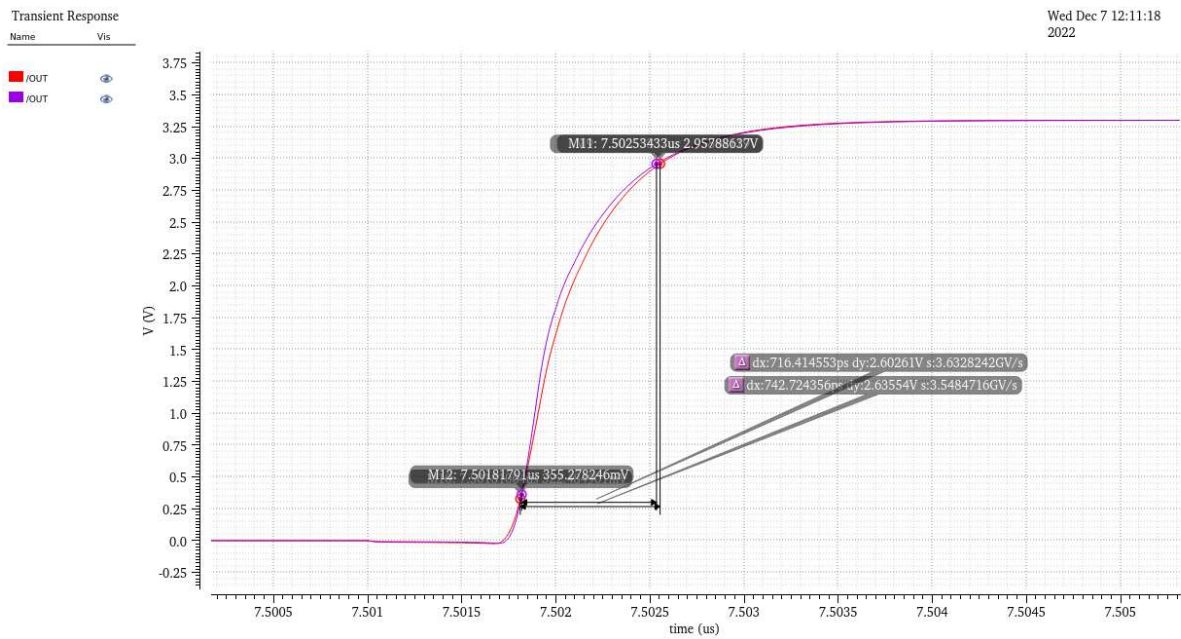
Rysunek 26 Charakterystyka przejściowa wejścia D

Wejście	Delta marker [mV]
A	0.348
B	0.749
C	0.320
D	1.97

Komentarz:

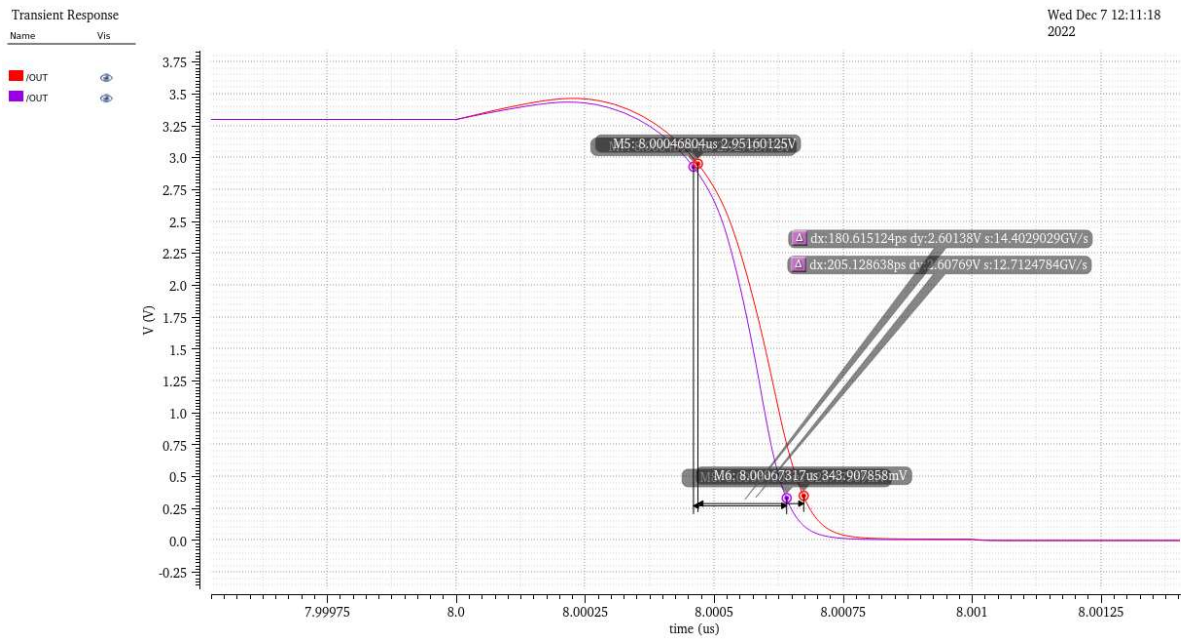
Zgodnie z oczekiwaniami, wprowadzenie pasożytniczych elementów do zbudowanej płytki spowodowało pogorszenie się jej parametrów na charakterystyce przejściowej. Niemniej jednak zmiany te nie są wielkie, dlatego mogą wywnioskować wpływ rezystancji i pojemności pasożytniczych nie wpływa (w znacznym stopniu) na napięcie przełączenia bramki, przynajmniej w tak prostym układzie.

Analiza AC



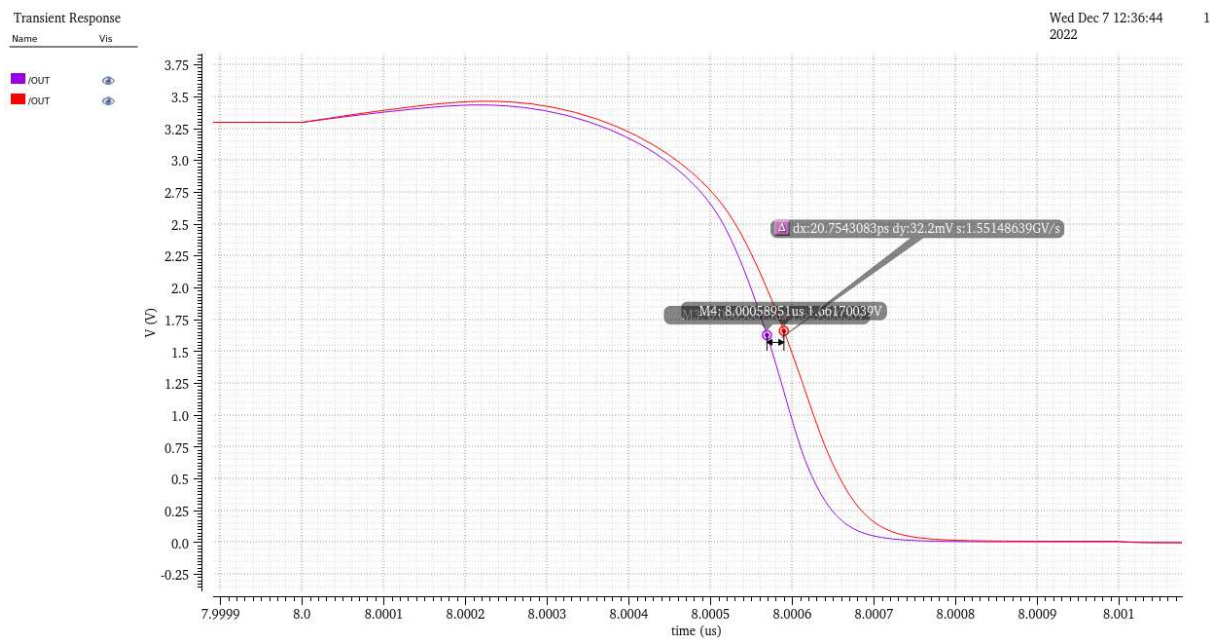
Wed Dec 7 12:11:18 2022 1

Rysunek 27 Pomiar czasu narastania

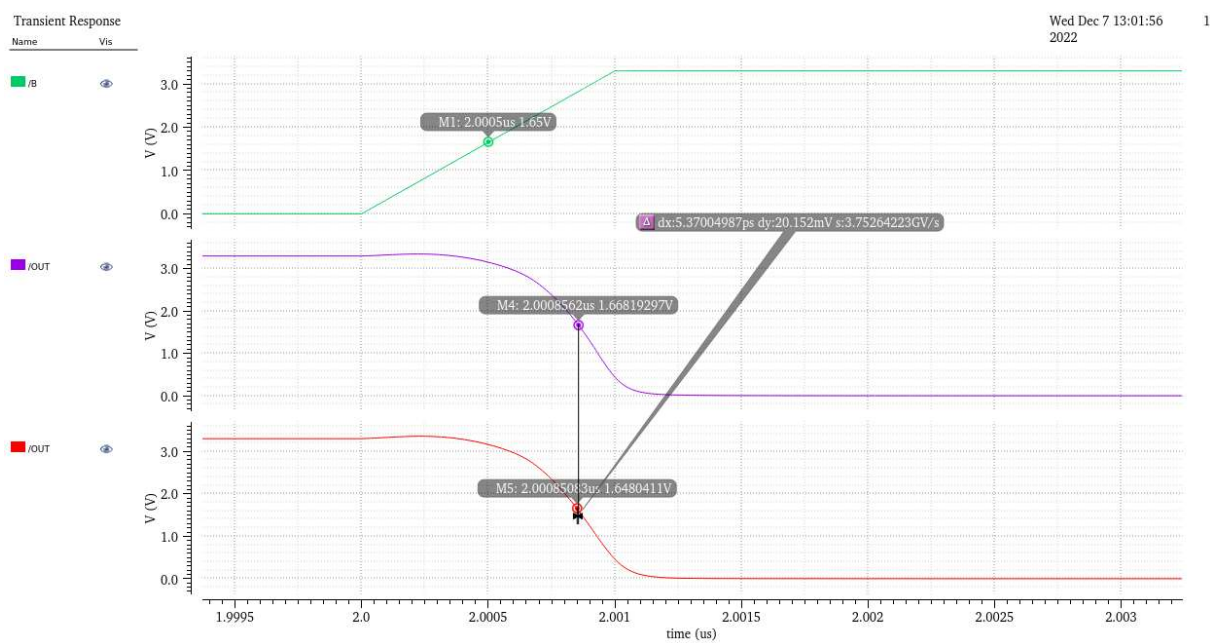


Wed Dec 7 12:11:18 2022 1

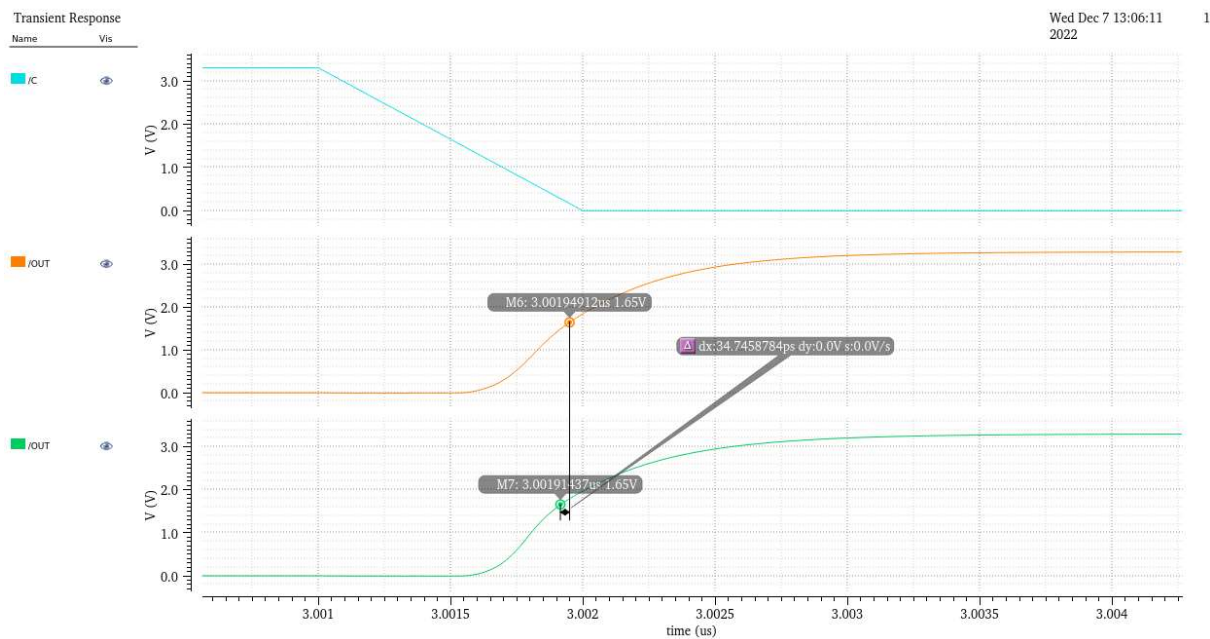
Rysunek 28 Pomiar czasu opadania



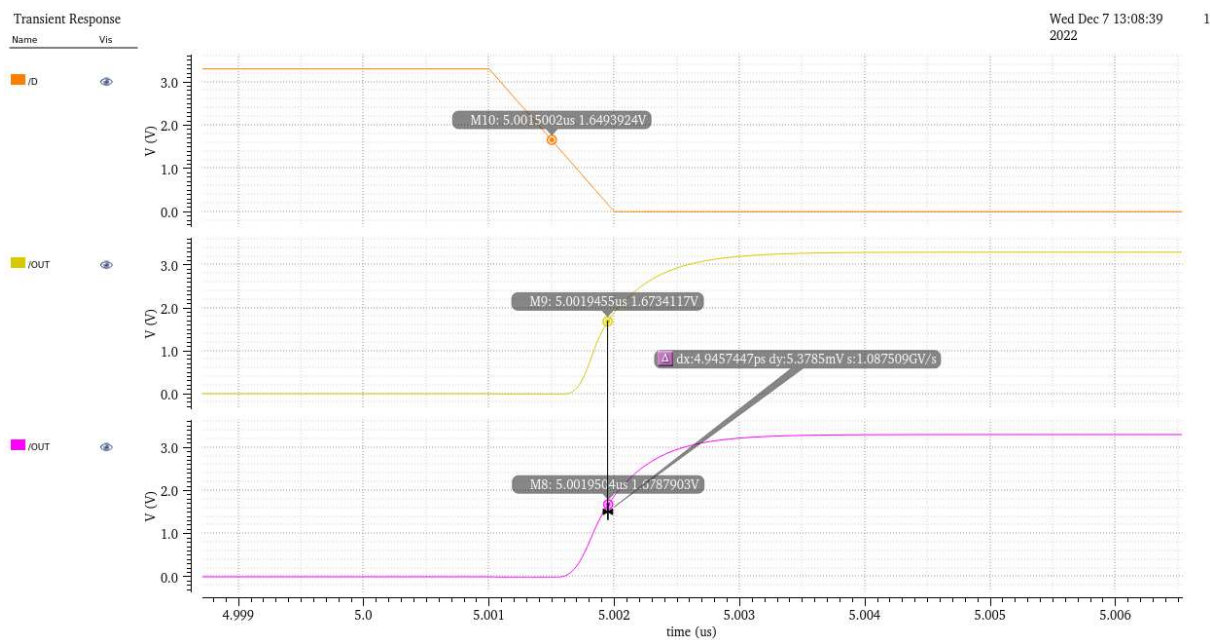
Rysunek 29 Pomiar czasu opóźnienia wejście A



Rysunek 30 Pomiar czasu opóźnienia wejście B



Rysunek 31 Pomiar czasu opóźnienia wejście C



Rysunek 32 Pomiar czasu opóźnienia wejście D

Komentarz:

Z tych zrzutów ekranu jestem w stanie odczytać zarówno różnice w czasach opóźnienia jak i czasy opóźnienia przed i po ekstrakcji.

Wejście	Różnica opóźnienia	Opóźnienie przed ekstrakcją	Opóźnienie po ekstrakcji
A	20.75 ps	0.021ns	0.042ns
B	5.37 ps	0.351ns	0.3562ns
C	34.74 ps	0.414ns	0.449ns
D	4.94 ps	0.4453ns	0.4504ns

Komentarz:

Wprowadzenie elementów pasożytniczych spowodowało pogorszenie się czasów narastania i opadania bramki, ale też czasów opóźnienia. Zmiana tych czasów nie jest wielka (rzędu kilkunastu pikosekund) niemniej jednak bardziej zauważalna niż przy analizie DC. Warto wspomnieć, że nawet tak małe zmiany w czasach mogą powodować duże problemy w funkcjonowaniu bramki, gdyż gdybyśmy chcieli połączyć wiele takich bramek w duży układ wzrost opóźnienia byłby znaczący.