	<p style="text-align: center;">Akademia Górniczo-Hutnicza w Krakowie Wydział FiIS Fizyka techniczna</p>	<p>Zespół: 1.Kulig Mateusz 2.Ryś Przemysław</p>
Laboratorium elektroniczne WFiIS		
Rok akademicki: 2022/2023	Semestr V	Grupa: 2
Temat ćwiczenia: Programowalna matryca logiczna (PLD) C-4 Logika sekwencyjna		
Data wykonania ćwiczenia 24.01.2023	Data oddania sprawozdania 24.01.2023	Ocena

1 Cel ćwiczenia

Celem ćwiczenia jest zaprojektowanie układów sekwencyjnych oraz sprawdzenie ich działania w praktyce za pomocą matrycy logicznej.

2 Aparatura

W ćwiczeniu użyliśmy następujących przyrządów:

- Zasilacz
- Płyta PLC
- wyświetlacz 7-segmentowy

3 Analiza danych

3.1 Licznik modulo N (4-bitowy).

W pierwszym etapie ćwiczenia zaprojektowaliśmy 4-bitowy licznik synchroniczny modulo 15 liczący w górę(+1). Licznik powinien liczyć w kodzie Gray'a, a do jego budowy wykorzystaliśmy wyjścia $O_4 - O_1$ matrycy pracujące w trybie sekwencyjnym (z przerzutnikiem typu D na wyjściu). O_1 był najmłodszym bitem licznika. Założyliśmy, iż stan poza zakresem pracy licznika(stan 15) możemy traktować jako nadmiarowy - nigdy on nie wystąpi, a zatem stan następny do którego on prowadzi jest bez znaczenia.

Zadanie rozpoczęliśmy od zaprojektowania tabeli stanów(rysunek 1), gdzie dla każdego ze stanów licznika $O_4 - O_1$ przypisaliśmy stan następny $O'_4 - O'_1$.

Następnie dokonaliśmy minimalizacji funkcji logicznych dla każdego z 4 wyjść $O_1 - O_4$ wykorzystując metodę tablic Karnaugh'a. Tablice Karnaugh'a przedstawiliśmy na rysunkach od 2 do 5, każdą z zaznaczonymi grupami. W tabeli 1 zebraliśmy zminimalizowane w ten sposób funkcje logiczne. Zdjęcie matrycy pokazujące zaimplementowane przez nas funkcje logiczne przedstawia rysunek 6. Na końcu zweryfikowaliśmy poprawność zmontowanego przez nas licznika używając wyświetlacza, na którym wybraliśmy odpowiedni tryb wyświetlania(GRAY→DEC).

Tab. 1: Funkcje zminimalizowane przy pomocy tablic Karnaugh'a.

Wyjście	Zminimalizowana funkcja logiczna
O'_1	$Y_1 = \overline{O_4} \overline{O_3} O_2 + \overline{O_4} O_3 O_2 + \overline{O_4} O_3 \overline{O_2} + \overline{O_4} \overline{O_3} O_2$
O'_2	$Y_2 = O_2 \overline{O_1} + \overline{O_4} \overline{O_3} O_1 + \overline{O_4} O_3 O_1$
O'_3	$Y_3 = \overline{O_4} O_3 + \overline{O_2} O_3 \overline{O_1} + \overline{O_4} O_3 O_1 + \overline{O_4} O_2 \overline{O_1}$
O'_4	$Y_4 = \overline{O_4} \overline{O_3} O_2 + \overline{O_2} O_3 \overline{O_1} + \overline{O_4} O_3$

DEC	O_4	O_3	O_2	O_1	O'_1	O'_2	O'_3	O'_4
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	1	1	0
4	0	1	1	0	0	1	1	1
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	0	0
7	0	1	0	0	1	1	0	0
8	1	1	0	0	1	1	0	1
9	1	1	0	1	1	1	1	1
10	1	1	1	1	1	1	1	0
11	1	1	1	0	1	0	1	0
12	1	0	1	0	1	0	1	1
13	1	0	1	1	1	0	0	1
14	1	0	0	1	0	0	0	0
15	1	0	0	0	X	X	X	X

Rys. 1: Tabela stanów dla licznika modulo 15 liczącego w górę (+1).

$O_4O_3 \backslash O_2O_1$	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	0	0
10	X	0	1	1

Rys. 2: Tablica Karnaugh'a dla wyjścia O'_1 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek. Dowolny stan X przyjęliśmy jako 0.

$\begin{array}{c} \backslash \\ O_4 O_3 \backslash O_2 O_1 \\ \backslash \end{array}$	00	01	11	10
00	0	1	1	1
01	0	0	0	1
11	0	1	1	1
10	X	0	0	1

Rys. 3: Tablica Karnaugh'a dla wyjścia O'_2 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek. Dowolny stan X przyjęliśmy jako 0.

$\begin{array}{c} \backslash \\ O_4 O_3 \backslash O_2 O_1 \\ \backslash \end{array}$	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	1	1	0
10	X	0	0	0

Rys. 4: Tablica Karnaugh'a dla wyjścia O'_3 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek. Dowolny stan X przyjęliśmy jako 0.

$\begin{array}{c} \diagup \\ O_4 O_3 \diagdown \\ O_2 O_1 \end{array}$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	1	1
10	X	0	1	1

Rys. 5: Tablica Karnaugh'a dla wyjścia O'_4 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek. Dowolny stan X przyjęliśmy jako 0.



Rys. 6: Zdjęcie matrycy pokazujące zaimplementowane funkcje logiczne.

3.2 Licznik binarny 3-bitowy ze sterowaniem zewnętrznym.

Następnie zaprojektowaliśmy 3-bitowy licznik synchroniczny z wejściem sterującym A, liczący w kodzie binarnym. Zmiana stanu wejścia sterującego A (1 bit) pozwala na pracę licznika w dwóch trybach. Do budowy układu wykorzystaliśmy wyjścia $O_3 - O_1$ matrycy pracujące w trybie sekwencyjnym, gdzie O_1 był najmłodszym bitem. W naszej wersji ćwiczenia, gdy licznik znajdował się w trybie 1 ($A = 0$), liczył od 3 do 7 w górę (+1) cyklicznie, ze stanu 7 \rightarrow 3, stany nadmiarowe prowadziły do 3. Natomiast gdy znajdował się w trybie 2 ($A = 1$), liczył jednorazowo do 3 w dół (-1) i zatrzymywał się na 3, stany nadmiarowe prowadziły do 3.

Zadanie rozpoczęliśmy od zaprojektowania tabeli stanów (rysunek 1), gdzie dla każdego ze stanów licznika $O_3 - O_1$ przypisaliśmy stan następny $O'_3 - O'_1$.

Następnie dokonaliśmy minimalizacji funkcji logicznych dla każdego z 3 wyjść $O_1 - O_3$ wykorzystując metodę tablic Karnaugh'a. Tablice Karnaugh'a przedstawiliśmy na rysunkach od 8 do 10, każdą z zaznaczonymi grupami. W tabeli 2 zebraliśmy zminimalizowane w ten sposób funkcje logiczne. Zdjęcie matrycy pokazujące zaimplementowane przez nas funkcje logiczne przedstawia rysunek 11. Na końcu zweryfikowaliśmy poprawność zmontowanego przez nas licznika używając wyświetlacza, na którym wybraliśmy odpowiedni tryb wyświetlania (Bin \rightarrow Dec).

A	O_3	O_2	O_1	O'_3	O'_2	O'_1
0	0	0	0	0	1	1
0	0	0	1	0	1	1
0	0	1	0	0	1	1
0	0	1	1	1	0	0
0	1	0	0	1	0	1
0	1	0	1	1	1	0
0	1	1	0	1	1	1
0	1	1	1	0	1	1
1	0	0	0	0	1	1
1	0	0	1	0	1	1
1	0	1	0	0	1	1
1	0	1	1	0	1	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

Rys. 7: Tabela stanów dla licznika który dla trybu 1 ($A=0$) liczy cyklicznie od 3 do 7 w górę (+1) i gdzie stany nadmiarowe prowadzą do 3, natomiast dla trybu 2 ($A=1$) liczy jednorazowo do 3 w dół (-1) i zatrzymuje się na 3 i gdzie stany nadmiarowe prowadzą bezpośrednio do 3.

Tab. 2: Funkcje zminimalizowane przy pomocy tablic Karnaugh'a.

Wyjście	Zminimalizowana funkcja logiczna
O'_1	$Y_1 = AO_3 + O_2 \overline{O_1} + \overline{O_2} O_1 + \overline{O_3} O_2 + \overline{AO_3} O_2$
O'_2	$Y_2 = AO_3 + O_3 \overline{O_2} + \overline{AO_2} O_1 + \overline{AO_2} \overline{O_1} + \overline{AO_3} O_1 + O_3 O_2 O_1$
O'_3	$Y_3 = \overline{AO_3} O_2 + \overline{AO_3} O_1 + O_3 O_2 \overline{O_1} + \overline{AO_3} O_2 O_1$

$\begin{array}{c} \backslash \\ AO_3 \backslash O_2 O_1 \\ \backslash \end{array}$	00	01	11	10
00	1	1	0	1
01	1	0	1	1
11	1	0	0	1
10	1	1	1	1

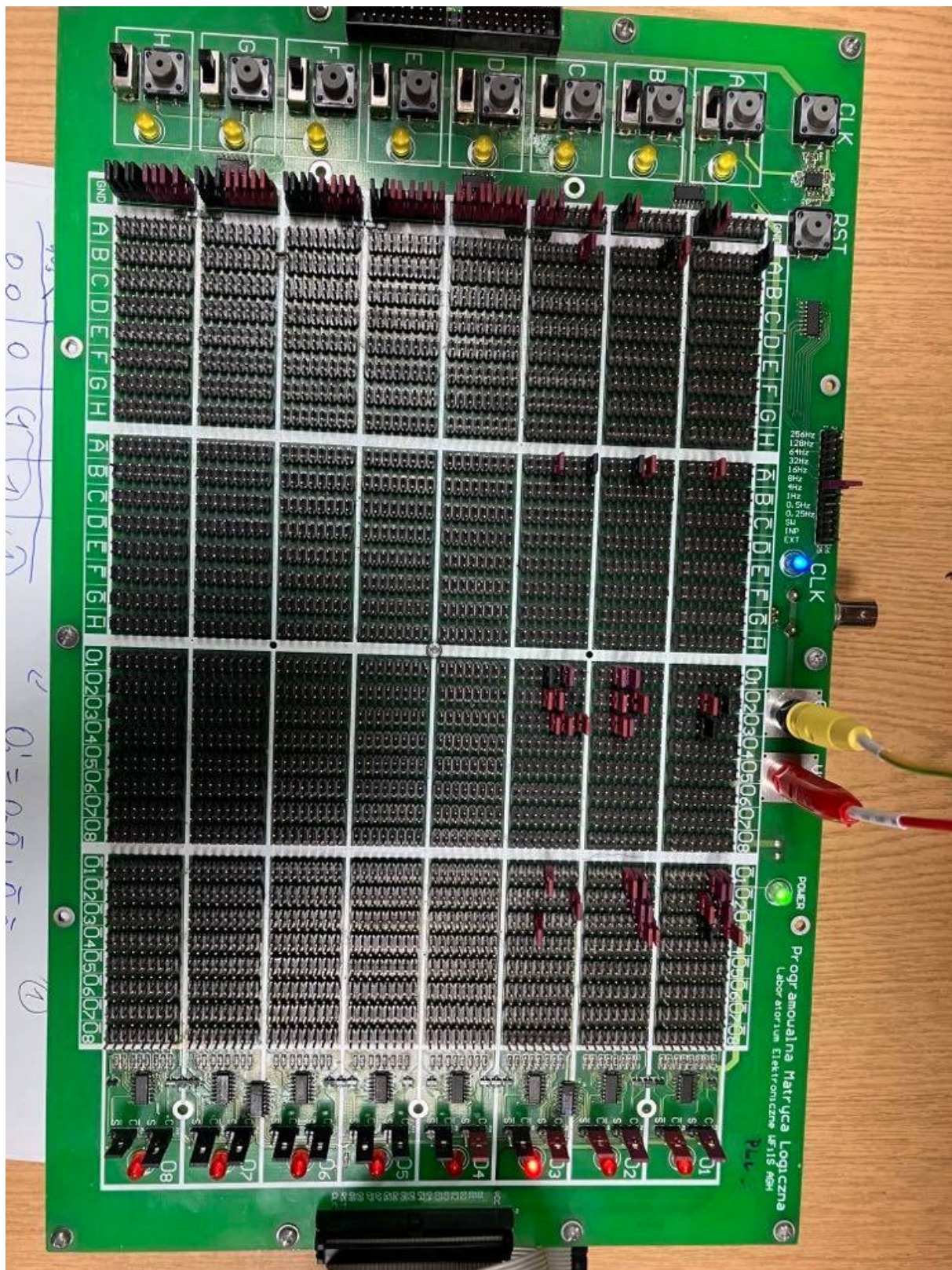
Rys. 8: Tablica Karnaugh'a dla wyjścia O'_1 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek.

$\begin{array}{c} \backslash \\ AO_3 \backslash O_2 O_1 \\ \backslash \end{array}$	00	01	11	10
00	1	1	0	1
01	0	1	1	1
11	1	0	1	0
10	1	1	1	1

Rys. 9: Tablica Karnaugh'a dla wyjścia O'_2 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek.

$\begin{array}{c} \backslash \\ AO_3 \backslash O_2 O_1 \\ \backslash \end{array}$	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	0	1	1	1
10	0	0	0	0

Rys. 10: Tablica Karnaugh'a dla wyjścia O'_3 . Kolorowymi pętlami zaznaczono kolejne grupy jedynek.



Rys. 11: Zdjęcie matrycy pokazujące zaimplementowane funkcje logiczne.