

Technika Cyfrowa

Sprawozdanie z ćwiczenia nr. 2

Piotr Błaszczyk, Eryk Olejarz, Krzysztof Swędzioł, Filip Zieliński

13.05.2024

1 Wprowadzenie

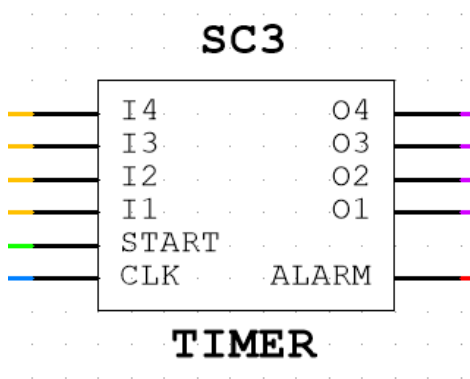
Celem ćwiczenia była, korzystając wyłącznie z wybranych przerzutników oraz dowolnych bramek logicznych, implementacja czterobitowego układu TIMER, odmierzającego ustawiany za pomocą przełączników czas (od 0 do 15).

Po wciśnięciu przycisku STRAT, układ rozpoczyna odmierzanie czasu do tyłu. Po wyzerowaniu się licznika czasu, układ powinien się zatrzymać i włączyć alarm świetlny wykorzystujący diodę LED. Po ponownym wciśnięciu przycisku START, układ powinien wyłączyć alarm i ponownie rozpocząć odmierzanie ustawionego na przełącznikach czasu.

Aktualny wskazywany przez układ czas proszę pokazywać na wyświetlaczach siedmiosegmentowych..

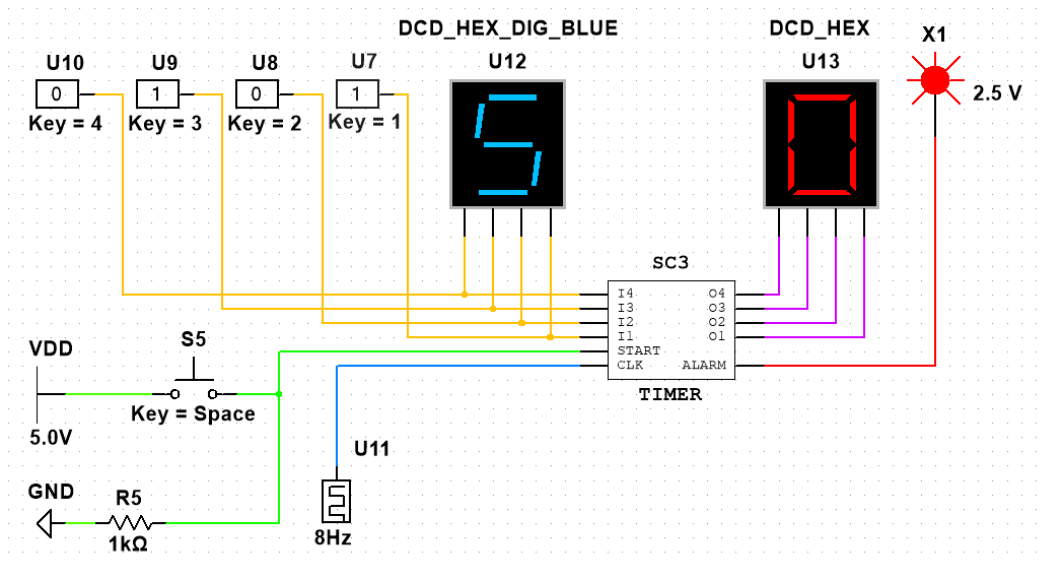
2 Ogólna idea rozwiązania

Zaprojektowany układ timer, na wejściu dostaje 4 bity początkowej liczby, przycisk START (aby rozpocząć odliczanie) oraz sygnał zegara, a wyjście z określoną przez zegar częstotliwością zwraca 4 bity kolejnych liczb malejąco. Dodatkowo, piąty bit wyjścia nazwany ALARM odpowiada za wstrzymanie układu i zaświecenie diody, po skończonym odliczaniu.



Rysunek 1: Podstawowy schemat układu TIMER

Pełniejszą wersję całego schematu przedstawia Rysunek 2. Widać tam w jaki sposób za pomocą klawiszy 1,2,3,4 użytkownik może modyfikować bity początkowej liczby oraz w jaki sposób za pomocą spacji może uruchamiać odliczanie. Początkowa, wybrana przez użytkownika liczba jest prezentowana na niebieskim wyświetlacz 7 segmentowym. Liczba jest przedstawiana w systemie szesnastkowym. Odmierzany czas, jest reprezentowany przez dynamicznie zmieniający się czerwony wyświetlacz 7 segmentowy. Tam również liczba jest przedstawiana w systemie szesnastkowym. Dioda X1 podpięta jest bezpośrednio pod sygnał ALARM. Zrzut ekranu prezentuje układ w chwili zakończenia odliczania.



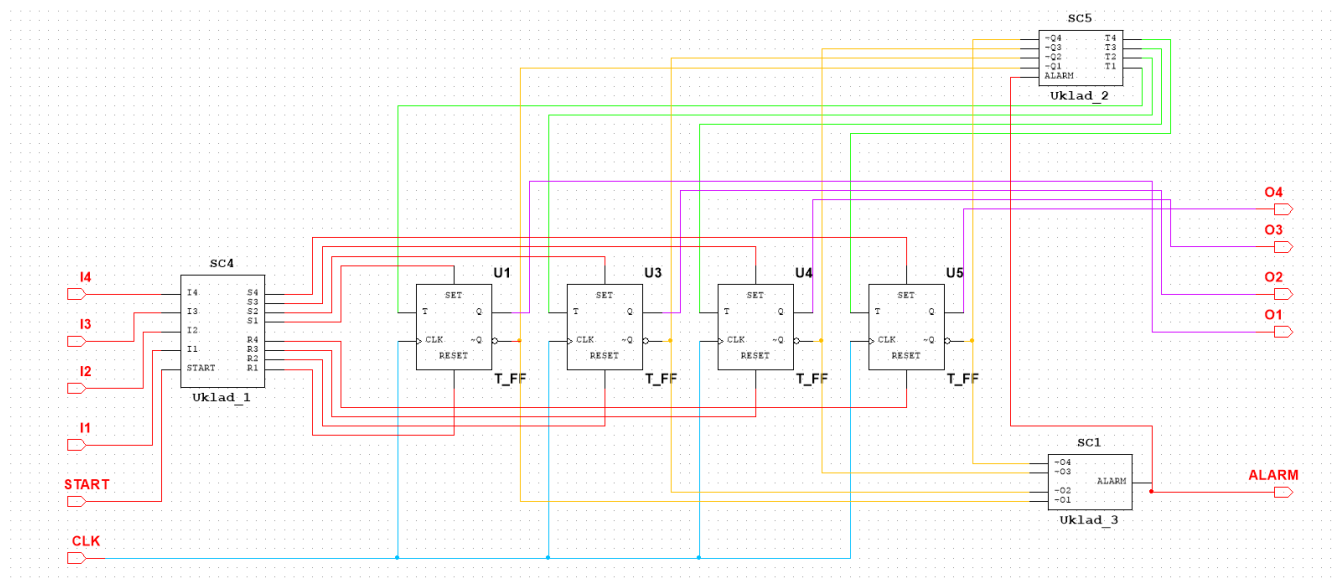
Rysunek 2: Schemat całości układu.

3 Układ TIMER

Dokładny schemat układu TIMER prezentuje Rysunek 3. Główną część układu stanowią 4 przerzutniki typu T, odpowiedzialne za odliczanie.

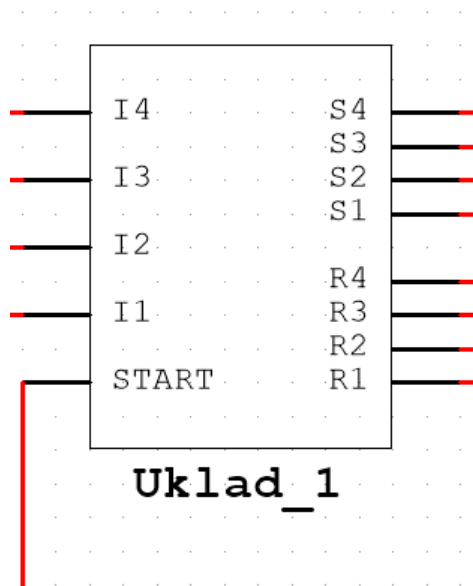
Podukłady Układ 1, Układ 2, Układ 3 odpowiadają za:

- Ustawienie początkowych wartości przerzutników na poprawne.
- Zmianę liczby na następną.
- Uruchomienie ALARMU i zatrzymanie układu w sytuacji końca odliczania.



Rysunek 3: Dokładny schemat układu TIMER.

3.1 Układ 1



Rysunek 4: Prosty schemat Układu 1.

Układ 1 odpowiada za ustawienie początkowych wartości SET/RESET przerzutników typu T aby prezentowana liczba odpowiadała wybranej przez użytkownika. Oczywiście, układ powinien zadziałać dopiero po dostaniu sygnału START.

Każdy przerzutnik T, jest ściśle powiązany z konkretnym bitem wejścia (i wyjścia). Układ 1 jedyne co robi, to ustawia wartość SET danego przerzutnika na tą samą wartość co odpowiadający bit wejścia, a wartość RESET, na przeciwną.

Czasem, dla uproszczenia zapisu zamiast START, zapisujemy po prostu S, bez indeksu dolnego. Nie należy tego mylić z np. S_1 który odpowiada sygnałowi SET_1 .

Tabela 1: Tabela zależności logicznych dla Układu 1

START	I_1	I_2	I_3	I_4	S_4	R_4	S_3	R_3	S_2	R_2	S_1	R_1
1	0	0	0	0	0	1	0	1	0	1	0	1
1	0	0	0	1	0	1	0	1	0	1	1	0
1	0	0	1	0	0	1	0	1	1	0	0	1
1	0	0	1	1	0	1	0	1	1	0	1	0
1	0	1	0	0	0	1	1	0	0	1	0	1
1	0	1	0	1	0	1	1	0	0	1	1	0
1	0	1	1	0	0	1	1	0	1	0	0	1
1	0	1	1	1	0	1	1	0	1	0	1	0
1	1	0	0	0	1	0	0	1	0	1	0	1
1	1	0	0	1	1	0	0	1	0	1	1	0
1	1	0	1	0	1	0	0	1	1	0	0	1
1	1	0	1	1	1	0	0	1	1	0	1	0
1	1	1	0	0	1	0	1	0	0	1	0	1
1	1	1	0	1	1	0	1	0	0	1	1	0
1	1	1	1	0	1	0	1	0	1	0	0	1
1	1	1	1	1	1	0	1	0	1	0	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	0	0

Tabela 2: Tabela Karnaugh dla S_4

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	1	1	1	1	1	1	1	1
10	0	0	0	0	0	0	0	0

Z tablicy Karnaugh zaprezentowanej w Tabeli 2 otrzymujemy zależność:

$$S_4 = START \cdot I_4$$

Tabela 3: Tabela Karnaugh dla R_4

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0
11	1	1	1	1	1	1	1	1

Z Tabeli 3 odczytujemy:

$$R_4 = START \cdot \overline{I_4}$$

Tabela 4: Tabela Karnaugh dla S_3

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	0	0	0	0	1	1	1	1
10	0	0	0	0	1	1	1	1

Z Tabeli 4 odczytujemy:

$$S_3 = START \cdot I_3$$

Tabela 5: Tabela Karnaugh dla R_3

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	1	1	1	1	0	0	0	0
10	1	1	1	1	0	0	0	0

Z Tabeli 5 odczytujemy:

$$R_3 = START \cdot \overline{I_3}$$

Tabela 6: Tabela Karnaugh dla S_2

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	0	0	1	1	1	1	0	0
10	0	0	1	1	1	1	0	0

Z Tabeli 6 odczytujemy:

$$S_2 = START \cdot I_2$$

Tabela 7: Tabela Karnaugh dla R_2

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	1	1	0	0	0	0	1	1
10	1	1	0	0	0	0	1	1

Z Tabeli 7 odczytujemy:

$$R_2 = START \cdot \overline{I_2}$$

Tabela 8: Tabela Karnaugh dla S_1

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	0	1	1	0	0	1	1	0
10	0	1	1	0	0	1	1	0

Pomimo, że nie "widać tego na pierwszy rzut oka" wszystkie pola z 1, tworzą spójny obszar w tablicy karnaugh, zatem można dokonać w tym wypadku eliminacji aż 3 zmiennych z równania. Można wizualizować sobie to, poprzez zaginanie tablicy w 3 wymiarze (sąsiadujące komórki, to wtedy również te na przeciwko siebie).

Z tego powodu, z Tabeli 8 otrzymujemy:

$$S_1 = START \cdot I_1$$

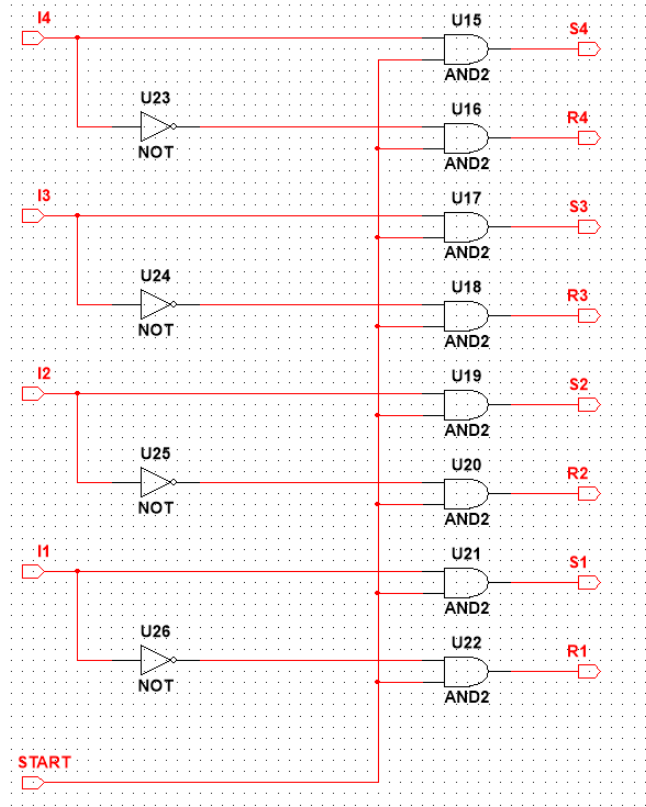
Tabela 9: Tabela Karnaugh dla R_1

S, I_4 / I_3, I_2, I_1	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0	0
11	1	0	0	1	1	0	0	1
10	1	0	0	1	1	0	0	1

z Tabeli 9 otrzymujemy:

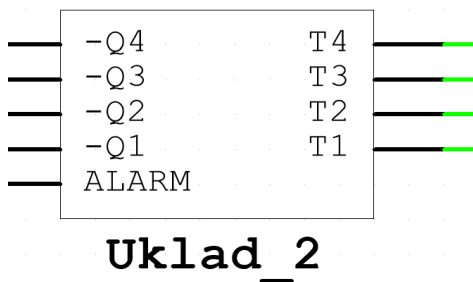
$$R_1 = START \cdot \bar{I}_1$$

Z tablicy Karnaugh, otrzymujemy wprost schemat Układu 1, który jest zaprezentowany na Rysunku 5.



Rysunek 5: Schemat Układu 1.

3.2 Układ 2



Rysunek 6: Prosty schemat Układu 2.

Układ 2 jest sterowany zanegowanym sygnałem, z powodu wygody.

Układ 2 jest odpowiedzialny, za zwracanie kolejnej, o 1 mniejszej liczby naturalnej na podstawie liczby wejściowej.

Czterema pierwszymi wejściami Układu 2. są sygnały typu \bar{Q} czyli kolejne zaprzeczone bity obecnie rozważanej liczby. Dodatkowym, piątym wejściem jest ALARM, sygnalizujący koniec odliczania.

Układ 2, odpowiada za informowanie przerzutników T, czy powinny zmienić obecną wartość logiczną na przeciwną, czy wartość pozostaje bez zmian. Dlatego wyjściem Układu 2, jest nie nowa wartość bitu kolejnej liczby, tylko informacja, reprezentująca zmianę na tej pozycji, lub jej brak. Korzystamy przy tym bezpośrednio z Tabeli prawdy przerzutnika typu T pokazanej w Tabeli reftab:t.

Tabela 10: Tabela prawdy dla przerzutnika typu T

T	Q	Q+
0	0	0
0	1	1
1	0	1
1	1	0

Tabelę zależności logicznej dla Układu 2, prezentuje Tabela 11.
 $Q4, Q3, Q2, Q1$ to wejściowe bity obecnej liczby, $Q4+, Q3+, Q2+, Q1+$ symbolizują bity następnej liczby, a $T4, T3, T2, T1$ odpowiadają realnie wychodzącemu sygnałowi z Układu. 1 symbolizuje zmianę na danym miejscu, 0 brak zmiany.

Tabela 11: Tabela zależności logicznej dla Układu 2

ALARM	Q4	Q3	Q2	Q1	Q4+	Q3+	Q2+	Q1+	T4	T3	T2	T1
0	1	1	1	1	1	1	1	0	0	0	0	1
0	1	1	1	0	1	1	0	1	0	0	1	1
0	1	1	0	1	1	1	0	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	1
0	1	0	1	1	1	0	1	0	0	0	0	1
0	1	0	1	0	1	0	0	1	0	0	1	1
0	1	0	0	1	1	0	0	0	0	0	0	1
0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	1	0	1	1	0	0	0	0	1
0	0	1	1	0	0	1	0	1	0	0	1	1
0	0	1	0	1	0	1	0	0	0	0	0	1
0	0	1	0	0	0	0	1	1	0	1	1	1
0	0	0	1	1	0	0	1	0	0	0	0	1
0	0	0	1	0	0	0	0	1	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	0	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	0	0	0	0
1	1	1	1	0	1	1	1	0	0	0	0	0
1	1	1	0	1	1	1	0	1	0	0	0	0
1	1	1	0	0	1	1	0	0	0	0	0	0
1	1	0	1	1	1	0	1	1	0	0	0	0
1	1	0	1	0	1	0	1	0	0	0	0	0
1	1	0	0	1	1	0	0	1	0	0	0	0
1	1	0	0	0	1	0	0	0	0	0	0	0
1	0	1	1	1	0	1	1	1	0	0	0	0
1	0	1	1	0	0	1	1	0	0	0	0	0
1	0	1	0	1	0	1	0	1	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0	0
1	0	0	1	1	0	0	1	1	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0

Na podstawie przedstawionej logiki układu, powstają Tablice Karnaugh:

Tabela 12: Karnaugh dla T4

ALARM, Q4, Q3 / Q2, Q1	00	01	11	10
000	1	0	0	0
001	0	0	0	0
011	0	0	0	0
010	1	0	0	0
110	0	0	0	0
111	0	0	0	0
101	0	0	0	0
100	0	0	0	0

Z Tabeli 12 odczytujemy:

$$T4 = \overline{ALARM} \cdot \overline{Q3} \cdot \overline{Q2} \cdot \overline{Q1}$$

Tabela 13: Karnaugh dla T3

ALARM, Q4, Q3 / Q2, Q1	00	01	11	10
000	1	0	0	0
001	1	0	0	0
011	1	0	0	0
010	1	0	0	0
110	0	0	0	0
111	0	0	0	0
101	0	0	0	0
100	0	0	0	0

Z Tabeli 13 odczytujemy:

$$T3 = \overline{ALARM} \cdot \overline{Q2} \cdot \overline{Q1}$$

Tabela 14: Karnaugh dla T2

ALARM, Q4, Q3 / Q2, Q1	00	01	11	10
000	1	0	0	1
001	1	0	0	1
011	1	0	0	1
010	1	0	0	1
110	0	0	0	0
111	0	0	0	0
101	0	0	0	0
100	0	0	0	0

Z Tabeli 14 odczytujemy:

$$T2 = \overline{ALARM} \cdot \overline{Q1}$$

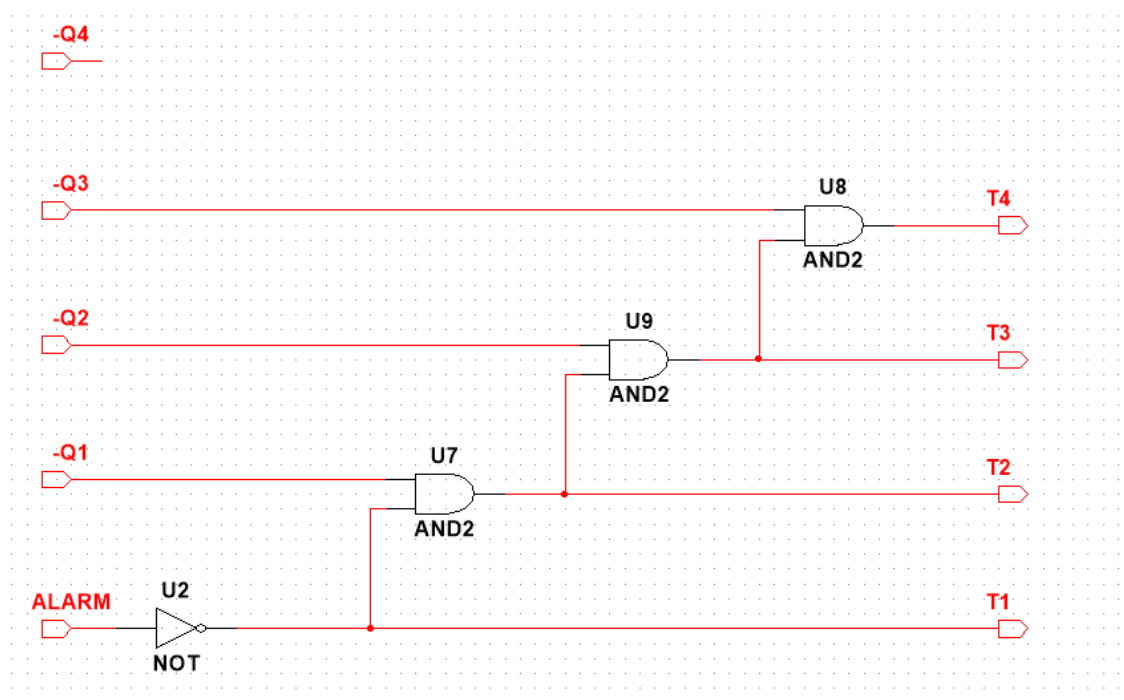
Tabela 15: Karnaugh dla T1

ALARM, Q4, Q3 / Q2, Q1	00	01	11	10
000	1	1	1	1
001	1	1	1	1
011	1	1	1	1
010	1	1	1	1
110	0	0	0	0
111	0	0	0	0
101	0	0	0	0
100	0	0	0	0

Z Tabeli 15 odczytujemy:

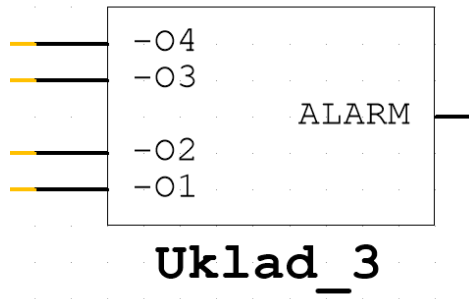
$$T1 = \overline{ALARM}$$

Bezpośrednio na podstawie przedstawionych Tablic Karnaugh i wzorów powstaje schemat Układu 2:



Rysunek 7: Schemat Układu 2.

3.3 Układ 3



Rysunek 8: Prosty schemat Układu 3.

Układ 3 korzysta z zanegowanych sygnałów wejściowych dla wygody.

Układ 3 odpowiada za wykrycie końca odliczania. Analizuje obecne bity wyjścia. W momencie, gdy wszystkie zmieniają się na 0, układ zmienia wartość sygnału ALARM na logiczną wartość 1. Tym samym, zatrzymuje generowanie następnika w Układzie 2, oraz przekazuje sygnał do diody, aby ta rozpoczęła świecenie.

Tabelę zależności logicznych dla Układu 3 przedstawia 16

Tabela 16: Zależności logiczne dla Układu 3.

O4	O3	O2	O1	ALARM
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Z Tabeli zależności logicznych, tworzymy tablicę Karnaugh dla wyjścia ALARM:

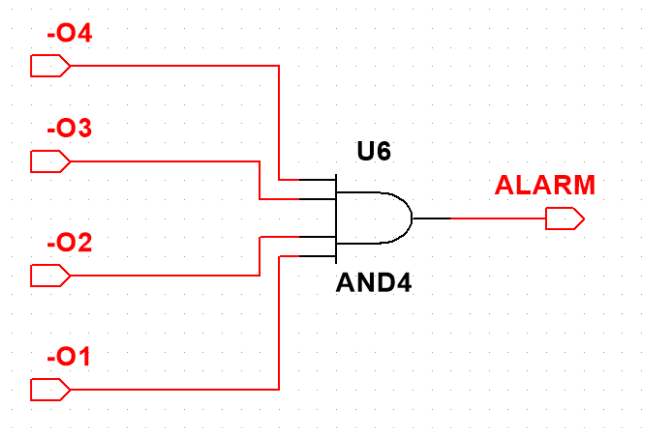
Tabela 17: Karnaugh dla ALARM.

O4, O3 / O2, O1	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

Z Tabeli 17 dostajemy:

$$ALARM = \overline{O4} \cdot \overline{O3} \cdot \overline{O2} \cdot \overline{O1}$$

Na podstawie wzoru, uzyskujemy bezpośrednio schemat Układu 3:

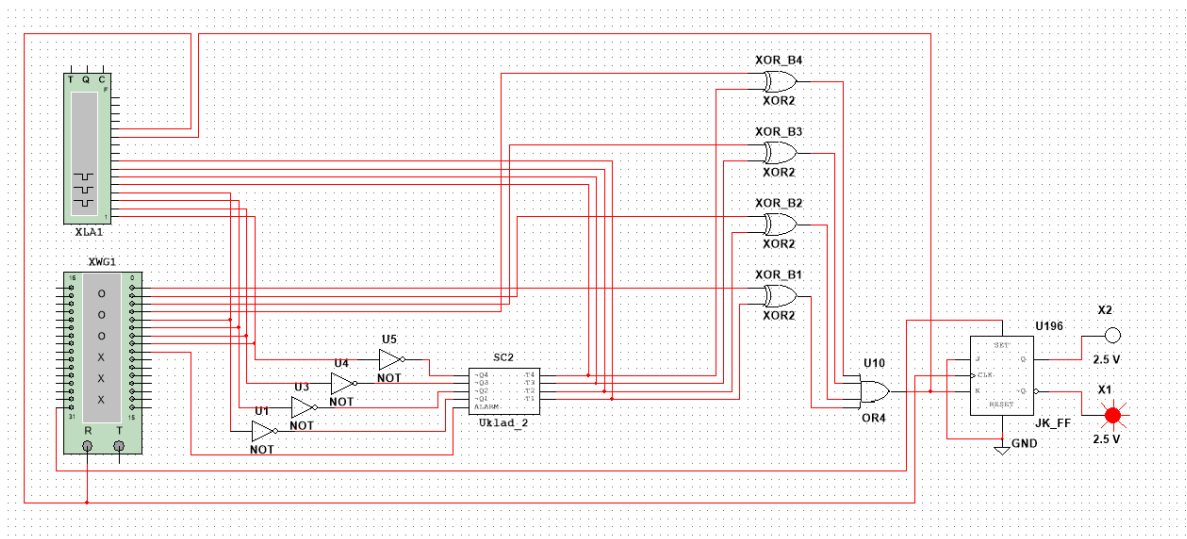


Rysunek 9: Dokładny schemat układu 3.

4 Układy testujące

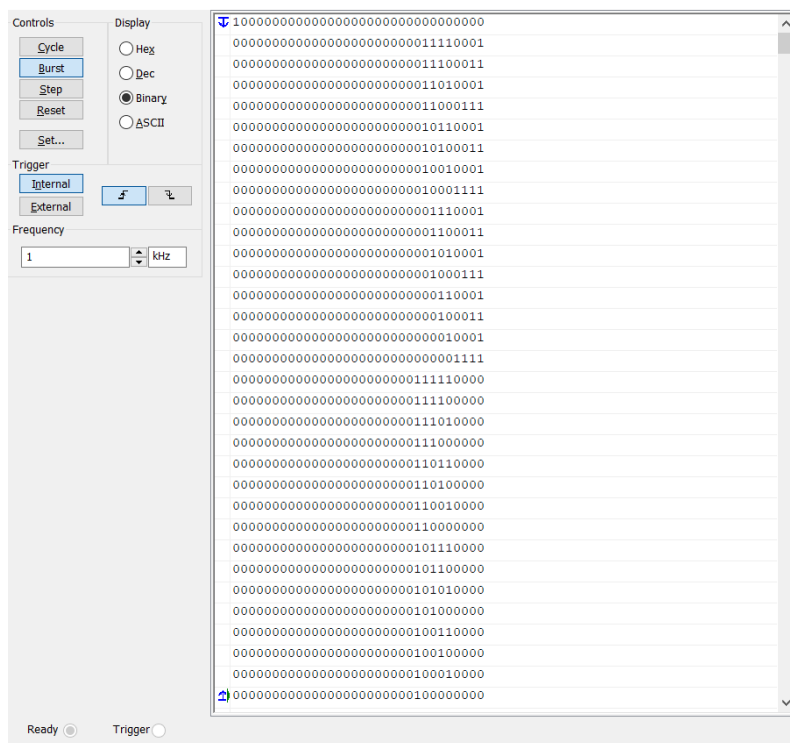
4.1 Układ testujący nr. 1

Został stworzony tester Układu 2, czyli funkcji generującej liczbę o 1 mniejszą od poprzedniej.



Rysunek 10: Układ testujący podukład 2.

Generator słów, poza pierwszym wyrazem generuje liczby 8 bitowe. Pierwsze 4 najmłodsze bity odpowiadają liczbie 4 bitowej, a starsze 4 bity oczekiwanemu wynikowi.



Rysunek 11: Generator słów.

Po przekształceniu sygnału przez układ, bity prawdziwego wyjścia są porównywane z oczekiwanymi wynikami za pomocą bramek logicznych XOR. W przypadku wykrycia różnicy (czyli któryś XOR zwróci 1) stan przerzutnika zmieni się, zapalając czerwoną lampkę i pozostanie taki już do końca testu.

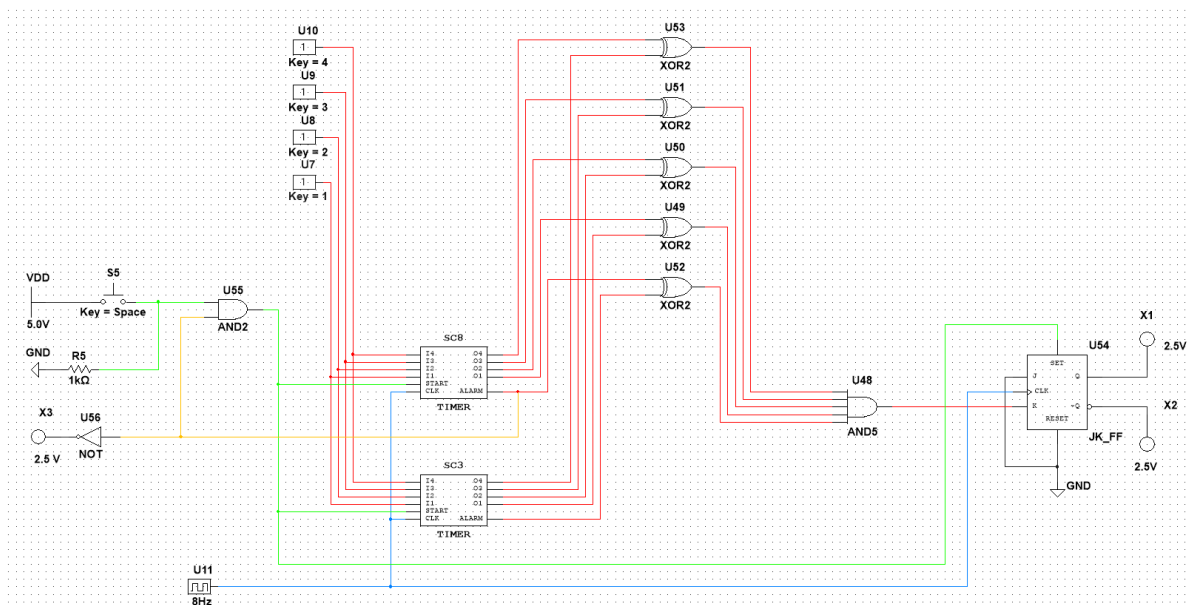
Przy teście następnej jednostki, pierwsze wygenerowane słowo, z powrotem ustawi wyjście Q przerzutnika na stan logicznej jedynki, za pomocą wejścia SET.

Pozostałe podukłady (Układ 1 i Układ 3) można przetestować analogicznie.

4.2 Układ Testujący nr. 2

Test 2 sprawdza spójność wszystkich podukładów. Korzystamy w nim z przetestowanego wcześniej prototypu, porównując do niego testowany model. Uruchomienie testu powoduje ustawienie czasu na obu timerach i rozpoczęcie odliczania. Pomarańczowa dioda po lewej stronie informuje o zakończeniu testu (gdy się świeci test ciągle trwa), a dwie diody po prawej wskazują jego wynik (czerwona – negatywny, zielona – pozytywny).

Taki test, nie sprawdzi wszystkich kombinacji, ale w połączeniu z pierwszym testem, dość dobrze określi sprawność urządzenia.



Rysunek 12: Układ testujący nr.2

5 Wnioski

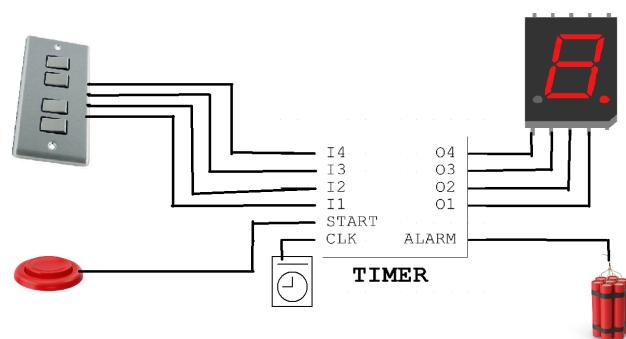
5.1 Możliwe różnice

- 1. Można by korzystać z innych przerzutników przy implementacji. Zdecydowaliśmy się na przerzutniki typu T, ale nic nie stoi na przeszkodzie, by zbudować analogiczny układ na podstawie np. przerzutników JK.
- 2. Kluczowym podukładem jest Układ 2, generujący liczbę o 1 mniejszą na podstawie, danej wejściowej liczby. Powstał on poprzez stworzenie tablicy zależności a następnie mozolnego upraszczania metodą Tablic Karnaugh. Pomimo, że taki proces na pewno zakończy się sukcesem, to nie zawsze jest to najprostsza droga. Prosta matematyczna analiza, pozwoliłaby na wymyślenie zależności logicznej opisującej zmniejszanie się liczby o 1 w systemie dwójkowym. Nie jest to może szczególnie istotne w przypadku liczb maksymalnie 4 bitowych, ale w przypadku rozważania większych liczb, rozwiązanie wykorzystujące ogólną tablicę zależności i Karnaugh, wypadłoby zdecydowanie dłużej. W przypadku Układu 1 oraz Układu 3, również właściwie rozpisywanie każdego przypadku nie jest konieczne, ponieważ intuicyjnie można wymyślić w jaki sposób powinien wyglądać dany układ.

5.2 Praktyczne zastosowania

Odmierzanie czasu z oczywistych względów ma wiele praktycznych zastosowań. Jest powszechnie wykorzystywane do kontrolowania czasu gotowania jajek na miękko, czasu trwania wykładów, czy też budziki ułatwiające wstawanie rano działają na analogicznej zasadzie.

Poniższy układ prezentuje pomysł zastosowania układu do stworzenia bomby, wybuchającej po zadany czasie. Układ mógłby z powodzeniem służyć studentom w różnych istotnych dla nich działaniach.



Rysunek 13: Przykładowy układ wykorzystujący TIMER