

Výstupní zpráva – projekt INC: UART

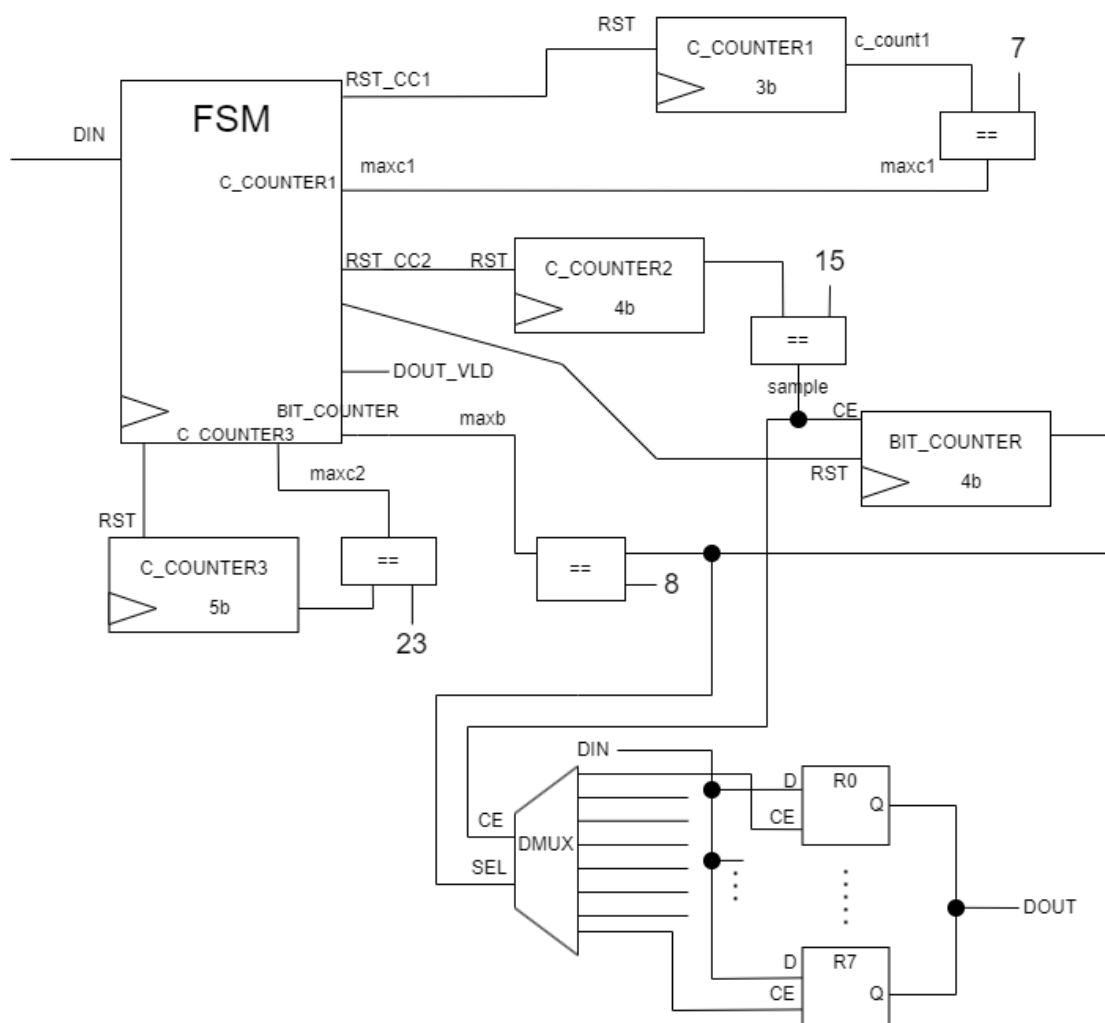
Jméno: Jakub Lůčný

xlogin: xlucnyj00

28. dubna 2024

Architektura navrženého obvodu

Schéma obvodu



Popis funkce

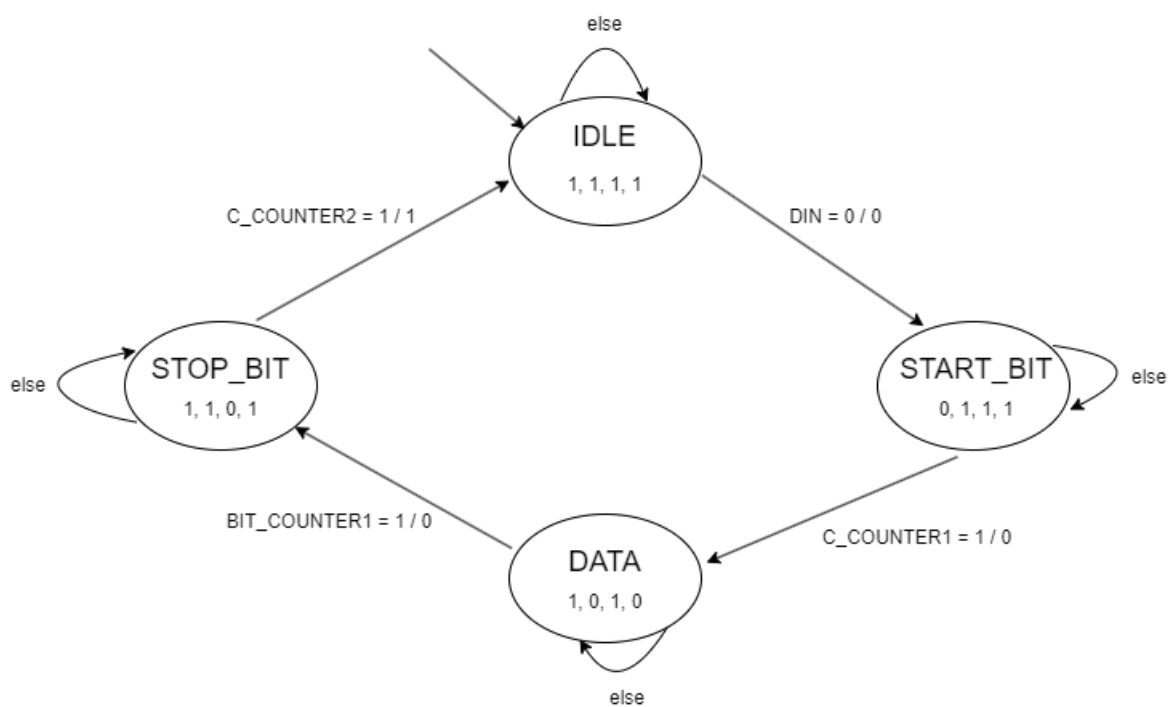
Obvod se skládá z FSM, čtyř čítačů, demultiplexoru a osmi registrů. FSM resetuje jednotlivé čítače, které počítají počet hodinových signálů a počet již zapsaných bitů. C_Counter1 počítá čas potřebný pro počkání během START bitu před začátkem čtení dat. C_Counter2 počítá 16 hodinových taktů pro každý vysílaný bit. Bit_Counter počítá počet již odvysílaných bitů a určuje index pro zápis do registrů. C_Counter3 počítá 24 taktů, které jsou tvořeny koncem vysílání posledního bitu a STOP bitem. Demultiplexor ovládá povolovací vstupy jednotlivých registrů.

Návrh automatu (FSM)

Schéma automatu

Legenda:

- Stavy automatu: IDLE, START_BIT, DATA, STOP_BIT
- Vstupní signály: DIN, C_COUNTER1, C_COUNTER3, BIT_COUNTER
- Moorovy výstupy: RST_CC1, RST_CC2, RST_CC3, RST_BC,
- Mealyho výstupy: DOUT_VLD



Popis funkce

V „IDLE“ stavu čeká automat na START bit s hodnotou 0 na datovém vstupu. Po příchodu START bitu počká 8 hodinových taktů na signál C_Counteru1 a začne číst data. Datové bity vzorkuje uprostřed přenášeného intervalu. Po načtení všech dat počká 24 hodinových taktů, poté pošle signál na „DOUT_VLD“ s hodnotou 1 a zároveň se vrátí do stavu „IDLE“.

Snímek obrazovky ze simulací

