

Университет ИТМО
Факультет программной инженерии и компьютерной техники

Лабораторная работа №1
**«Введение в проектирование цифровых интегральных
схем»**
по дисциплине «Функциональная схемотехника»

Выполнили:
Студенты группы Р3331
Нодири Хисравхон
Строзенко Константин Викторович
Вариант: 3

Преподаватель:
Васильев Сергей Евгеньевич

г. Санкт-Петербург
2024 г.

Содержание

Цель работы	2
Задание в соответствии с вариантом	2
Часть 1	3
1.1 Схема разработанного вентиля	3
1.2 Символ вентиля	3
1.3 Схема A AND B AND C	4
1.4 Символ A AND B AND C	4
1.5 Схема A OR B	4
1.6 Символ A OR B	5
1.7 Схема тестирования	5
1.8 Временная диаграмма тестирования вентиля	6
1.9 Результат измерения задержки распространения сигнала через вентиль	6
1.10 Максимальная частота работы вентиля	7
1.11 Схема разработанного БОЭ	7
1.11.1 Мажоритарный элемент на NOR для пяти входов	7
1.11.2 Схема БОЭ	8
1.12 Символ разработанного БОЭ	9
1.13 Схема тестирования разработанного БОЭ	9
1.14 Временная диаграмма тестирования БОЭ	10
1.15 Результат измерения задержки распространения сигнала через БОЭ	10
1.16 Максимальная частота работы БОЭ	11
Часть 2	12
2.1 Код разработанного модуля БОЭ	12
2.2 Код разработанного тестового окружения БОЭ	14
2.2.1 Программная реализация на System Verilog	14
2.2.2 Вывод программы	15
2.2.3 Пояснение вывода программы	16
2.3 Временная диаграмма процесса тестирования БОЭ	17
Выводы по работе	17

Цель работы

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии **комплементарной структуры металл – оксид – полупроводник** (КМОП).
2. Познакомиться с технологией **SPICE-моделирования** схем на транзисторах.
3. Получить навыки описания схем **базовых операционных элементов** (БОЭ) комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры **Verilog HDL**.

Задание в соответствии с вариантом

В рамках лабораторной работы №1 было выдано следующее задание:

- Логический базис: **NOR**
- Базовый операционный элемент (БОЭ): **Схема мажоритарного контроля с 5-ю входами**

Целью работы является проектирование цифровой интегральной схемы с использованием технологии КМОП на транзисторном уровне, а также моделирование и тестирование её работы с использованием среды LTspice. В дополнение, необходимо разработать описание БОЭ на вентиляном уровне с применением языка Verilog HDL и провести его моделирование в среде Vivado Design Suite.

Задание включает два основных этапа:

1. Построение схемы вентиля **NOR** на КМОП транзисторах и моделирование его работы в LTspice, а затем использование его для создания схемы мажоритарного контроля с 5-ю входами».
2. Описание схемы демультимплексора на языке Verilog HDL, создание тестового окружения и проведение моделирования в Vivado.

Часть 1

1.1 Схема разработанного вентиля

Разработанный NOR-вентиль реализован на КМОП-транзисторах и состоит из пары р-канальных (M_3 , M_4) и н-канальных (M_5 , M_6) транзисторов. Вентиль выдаёт логическую "1" на выходе Out, только когда оба входа A и B находятся в "0". При подаче "1" на любой из входов пMOS транзисторы подключают выход к земле (GND), устанавливая "0" на выходе, выполняя функцию NOR.

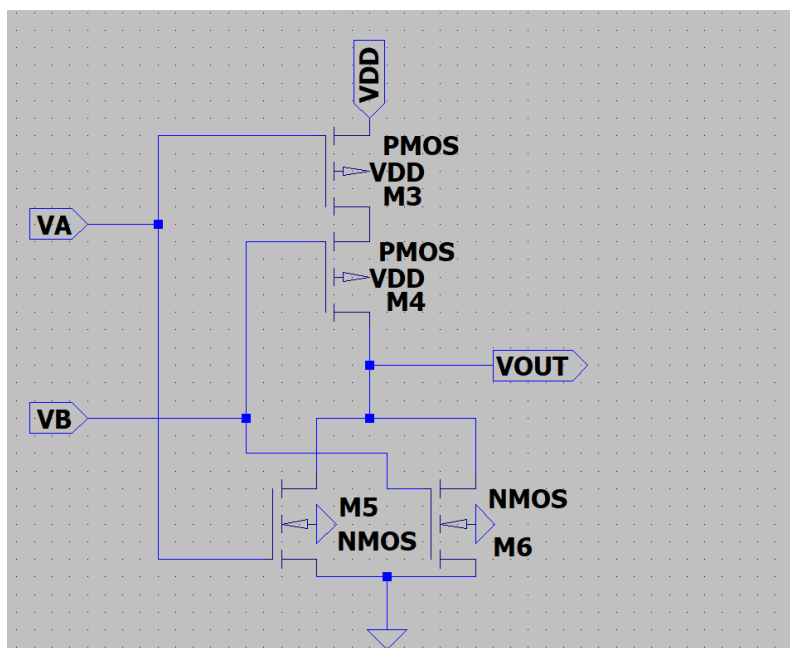


Рис. 1: NOR вентиль на пMOS и рMOS транзисторах

1.2 Символ вентиля

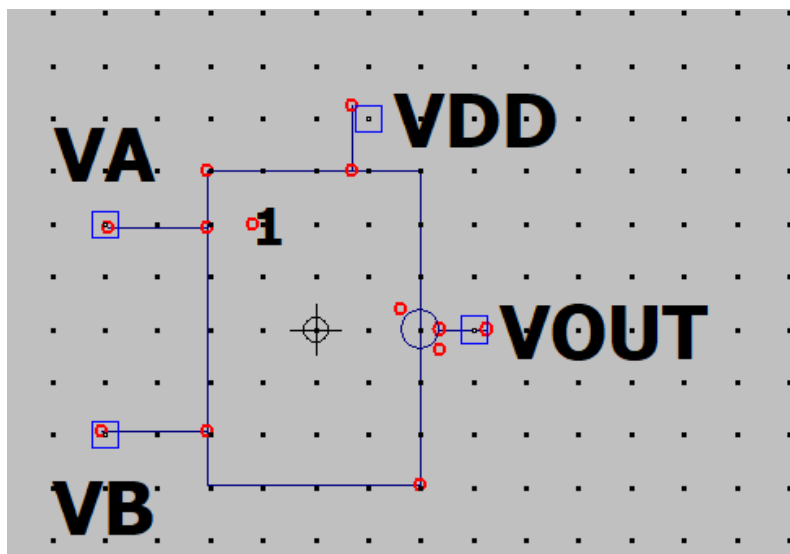
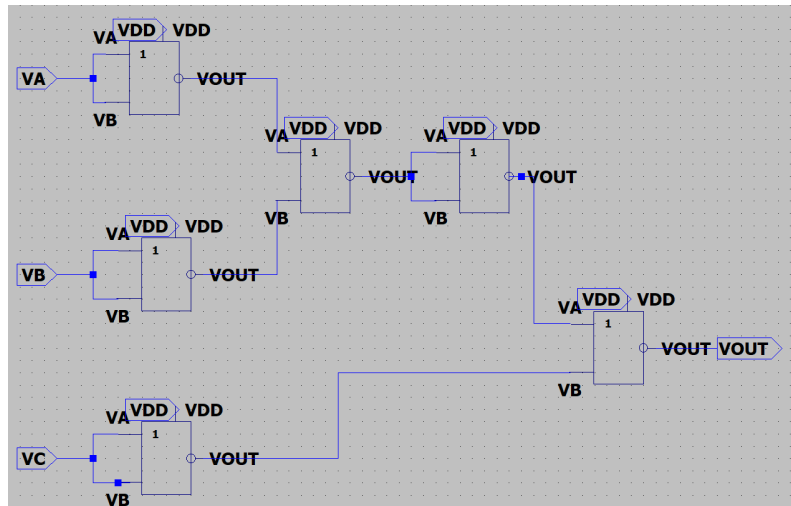
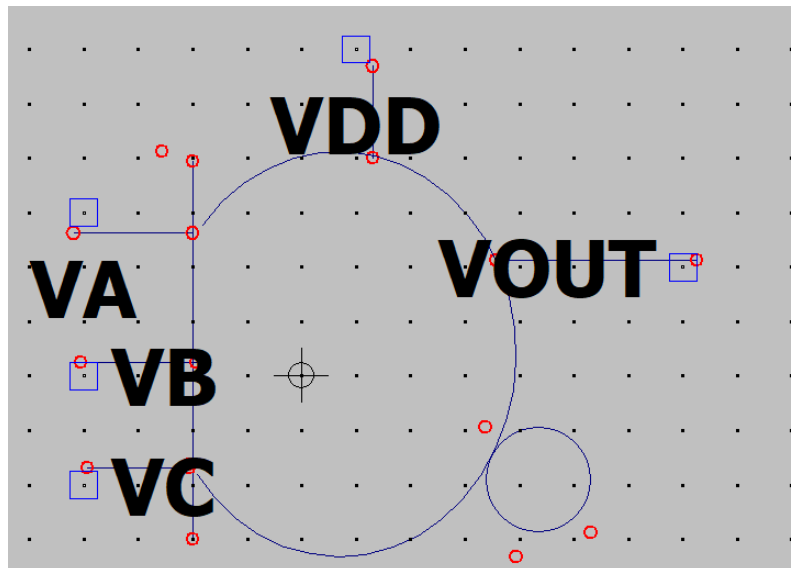


Рис. 2: символ NOR вентиля на пMOS и рMOS транзисторах

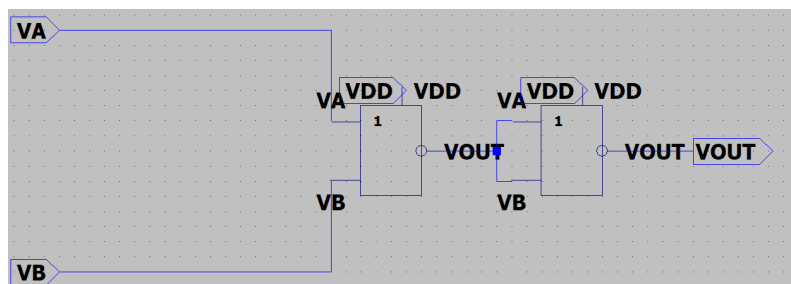
1.3 Схема A AND B AND C



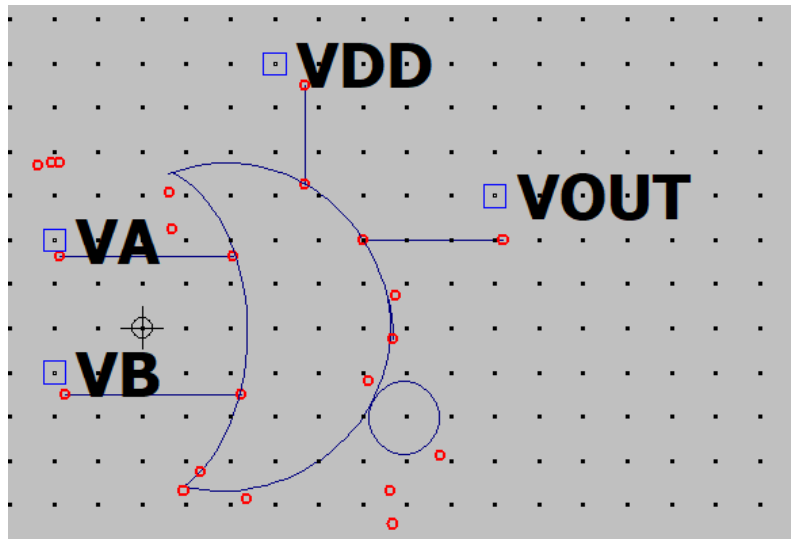
1.4 Символ A AND B AND C



1.5 Схема A OR B



1.6 Символ A OR B



1.7 Схема тестирования

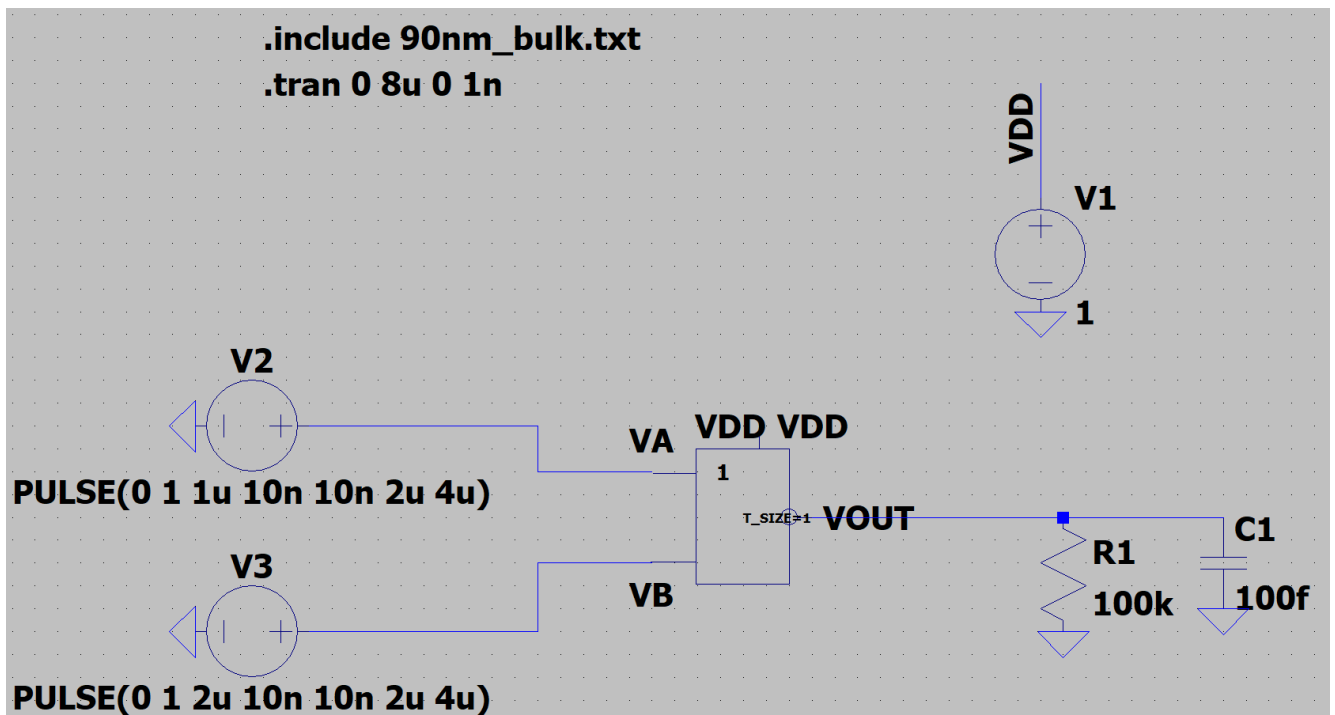


Рис. 3: Схема тестирования разработанного NOR-вентиля

1.8 Временная диаграмма тестирования вентиля

Тестируемый NOR-элемент должен соответствовать следующей таблице истинности.

Временная диаграмма на Рисунке 4 показывает изменение напряжений на входах A , B и выходе Out во времени, подтверждая правильность работы NOR-элемента.

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

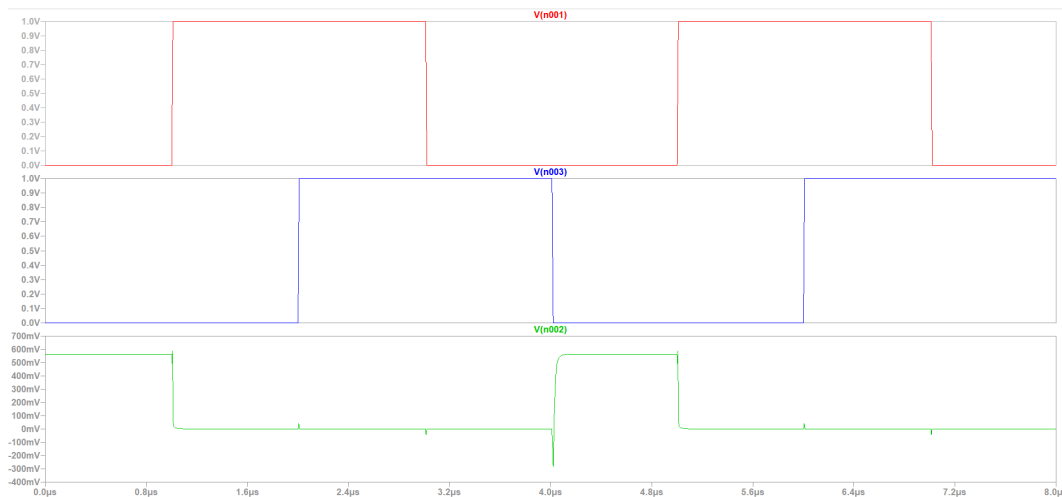


Рис. 4: Временная диаграмма напряжений на A , B , Out

1.9 Результат измерения задержки распространения сигнала через вентиль

Задержка распространения сигнала была измерена на временной диаграмме (см. Рис. 5 с увеличенным масштабом). Измерение проводилось от момента изменения входного сигнала до достижения выходным сигналом 50% от напряжения V_{DD} . Рассчитанная задержка:

$$t_{pd} = t_{out} - t_{in} = 4.0343609\mu s - 4.0099248\mu s = 0.0244361\mu s.$$

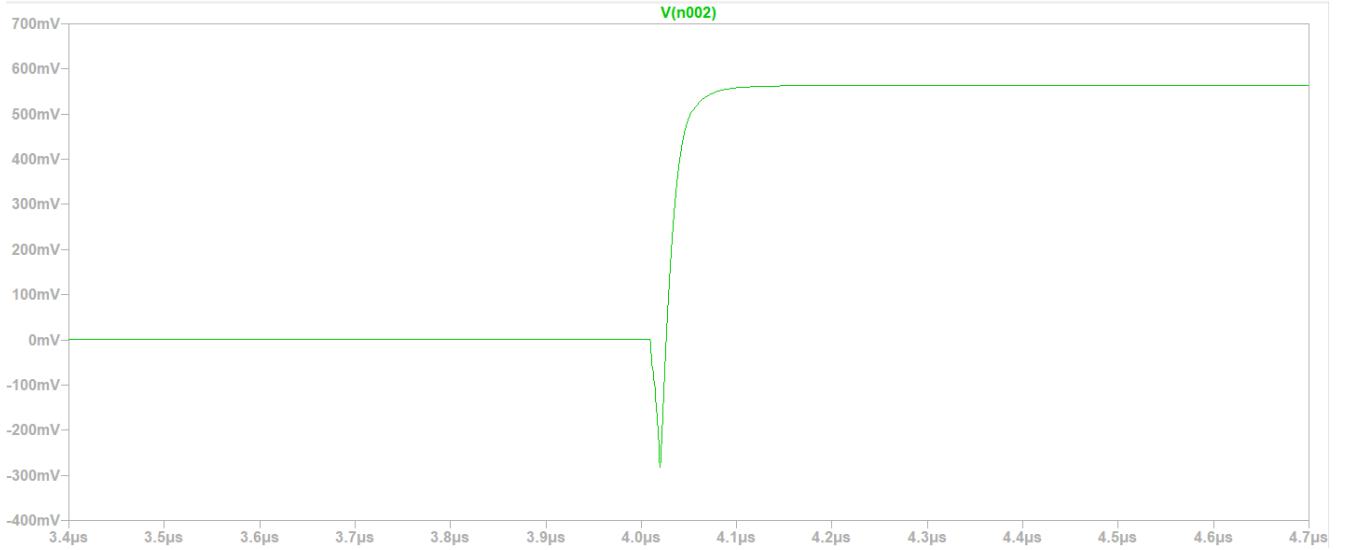


Рис. 5: Увеличенная временная диаграмма напряжений на Out

1.10 Максимальная частота работы вентиля

Максимальная частота работы вентиля рассчитывается по формуле:

$$f_{max} = \frac{1}{2 \cdot t_{pd}}$$

Подставив $t_{pd} = 0.0244361 \text{ нс}$, получаем:

$$f_{max} = \frac{1}{2 \cdot 24.4361 \cdot 10^{-9}} = 20,461 \text{ МГц}$$

Следовательно, максимальная частота работы вентиля составляет 20,461 МГц.

1.11 Схема разработанного БОЭ

1.11.1 Мажоритарный элемент на NOR для пяти входов

Для построения мажоритарного элемента с пятью входами A , B , C , D , и E применяются следующие операции NOR.

1. Инверсия входных сигналов:

$$\overline{A} = A \downarrow A, \quad \overline{B} = B \downarrow B, \quad \overline{C} = C \downarrow C, \quad \overline{D} = D \downarrow D, \quad \overline{E} = E \downarrow E$$

2. Комбинация попарных NOR для получения промежуточных значений:

$$AB = \overline{A} \downarrow \overline{B}, \quad AC = \overline{A} \downarrow \overline{C}, \quad AD = \overline{A} \downarrow \overline{D}, \quad AE = \overline{A} \downarrow \overline{E}, \quad \text{и так далее}$$

3. Инверсия промежуточных значений для подготовки к тройным комбинациям:

$$\overline{AB} = AB \downarrow AB, \quad \overline{AC} = AC \downarrow AC, \quad \dots, \quad \overline{DE} = DE \downarrow DE$$

4. NOR для троек входов, чтобы определить основные комбинации:

$$ABC = \overline{AB} \downarrow \overline{C}, \quad ABD = \overline{AB} \downarrow \overline{D}, \quad ABE = \overline{AB} \downarrow \overline{E}, \quad \text{и так далее}$$

5. Комбинация для OR

$$A \vee B = (A \downarrow B) \downarrow (A \downarrow B),$$

6. Заключительная комбинация для выхода Y :

$$Y = (ABC \vee ABD \vee ABE \vee ACD \vee ACE \vee ADE \vee BCD \vee BCE \vee BDE \vee CDE)$$

Таким образом, выход Y активен при мажоритарном количестве входов в логическом «1», что соответствует функциональности мажоритарного элемента NOR.

1.11.2 Схема БОЭ

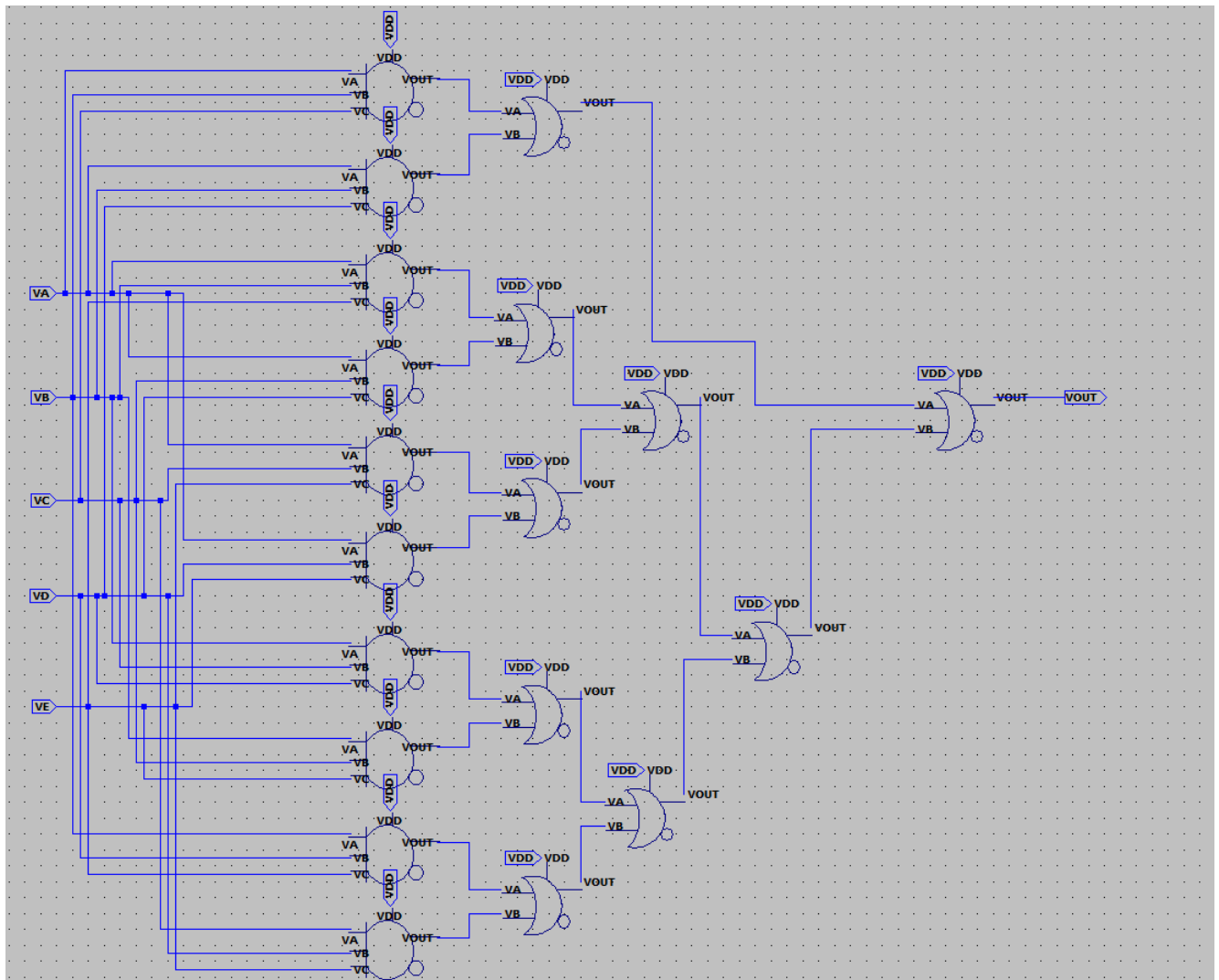


Рис. 6: Мажоритарного контроль с 5-ю входами

1.12 Символ разработанного БОЭ

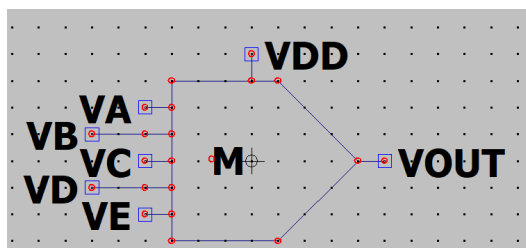


Рис. 7: Символ мажоритарного контроля с 5-ю входами

1.13 Схема тестирования разработанного БОЭ

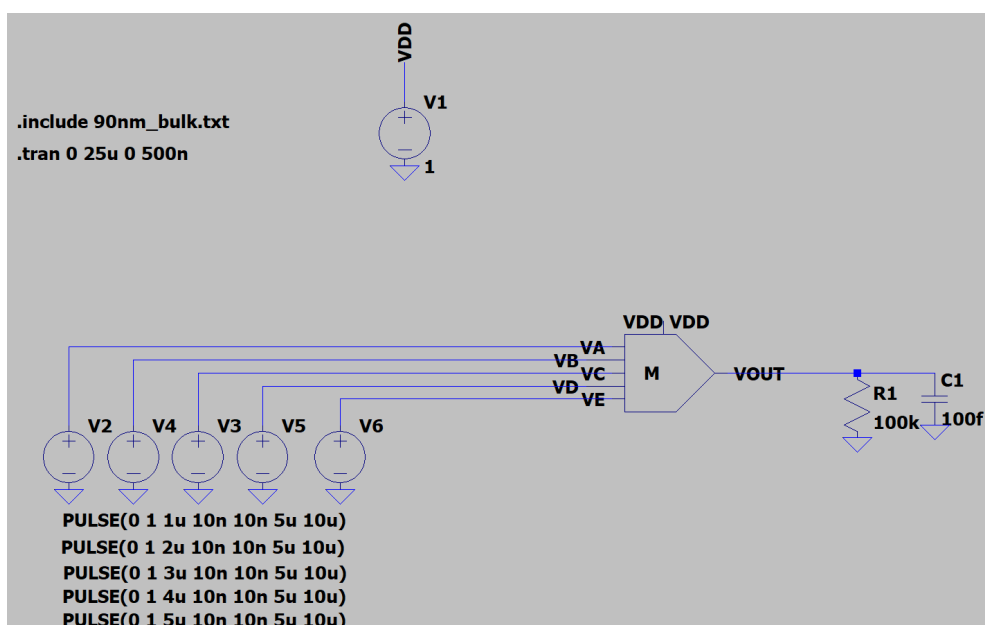


Рис. 8: Схема тестирования мажоритарного контроля с 5-ю входами

1.14 Временная диаграмма тестирования БОЭ

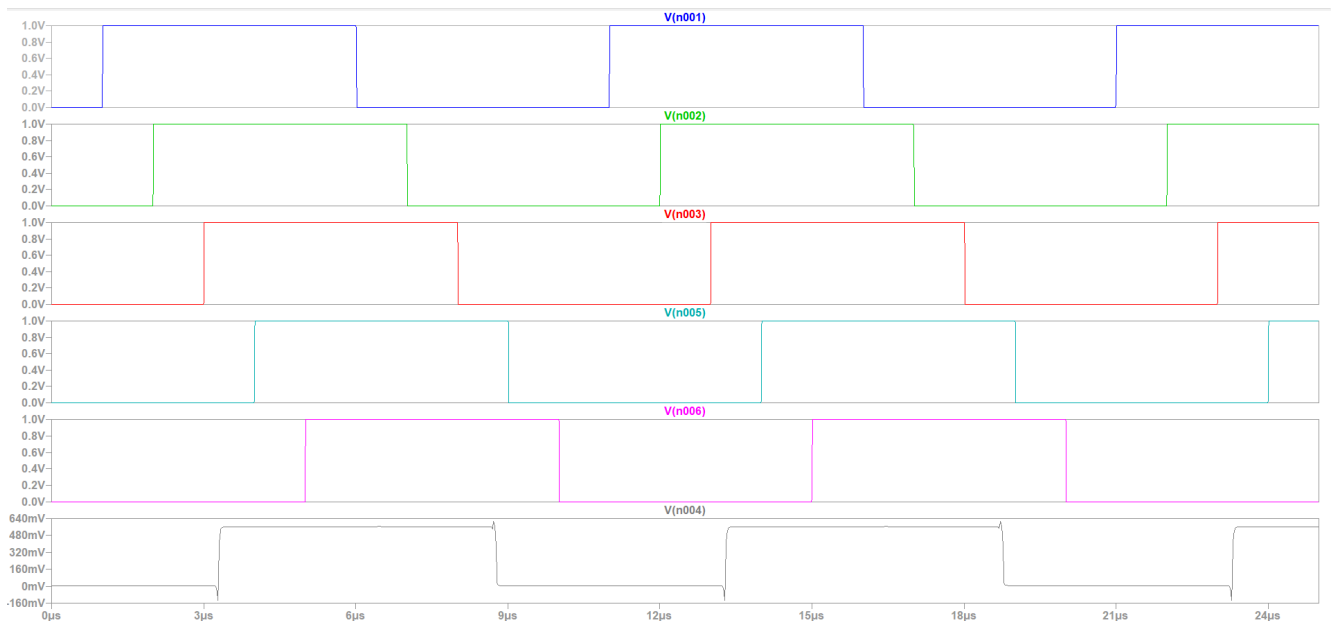


Рис. 9: Временная диаграмма напряжений на $V_1, V_2, V_3, V_4, V_5, Y$

1.15 Результат измерения задержки распространения сигнала через БОЭ

Задержка распространения сигнала была измерена на временной диаграмме (см. Рис. 10 с увеличенным масштабом). Измерение проводилось от момента изменения входного сигнала до достижения выходным сигналом 50% от напряжения V_{DD} . Рассчитанная задержка:

$$t_{pd} = t_{out} - t_{in} = 3.3006857\mu s - 3.0107221\mu s = 0.2899636\mu s \text{ нс}$$



Рис. 10: Увеличенная временная диаграмма напряжений на Out

1.16 Максимальная частота работы БОЭ

Максимальная частота работы мажоритарного контроля с 5-ю входами рассчитывается по формуле:

$$f_{max} = \frac{1}{2 \cdot t_{pd}}$$

Подставив $t_{pd} = 28.289$ нс, получаем:

$$f_{max} = \frac{1}{2 \cdot 0.0000289 \cdot 10^{-3}} = 17.301 \text{ МГц}$$

Следовательно, максимальная частота мажоритарного контроля с 5-ю входами 17,301 МГц.

Часть 2

2.1 Код разработанного модуля БОЭ

```
1  `timescale 1ns / 1ps
2
3
4  module majority_5input_nor(
5      input A,
6      input B,
7      input C,
8      input D,
9      input E,
10     output Y
11 );
12
13 // (A NOR A) NOR (B NOR B) = X
14 // (X NOR X) NOR (C NOR C)
15
16 //
17     nor(nA, A, A);
18     nor(nB, B, B);
19     nor(nC, C, C);
20     nor(nD, D, D);
21     nor(nE, E, E);
22
23
24     nor(AB, nA, nB);
25     nor(AC, nA, nC);
26     nor(AD, nA, nD);
27     nor(AE, nA, nE);
28     nor(BC, nB, nC);
29     nor(BD, nB, nD);
30     nor(BE, nB, nE);
31     nor(CD, nC, nD);
32     nor(CE, nC, nE);
33     nor(DE, nD, nE);
34
35     nor(nAB, AB, AB);
36     nor(nAC, AC, AC);
37     nor(nAD, AD, AD);
38     nor(nAE, AE, AE);
39     nor(nBC, BC, BC);
40     nor(nBD, BD, BD);
```

```

41     nor(nBE, BE, BE);
42     nor(nCD, CD, CD);
43     nor(nCE, CE, CE);
44     nor(nDE, DE, DE);
45
46
47     nor(ABC, nAB, nC);
48     nor(ABD, nAB, nD);
49     nor(ABE, nAB, nE);
50     nor(ACD, nAC, nD);
51     nor(ACE, nAC, nE);
52     nor(ADE, nAD, nE);
53     nor(BCD, nBC, nD);
54     nor(BCE, nBC, nE);
55     nor(BDE, nBD, nE);
56     nor(CDE, nCD, nE);
57
58     //
59
60     nor(ABCnorABD, ABC, ABD);
61     nor(ABCorABD, ABCnorABD, ABCnorABD);
62
63     nor(ABEnorACD, ABE, ACD);
64     nor(ABEorACD, ABEnorACD, ABEnorACD);
65
66     nor(ACEnorADE, ACE, ADE);
67     nor(ACEorADE, ACEnorADE, ACEnorADE);
68
69     nor(BCDnorBCE, BCD, BCE);
70     nor(BCDorBCE, BCDnorBCE, BCDnorBCE);
71
72     nor(BDEnorCDE, BDE, CDE);
73     nor(BDEorCDE, BDEnorCDE, BDEnorCDE);
74
75     nor(ABCorABD_nor_ABEorACD, ABCorABD, ABEorACD);
76     nor(ABCorABDorABEorACD, ABCorABD_nor_ABEorACD,
77         ABCorABD_nor_ABEorACD);
78
79     nor(ACEorADE_nor_BCDorBCE, ACEorADE, BCDorBCE);
80     nor(ACEorADEorBCDorBCE, ACEorADE_nor_BCDorBCE,
81         ACEorADE_nor_BCDorBCE);

```

```

81     nor(ABCorABDorABEorACD_nor_ACEorADEorBCDorBCE ,
        ABCorABDorABEorACD , ACEorADEorBCDorBCE);
82     nor(ABCorABDorABEorACDorACEorADEorBCDorBCE ,
        ABCorABDorABEorACD_nor_ACEorADEorBCDorBCE ,
        ABCorABDorABEorACD_nor_ACEorADEorBCDorBCE);
83
84     nor(
        ABCorABDorABEorACDorACEorADEorBCDorBCE_nor_BDEorCDE
        , ABCorABDorABEorACDorACEorADEorBCDorBCE , BDEorCDE
        );
85     nor(Y,
        ABCorABDorABEorACDorACEorADEorBCDorBCE_nor_BDEorCDE
        ,
        ABCorABDorABEorACDorACEorADEorBCDorBCE_nor_BDEorCDE
        );
86
87 endmodule

```

2.2 Код разработанного тестового окружения БОЭ

2.2.1 Программная реализация на System Verilog

```

1  `timescale 1ns/1ps
2  module majority_5input_nor_tb;
3  reg a_in, b_in, c_in, d_in, e_in;
4  wire y_out;
5
6  majority_5input_nor majority_5input_nor_1(
7      .A(a_in),
8      .B(b_in),
9      .C(c_in),
10     .D(d_in),
11     .E(e_in),
12     .Y(y_out)
13 );
14     integer i;
15     integer j;
16     integer sum;
17     reg [4:0] test_val;
18     reg expected_val;
19     initial begin
20     for (i=0; i<32; i=i+1) begin
21         sum = 0;

```

```

22     test_val = i;
23     expected_val=0;
24     a_in = test_val[0];
25     b_in = test_val[1];
26     c_in = test_val[2];
27     d_in = test_val[3];
28     e_in = test_val[4];
29     for (j=0; j<5; j=j+1) begin
30         sum = sum + test_val[j];
31     end
32
33     if (sum >= 3) begin
34         expected_val=1;
35     end
36
37     #10
38
39     if (y_out == expected_val) begin
40         $display("Correct!!! a_in=%b, b_in=%b, c_in=%b,
41                 d_in=%b, e_in=%b y_out = %b", a_in, b_in,
42                 c_in, d_in, e_in, y_out);
43     end else begin
44         $display("Wrong!!! a_in=%b, b_in=%b, c_in=%b,
45                 d_in=%b, e_in=%b, y_out = %b, expected = %b",
46                 a_in, b_in, c_in, d_in, e_in, y_out,
47                 expected_val);
48     end
49 end
50 #10 $stop;
51 end
52 endmodule

```

2.2.2 Вывод программы

```

# run 1000ns
Correct!!! a_in=0, b_in=0, c_in=0, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=0, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=0, b_in=1, c_in=0, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=1, c_in=0, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=0, b_in=0, c_in=1, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=1, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=0, b_in=1, c_in=1, d_in=0, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=1, c_in=1, d_in=0, e_in=0 y_out = 1

```



```

Correct!!! a_in=0, b_in=0, c_in=0, d_in=1, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=0, d_in=1, e_in=0 y_out = 0
Correct!!! a_in=0, b_in=1, c_in=0, d_in=1, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=1, c_in=0, d_in=1, e_in=0 y_out = 1
Correct!!! a_in=0, b_in=0, c_in=1, d_in=1, e_in=0 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=1, d_in=1, e_in=0 y_out = 1
Correct!!! a_in=0, b_in=1, c_in=1, d_in=1, e_in=0 y_out = 1
Correct!!! a_in=1, b_in=1, c_in=1, d_in=1, e_in=0 y_out = 1
Correct!!! a_in=0, b_in=0, c_in=0, d_in=0, e_in=1 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=0, d_in=0, e_in=1 y_out = 0
Correct!!! a_in=0, b_in=1, c_in=0, d_in=0, e_in=1 y_out = 0
Correct!!! a_in=1, b_in=1, c_in=0, d_in=0, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=0, c_in=1, d_in=0, e_in=1 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=1, d_in=0, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=1, c_in=1, d_in=0, e_in=1 y_out = 1
Correct!!! a_in=1, b_in=1, c_in=1, d_in=0, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=0, c_in=0, d_in=1, e_in=1 y_out = 0
Correct!!! a_in=1, b_in=0, c_in=0, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=1, c_in=0, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=1, b_in=1, c_in=0, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=0, c_in=1, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=1, b_in=0, c_in=1, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=0, b_in=1, c_in=1, d_in=1, e_in=1 y_out = 1
Correct!!! a_in=1, b_in=1, c_in=1, d_in=1, e_in=1 y_out = 1
$stop called at time : 330 ns

```

2.2.3 Пояснение вывода программы

Тестирование модуля `majority_5input_nor` показало корректность его работы. Для каждой комбинации входных сигналов `a_in`, `b_in`, `c_in`, `d_in`, `e_in` выходной сигнал `y_out` соответствует ожидаемым значениям, что подтверждается выводом **"Correct!!!"** в консоль симулятора с помощью встроенной функции `$display`.

Каждая комбинация тестировалась на соответствие логике большинства — если как минимум три из пяти входов равны единице, выходной сигнал должен быть равен единице. Результаты тестов для всех возможных значений входных сигналов прошли успешно, что подтверждает корректную реализацию модуля `majority_5input_nor`.

2.3 Временная диаграмма процесса тестирования БОЭ

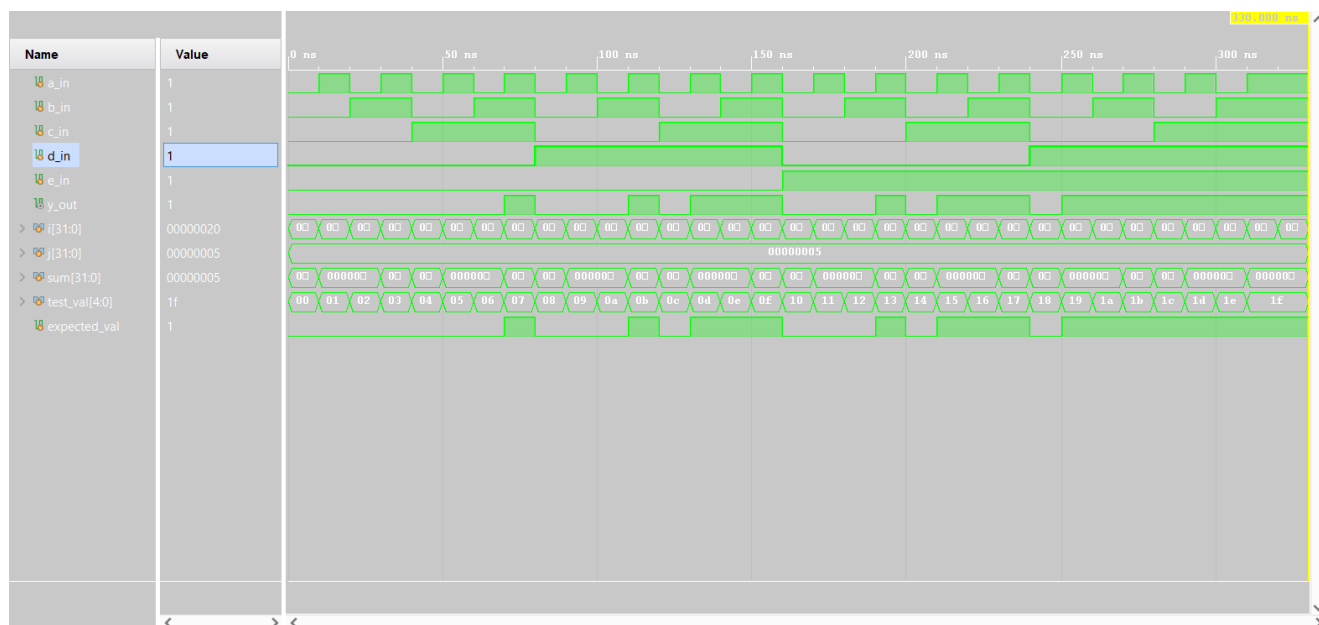


Рис. 11: Временная диаграмма тестирования мажоритарного контроля с 5-ю входами

Выводы по работе

В ходе выполнения лабораторной работы мы получили базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП. Познакомились с технологией SPICE-моделирования схем на транзисторах. Получили навыки описания схем базовых операционных элементов комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры Verilog HDL. Были выполнены проектирование и моделирование логического вентиля NOR на транзисторном уровне в LTspice, создание иерархического элемента, а также тестирование его работы. Определены задержка распространения сигнала и максимальная частота изменения входных сигналов для сохранения работоспособности схемы. Затем была построена более сложная схема мажоритарного контроля с 5-ю входами БОЭ на базе разработанного вентиля, проведено моделирование, и определены основные характеристики работы схемы, включая время задержки и допустимую частоту входных сигналов. На следующем этапе был реализован цифровой аналог схемы на Verilog HDL, что позволило смоделировать работу БОЭ в тестовом окружении и подтвердить корректность функционирования.