

Analýza a návrh blokovacích kondenzátorů v digitální standardní knihovně technologie CMOS 65 nm

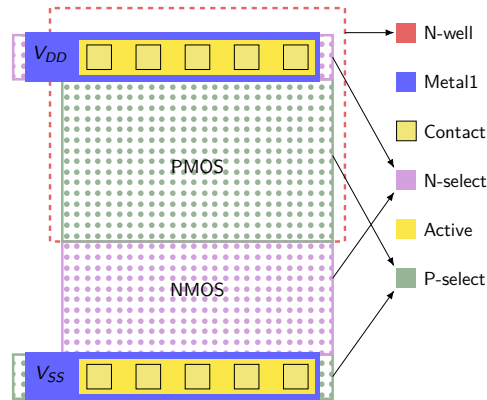
Bakalářská práce

Autor práce: RADEK KUČERA
Vedoucí práce: Ing. VOJTĚCH KRÁL
Oponent: Ing. PAVEL BARTOŠ

Brno, 11. 6. 2024

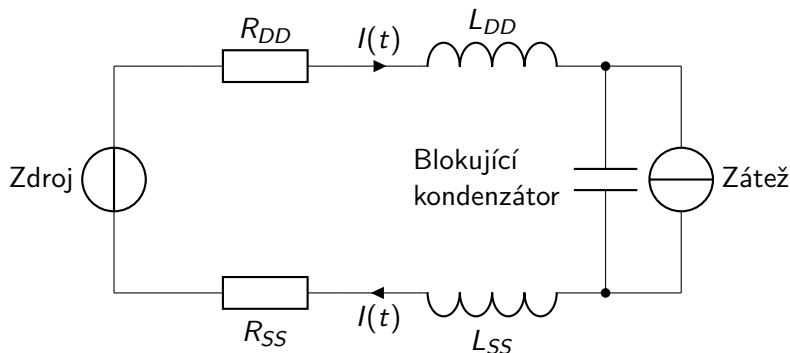
- Prostudovat digitálně standardní buňky v 65 nm CMOS technologii.
 - Zaměřit se na blokové kondenzátory.
- Význam blokových kondenzátorů.
 - Prozkoumat různé topologie.
 - Charakterizovat jejich vlastnosti.
- Simulace a analýza.
 - Navrhnout simulaci.
 - Na základě jednoduché simulace vybrat nejvhodnější topologii.
 - Vytvoření layoutů a jejich simulace s parazitní extrakcí a přes PVT.
 - Optimalizace layoutů pro specifické požadavky.

- Implementují digitální obvody a funkce (hradla, registry, atd).
- Vyhrazené místo pro PMOS a NMOS tranzistory.
- Fixní výška.
- Různá šířka v závislosti na komplexitě.
- Mohou být zrcadleny podél X/Y osy.
 - Rozvod napájení bude navazovat.
 - Nesmí být porušeno DRC.



Obr. 1: Šablona standardní buňky

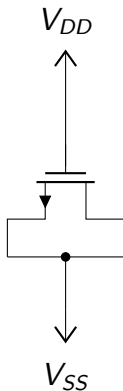
- Brání změně napětí na rozvodu napájení.
 - Nízká impedanční cesta k zemi.
 - Lokální zdroj energie.
- Filtruje tedy:
 - Elektromagnetická interference - přeslechy.
 - **Úbytky napětí** - způsobené parazitním odporem a indukci.



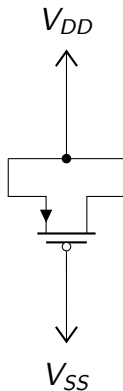
- Všechny byly porovnány v jednoduché simulaci.

- Byl vybrán:

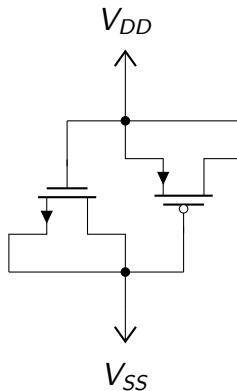
NMOS



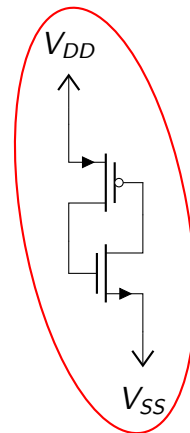
PMOS



CMOS



Cross-Coupled



Parametry návrhu:

- Šířka W .
- Délka L .
- Počet hřebínků NF .

Sledované parametry:

- Efektivní odpor R_{ef} .
 - Efektivní kapacita C_{ef} .
 - Činitel jakosti Q .
 - Svodový proud I_L .
-
- Frekvence maxima Q .
 - Maximální kapacita.
 - Svodový proud vůči kapacitě.

Rovnice:

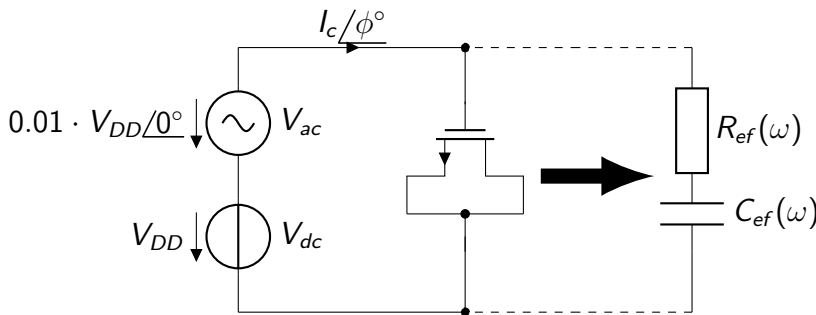
$$\hat{Z} = \frac{\hat{V}_{ac}}{\hat{I}_c}$$

$$R_{ef} = \text{Re}(\hat{Z})$$

$$C_{ef} = -\frac{1}{2\pi \cdot f \cdot \text{Im}(\hat{Z})}$$

$$Q = \frac{\text{Im}(\hat{Z})}{\text{Re}(\hat{Z})}$$

Obvod:

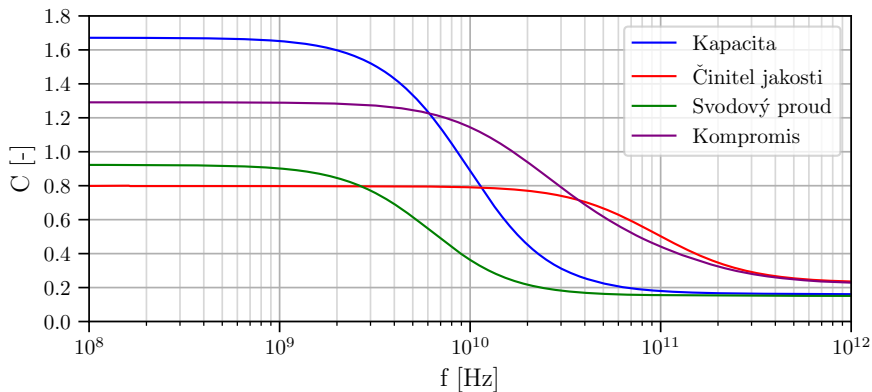


- TRAN simulace pro R_{ef} , C_{ef} , Q .
- DC simulace pro I_L .

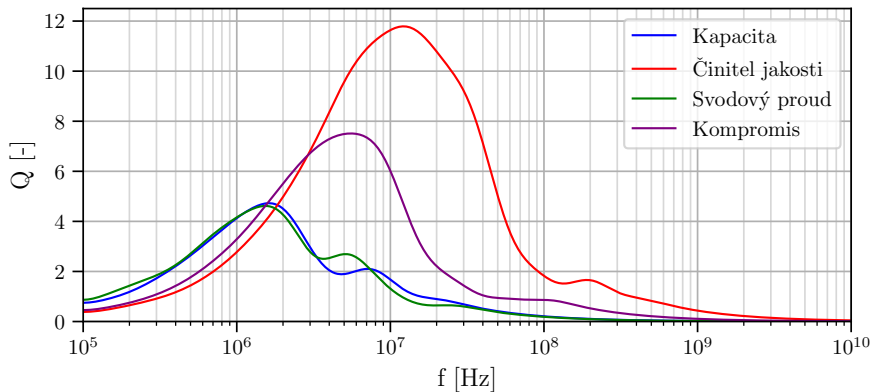
- Layouty byly dělány:
 - Standardní buňka o šířce 32 gridů.
 - Standardní prahové napětí.
 - Simulace s parazitní extrakcí.
 - Iterativně upravovány - více než 60 různých layoutů.
- Optimalizovány pro:
 - Kapacitu.
 - Činitel jakosti.
 - Svodový proud.
 - Kompromis předchozích.

Layout	C_{max} [—]	$f_{C_{1/2}}$ [GHz]	Q_{max} [—]	$f_{Q_{max}}$ [GHz]	I_L/C_{max} [—]
Kapacita	1.67	10.76	4.73	1.61	19.8
Činitel jakosti	0.80	152.76	11.79	12.25	40.6
Svodový proud	0.92	7.59	4.2	1.53	16.2
Kompromis	1.29	46.13	7.51	5.55	33.9

¹Hodnoty jsou normalizovány z důvodu NDA.

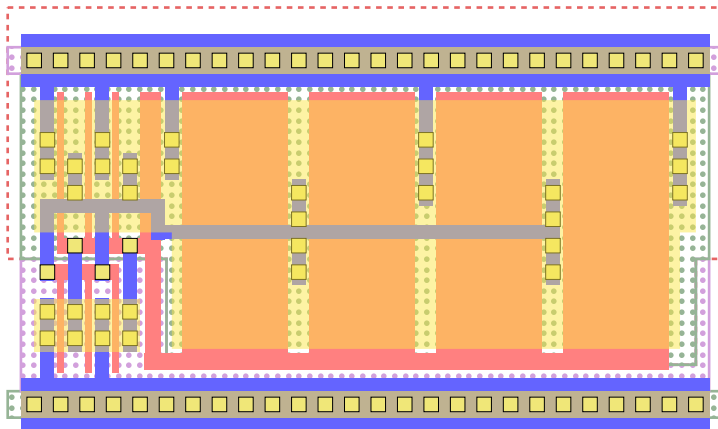


Obr. 2: Porovnání průběhů kapacit vybraných layoutů.



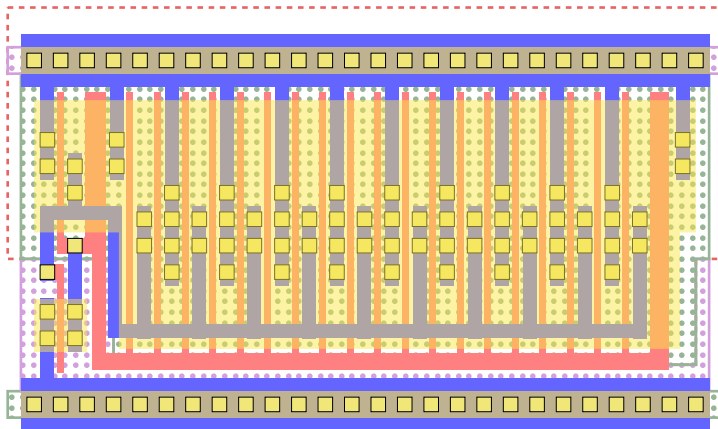
Obr. 3: Porovnání průběhů činitele jakosti vybraných layoutů.

- 4 velké PMOS - C_{max} a $f_{C_{1/2}}$.
- 3 NMOS - $f_{C_{1/2}}$.
- 3+1 PMOS vlevo - využití prostoru, kvůli DRC.



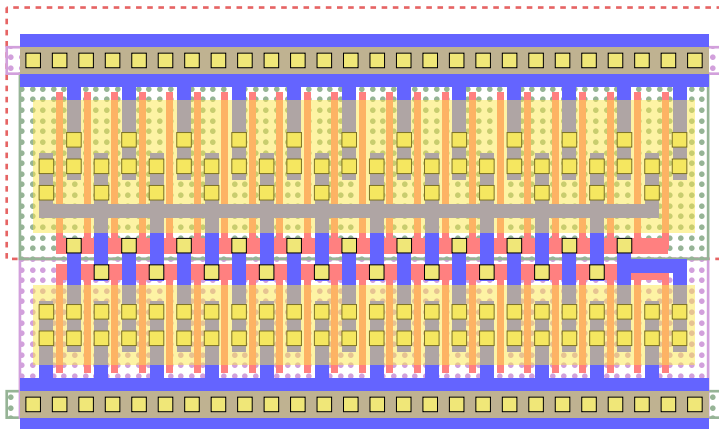
Obr. 4: Layout optimalizovaný pro kapacitu.

- Primárně přes plochu hradla.
- 1 min. NMOS - kvůli komplementaritě.
- Maximalizace parazitní kapacity C_{gs} , C_{gd} .



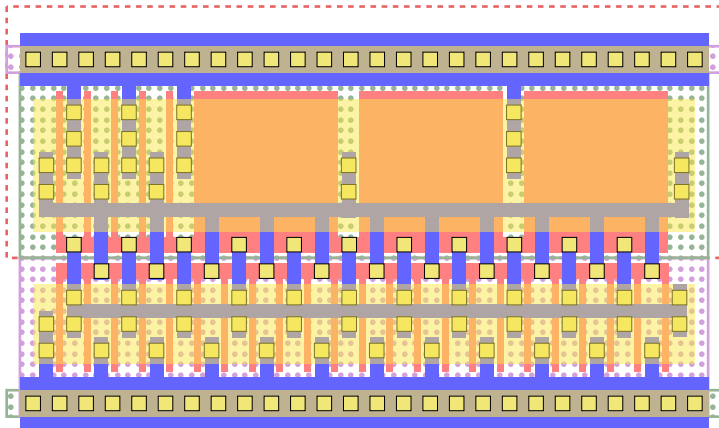
Obr. 5: Layout optimalizovaný pro svodový proud.

- Maximální počet NMOS a PMOS o minimální délce.



Obr. 6: Layout optimalizovaný pro činitel jakosti.

- Kombinace předchozích.
- 3 velké PMOS, zbylé minimální délky.
- Maximální počet NMOS o minimální délce.



Obr. 7: Layout kompromisně optimalizovaný.

Závěr:

- Prostudoval digitálně standardní buňky.
- Analyzoval různé možné topologie (NMOS, PMOS, CMOS, CP) a odsimuloval jednoduchou simulací.
- Navrhl a iterativně optimalizoval buňky zaměřené na čtyři parametry - simuloval jejich chování s parazitní extrakcí a přes PVT.
- Výsledné buňky mohou být zařazeny do digitálně standardní knihovny.
 - Všechny do jedné knihovny - návrhář si vybere dle konkrétní aplikace.
 - Specifické pro různé aplikace - např. pro ultra low power - buňka optimalizovaná na svodový proud.

Děkuji za pozornost!

1.) Proč jste identifikoval cross-coupled topologii jako nejlepší volbu navzdory jejímu nižšímu činiteli jakosti?

- Stejná kapacita a svodový proud jako CMOS.
- Lepší ESD vlastnosti - nemá připojené hradlo přímo na rozvod napájení, ale v cestě má kanál komplementárního tranzistoru.
- Průrazné napětí hradla v 65 nm je kolem 5 V.
- V onsemi - automotive.
- Zlepšení výtěžnosti - stačí jeden proražený kondenzátor - zkrat.

2.) Jak byste postupoval, pokud byste měl navrhnout blokovací kondenzátory pro jinou technologii, například 28 nm?

Bylo by třeba nastudovat danou technologii:

- FinFET tranzistory.
- Jiné dielektrické materiály (high-k).
- Výraznější omezení z hlediska layoutu - menší volnost, přísnější DRC.

Téměř celý pracovní postup této práce je automatizován (kromě layoutu) → na základě nastudování dané technologie s drobnými úpravami skriptů by bylo možné velice rychle odsimulovat základní chování.

3.) Jakou budoucí práci byste navrhl na základě vašich zjištění?

Simulování ve více realistických scénářích:

- Vliv ostatních buněk a vyšších metalů.
- Porovnání s buňkami, které se aktuálně používají.
- Nahrazení těchto buněk již v existujícím návrhu a porovnání těchto návrhů.

Výroba na test chipu.