

МИКРОСХЕМЫ ТТЛ

2

**Функциональные схемы
и назначение выводов**

**Технические характеристики,
описание принципов работы**

**Таблица аналогов
и данные о возможной замене**

**Рекомендации
по использованию микросхем**

МИКРОСХЕМЫ ТТЛ

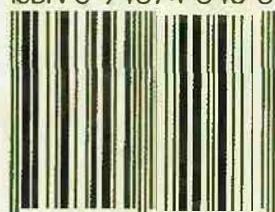
2

Справочник содержит подборку общепотребительных интегральных схем ТТЛ. Сюда вошли микросхемы ТТЛ, выпускаемые всеми известными фирмами-производителями. Представлены такие популярные серии, как Standard-TTL, Low-Power-TTL, Schottky-TTL, Low-Power-Schottky-TTL, Advanced-Schottky-TTL, Advanced-Low-Power-Schottky-TTL, High-Speed-TTL и Fast-Schottky-TTL.

В начале каждой страницы изображена принципиальная коммутационная схема с логическими связями, сопровождаемая кратким описанием микросхемы. Ниже подробно рассматривается работа микросхемы; указаны сигналы, подводимые к отдельным выводам, или логические уровни напряжения на них. Затем кратко перечисляются области использования данной микросхемы, приводятся основные технические данные, а также указываются тип и серийный номер для быстрого поиска необходимой схемы.



ISBN 5-94074-048-0



9 785940 740483

Справочник

TTL-TASCHENBUCH
Teil 2

МИКРОСХЕМЫ ТТЛ
ТОМ 2

**M59 Микросхемы ТТЛ. Том 2 = TTL-Taschenbuch. Teil 2: Пер. с нем. –
М.: ДМК Пресс, 2001. – 544 с.: ил. (Справочник).**

ISBN 5-94074-048-0

Справочник содержит подборку общеупотребительных интегральных схем ТТЛ. Сюда вошли микросхемы ТТЛ, выпускаемые всеми известными фирмами-производителями. Представлены такие известные серии, как Standard-TTL, Low-Power-TTL, Schottky-TTL, Low-Power-Schottky-TTL, Advanced-Schottky-TTL, Advanced-Low-Power-Schottky-TTL, High-Power-TTL и Fast-Schottky-TTL.

В начале каждой страницы приведено изображение принципиальной коммутационной схемы с логическими связями, сопровождаемое кратким описанием микросхемы. Ниже подробно рассматривается работа микросхемы; при этом указаны сигналы, подводимые к отдельным выводам, или логические уровни напряжения на них. Затем кратко перечисляются области использования данной микросхемы, приводятся основные технические данные. В конце каждого раздела указываются тип и серийный номер для быстрого поиска необходимой схемы.

ББК 32.852

Все права защищены. Любая часть этой книги не может быть воспроизведена в какой бы то ни было форме и какими бы то ни было средствами без письменного разрешения владельца авторских прав.

Материал, изложенный в данной книге, многократно проверен. Но, поскольку вероятность наличия технических ошибок все равно существует, издательство не может гарантировать абсолютную точность и правильность приводимых сведений. В связи с этим издательство не несет ответственности за возможный ущерб любого вида, связанный с применением или неприменимостью любых материалов данной книги.

ISBN 3-88322-192-9 (нем.)

First published as «TTL-ashenbuch»

© mitp-verlag, 53227 Bonn, Germany.

All rights reserved

ISBN 5-94074-048-0 (рус.)

© Перевод на русский язык,

оформление. ДМК Пресс, 2001

Краткое содержание

СОДЕРЖАНИЕ	5
ПЕРЕЧЕНЬ СЕРИЙНЫХ НОМЕРОВ И ТИПОВ МИКРОСХЕМ	6
ПЕРЕЧЕНЬ ТИПОВ МИКРОСХЕМ ПО ФУНКЦИОНАЛЬНЫМ ГРУППАМ	17
УСЛОВНЫЕ ОБОЗНАЧЕНИЯ	30
ОПИСАНИЕ МИКРОСХЕМ 74201–74640	32
ТАБЛИЦА АНАЛОГОВ	470
ФИРМЫ-ПРОИЗВОДИТЕЛИ	472

Перечень серийных номеров и типов микросхем

74201	ОЗУ, 256 бит (256×1,три состояния)	32
74219	ОЗУ, 64 бита (16×4, три состояния)	34
74221	Два одновибратора с входами запуска и сброса на триггерах Шмитта	36
74222	ЗУ обратного магазинного типа, асинхронное отпирание входа/выхода (16×4, три состояния)	38
74224	Асинхронное ЗУ обратного магазинного типа (16×4, три состояния)	40
74225	ЗУ обратного магазинного типа (16×5, три состояния)	42
74226	Универсальный 4-разрядный приемопередатчик с буферным регистром	44
74227	ЗУ обратного магазинного типа асинхронное отпирание входа/выхода (16×4, выходы с открытым коллектором)	46
74228	Асинхронное ЗУ обратного магазинного типа (16×4, выход с открытым коллектором)	48
74229	ЗУ обратного магазинного типа (16×5, три состояния)	50
74230	Восемь буферов шины (4 инвертирующих, 4 неинвертирующих), с раздельными управляющими входами (три состояния)	52
74231	Восемь инвертирующих буферов шины с двумя раздельными управляющими входами (три состояния)	54
74232	Асинхронное ЗУ обратного магазинного типа (16×4, три состояния)	56
74233	Асинхронное ЗУ обратного магазинного типа (16×5, три состояния)	58
74234	ЗУ обратного магазинного типа (64×4, три состояния)	60
74235	ЗУ обратного магазинного типа (64×5, три состояния)	62
74236	ЗУ обратного магазинного типа (64×4)	63
74240	Восемь инвертирующих буферов шины (три состояния)	64
74241	Восемь неинвертирующих буферов шины (три состояния)	65
74242	Четыре инвертирующих буфера шины (три состояния)	67
74243	Четыре неинвертирующих буфера шины (три состояния)	69
74244	Восемь неинвертирующих буферов шины (три состояния)	71
74245	Восемь неинвертирующих буферов шины (три состояния)	72

74246	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 30 В)	74
74247	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 15 В)	76
74248	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором	77
74249	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 5,5 В)	79
74250	16-канальный селектор данных/мультиплексор (три состояния)	81
74251	8-канальный селектор данных/мультиплексор (три состояния)	83
74253	Два 4-канальных селектора данных/мультиплексора (три состояния)	85
74256	Два 4-разрядных демультиплексора с буферным регистром	87
74257	Четыре 2-канальных селектора данных/ мультиплексора (три состояния)	89
74258	Четыре 2-канальных селектора данных/мультиплексора с инверсными выходами (три состояния)	91
74259	8-канальный дешифратор/демультиплексор с буферным регистром, разрешающим входом и входом сброса	92
74260	Два логических элемента 5ИЛИ-НЕ	94
74261	Схема умножения 2×4 разряда	95
74264	Генератор сигнала переноса для счетчиков	97
74265	Два инвертора и два логических элемента 2И-НЕ с дополнительными выходами	99
74266	Четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ с двумя входами каждый (выходы с открытым коллектором)	101
74269	Синхронный реверсивный 8-разрядный двоичный счетчик	103
74273	8-разрядный регистр с входом сброса	105
74274	Схема умножения 4×4 разряда (три состояния)	106
74275	7-разрядная древовидная схема Уолласа (три состояния)	107
74276	Четыре JK-триггера с общими входами предварительной установки и сброса	108
74278	Буферный регистр со схемой приоритета	110
74279	Четыре RS-триггера	112
74280	9-разрядный генератор сигналов четности/схема контроля четности	114

74281	4-разрядное арифметическо-логическое устройство	116
74282	Генератор сигнала переноса	119
74283	4-разрядный полный сумматор	120
74284	Схема умножения 4×4 разряда (открытый коллектор, 40 мКА)	122
74285	Схема умножения 4×4 разряда (открытый коллектор, 40 мКА)	124
74286	9-разрядный генератор сигнала четности/схема проверки четности	126
74288	ПЗУ, 256 бит (32×8, три состояния)	128
74289	ОЗУ с объемом памяти 64 бита (16×4, открытый коллектор)	130
74290	Десятичный счетчик	132
74292	Программируемый счетчик/делитель с коэффициентом деления 2^{30}	134
74293	4-разрядный двоичный счетчик	136
74294	Программируемый счетчик/делитель с коэффициентом деления 2^{16}	138
74295	4-разрядный регистр сдвига, параллельно- последовательные вход и выход (три состояния)	140
74297	Модуль фазовой цифровой автоматической подстройки частоты (ФАПЧ)	142
74298	Четыре селектора данных/мультплексора (1 из 2) с буферным регистром	144
74299	8-разрядный регистр сдвига влево/вправо (параллельно-последовательные вход и выход) с асинхронным сбросом (три состояния)	145
74301	ОЗУ, 256 бит (256×1, открытый коллектор)	147
74319	ОЗУ, 64 бита (16×4, открытый коллектор)	148
74320	Генератор импульсов (мультивибратор) с кварцевой стабилизацией частоты и с противофазными выходами	150
74321	Генератор импульсов с кварцевой стабилизацией частоты, с противофазными выходами и делителем частоты	152
74322	8-разрядный регистр сдвига (параллельно- последовательные вход и выход) с асинхронным сбросом (три состояния)	154
74323	8-разрядный регистр сдвига влево/вправо (параллельно-последовательные вход и выход) с синхронным сбросом (три состояния)	156
74324	Генератор импульсов, управляемый напряжением, с противофазными выходами	158
74325	Два генератора импульсов, управляемых напряжением, с противофазными выходами	160
74326	Два генератора импульсов, управляемых напряжением, с разрешающими входами и противофазными выходами	162

74327	Два генератора импульсов, управляемых напряжением	164
74340	Восемь инвертирующих буферов шины (три состояния)	166
74341	Восемь неинвертирующих буферов шины (три состояния)	168
74344	Восемь неинвертирующих буферов шины (три состояния)	170
74347	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 7 В)	171
74348	Приоритетный двоичный шифратор 8-3 (три состояния)	173
74350	4-разрядная схема сдвига (три состояния)	175
74351	Два 8-канальных селектора данных/ мультиплексора 8-1 с инверсными выходами (три состояния)	177
74352	Два 4-канальных селектора данных/мультиплексора с инверсными выходами	179
74353	Два 4-канальных селектора данных/мультиплексора с инверсными выходами (три состояния)	181
74354	8-канальный селектор данных с буферным регистром на входе (три состояния)	183
74355	8-канальный селектор данных с буферным регистром на входе (открытый коллектор)	185
74356	8-канальный селектор данных с буферным регистром на входе (три состояния)	187
74357	8-канальный селектор данных с буферным регистром на входе (открытый коллектор)	189
74363	8-разрядный регистр на D-триггерах с разрешающими входами (три состояния)	191
74364	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса (три состояния)	193
74365	Шесть буферов шины с общими управляющими входами (три состояния)	195
74366	Шесть инвертирующих буферов шины с общими управляющими входами (три состояния)	196
74367	Шесть неинвертирующих буферов шины с раздельными управляющими входами (три состояния)	197
74368	Шесть инвертирующих буферов шины с двумя управляющими входами (три состояния)	198
74373	8-разрядный регистр на D-триггерах с разрешающими входами (три состояния)	199
74374	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса (три состояния)	200
74375	Четыре D-триггера с разрешающими входами	201
74376	Четыре JK-триггера с входом сброса	202

74377	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом	204
74378	6-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом	206
74379	4-разрядный регистр на D-триггерах с дополнительными выходами и разрешающим входом	207
74381	4-разрядное арифметико-логическое устройство	208
74382	4-разрядное арифметико-логическое устройство	209
74384	8-разрядная параллельно-последовательная схема умножения	210
74385	Четыре одноразрядных полных сумматора/вычитателя	212
74386	Четыре двухвходовых элемента ИСКЛЮЧАЮЩЕЕ ИЛИ	214
74390	Два десятичных счетчика	215
74393	Два 4-разрядных двоичных счетчика	217
74395	4-разрядный регистр сдвига данных с асинхронным входом сброса (параллельно-последовательные вход и выход)	219
74396	8-разрядный регистр на D-триггерах с последовательным входом и параллельным выходом	221
74398	Четыре 2-канальных мультиплексора с буферным регистром	222
74399	Четыре 2-канальных мультиплексора с буферным регистром	223
74401	Генератор контрольного кода CRC	224
74402	Генератор контрольного кода CRC	226
74403	ЗУ обратного магазинного типа, 64 бита, с последовательными и параллельными входами/выходами (16x4, три состояния)	228
74407	АЛУ с набором регистров	230
74410	ОЗУ, с выходным регистром (16x4, три состояния)	232
74412	8-разрядный регистр на D-триггерах с триггером состояния (три состояния)	234
74413	ЗУ обратного магазинного типа, с последовательными и параллельными входами/выходами (64x4)	236
74418	32-разрядная схема для обнаружения и исправления ошибок (три состояния)	238
74420	32-разрядная схема обнаружения и исправления ошибок (три состояния)	240
74422	Одновибратор с входом сброса и возможностью перезапуска	241
74423	Два одновибратора с входами сброса и возможностью перезапуска	243
74425	Четыре неинвертирующих буфера шины (три состояния)	245

74426	Четыре неинвертирующих буфера шины (три состояния)	246
74432	8-разрядный инвертирующий регистр с триггером состояния (три состояния)	247
74433	ЗУ обратного магазинного типа, с последовательными и параллельными входами/выходами (64×4 три состояния)	249
74436	Шесть инвертирующих буферных формирователей с двумя общими управляющими входами	251
74437	Шесть инвертирующих буферных формирователей с двумя общими управляющими входами	252
74440	Четыре трехнаправленных приемопередатчика (открытый коллектор)	253
74441	Четыре трехнаправленных инвертирующих приемопередатчика (открытый коллектор)	255
74442	Четыре трехнаправленных неинвертирующих приемопередатчика (три состояния)	257
74443	Четыре трехнаправленных инвертирующих приемопередатчика (три состояния)	259
74444	Четыре трехнаправленных инвертирующих и неинвертирующих приемопередатчика (три состояния)	261
74445	Дешифратор двоично-десятичного кода/схема управления индикаторами (открытый коллектор, 7 В)	263
74446	Четыре инвертирующих приемопередатчика с управляющими входами (три состояния)	265
74447	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 7 В)	267
74448	Четыре трехнаправленных неинвертирующих/ инвертирующих приемопередатчика	269
74449	Четыре неинвертирующих приемопередатчика с управляющими входами (три состояния)	271
74455	Восемь инвертирующих буферов шины с генератором сигналов четности (три состояния)	273
74456	Восемь неинвертирующих буферов шины с генератором сигналов четности (три состояния)	275
74465	Восемь неинвертирующих буферов шины с общими управляющими входами (три состояния)	277
74466	Восемь инвертирующих буферов шины с общими управляющими входами (три состояния)	278
74467	Восемь неинвертирующих буферов шины с двумя управляющими входами (три состояния)	279
74468	Восемь инвертирующих буферов шины с двумя управляющими входами (три состояния)	280
74484	Преобразователь двоично-десятичного кода в двоичный (три состояния)	281
74485	Преобразователь двоичного кода в двоично-десятичный код (три состояния)	283
74490	Два десятичных счетчика	285

74500	6-разрядный стробированный аналого-цифровой преобразователь	287
74502	8-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе	289
74503	8-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе, с расширяющим входом	291
74504	12-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе с расширяющим входом	293
74505	8-разрядный аналого-цифровой преобразователь с последовательным приближением	294
74518	8-разрядный компаратор, неинвертирующий выход (открытый коллектор)	295
74519	8-разрядный компаратор, неинвертирующий выход (открытый коллектор)	296
74520	8-разрядный компаратор, инверсный выход	297
74521	8-разрядный компаратор, инверсный выход	298
74522	8-разрядный компаратор, инверсный выход (открытый коллектор)	299
74524	8-разрядный регистр с компаратором (открытый коллектор)	300
74525	Программируемый двоичный 16-разрядный вычитающий счетчик	302
74526	Программируемый 16-разрядный компаратор	304
74527	Программируемый 8-разрядный компаратор и 4-разрядный компаратор	306
74528	Программируемый 12-разрядный компаратор	307
74533	8-разрядный инвертирующий регистр на D-триггерах с управляющими входами (три состояния)	308
74534	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (три состояния)	309
74537	Дешифратор/демультиплексор 1 из 10 (три состояния)	310
74538	Дешифратор 1 из 8 (три состояния)	312
74539	Два дешифратора 1 из 4 (три состояния)	314
74540	Восемь инвертирующих буферов шины с двумя управляющими входами (три состояния)	316
74541	Восемь неинвертирующих буферов шины с двумя управляющими входами (три состояния)	318
74543	8-разрядный неинвертирующий приемопередатчик с регистром	319
74544	8-разрядный инвертирующий приемопередатчик с регистром	321
74545	8-разрядный двунаправленный неинвертирующий приемопередатчик (три состояния)	323

74546	8-разрядный двунаправленный неинвертирующий приемопередатчик с буферным регистром (три состояния)	325
74547 (FA, VA)	8-разрядный дешифратор/демультиплексор с буферным регистром адреса	327
74547 (MMI)	8-разрядный двунаправленный неинвертирующий приемопередатчик с буферными регистрами (три состояния)	329
74548 (FA, VA)	8-разрядный дешифратор/демультиплексор	331
74548 (MMI)	Двухкаскадный 8-разрядный конвейерный регистр (три состояния)	333
74549	Двухкаскадный 8-разрядный конвейерный регистр	335
74550	8-разрядный неинвертирующий приемопередатчик с буферным регистром и флагами состояния (три состояния)	337
74551	8-разрядный инвертирующий приемопередатчик с буферным регистром и флагами состояния (три состояния)	339
74552	8-разрядный приемопередатчик с буферным регистром и генератор сигналов четности с флагами состояния (три состояния)	341
74560	4-разрядный десятичный счетчик с синхронными/асинхронными входами загрузки и сброса (три состояния)	343
74561	4-разрядный двоичный счетчик с синхронными/асинхронными входами загрузки и сброса (три состояния)	345
74563	8-разрядный инвертирующий регистр на D-триггерах с управляющими входами (три состояния)	347
74564	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (три состояния)	349
74566	8-разрядный двунаправленный инвертирующий приемопередатчик с буферными регистрами (три состояния)	350
74567	8-разрядный двунаправленный инвертирующий приемопередатчик с буферными регистрами (три состояния)	352
74568	4-разрядный реверсивный десятичный счетчик (три состояния)	354
74569	4-разрядный реверсивный двоичный счетчик (три состояния)	356
74573	8-разрядный неинвертирующий регистр на D-триггерах (три состояния)	358
74574	8-разрядный неинвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (три состояния)	360

74575	8-разрядный неинвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с синхронным входом сброса (три состояния)	361
74576	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом (три состояния)	363
74577	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с синхронным входом сброса (три состояния)	364
74579	8-разрядный двоичный синхронный реверсивный счетчик (три состояния)	366
74580	8-разрядный инвертирующий регистр на D-триггерах (три состояния)	368
74582	4-разрядное арифметико-логическое устройство (АЛУ)	369
74583	4-разрядный двоично-десятичный сумматор	371
74588	8-разрядный двунаправленный неинвертирующий приемопередатчик (три состояния)	372
74590	8-разрядный двоичный счетчик с выходным регистром и входом сброса (три состояния)	374
74591	8-разрядный двоичный счетчик с выходным регистром и входом сброса (выходы с открытым коллектором)	376
74592	8-разрядный двоичный счетчик с входным буферным регистром и входами загрузки и сброса	378
74593	8-разрядный двоичный счетчик с входным буферным регистром и входами загрузки и сброса (три состояния)	380
74594	8-разрядный регистр сдвига (последовательный ввод, параллельный вывод данных) с выходным буферным регистром	382
74595	8-разрядный регистр сдвига (последовательный ввод, параллельно-последовательный вывод данных) с выходным буферным регистром (три состояния)	384
74596	8-разрядный регистр сдвига (последовательный ввод, параллельно-последовательный вывод данных) с выходным буферным регистром (открытый коллектор)	386
74597	8-разрядный регистр сдвига (последовательно-параллельный ввод, последовательный вывод данных)	388
74598	8-разрядный регистр сдвига (параллельно-последовательный ввод/вывод данных) с входным буферным регистром	390
74599	8-разрядный регистр сдвига (последовательный ввод, параллельный вывод данных) с выходным буферным ЗУ (открытый коллектор)	392
74600	Схема регенерации динамических ЗУ с произвольной выборкой (4 Кб/16 Кб), работающих в прозрачном режиме и в режиме пакетной передачи данных	394

74601	Схема регенерации динамических ЗУ с произвольной выборкой (64 Кб), работающих в прозрачном режиме и в режиме пакетной передачи данных	396
74602	Схема регенерации динамических ЗУ с произвольной выборкой (4 Кб/16 Кб), работающих в режиме захвата цикла и в режиме пакетной передачи данных	398
74603	Схема регенерации динамических ЗУ с произвольной выборкой (64 Кб), работающих в режиме захвата цикла и в режиме пакетной передачи данных	400
74604	Восемь мультиплексоров 2–1 с буферным регистром (три состояния)	402
74605	Восемь мультиплексоров 2–1 с буферным регистром (выходы с открытым коллектором)	404
74606	Восемь мультиплексоров 2–1 с буферным регистром (три состояния)	406
74607	Восемь мультиплексоров 2–1 с буферным регистром (выходы с открытым коллектором)	408
74608	Схема управления динамическим ОЗУ с произвольной выборкой (три состояния)	410
74610	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 с выходными буферными регистрами (три состояния)	412
74611	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 с выходными буферными регистрами (выходы с открытым коллектором)	414
74612	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 (три состояния)	416
74613	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 (выходы с открытым коллектором)	418
74614	8-разрядный инвертирующий приемопередатчик с двунаправленным буферным регистром (выходы с открытым коллектором)	420
74615	8-разрядный неинвертирующий приемопередатчик с двунаправленным буферным регистром (выходы с открытым коллектором)	422
74616	16-разрядная схема для обнаружения и устранения ошибок (три состояния)	424
74617	16-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	426
74620	8-разрядный двунаправленный инвертирующий буфер шины (три состояния)	428
74621	8-разрядный двунаправленный неинвертирующий буфер шины (выходы с открытым коллектором)	430

74622	8-разрядный двунаправленный инвертирующий буфер шины (выходы с открытым коллектором)	432
74623	8-разрядный двунаправленный буфер шины (три состояния)	434
74624	Генератор импульсов, управляемый напряжением, с разрешающим входом и противофазными выходами	436
74625	Два генератора импульсов, управляемых напряжением, с противофазными выходами	438
74626	Два генератора импульсов, управляемых напряжением, с разрешающими входами и противофазными выходами	440
74627	Два генератора импульсов, управляемых напряжением	442
74628	Генератор импульсов, управляемый напряжением, с разрешающим входом и противофазными выходами	444
74629	Два генератора импульсов, управляемые напряжением с разрешающим входом	446
74630	16-разрядная микросхема для обнаружения и устранения ошибок (три состояния)	448
74631	16-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	450
74632	32-разрядная схема для обнаружения и устранения ошибок (три состояния)	452
74633	32-разрядная схема для обнаружения и устранения ошибок (выходы с открытым коллектором)	454
74634	32-разрядная схема для обнаружения и устранения ошибок (три состояния)	456
74635	32-разрядная схема для обнаружения и устранения ошибок (выходы с открытым коллектором)	458
74636	8-разрядная схема для обнаружения и устранения ошибок (три состояния)	460
74637	8-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	462
74638	8-разрядный двунаправленный инвертирующий приемопередатчик (выходы с открытым коллектором/тремя состояниями)	464
74639	8-разрядный двунаправленный неинвертирующий приемопередатчик (выходы с открытым коллектором/тремя состояниями)	466
74640	8-разрядный двунаправленный инвертирующий приемопередатчик (три состояния)	468

Перечень типов микросхем по функциональным группам

Арифметические функции

74261	Схема умножения 2x4 разряда	95
74274	Схема умножения 4x4 разряда (выход с тремя состояниями)	106
74281	4-разрядное арифметическо-логическое устройство	116
74282	Генератор сигнала переноса	119
74283	4-разрядный полный сумматор	120
74284	Схема умножения 4x4 разряда (открытый коллектор, 40 мкА)	122
74285	Схема умножения 4x4 разряда (открытый коллектор, 40 мкА)	124
74381	4-разрядное арифметическо-логическое устройство	208
74382	4-разрядное арифметическо-логическое устройство	209
74384	8-разрядная параллельно/последовательная схема умножения	210
74385	Четыре одноразрядных полных сумматора/вычитателя	230
74407	АЛУ с набором регистров	230
74582	4-разрядное арифметическо-логическое устройство (АЛУ)	369
74583	4-разрядный двоично-десятичный сумматор	371

Приемопередатчики

74226	Универсальный четырехразрядный приемопередатчик с буферным регистром	44
74440	Четыре трехнаправленных приемопередатчика (открытый коллектор)	253
74441	Четыре трехнаправленных инвертирующих приемопередатчика (открытый коллектор)	255
74442	Четыре трехнаправленных неинвертирующих приемопередатчика (выходы с тремя состояниями)	257
74443	Четыре трехнаправленных инвертирующих приемопередатчика (выходы с тремя состояниями)	259
74444	Четыре трехнаправленных инвертирующих и неинвертирующих приемопередатчика (выходы с тремя состояниями)	261
74446	Четыре инвертирующих приемопередатчика с управляющими входами (выходы с тремя состояниями)	265

74448	Четыре трехнаправленных неинвертирующих/ инвертирующих приемопередатчика	269
74449	Четыре неинвертирующих приемопередатчика с управляющими входами (выходы с тремя состояниями)	271
74543	8-разрядный неинвертирующий приемопередатчик с регистром	319
74544	8-разрядный инвертирующий приемопередатчик с регистром	321
74545	8-разрядный двунаправленный неинвертирующий приемопередатчик (выходы с тремя состояниями)	323
74546	8-разрядный двунаправленный неинвертирующий приемопередатчик с буферным регистром (выходы с тремя состояниями)	325
74547 (MMI)	8-разрядный двунаправленный неинвертирующий приемопередатчик с буферными регистрами (выходы с тремя состояниями)	327
74566	8-разрядный двунаправленный инвертирующий приемопередатчик с буферными регистрами (выходы с тремя состояниями)	350
74567	8-разрядный двунаправленный инвертирующий приемопередатчик с буферными регистрами (выходы с тремя состояниями)	352
74588	8-разрядный двунаправленный неинвертирующий приемопередатчик (выходы с тремя состояниями)	372
74614	8-разрядный инвертирующий приемопередатчик с двунаправленным буферным регистром (выходы с открытым коллектором)	420
74615	8-разрядный неинвертирующий приемопередатчик с двунаправленным буферным регистром (выходы с открытым коллектором)	422
74620	8-разрядный двунаправленный инвертирующий буфер шины (выходы с тремя состояниями)	428
74621	8-разрядный двунаправленный неинвертирующий буфер шины (выходы с открытым коллектором)	430
74622	8-разрядный двунаправленный инвертирующий буфер шины (выходы с открытым коллектором)	432
74623	8-разрядный двунаправленный буфер шины (выходы с тремя состояниями)	434
74638	8-разрядный двунаправленный инвертирующий приемопередатчик (выходы с открытым коллектором/тремя состояниями)	464
74639	8-разрядный двунаправленный неинвертирующий приемопередатчик (выходы с открытым коллектором/тремя состояниями)	466
74640	8-разрядный двунаправленный инвертирующий приемопередатчик (выходы с тремя состояниями)	468

Селекторы данных/мультиплексоры

74250	16-канальный селектор данных/мультиплексор (выход с тремя состояниями)	81
74251	8-канальный селектор данных/мультиплексор (выход с тремя состояниями)	83
74253	Два 4-канальных селектора данных/мультиплексора (выход с тремя состояниями)	85
74256	Два четырехразрядных демультиплексора с буферным регистром	87
74257	Четыре 2-канальных селектора данных/ мультиплексора (выход с тремя состояниями)	89
74258	Четыре 2-канальных селектора данных/ мультиплексора с инверсными выходами (выход с тремя состояниями)	91
74298	Четыре селектора данных/мультиплексора (1 из 2) с буферным регистром	144
74351	Два 8-канальных селектора данных/мультиплексора 8-1 с инверсными выходами (три состояния)	177
74352	Два 4-канальных селектора данных/мультиплексора с инверсными выходами	179
74353	Два 4-канальных селектора данных/мультиплексора с инверсными выходами (три состояния)	181
74354	8-канальный селектор данных с буферным регистром на входе (выходы с тремя состояниями)	183
74355	8-канальный селектор данных с буферным регистром на входе (открытый коллектор)	185
74356	8-канальный селектор данных с буферным регистром на входе (три состояния)	187
74357	8-канальный селектор данных с буферным регистром на входе (открытый коллектор)	189
74398	Четыре мультиплексора 2-канальных с буферным регистром ...	222
74399	Четыре мультиплексора 2-канальных с буферным регистром ...	223
74604	Восемь мультиплексоров 2-1 с буферным регистром (выходы с тремя состояниями)	402
74605	Восемь мультиплексоров 2-1 с буферным регистром (выходы с открытым коллектором)	404
74606	Восемь мультиплексоров 2-1 с буферным регистром (выходы с тремя состояниями)	406
74607	Восемь мультиплексоров 2-1 с буферным регистром (выходы с открытым коллектором)	408

Дешифраторы

Дешифраторы общего назначения

74259	8-канальный дешифратор/демультиплексор с буферным регистром, разрешающим входом и входом сброса	92
-------	---	----

74484	Преобразователь двоично-десятичного кода в двоичный (выход с тремя состояниями)	281
74485	Преобразователь двоичного кода в двоично-десятичный код (выход с тремя состояниями)	283
74537	Дешифратор/демультиплексор 1 из 10 (выходы с тремя состояниями)	310
74538	Дешифратор 1 из 8 (выходы с тремя состояниями)	312
74539	Два дешифратора один из четырех (выходы с тремя состояниями)	314
74547 (FA, VA)	Восьмиразрядный дешифратор/ демультиплексор с буферным регистром адреса	327
74548 (FA, VA)	8-разрядный дешифратор/демультиплексор	331

Дешифраторы для управления индикаторами

74246	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 30 В)	74
74247	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 15 В)	76
74248	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором	77
74249	Дешифратор двоично-десятичного кода для управления 7-сегментным индикатором (открытый коллектор, 5,5 В)	79
74347	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 7 В)	171
74445	Дешифратор двоично-десятичного кода/схема управления индикаторами (открытый коллектор, 7 В)	263
74447	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 7 В)	267

Приоритетные шифраторы

74348	Приоритетный двоичный шифратор 8-3 (выходы с тремя состояниями)	173
-------	---	-----

Модули распознавания ошибок

74280	9-разрядный генератор сигналов четности/ схема контроля четности	114
74286	9-разрядный генератор разряда четности/ схема проверки четности	126
74418	32-разрядная схема для обнаружения и исправления ошибок (выходы с тремя состояниями)	238

74420	32-разрядная схема обнаружения и исправления ошибок (выходы с тремя состояниями)	240
74616	16-разрядная схема для обнаружения и устранения ошибок (выходы с тремя состояниями)	424
74617	16-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	426
74630	16-разрядная микросхема для обнаружения и устранения ошибок (выходы с тремя состояниями)	448
74631	16-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	450
74632	32-разрядная схема для обнаружения и устранения ошибок (выходы с тремя состояниями)	452
74633	32-разрядная схема для обнаружения и устранения ошибок (выходы с открытым коллектором)	454
74634	32-разрядная схема для обнаружения и устранения ошибок (выходы с тремя состояниями)	456
74635	32-разрядная схема для обнаружения и устранения ошибок (выходы с открытым коллектором)	458
74636	8-разрядная схема для обнаружения и устранения ошибок (выходы с тремя состояниями)	460
74637	8-разрядная микросхема для обнаружения и устранения ошибок (выходы с открытым коллектором)	462

Триггеры

74276	Четыре JK-триггера с общими входами предварительной установки и сброса	108
74279	Четыре RS-триггера	112
74375	Четыре D-триггера с разрешающими входами	201
74376	Четыре JK-триггера с входом сброса	202

Делители частоты

74292	Программируемый счетчик/ делитель с коэффициентом деления 2^{30}	134
74294	Программируемый счетчик/ делитель с коэффициентом деления 2^{16}	138

Логические элементы (вентили)

Исключающее или

74386	Четыре двухходовых элемента ИСКЛЮЧАЮЩЕЕ ИЛИ	214
-------	--	-----

ИЛИ-НЕ

74260	Два логических элемента ИЛИ-НЕ	94
-------	--------------------------------------	----

Остальные типы вентилей/расширители

74265	Два инвертора и два логических элемента 2И-НЕ с дополнительными выходами	99
74266	Четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ с двумя входами каждый (выходы с открытым коллектором)	101

Компараторы

74518	8-разрядный компаратор, неинвертирующий выход (открытый коллектор)	295
74519	8-разрядный компаратор, неинвертирующий выход (открытый коллектор)	296
74520	8-разрядный компаратор, инверсный выход	297
74521	8-разрядный компаратор, инверсный выход	298
74522	8-разрядный компаратор, инверсный выход (открытый коллектор)	299
74524	8-разрядный регистр с компаратором (открытый коллектор)	300
74526	Программируемый 16-разрядный компаратор	304
74527	Программируемый 8-разрядный компаратор и 4-разрядный компаратор	306
74528	Программируемый 12-разрядный компаратор	307

Ждущие мультивибраторы

74221	Два одновибратора с входами запуска и сброса на триггерах Шмитта	36
74422	Одновибратор с входом сброса и возможностью перезапуска	241
74423	Два одновибратора с входами сброса и возможностью перезапуска	243

Генераторы импульсов

74320	Генератор импульсов (мультивибратор) с кварцевой стабилизацией частоты и с противофазными выходами	150
74321	Генератор импульсов с кварцевой стабилизацией частоты, с противофазными выходами и делителем частоты	152
74324	Генератор импульсов, управляемый напряжением, с противофазными выходами	158
74325	Два генератор импульсов, управляемых напряжением, с противофазными выходами	160
74326	Два генератора импульсов, управляемых напряжением, с разрешающими входами и противофазными выходами	162

74327	Два генератора импульсов, управляемых напряжением	164
74624	Генератор импульсов, управляемый напряжением, с разрешающим входом и противофазными выходами	436
74625	Два генератора импульсов, управляемых напряжением, с противофазными выходами	438
74626	Два генератора импульсов, управляемых напряжением, с разрешающими входами и противофазными выходами	440
74627	Два генератора импульсов, управляемых напряжением	442
74628	Генератор импульсов, управляемый напряжением, с разрешающим входом и противофазными выходами	444
74629	Два генератора импульсов, управляемые напряжением с разрешающим входом	446

Буферы

Неинвертирующие

74241	Восемь неинвертирующих буферов шины (выходы с тремя состояниями)	65
74243	Четыре неинвертирующих буфера шины (выходы с тремя состояниями)	69
74244	Восемь неинвертирующих буферов шины (выходы с тремя состояниями)	71
74245	Восемь неинвертирующих буферов шины (выходы с тремя состояниями)	72
74341	Восемь неинвертирующих буферов шины (выходы с тремя состояниями)	168
74344	Восемь неинвертирующих буферов шины (выходы с тремя состояниями)	170
74365	Шесть буферов шины с общими управляющими входами (выход с тремя состояниями)	195
74367	Шесть неинвертирующих буферов шины с раздельными управляющими входами (выход с тремя состояниями)	197
74425	Четыре неинвертирующих буфера шины (выходы с тремя состояниями)	245
74426	Четыре неинвертирующих буфера шины (выходы с тремя состояниями)	246
74456	Восемь неинвертирующих буферов шины с генератором сигналов четности (выходы с тремя состояниями)	275
74465	Восемь неинвертирующих буферов шины с общими управляющими входами (выход с тремя состояниями)	277
74467	Восемь неинвертирующих буферов шины с двумя управляющими входами (выход с тремя состояниями)	279

74541	Восемь неинвертирующих буферов шины с двумя управляющими входами (выходы с тремя состояниями)	318
Инвертирующие		
74231	Восемь инвертирующих буферов шины с двумя раздельными управляющими входами (выходы с тремя состояниями)	54
74240	Восемь инвертирующих буферов шины (выходы с тремя состояниями)	64
74242	Четыре инвертирующих буфера шины (выходы с тремя состояниями)	67
74340	Восемь инвертирующих буферов шины (выходы с тремя состояниями)	166
74366	Шесть инвертирующих буферов шины с общими управляющими входами (выход с тремя состояниями)	196
74368	Шесть инвертирующих буферов шины с двумя управляющими входами (выход с тремя состояниями)	198
74436	Шесть инвертирующих буферных формирователей с двумя общими управляющими входами	251
74437	Шесть инвертирующих буферных формирователей с двумя общими управляющими входами	252
74455	Восемь инвертирующих буферов шины с генератором сигналов четности (выходы с тремя состояниями)	273
74466	Восемь инвертирующих буферов шины с общими управляющими входами (выход с тремя состояниями)	278
74468	Восемь инвертирующих буферов шины с двумя управляющими входами (выход с тремя состояниями)	280
74540	Восемь инвертирующих буферов шины с двумя управляющими входами (выходы с тремя состояниями)	316
Смешанные		
74230	Восемь буферов шины (4 инвертирующих, 4 неинвертирующих), с двумя раздельными управляющими входами (выходы с тремя состояниями)	52
Регистры		
74273	8-разрядный регистр с входом сброса	105
74363	8-разрядный регистр на D-триггерах с разрешающими входами (выходы с тремя состояниями)	191
74364	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса (выходы с тремя состояниями)	193

74373	8-разрядный регистр на D-триггерах с разрешающими входами (выходы с тремя состояниями)	199
74374	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса (выходы с тремя состояниями)	200
74377	8-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом	204
74378	6-разрядный регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом	206
74379	4-разрядный регистр на D-триггерах с дополнительными выходами и разрешающим входом	207
74396	8-разрядный регистр на D-триггерах с последовательным входом и параллельным выходом	221
74412	8-разрядный регистр на D-триггерах с триггером состояния (выходы с тремя состояниями)	234
74432	8-разрядный инвертирующий регистр с триггером состояния (инверсные выходы с тремя состояниями)	247
74502	8-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе	289
74503	8-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе, с расширяющим входом	291
74504	12-разрядный регистр для последовательного приближения в аналого-цифровом преобразователе, с расширяющим входом	293
74533	8-разрядный инвертирующий регистр на D-триггерах с управляющими входами (выходы с тремя состояниями)	308
74534	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (выходы с тремя состояниями)	309
74548 (MMI)	Двухкаскадный 8-разрядный конвейерный регистр (выходы с тремя состояниями)	333
74549	Двухкаскадный 8-разрядный конвейерный регистр	335
74563	8-разрядный инвертирующий регистр на D-триггерах с управляющими входами (выходы с тремя состояниями)	347
74564	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (выходы с тремя состояниями)	349
74573	8-разрядный неинвертирующий регистр на D-триггерах (выходы с тремя состояниями)	358
74574	8-разрядный неинвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса (выходы с тремя состояниями)	360

74575	8-разрядный неинвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с синхронным входом сброса (выходы с тремя состояниями)	361
74576	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с разрешающим входом (выходы с тремя состояниями)	363
74577	8-разрядный инвертирующий регистр на D-триггерах, запускаемых фронтом тактового импульса, с синхронным входом сброса (выходы с тремя состояниями)	364
74580	8-разрядный инвертирующий регистр на D-триггерах (выходы с тремя состояниями)	368

Регистры сдвига

74295	4-разрядный регистр сдвига, параллельный/последовательный вход, параллельный/последовательный выход (выходы с тремя состояниями)	140
74299	8-разрядный регистр сдвига влево/вправо (параллельный/последовательный вход, параллельный/последовательный выход) с асинхронным сбросом (выход с тремя состояниями)	145
74322	8-разрядный регистр сдвига (параллельно-последовательный вход, параллельно-последовательный выход) с асинхронным сбросом (выход с тремя состояниями)	154
74323	8-разрядный регистр сдвига влево/вправо (параллельный/последовательный вход, параллельный/последовательный выход) с синхронным сбросом (выход с тремя состояниями)	156
74350	4-разрядный регистр сдвига (выход с тремя состояниями)	175
74395	4-разрядный регистр сдвига данных с асинхронным входом сброса (параллельный/последовательный вход, параллельный/последовательный выход)	219
4594	8-разрядный регистр сдвига (последовательный ввод, параллельный вывод данных) с выходным буферным регистром	382
74595	8-разрядный регистр сдвига (последовательный ввод, параллельный/последовательный вывод данных) с выходным буферным регистром (выходы с тремя состояниями)	384
74596	8-разрядный регистр сдвига (последовательный ввод, параллельный/последовательный вывод данных)	

	с выходным буферным регистром (открытый коллектор)	386
74597	8-разрядный регистр сдвига (последовательный/ параллельный ввод, последовательный вывод данных) с входным буферным регистром	388
74598	8-разрядный регистр сдвига (параллельный/последовательный ввод, параллельный/последовательный вывод данных) с входным буферным регистром	390
74599	8-разрядный регистр сдвига (последовательный ввод, параллельный вывод данных) с выходным буферным ЗУ (открытый коллектор)	392

Запоминающие устройства

74201	ОЗУ, 256 бит (256×1, три состояния)	32
74219	ОЗУ, 64 бита (16×4, три состояния)	34
74288	ПЗУ, объем памяти 256 бит (32×8) (выход с тремя состояниями)	128
74289	ОЗУ с объемом памяти 64 бита (16×4, открытый коллектор)	130
74301	ОЗУ, объем памяти 256 бит (256×1, открытый коллектор)	147
74319	ОЗУ, 64 бита (16×4, открытый коллектор)	148
74410	ОЗУ (16×4), с выходным регистром (выход с тремя состояниями)	232

Стековые запоминающие устройства

74222	ЗУ обратного магазинного типа, объем памяти 16×4, асинхронное отпирание входа/выхода (выходы с тремя состояниями)	38
74224	Асинхронное ЗУ обратного магазинного типа, объем памяти 16×4 (выходы с тремя состояниями)	40
74225	ЗУ обратного магазинного типа, объем памяти 16×5 (выходы с тремя состояниями)	42
74227	ЗУ обратного магазинного типа, объем памяти 16×4, асинхронное отпирание входа/выхода (выходы с открытым коллектором)	46
74228	Асинхронное ЗУ обратного магазинного типа, объем памяти 16×4 (выход с открытым коллектором)	48
74229	ЗУ обратного магазинного типа, объем памяти 16×5 (выходы с тремя состояниями)	50
74232	Асинхронное ЗУ обратного магазинного типа, объем памяти 16×4 (выходы с тремя состояниями)	56
74233	Асинхронное ЗУ обратного магазинного типа, объем памяти 16×5 (выходы с тремя состояниями)	58
74234	ЗУ обратного магазинного типа, объем памяти 64×4 (выходы с тремя состояниями)	60

74235	ЗУ обратного магазинного типа, объем памяти 64x5 (выходы с тремя состояниями)	62
74236	ЗУ обратного магазинного типа, объем памяти 64x4	63
74403	ЗУ обратного магазинного типа, объем памяти 64 бита (16x4), с последовательными и параллельными входами/выходами (выход с тремя состояниями)	228
74413	ЗУ обратного магазинного типа, объем памяти 64x4, с последовательными и параллельными входами/выходами	236
74433	ЗУ обратного магазинного типа, объем памяти 64x4, с последовательными и параллельными входами/выходами (выход с тремя состояниями)	249

Счетчики

Двоичные счетчики

74269	Синхронный реверсивный восьмиразрядный двоичный счетчик	103
74293	4-разрядный двоичный счетчик	136
74393	Два 4-разрядных двоичных счетчика	217
74525	Программируемый двоичный 16-разрядный вычитающий счетчик	302
74561	4-разрядный двоичный счетчик с синхронными/ асинхронными входами загрузки и сброса (выход с тремя состояниями)	345
74569	4-разрядный реверсивный двоичный счетчик (выходы с тремя состояниями)	356
74579	8-разрядный двоичный синхронный реверсивный счетчик (выходы с тремя состояниями)	366
74590	8-разрядный двоичный счетчик с выходным регистром и входом сброса (выход с тремя состояниями)	374
74591	8-разрядный двоичный счетчик с выходным регистром и входом сброса (выходы с открытым коллектором)	376
74592	8-разрядный двоичный счетчик с входным буферным регистром и входами загрузки и сброса	378
74593	8-разрядный двоичный счетчик с входным буферным регистром и входами загрузки и сброса (выход с тремя состояниями)	380

Десятичные счетчики

74290	Десятичный счетчик	132
74390	Два десятичных счетчика	215
74490	Два десятичных счетчика	285
74560	4-разрядный десятичный счетчик с синхронными/ асинхронными входами загрузки и сброса (выход с тремя состояниями)	343

74568	4-разрядный реверсивный десятичный счетчик (выходы с тремя состояниями)	354
-------	--	-----

Различные модули

74264	Генератор сигнала переноса для счетчиков	97
74275	7-разрядная древовидная схема Уоллса (выход с тремя состояниями)	107
74278	Буферный регистр со схемой приоритета	110
74297	Модуль фазовой цифровой автоматической подстройки частоты (ФАПЧ)	142
74401	Генератор контрольного кода CRC	224
74402	Генератор контрольного кода CRC	226
74500	6-разрядный стробированный аналого-цифровой преобразователь	287
74505	8-разрядный аналого-цифровой преобразователь с последовательным приближением	294
74600	Схема регенерации динамических ЗУ с произвольной выборкой (объем памяти 4 Кб/16 Кб), работающих в прозрачном режиме и в режиме пакетной передачи данных	394
74601	Схема регенерации динамических ЗУ с произвольной выборкой (объем памяти 64 Кб), работающих в прозрачном режиме и в режиме пакетной передачи данных	396
74602	Схема регенерации динамических ЗУ с произвольной выборкой (объем памяти 4 Кб/16 Кб), работающих в режиме захвата цикла и в режиме пакетной передачи данных	398
74603	Схема регенерации динамических ЗУ с произвольной выборкой (объем памяти 64 Кб), работающих в режиме захвата цикла и в режиме пакетной передачи данных	400
74608	Схема управления динамическим ОЗУ с произвольной выборкой (выход с тремя состояниями)	410
74610	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 с выходными буферными регистрами (выходы с тремя состояниями)	412
74611	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 с выходными буферными регистрами (выходы с открытым коллектором)	414
74612	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 (выходы с тремя состояниями)	416
74613	Схема управления картой памяти для расширения разрядности адресных шин от 4 до 12 (выходы с открытым коллектором)	418

Условные обозначения

Все данные относятся к интегральным микросхемам ТТЛ в пластмассовых плоских корпусах с двухрядным расположением выводов (типа DIP), работающих при температурах 0–70 °С. Данные схем с другими типами корпусов, работающих в ином температурном диапазоне, можно получить из технической документации фирм-изготовителей.

Схема расположения выводов выполнена в горизонтальной плоскости (вид сверху).

Условные обозначения логических уровней

H	Напряжение высокого логического уровня Логическая 1 при положительной логике
L	Напряжение низкого логического уровня Логический 0 при положительной логике
LH-фронт	Переход напряжения с низкого логического уровня на высокий (положительный или нарастающий фронт импульса)
HL-фронт	Переход напряжения с высокого логического уровня на низкий (отрицательный или спадающий фронт импульса)

Символы и сокращения

—	Общий провод питания
⊕-	Положительное напряжение питания (обычно +5 В)
NC	Этот вывод не подключен и поэтому может использоваться в качестве точки пайки
A	Адресный вход (или вход логического элемента)
C	Перенос (Carry)
CI	Вход переноса (Carry Input)
CO	Выход переноса (Carry Output)
Clear	Очистка, сброс (или Reset)
Clock	Тактовый импульс
E, G	Разрешение (Enable)
J, K, D	Информационные входы в регистрах
Load	Вход сигнала загрузки
OE	Вход сигнала разрешения формирования выходных сигналов (Output Enable)
P	Параллельные данные

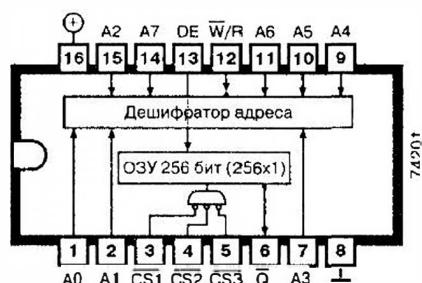
Preset	Вход сигнала предварительной установки
Q	Выход
Reset	Сброс, установка на 0 (или Clear)
Shift	Вход сигнала сдвига
TS	Три состояния (высокоомное состояние)
Y	Выход (в основном для логических элементов)

Остальные обозначения выводов можно узнать из соответствующих описаний схем. Несмотря на некоторую унификацию обозначений выводов, по возможности учитывались также обозначения, которые фирмы-производители используют в своих схемах. Поэтому нетрудно получить необходимую информацию по микросхемам из соответствующих справочников.

Таблицы истинности

L	Низкий уровень
H	Высокий уровень
X	Любой
Z	Высокоомное (третье) состояние
—	Перепад напряжения с низкого уровня на высокий (положительный фронт)
—	Перепад напряжения с высокого уровня на низкий (отрицательный фронт)
—	Положительный импульс ($L \rightarrow H \rightarrow L$)
—	Отрицательный импульс ($H \rightarrow L \rightarrow H$)

74201 ОЗУ, 256 БИТ (256x1, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит ОЗУ (оперативное запоминающее устройство) с объемом памяти 256 бит (256 машинных слов по одному биту каждое: 256×1) и выход с тремя состояниями.

Работа схемы

Необходимая, ячейка памяти от 0 до 255 в двоичной системе счисления выбирается через адресные шины A0 – A7.

Информация, подаваемая на вход данных DE, записывается в память, когда на все три входа CS1 – CS3 (выбор кристалла) и на вход W/R (запись/считывание) поступает напряжение низкого уровня. При этом выход \bar{Q} находится в высокомомном состоянии.

Для считывания информации на все три входа CS1 – CS3 снова подается напряжение низкого уровня, а на вход W/R – высокого уровня. Тогда информация, хранящаяся в адресуемой ячейке, появляется на выходе \bar{Q} в инверсном виде.

Запоминающее устройство заперто, если, по крайней мере, на один из входов CS подано напряжение высокого уровня. В этом случае выход \bar{Q} находится в высокомомном (третьем) состоянии независимо от логического уровня на входе W/R.

Аналогичная микросхема, но с открытым коллектором на выходе, – 74301.

Режим работы	CS	W/R	Выход \bar{Q}
Запись	L	L	Высокомомный
Считывание	L	H	Обратный код хранящейся информации
Хранение	H	X	Высокомомный

Применение

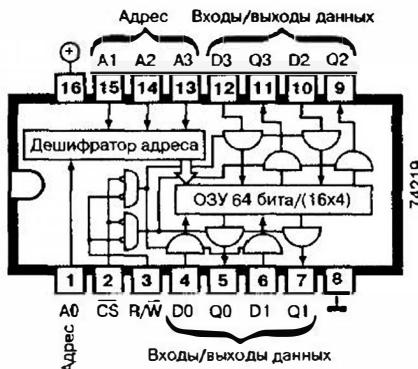
Быстродействующее запоминающее устройство.

Технические данные

	S
Время выборки из ОЗУ, нс	50
Ток потребления, мА	100

Серия	Std	ALS	AS	F	H	L	LS	S	
								●	

74219 ОЗУ, 64 БИТА (16×4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит быстродействующее ОЗУ (оперативное запоминающее устройство) с объемом памяти 64 бита (16 машинных слов по 4 бита каждое: 16×4) и выходы с тремя состояниями.

Работа схемы

Необходимая ячейка памяти, в которую записывается или из которой считывается информация, выбирается через адресные входы A0 – A3. Для уменьшения нагрузки на шину адресные входы буферизованы.

Данные для записи поступают на информационные входы D0 – D3, на вход \overline{CS} (выбор кристалла) и на вход R/\overline{W} (считывание/запись) подается напряжение низкого уровня. При этом выходы Q0 – Q3 переходят в третье состояние, то есть отключаются.

Для считывания информации на вход R/\overline{W} подается напряжение высокого уровня (на вход CS подается напряжение низкого уровня). Тогда информация, хранящаяся в адресной ячейке памяти, поступает на выходы Q0 – Q3.

Если на вход CS подается напряжение высокого уровня, то ОЗУ запирается и выходы переходят в высокоомное состояние (отключаются) независимо от логического уровня на входе R/\overline{W} .

Аналогичная микросхема, но с инверсными выходами, – 74189. В отличие от нее, схема 74289 имеет прямые выходы с открытым коллектором.

Режим работы	Входы		Выходы
	\overline{CS}	R/\overline{W}	
Запись	L	L	Z
Считывание	L	H	Записанные данные
Хранение	H	X	Z

Применение

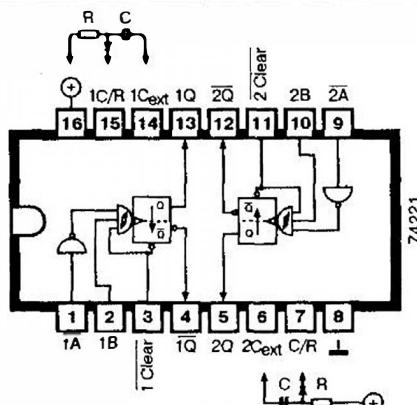
Запоминающее устройство для 4-разрядных чисел.

Технические данные

	F	LS
Время выборки из ОЗУ, нс	18	50
Ток потребления, мА	37	35

Серия	Std	ALS	AS	F	H	L	LS	S
				●			●	

74221 ДВА ОДНОВИБРАТОРА С ВХОДАМИ ЗАПУСКА И СБРОСА НА ТРИГГЕРАХ ШМИТТА



Описание

Микросхема содержит два одновибратора, которые могут включаться отрицательным или положительным фронтами импульса.

Работа схемы

Каждый из двух одновибраторов может включаться отрицательным фронтом импульса на входе А (при этом на вход В подается напряжение высокого уровня) или положительным фронтом импульса на входе В (на вход А подается напряжение низкого уровня). При этом фронт импульса на входе А должен иметь крутизну не менее 1 В/мкс. Импульс с входа В поступает на триггер Шмитта, поэтому крутизна положительного фronта импульса здесь может составлять до 1 В/с.

Как только произошло включение схемы, последующие импульсы на входах уже не влияют на ее работу. Длительность выходных импульсов t зависит от постоянных времени R и C ($t = 0,7 \times RC$) и может изменяться в диапазоне 35 нс – 70 с. При внутреннем сопротивлении $R = 2$ кОм и $C = 0$ (используется внутренняя паразитная емкость между выводами) длительность t равна около 30 нс. Значения внешних C и R могут изменяться: C – от 10 пФ до 10 мкФ, а R – от 2 до 70 кОм (для серии LS сопротивление R может достигать 100 кОм).

Длительность выходного импульса можно сократить, если на вход Clear (сброс) подать напряжение низкого уровня. Выходной импульс можно также получить при

Входы		Выходы	
Clear (сброс)		Q	Q̄
L	X	X	L
H	H	X	L
H	X	L	L
H	L	—	—
H	—	H	—
—	L	H	—

перепаде напряжения на входе Clear от низкого уровня к высокому, подавая на вход А напряжение низкого уровня, а на вход В – высокого.

Длительность импульса в основном не зависит от рабочего напряжения и температуры и определяется величинами резистора R и емкости C.

По расположению выводов данная микросхема совместима со схемой одновибратора 74123, в которой имеется возможность перезапуска.

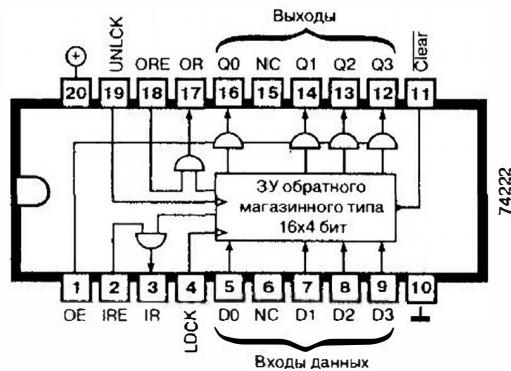
Применение

Блок задержки импульсов и датчик времени (таймер), формирователь импульсов.

Технические данные	Std	LS
Диапазон измерений длительности выходного сигнала	20 нс – 70 с	20 нс – 70 с
Время задержки импульсов, нс		
от входа А	48	48
от входа В	38	38
Ток потребления, мА	26	5

Серия	Std	ALS	AS	F	H	L	LS	S
	●						●	

74222 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА, АСИНХРОННОЕ ОТПИРАНИЕ ВХОДА/ВЫХОДА (16x4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство емкостью 16 слов по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ (накопителе).

Запись и считывание данных происходят независимо друг от друга (асинхронно).

Данные на входах D0 – D3 сохраняются в накопителе при переходе напряжения на входе LDCK (тактовый импульс загрузки) с высокого уровня напряжения на низкий (отрицательный фронт импульса). Считывание информации происходит на выходах Q0 – Q3 при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает число считанных на 16. Когда ЗУ полностью загружено, тактовый импульс загрузки больше не влияет на его работу. Если в накопителе нет информации, то тактовый импульс считывания не оказывает на него влияния.

О состоянии ЗУ обратного магазинного типа сигнализируют логические уровни выходов IR (вход готов) и OR (выход готов). IR и OR выполняют роль флагов готовности. На выходе IR формируется высокий уровень напряжения, когда накопитель загружен не полностью и на вход LDCK подается напряжение низкого уровня. На выходе OR формируется высокий уровень, если в накопителе есть информация и на вход UNLCK подается напряжение высокого уровня.

При перепаде напряжения на входе Clear (очистка) с высокого уровня на низкий внутренний стековый счетчик устанавливается в 0, при этом на выходе IR (вход готов) устанавливается напряжение высокого уровня, а на выходе OR (выход готов) – низкого уровня, показывая, что прежние данные на выходах аннулируются. Напряжение низкого уровня на управляющем входе OE (выход разрешен) переводит выходы в высокоомное (третье) состояние, но не влияет на работу флагов IR и OR.

С помощью входов управления флагами IRE и ORE можно раздельно отпереть выходы IR (вход готов) и OR (выход готов).

Применение

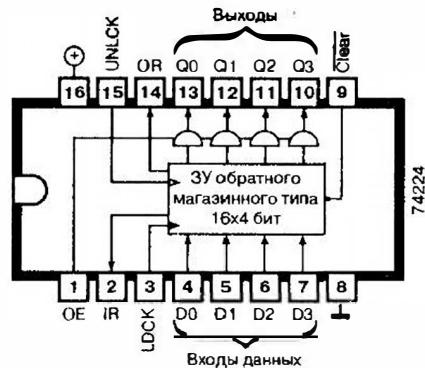
Быстродействующие ЗУ.

Технические данные

Тактовая частота, МГц	0–10
Ток потребления, мА	86

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74224 АСИНХРОННОЕ ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (16x4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство емкостью 16 слов по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «Первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ.

Данные на входах D0 – D3 записываются в накопитель при перепаде напряжения на входе LDCK (тактовый импульс загрузки) с высокого уровня напряжения на низкий (отрицательный фронт импульса). Считывание информации происходит на выходах Q0 – Q3 при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает количество считанных на 16. Когда ЗУ полностью загружено, тактовый импульс загрузки больше не влияет на его работу. Если в накопителе нет информации, то тактовый импульс считывания не на него не влияет.

О состоянии ЗУ обратного магазинного типа сигнализируют логические уровни выходов IR (вход готов) и OR (выход готов). IR и OR выполняют роль флагов готовности. На выходе IR устанавливается высокий уровень напряжения, когда накопитель загружен не полностью и на вход LDCK подается напряжение низкого уровня. На выходе OR устанавливается высокий уровень, если в накопителе есть какая-либо информация и на вход UNLCK подается напряжение высокого уровня.

Перепад напряжения на входе Clear (очистка) с высокого уровня на низкий устанавливает внутренний стековый счетчик в 0, при этом на выходе IR (вход готов) устанавливается напряжение высокого уровня, а на выходе OR (выход готов) – низкого, показывая тем самым, что прежние данные на выходах аннулируются. Сигнал низкого уровня на входе OE (выход разрешен) переводит выходы в высокомное (третье) состояние, но не влияет на работу выходов IR и OR.

Применение

Быстродействующие буферные ЗУ.

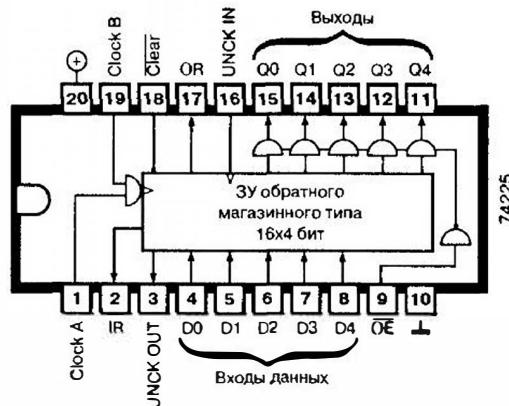
Технические данные

LS

Тактовая частота, МГц 0–10

Ток потребления, мА 86

**74225 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА
(16×5, ТРИ СОСТОЯНИЯ)**



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 16 слов по 5 разрядов (бит) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ.

Запись или считывание информации происходит с помощью отдельных тактовых импульсов (*Clock A* или *Clock B* – при записи, *UNCK IN* – при считывании).

Запись данных осуществляется при перепаде напряжения с низкого уровня на высокий (положительный фронт) на одном из двух входов тактовых импульсов *Clock A* или *Clock B*. Эти входы равнозначны, причем в каждом случае на второй вход должно подаваться напряжение высокого уровня. С помощью логической операции И возможна их работа в режиме стробирования.

Считывание информации происходит с помощью тактового импульса считывания (положительный фронт), поступающего на вход UNCK IN (вход тактового импульса считывания).

О состоянии ЗУ обратного магазинного типа сигнализируют три выхода. На выходе IR (вход готов) напряжение высокого уровня устанавливается лишь тогда, когда накопитель загружен не полностью и еще может принять информацию. На выходе UNCK OUT (выход тактового импульса считывания) формируется отрицательный импульс, если в накопителе занимается последняя свободная ячейка памяти.

На третьем выходе OR (выход готов) устанавливается напряжение высокого уровня, когда первая ячейка памяти содержит информацию и на вход UNCK IN подается напряжение высокого уровня. Если на вход UNCK IN подается низкий уровень напряжения, аналогичный уровень будет установлен на выходе OR, и выход остается в таком состоянии, пока новые данные не поступят в первую ячейку памяти.

Данные на выходах не инвертируются. С помощью входа ОЕ (выход разрешен) выходы можно перевести в высокомонное (третье) состояние.

Когда на вход **Clear** (очистка) поступает напряжение низкого уровня, происходит сброс всех данных.

Применение

Быстродействующие буферные ЗУ.

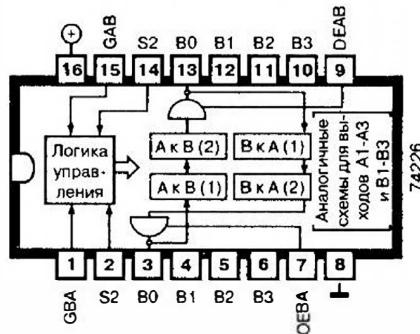
Технические данные

S

Тактовая частота, МГц 0–10

Ток потребления, мА 80

74226 УНИВЕРСАЛЬНЫЙ 4-РАЗРЯДНЫЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема позволяет передавать данные от одной 4-разрядной шины к другой, а также осуществлять обмен информацией между двумя 4-разрядными магистралями через внутренние буферные накопители.

Работа схемы

В зависимости от уровня напряжения на управляющих входах S0 и S1, а также на входах строб-импульсов GAB и GBA, можно передавать информацию от одной

Режим работы		Строб-импульс		Накопитель АкВ		Накопитель ВкА		Операция	
S2	S1	GAB	GBA	1	2	1	2		
			L			Прозр.	Прозр.	Передача от В к А	
L	L	X		Хран.	Прозр.				
			H			Хран.	Прозр.	Считывание хранящихся данных	
L	H	X	X	Хран.	Прозр.	Хран.	Прозр.	Считывание хранящихся данных	
		L		Прозр.	Прозр.			Передача от АкВ	
H	L		X			Хран.	Прозр.		
			H	Хран.	Прозр.			Считывание хранящихся данных	
		L	L	Прозр.	Хран.	Прозр.	Хран.	Запись данных на обеих шинах	
H	H								
		H	H	Хран.	Хран.	Хран.	Прозр.	Хранение данных с шин	

Хран. – хранение информации

Прозр. – накопитель прозрачен для передающей информации

шины к другой и хранить ее. С помощью двух входов (выходы 7 и 9) выходы микросхемы переводятся в высокоомное (третье) состояние: при подаче на эти входы напряжения низкого уровня соответствующие выходы становятся высокоомными.

Если соответствующие накопители отключены, то данные допустимо непосредственно передавать от одной шины к другой. При использовании накопителей возможен прямой обмен информацией между двумя шинами.

Благодаря тому что входы имеют формирователи цифровых сигналов на триггере Шmittа, гистерезис передаточной характеристики которого составляет 0,4 В, схема хорошо подавляет помехи.

Применение

Обмен данными между двумя или несколькими 4-разрядными шинами.

Технические данные

5

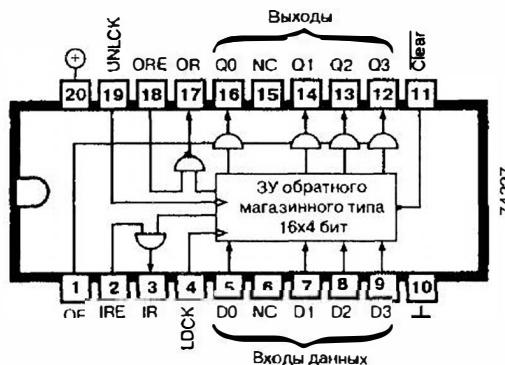
Время задержки прохождения сигнала, нс

15

Ток потребления, мА

125

74227 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА АСИНХРОННОЕ ОТПИРАНИЕ ВХОДА/ВЫХОДА (16x4, ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 16 слов по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ (накопителе).

Запись и считывание данных происходят асинхронно.

Данные на входах D0 – D3 записываются в накопителе при переходе напряжения на входе LDCK (тактовый импульс загрузки) с высокого уровня на низкий (отрицательный фронт импульса). Считывание информации происходит с выходов Q0 – Q3 при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает количество считанных на 16. Когда ЗУ полностью загружено, тактовый импульс записи больше не влияет на его работу. Если в накопителе нет информации, то тактовый импульс считывания не влияет на него.

О состоянии ЗУ сигнализируют логические уровни выходов IR (вход готов) и OR (выход готов). Сигналы IR и OR выполняют роль флагов готовности. На выходе IR напряжение высокого уровня устанавливается лишь тогда, когда накопитель загружен не полностью и на вход LDCK подается напряжение низкого уровня. На выходе OR устанавливается напряжение высокого уровня, если в накопителе есть какая-либо информация и на вход UNLCK подается напряжение высокого уровня.

При перепаде напряжения на входе **Clear** (очистка) с высокого уровня на низкий внутренний стековый счетчик устанавливается в 0; на выходе **IR** (вход готов) формируется напряжение высокого уровня, а на выходе **OR** (выход готов) – низкого, показывая тем самым, что прежние данные на выходах аннулируются. Напряжение низкого уровня на входе **OE** запирает выходы, но не влияет на работу выходов **IR** и **OR**. Выходы имеют открытый коллектор.

С помощью входов управления флагами **IRE** и **ORE** можно управлять выходами **IR** (вход готов) и **OR** (выход готов).

Применение

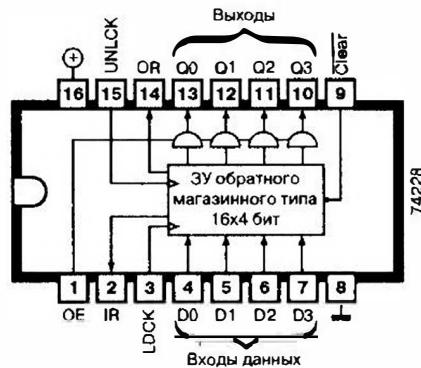
Быстродействующие буферные ЗУ.

Технические данные

Максимальное выходное напряжение, В	LS	5,5
Тактовая частота, МГц		0–10
Ток потребления, мА		86

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74228 АСИНХРОННОЕ ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (16x4, ВЫХОД С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 16 слов по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, фактически речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ.

Запись и считывание данных происходят асинхронно.

Данные на входах D0 – D3 записываются в накопитель при переходе напряжения на входе LDCK (тактовый импульс записи) с высокого уровня на низкий (отрицательный фронт импульса). Считывание информации происходит с выходов Q0 – Q3 при переходе напряжения на входе UNLK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает количество считанных на 16. Когда ЗУ полностью загружено, тактовый импульс записи больше не влияет на его работу. Если в накопителе нет информации, то тактовый импульс считывания не оказывает на него влияния.

О состоянии ЗУ обратного магазинного типа сигнализируют логические уровни выходов IR (вход готов) и OR (выход готов). Сигналы IR и OR выполняют роль флагов готовности. На выходе IR напряжение высокого уровня устанавливается лишь тогда, когда накопитель загружен не полностью и на вход тактового импульса записи LDCK подается напряжение низкого уровня. На выходе OR формируется напряжение высокого уровня, если в накопителе есть какая-либо информация и на вход тактового импульса считывания UNLK подается напряжение высокого уровня.

При перенаде напряжения на входе Clear (очистка) с высокого уровня на низкий внутренний стековый счетчик устанавливается на 0; на выходе IR (вход готов) устанавливается напряжение высокого уровня, а на выходе OR (выход готов) – низкого, показывая, что прежние данные на выходах аннулируются. Напряжение низкого уровня на входе OE запирает выходы, но не влияет на работу выходов IR и OR. Выходы имеют открытый коллектор.

Применение

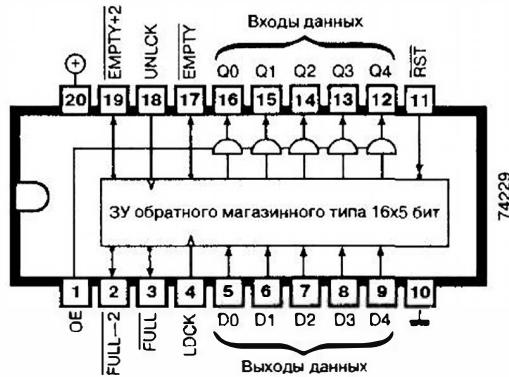
Быстродействующие буферные ЗУ.

Технические данные

Максимальное выходное напряжение, В	5,5
Тактовая частота, МГц	0–10
Ток потребления, мА	86

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74229 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (16x5, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство емкостью 16 слов по 5 разрядов (бит) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ.

Запись данных в накопителе происходит при переходе напряжения на входе LDCK (тактовый импульс записи) с высокого уровня на низкий (отрицательный фронт импульса). Считывание информации происходит при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает число считанных на 16. В этом случае вход LDCK больше не влияет на его работу. То же самое относится и к входу UNLCK, когда накопитель пуст.

О состояниях ЗУ обратного магазинного типа сигнализируют логические уровни выходов: FULL (полный), EMPTY (пустой), FULL-2 и EMPTY+2. На выходе FULL устанавливается напряжение низкого уровня, когда накопитель полностью загружен, и высокого уровня, когда он загружен не полностью. На выходе FULL-2 устанавливается напряжение низкого уровня, если в накопителе находится 14 слов. На выходе EMPTY устанавливается напряжение низкого уровня при пустом накопителе и высокого уровня, когда накопитель загружен информацией, например там остаются два слова. Напряжение низкого уровня на входе RST (сброс) устанавливает внутренний указатель вершины стека в ноль; кроме того, на выходе EMPTY возникает напряжение низкого уровня, а на выходах FULL, FULL-2 и EMPTY+2 – высокого. Напряжение на выходах Q при этом не изменяется.

При первом перепаде уровня тактового импульса на входе LDCK с низкого на высокий (после сброса данных сигналом на входе RST или после того, как накопитель стал пустым) на выходе EMPTY устанавливается напряжение высокого уровня и данные появляются на выходах Q в неинвертированном виде. Напряжение низкого уровня на входе OE переводит выходы данных Q в высокоомное (третье) состояние, не оказывая влияния на состояние остальных выходов.

Расширение схемы можно легко осуществить путем увеличения ширины накопителя (число разрядов слова), но не его глубины (число хранящихся в накопителе слов).

Применение

Быстродействующие буферные ЗУ.

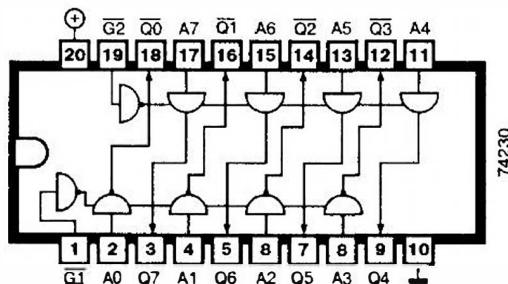
Технические данные	ALS
---------------------------	------------

Тактовая частота, МГц	0–30
-----------------------	------

Ток потребления, мА	95
---------------------	----

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74230 ВОСЕМЬ БУФЕРОВ ШИНЫ (4 ИНВЕРТИРУЮЩИХ, 4 НЕИНВЕРТИРУЮЩИХ), С РАЗДЕЛЬНЫМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



74230

Описание

Микросхема содержит восемь буферов шины (четыре инвертирующих и четыре неинвертирующих), два раздельных управляющих входа и выходы с тремя состояниями.

Работа схемы

Буферы шины объединены в две группы. Группа 1 (входы A0 – A3) управляется общим входом G1. Данные, поступающие на входы A0 – A3, появляются на выходах $\bar{Q}0$ – $\bar{Q}3$ в инверсном виде. К группе 2 относятся входы A4 – A7, управляемые входом G2; данные на этих выходах не инвертируются. При подаче на один из двух или оба управляющих входа напряжения высокого уровня соответствующие выходы переходят в высокоомное (третье) состояние.

Данная микросхема по расположению выводов и выполняемым функциям аналогична 74762, которая имеет выходы с открытым коллектором.

Группа 1

Входы		Выход
G	A	\bar{Q}
L	H	L
L	L	H
H	X	Z

Группа 2

Входы		Выход
G	A	Q
L	H	H
L	L	L
H	X	Z

Применение

Буфер для шины данных и адресной шины, особенно в МОП схемах.

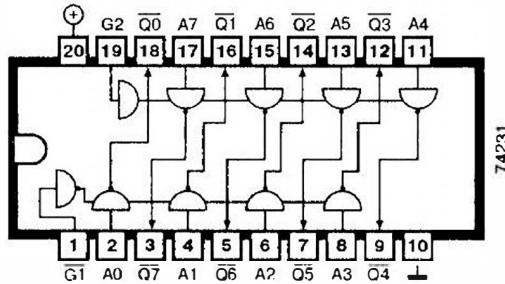
Технические данные

	AS
Время задержки прохождения сигнала, нс	4,2
Максимальный выходной ток, мА:	
I_{O1L} (напряжение низкого уровня на выходе)	15
I_{O1H} (напряжение высокого уровня на выходе)	64
Ток потребления, мА	34

Серия	Std	ALS	AS	F	H	L	LS	S
		●	●					

74231

ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ РАЗДЕЛЬНЫМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь буферов шины с двумя раздельными управляемыми входами и тремя состояниями.

Работа схемы

Буферы шины объединены в две группы. Группа 1 (входы A0 – A3) управляется входом G1. К группе 2 относятся входы A4 – A7, управляемые прямым входом G2.

Данные, поступающие на входы A0 – A7, появляются на выходах $\overline{Q0}$ – $\overline{Q7}$ в инверсном виде.

При подаче на управляющий вход G1 напряжения высокого уровня или на вход G2 напряжения низкого уровня соответствующие выходы переходят в высокоомное (третье) состояние.

Данная микросхема по расположению выводов и выполняемым функциям аналогична 74763, которая имеет выходы с открытым коллектором.

Группа 1

Входы		Выход
G	A	Q
L	H	L
L	L	H
H	X	Z

Группа 2

Входы		Выход
G	A	\overline{Q}
H	H	L
H	L	H
L	X	Z

Применение

Буфер для шины данных и адресной шины, особенно в МОП схемах.

Технические данные

AS

Время задержки прохождения сигнала, нс 4,2

Максимальный выходной ток, мА:

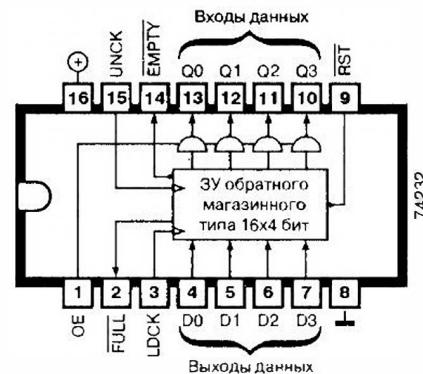
I_{OH} (напряжение низкого уровня на выходе) 15

I_{OL} (напряжение высокого уровня на выходе) 64

Ток потребления, мА 34

Серия	Std	ALS	AS	F	H	L	LS	S
		●	●					

74232 АСИНХРОННОЕ ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (16x4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 16 слов по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется информацией, которая в данный момент находится непосредственно в ЗУ.

Запись данных происходит при переходе напряжения на входе LDCK (тактовый импульс загрузки) с высокого уровня на низкий (отрицательный фронт импульса). Считывание информации происходит при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, когда количество записанных слов превышает количество считанных на 16. В этом случае состояние входа LDCK больше не влияет на его работу. То же самое относится и к входу UNLCK, когда накопитель пуст.

О состоянии ЗУ обратного магазинного типа сигнализируют логические уровни выходов FULL (полный) и EMPTY (пустой). На выходе FULL устанавливается напряжение низкого уровня, когда накопитель полностью загружен, и высокого уровня, если он загружен не полностью.

Сигнал низкого уровня на входе RST (бросок) устанавливает внутренний указатель вершины стека в ноль; кроме того, на выходе EMPTY формируется напряжение низкого уровня и на выходе FULL – высокого уровня. Напряжение на выходах Q при этом остается неизменным.

При первом перепаде напряжения тактового импульса на входе LDCK с низкого уровня на высокий (после сброса данных на \overline{RST} или после того, как накопитель стал пустым) на входе \overline{EMPTY} возникает напряжение высокого уровня и данные появляются на выходах Q в неинвертированном виде. Напряжение низкого уровня на входе OE переводит выходы Q в высокоомное (третье) состояние, не оказывая влияния на состояние других выходов.

Расширение схемы можно легко осуществить путем увеличения ширины накопителя (число разрядов слова), но не его глубины (число хранящихся в накопителе слов).

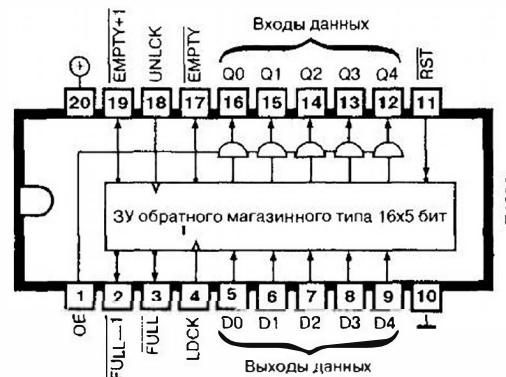
Применение

Быстродействующие буферные ЗУ.

Технические данные		ALS
Тактовая частота, МГц	0–30	
Ток потребления, мА	75	

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74233 АСИНХРОННОЕ ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (16x5, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 16 слов по 5 разрядов (бит) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Микросхема представляет собой регистр сдвига, содержащий блок управления, с помощью которого записанные данные «опускаются» в первые свободные ячейки памяти. Поэтому хранящиеся в ЗУ данные доступны для вывода и тогда, когда не все ступени загружены. Таким образом, речь идет о сдвиговом регистре переменной длины (разрядности), причем длина всегда определяется той информацией, которая в данный момент находится непосредственно в ЗУ.

Запись данных происходит при переходе напряжения на входе LDCK (тактовый импульс записи) с высокого уровня на низкий (отрицательный фронт импульса). Считывание информации происходит при переходе напряжения на входе UNLCK (тактовый импульс считывания) с низкого уровня на высокий (положительный фронт импульса). Накопитель полностью загружен, если количество записанных слов превышает количество считанных на 16. В этом случае состояние входа LDCK больше не влияет на его работу. То же самое относится и к входу UNLCK, когда накопитель пуст.

О состоянии ЗУ обратного магазинного типа сигнализируют логические уровни выходов: FULL (полный), EMPTY (пустой), FULL-1 и EMPTY+1. На выходе FULL устанавливается напряжение низкого уровня, когда накопитель полностью загружен, и высокого уровня, когда он загружен не полностью. На выходе FULL-1 формируется напряжение низкого уровня, если в накопителе находится 14 слов. На выходе EMPTY возникает напряжение низкого уровня, когда накопитель пуст, и высокого уровня, когда он загружен какой-то информацией. На выходе EMPTY+1 устанавливается напряжение низкого уровня, если в накопителе остается одно слово.

Напряжение низкого уровня на входе \overline{RST} (сброс) устанавливает внутренний указатель вершины стека в ноль; кроме того, на выходе \overline{EMPTY} возникает напряжение низкого уровня, а на выходах \overline{FULL} , $\overline{FULL-1}$ и $\overline{EMPTY+1}$ – высокого. Напряжение на выходах Q остается при этом неизменным.

При первом перепаде напряжения на входе $LDCK$ с низкого уровня на высокий (после сброса данных сигналом на входе \overline{RST} или после того, как накопитель стал пустым) на выходе \overline{EMPTY} устанавливается напряжение высокого уровня и данные появляются на выходах Q в неинвертированном виде. Напряжение низкого уровня на входе OE переводит выходы Q в высокоомное (третье) состояние, не оказывая влияния на остальные выходы.

Расширение схемы можно легко осуществить путем увеличения ширины накопителя (число разрядов слова), но не его глубины (число хранящихся в накопителе слов).

Применение

Быстродействующие буферные ЗУ.

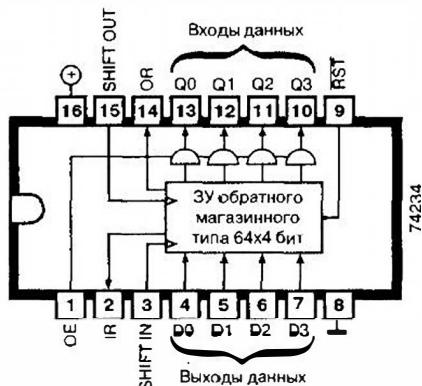
Технические данные

ALS

Тактовая частота, МГц	0–30
Ток потребления, мА	88

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74234 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (64x4, ТРИ СОСТОЯНИЯ)



74234

Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 64 слова по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Запись и считывание данных происходит независимо друг от друга. Запись осуществляется при положительном фронте импульса на входе SHIFT IN. При подаче на этот вход напряжения низкого уровня информационное слово сдвигается в сторону выхода. Когда накопитель полон, дальнейшие импульсы сдвига уже не оказывают влияния на запись.

Считывание данных происходит при отрицательном фронте импульса на входе SHIFT OUT. Когда накопитель пуст, дальнейшие импульсы на входе SHIFT OUT уже не оказывают влияния на состояние схемы. Но последнее информационное слово остается на выходах до тех пор, пока в накопитель не поступит новое слово или на вход RST (сброс) не будет подан сигнал низкого уровня.

О состоянии накопителя сигнализирует состояние выходов OR (выход готов) и IR (вход готов). Высокий уровень напряжения на выходе OR показывает, что необходимые данные доступны для дальнейшей передачи. Когда на вход SHIFT OUT подается напряжение высокого уровня, на выходе OR устанавливается напряжение низкого уровня до тех пор, пока накопитель пуст. На выходе IR формируется высокий уровень напряжения, если накопитель готов принять информацию. Когда на вход SHIFT IN подается высокий уровень, на выходе IR устанавливается низкий, сохраняющийся до тех пор, пока накопитель полон.

Несмотря на то что накопитель полон, данные могут и дальше автоматически сдвигаться при условии, что на входе SHIFT IN устанавливается высокий, а на выходе SHIFT OUT – низкий уровень напряжения. Примерно через 8 нс (время задержки сигнала) после того, как на выход SHIFT OUT поступил сигнал низкого уровня, на выходе IR формируется напряжение высокого уровня. Если на входе SHIFT IN сохраняется напряжение высокого уровня (при этом выход IR остается в состоянии с напряжением высокого уровня), данные автоматически сдвигаются.

Подавая на ЗУ рабочее напряжение, необходимо сначала очистить накопитель с помощью отрицательного импульса на входе RST. При этом на выходе IR появляется напряжение высокого, а на выходе OR – низкого уровня, показывая тем самым, что накопитель пуст. В таком случае на выходах устанавливается напряжение низкого уровня. Если на вход SHIFT IN подается напряжение высокого уровня (при одновременной подаче такого же уровня на вход сброса RST), то входные данные сдвигаются (на выходе IR формируется напряжение низкого уровня, как только на вход SHIFT IN поступит аналогичное напряжение). В случае, если на входе SHIFT IN возникнет напряжение низкого уровня прежде, чем вход RST перейдет в состояние с высоким уровнем, сдвига входных данных не будет (выход IR переходит в состояние с высоким уровнем).

Данные на выходе ЗУ не инвертируются. Напряжение высокого уровня на выходе OE переводит выходы в высокоомное (третье) состояние.

Применение

Быстродействующие ЗУ для накопителей на магнитных дисках и магнитных лентах.

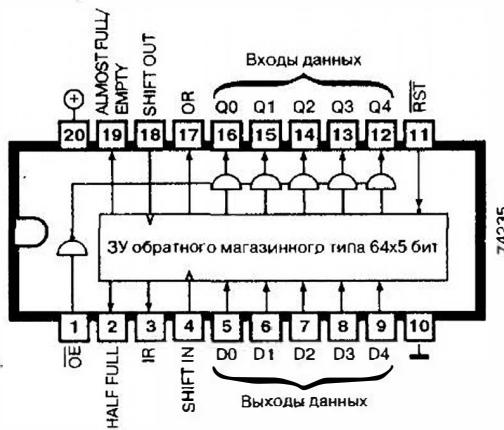
Технические данные

ALS

Тактовая частота, МГц 0–30
Ток потребления, мА 100

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74235 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (64x5, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 64 слова по 5 разрядов (бит) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Принцип действия этой микросхемы, в общем, таков же, как у 74234 (см. выше). Но здесь ширина слова (количество разрядов) равна 5 и имеется два дополнительных выхода, дающих информацию о режиме работы накопителя.

На выходе ALMOST FULL/EMPTY (почти полный/почти пустой) устанавливается напряжение высокого уровня, когда в накопителе находится не более 8 или не менее 65 слов. Напряжение низкого уровня на этом выходе формируется, если накопитель содержит от 9 до 55 слов.

На выходе HALF FULL (наполовину полный) устанавливается напряжение высокого уровня, если в накопителе есть не менее 32 слова, и низкого уровня, когда накопитель содержит не более 31 слова.

Применение

Быстродействующие ЗУ для накопителей на магнитных дисках и магнитных лентах.

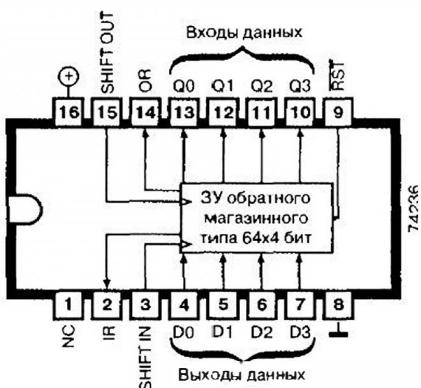
Технические данные

Тактовая частота, МГц 0–25
Ток потребления, мА 115

ALS

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74236 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА (64x4)



Описание

Микросхема содержит запоминающее устройство емкостью 64 слова по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Иными словами, это – ЗУ обратного магазинного типа (с организацией «первый пришел – первый вышел»).

Работа схемы

Принцип действия этой микросхемы почти таков же, как у 74234 (см. выше). Отличие состоит лишь в том, что в микросхеме 74236 отсутствует возможность устанавливать выходы в высокоомное (третье) состояние, то есть нет входа OE.

Применение

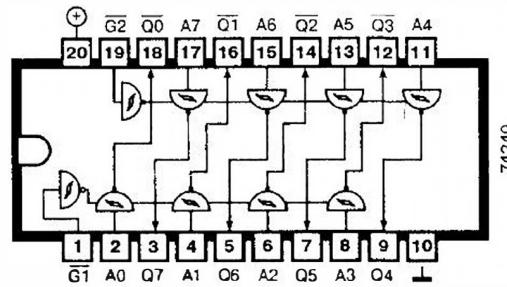
Быстро действующие ЗУ для накопителей из магнитных дисках и магнитных лентах.

Технические данные

	ALS
Тактовая частота, МГц	0–30
Ток потребления, мА	100

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74240 ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь инвертирующих буферов с выходами, имеющими три состояния.

Работа схемы

Данные, поступившие на вход A, появляются на соответствующем выходе \bar{Q} в инверсном виде, если на соответствующий управляющий вход \bar{G} приходит напряжение низкого уровня. Если на входе \bar{G} будет напряжение высокого уровня, то выходы переходят в высокоомное (третье) состояние.

Буферы шины объединены в две группы. Входы A0 – A3, образующие группу 1, управляются общим входом $\bar{G}1$. К группе 2 относятся входы A4 – A7, управляемые входом $\bar{G}2$.

Волновое сопротивление подключенных шин должно составлять не менее 133 Ом. Все входы имеют формирователи цифровых сигналов на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для серий LS и S).

Когда на выходах устанавливается напряжение высокого уровня, выходной ток может достигать 15 мА, а при напряжении низкого уровня – 24 мА (для серии S – 64 мА).

Данная микросхема по расположению выводов и выполняемым функциям аналогична 74756, но имеет выходы с открытым коллектором, и у ее входов отсутствуют формирователи цифровых сигналов на триггерах Шмитта.

Применение

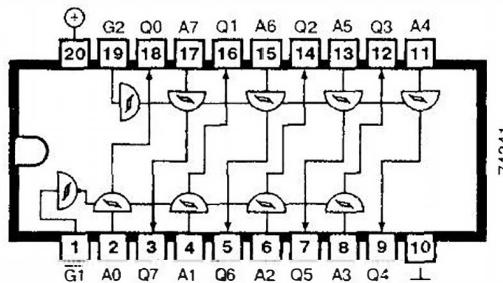
Буфер для шин данных и адресных шин.

Технические данные

	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	5,5	4	4,3	10	5
Ток потребления, мА	10,4	25	37	26	100

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74241 ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих буферов шины с выходами, имеющими три состояния.

Работа схемы

Данные, поступившие на вход A, появляются на соответствующем выходе Q в неинвертированном виде, когда на соответствующий управляющий вход для группы 1 (входы A0 – A3) приходит напряжение низкого уровня, а на управляющий вход для группы 2 (входы A4 – A7) – высокого. Если на вход $\overline{G1}$ подается напряжение высокого уровня, а на вход G2 – низкого, то все выходы переходят в высокоомное (третье) состояние.

Буферы шины объединены в две группы. Группа 1 (входы A0 – A3) управляется общим входом $\overline{G1}$. К группе 2 относятся входы A4 – A7, управляемые прямым входом G2.

Волновое сопротивление подключенных шин должно быть не менее 133 Ом.

Все входы имеют формирователи цифровых сигналов на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для серий LS и S).

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при напряжении низкого уровня ток потребления составляет до 24 мА (для серии S – 64 мА).

По расположению выводов и по выполняемым функциям данная схема аналогична 74757, но последняя имеет выходы с открытым коллектором, а у ее входов отсутствуют формирователи цифровых сигналов на триггерах Шмитта.

Группа 1

Входы		Выход Q
$\overline{G1}$	A	
L	L	L
L	H	H
H	X	Z

Группа 2

Входы		Выход Q
G2	A	
H	L	L
H	H	H
L	X	Z

Применение

Буфер для шин данных и адресных шин.

Технические данные

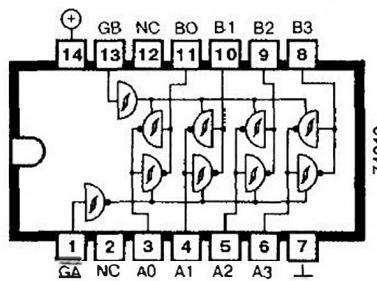
Время задержки прохождения сигнала, нс

	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	7	4,1	5	12	6
Ток потребления, мА	13	39	53	17	140

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●		●	●	●	

74242

ЧЕТЫРЕ ИНВЕРТИРУЮЩИХ БУФЕРА ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит четыре инвертирующих двунаправленных буфера шины с выходами, имеющими три состояния.

Работа схемы

Четыре буфера шины позволяют осуществить двунаправленную связь между четырьмя линиями шин данных:

- при напряжении высокого уровня на обоих управляющих входах $\bar{G}A$ и GB данные, которые находятся на выводах $B0 - B3$, поступают на выводы $A0 - A3$ в инверсном виде;
- при напряжении низкого уровня на управляющем входе $\bar{G}A$ и высокого уровня на входе GB буферы отпираются одновременно в обоих направлениях. Такое состояние может привести к возникновению в цепи паразитных колебаний и поэтому недопустимо;
- при напряжении высокого уровня на входе $\bar{G}A$ и низкого на входе GB выводы $A0 - A3$ полностью изолированы от выводов $B0 - B3$, так как находятся в третьем (высокоомном) состоянии;
- при напряжении низкого уровня на обоих управляющих входах $\bar{G}A$ и GB происходит передача в обратном направлении: данные, находящиеся на выводах $A0 - A3$, поступают в инверсном виде на выводы $B0 - B3$.

Волновое сопротивление подключенных шин должно быть не менее 133 Ом.

Все входы имеют формирователи цифровых сигналов на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для серий LS и S).

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при напряжении низкого уровня – 24 мА (для серии S – 64 мА).

$\bar{G}A$	GB	Режим работы
L	L	Передача от \bar{A} к B
H	H	Передача от \bar{B} к A
H	L	Шины изолированы
L	H	Недопустимый режим

Применение

Двунаправленный буфер для шин данных и адресных шин.

Технические данные

Время задержки прохождения сигнала, нс

ALS **AS** **F** **LS** **S**

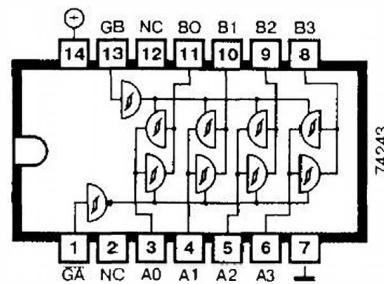
Ток потребления, мА

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●		●	●	●	

6,5 4 4,3 9 6

13 27 31,2 29 95

74243 ЧЕТЫРЕ НЕИНВЕРТИРУЮЩИХ БУФЕРА ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит четыре неинвертирующих двунаправленных буфера шины с выходами, имеющими три состояния.

Работа схемы

Четыре буферных элемента позволяют осуществить двунаправленную связь между четырьмя линиями шин данных:

- при напряжении высокого уровня на обоих управляющих входах \overline{GA} и GB данные, которые находятся на выводах $B0 - B3$, пересыпаются на выводы $A0 - A3$ в прямом (неинверсном) виде;
- при напряжении низкого уровня на управляющем входе \overline{GA} и высокого уровня на входе GB буфера отпираются одновременно в обоих направлениях. Такое состояние может привести к возникновению в цепи паразитных колебаний и поэтому недопустимо;
- при напряжении высокого уровня на входе \overline{GA} и низкого на входе GB выводы $A0 - A3$ полностью изолированы от выводов $B0 - B3$, так как находятся в третьям (высокоомном) состоянии;
- при напряжении низкого уровня на обоих управляющих входах \overline{GA} и GB происходит передача данных в обратном направлении: данные, находящиеся на выводах $A0 - A3$, поступают в прямом (неинверсном) виде на выводы $B0 - B3$.

Волновое сопротивление подключенных шин должно быть не менее 133 Ом.

Все входы имеют формирователи цифровых сигналов на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для серий LS и S).

При напряжении высокого уровня на выходах величина выходного тока может достигать 15 мА, а при низком уровне напряжения ток составляет до 24 мА (для серии S – 64 мА).

Входы		Режим работы:
\overline{GA}	GB	
L	L	Передача от А к В
H	H	Передача от В к А
H	L	Шины изолированы
L	H	Недопустимое состояние

Применение

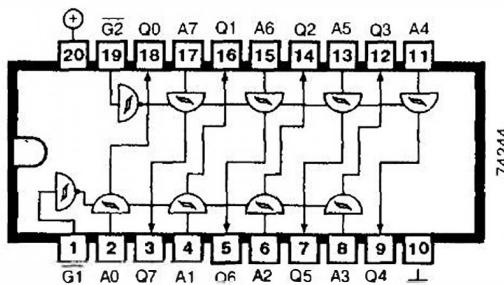
Двунаправленный буфер для шин данных и адресныхшин.

Технические данные

Время задержки прохождения сигнала, нс 7,5 5 4 12 7
 Ток потребления, мА 19 37 66 25 120

Серия	Std	ALS	AS	F	H	L	LS	S
	●	●	●		●	●	●	●

74244 ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих буферов шины с выходами, имеющими три состояния.

Работа схемы

Данные, поступившие на вход A , появляются на соответствующем выходе Q в неинвертированном виде, когда на соответствующий управляющий вход \bar{G} приходит напряжение низкого уровня. Если на управляющий вход \bar{G} подается напряжение высокого уровня, то выходы переходят в высокоомное (третье) состояние.

Буферы шины объединены в две группы. Группа 1 (входы $A_0 - A_3$) управляется входом \bar{G}_1 . К группе 2 относятся входы $A_4 - A_7$, управляемые входом \bar{G}_2 .

Волновое сопротивление подключенных шин должно быть не менее 133 Ом.

Все входы имеют формирователи цифровых сигналов на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для микросхем серий LS и S).

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при низком уровне напряжения ток достигает до 24 мА (для серии S – 64 мА).

Входы		Выход
\bar{G}	A	Q
L	H	H
L	L	L
H	X	Z

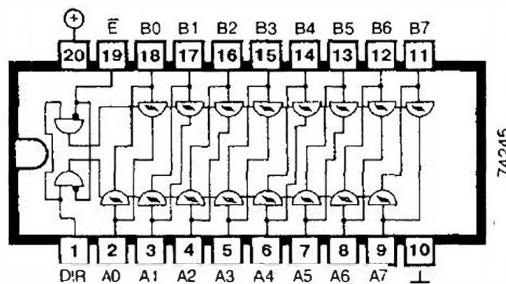
Применение

Буфер для шин данных и адресных шин.

Технические данные	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	6,5	4,1	4	12	6
Ток потребления, мА	16	39	53	27	112

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74245 ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



74245

Описание

Микросхема содержит восемь неинвертирующих двунаправленных буферов шины с выходами, имеющими три состояния.

Работа схемы

Восемь буферов шины позволяют осуществить асинхронную двунаправленную связь между двумя 8-разрядными шинами.

С помощью входа DIR (направление передачи) можно установить направление передачи данных от шины А к шине В, для чего на вход DIR подается напряжение высокого уровня, или от шины В к шине А – на вход DIR поступает напряжение низкого уровня. При этом для передачи информации на управляющем входе \bar{E} (разрешение) должно быть напряжение низкого уровня. Если же на входе \bar{E} напряжение высокого уровня (на вход DIR может подаваться напряжение любого уровня), то все выходы переходят в третье (высокоомное) состояние и обе шины изолированы друг от друга.

Волновое сопротивление подключенных шин должно быть не менее 133 Ом.

На всех входах есть формирователи цифровых сигналов на триггерах Шмитта, передаточная характеристика которых имеет гистерезис около 0,4 В, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах (только для микросхем серии LS).

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при напряжении низкого уровня ток достигает 24 мА (для серии LS).

Управляющие входы		Режим работы
E	DIR	
L	L	Передача данных от шины В к шине А
L	H	Передача данных от шины А к шине В
H	X	Шины А и В изолированы друг от друга

Применение

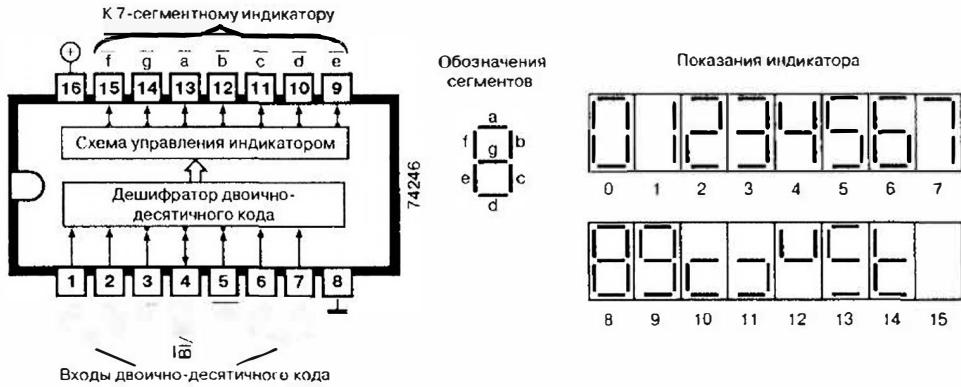
Двунаправленный буфер и драйвер для 8-разрядных шин данных и адресных шин.

Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	6,6	5,5	3,8	8
Ток потребления, мА	35	59	100	62

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●		●	●		

74246 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 30 В)



Описание

Микросхема декодирует двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы микросхемы имеют открытый коллектор.

Работа схемы

Данная микросхема по расположению выводов и по выполняемым функциям аналогична 7446 и отличается от последней только тем, что цифра 6 на индикаторе отображается с верхней (сегмент a), а цифра 9 – с нижней (сегмент d) поперечной полосой.

Двоично-десятичный код, поступивший на входы A, B, C и D, после декодирования в ИС преобразуется в сигналы, которые идут на 7-сегментный индикатор. Микросхема не содержит буферного запоминающего устройства.

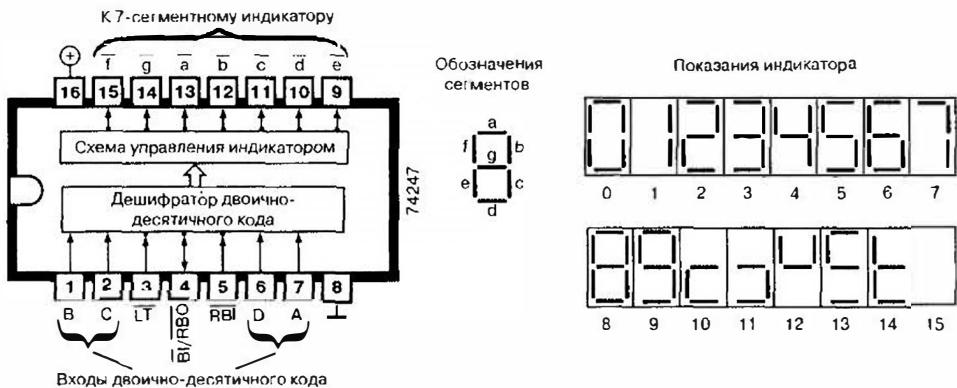
При работе с индикатором на светодиодах следует предусмотреть токоограничивающий резистор между выходом микросхемы и входом индикатора (обычно 330 Ом).

В основном режиме работы на входы LT (контроль индикатора, вывод 3) и BI/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход RBI (входной сигнал схемы последовательного гашения) может поступать напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход LT подается напряжение низкого уровня. В этом случае включаются все сегменты; индикатор показывает цифру 8.

Стирание незначащих нулей в многозначном индикаторе происходит при соединении выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Поскольку гашение нуля самого младшего разряда нежелательно, вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах, отображаемых на индикаторе.

74247 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема декодирует двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Данная микросхема по выполняемым функциям и по расположению выводов аналогична 74246 (см. выше) и отличается от последней только тем, что максимальное выходное напряжение на выходах подключения 7-сегментного индикатора составляет +15 В.

Применение

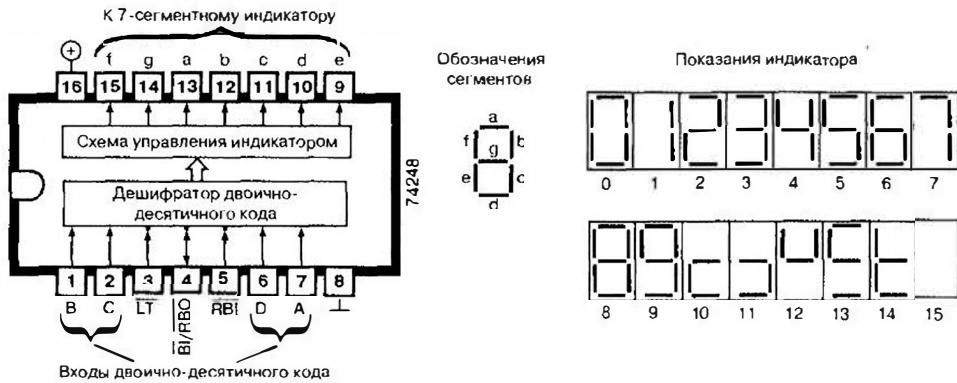
Управление 7-сегментными индикаторами.

Технические данные

	Std	LS
Время задержки прохождения сигнала, нс	100	100
Максимальное выходное напряжение, В	15	15
Максимальный ток коллектора, мА	40	24
Ток потребления, мА	64	7

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74248 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ



Описание

Микросхема декодирует двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы микросхемы имеют открытый коллектор.

Работа схемы

Данная микросхема по расположению выводов и по выполняемым функциям совместима с 7448 и отличается от последней только тем, что цифра 6 на индикаторе отображается с верхней (сегмент a), а цифра 9 – с нижней (сегмент d) поперечной полосой.

Двоично-десятичный код, поступивший на входы A, B, C и D, после декодирования в ИС преобразуется в сигналы, которые поступают на 7-сегментный индикатор. Выходы микросхемы не имеют открытого коллектора, но снабжены внутренним резистором 2 кОм, подключенным между выходом и линией питания. Активный уровень напряжения на выходе высокий. При наличии на выходе напряжения низкого уровня максимальный ток составляет 6 мА. Когда требуется больший ток, особенно в мультиплексном режиме передачи сигналов, к схеме дополнительно подключают внешние транзисторы.

Микросхема не содержит буферного запоминающего устройства.

В основном режиме работы на входы \overline{LT} (контроль индикатора, вывод 3) и \overline{RBI} (входной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход \overline{RBO} (входной сигнал схемы последовательного гашения) может подаваться напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на входе \overline{LT} напряжение низкого уровня. В этом случае включаются все сегменты: индикатор показывает цифру 8.

Стирание незначащих нулей в многопозиционном индикаторе происходит при соединении выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Поскольку гашение нуля самого младшего разряда нежелательно, то вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах, отображаемых на индикаторе.

Поскольку яркость всех сегментов индикатора меняется, когда на вход BI/RBO подается напряжение низкого уровня, то при подаче на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

Управление 7-сегментными индикаторами, особенно в мультиплексном режиме.

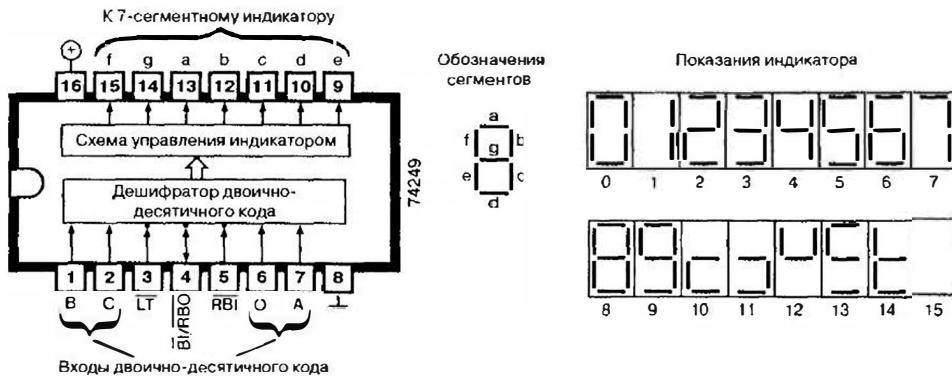
Технические данные	Std	LS
---------------------------	------------	-----------

Время задержки прохождения сигнала, нс	100	100
--	-----	-----

Ток потребления, мА	53	25
---------------------	----	----

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74249 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 5,5 В)



Описание

Микросхема декодирует двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Данная микросхема – это вариант схемы 7449, но, в отличие от последней, выполнена в 16-выводном корпусе и имеет дополнительные функции. Кроме того, в микросхеме 74249 цифра 6 на индикаторе отображается с верхней (сегмент a), а цифра 9 – с нижней (сегмент d) поперечной полосой.

Двоично-десятичный код, поступивший на входы А, В, С и D, после декодирования в ИС преобразуется в сигналы, которые приходят на 7-сегментный индикатор.

Микросхема не содержит буферного запоминающего устройства.

При использовании индикатора на светодиодах для ограничения тока следует предусмотреть сопротивление между выходом микросхемы и входом индикатора (обычно 330 Ом).

В основном режиме работы на входы LT (контроль индикатора, вывод 3) и BI/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход RBI (входной сигнал схемы последовательного гашения) может подаваться напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход LT поступает напряжение низкого уровня. В этом случае включаются все сегменты, то есть индикатор показывает цифру 8.

Стирание незначащих нулей в многопозиционном индикаторе происходит путем соединения выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Поскольку гашение нуля в самом младшем разряде нежелательно, вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах, отображаемых на индикаторе.

Так как яркость всех сегментов индикатора меняется, когда на вход $\overline{BI}/RB\bar{O}$ подается сигнал низкого уровня, при подаче на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

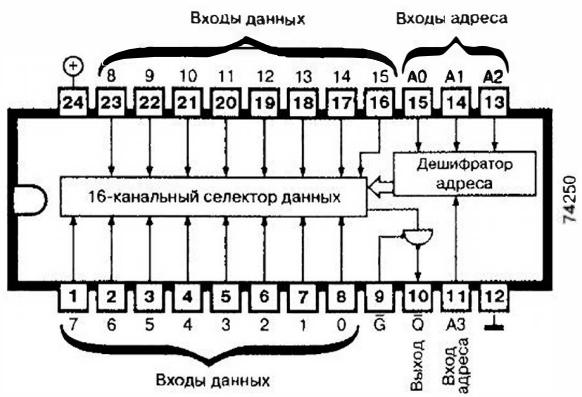
Управление 7-сегментными индикаторами.

Технические данные

	Std	LS
Время задержки прохождения сигнала, нс	100	200
Максимальное выходное напряжение, В	5,5	5,5
Максимальный ток коллектора, мА	10	8
Ток потребления, мА	53	8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

74250 16-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ/ МУЛЬТИПЛЕКСОР (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит селектор данных, который из 16 входных сигналов выделяет один с помощью 4-разрядного двоичного адреса.

Работа схемы

Необходимый вход (0–15) выбирается с помощью адреса, подаваемого на входы A0 – A3. Выделенный сигнал поступает на выход \bar{Q} в инверсном виде.

\bar{G}	Входы					Выход \bar{Q}
	A3	A2	A1	A0		
L	L	L	L	L	0	
L	L	L	L	H	1	
L	L	L	H	L	2	
L	L	L	H	H	3	
L	L	H	L	L	4	
L	L	H	L	H	5	
L	L	H	H	L	6	
L	L	H	H	H	7	
L	H	L	L	L	8	
L	H	L	L	H	9	
L	H	L	H	L	10	
L	H	L	H	H	11	
L	H	H	L	L	12	
L	H	H	L	H	13	
L	H	H	H	L	14	
L	H	H	H	H	15	
H	X	X	X	X	Z	

В основном режиме работы на разрешающий вход \bar{G} подается напряжение низкого уровня. При поступлении на вход \bar{G} напряжения высокого уровня выход Q переходит в высокоомное (третье) состояние. Состояние входа \bar{G} не влияет на процесс выборки на выходах.

Применение

Функциональный преобразователь, селектор данных, преобразователь параллельного кода в последовательный.

Технические данные

AS

Время задержки прохождения сигнала, нс

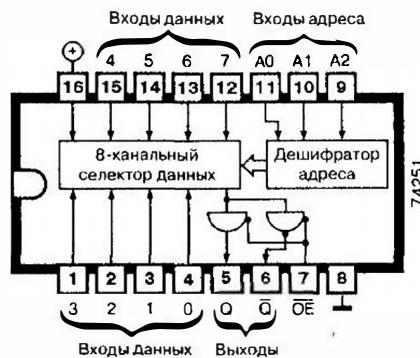
5

Ток потребления, мА

30

Серия	Std	ALS	AS	F	H	L	LS	S
			●					

74251 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ/ МУЛЬТИПЛЕКСОР (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит селектор данных, который из восьми входных сигналов выделяет один с помощью трехразрядного двоичного адреса.

Работа схемы

Необходимый вход (0–7) выбирается с помощью адреса, подаваемого на входы A0 – A2. Выделенный входной сигнал появляется на прямом выходе Q и на инверсном \bar{Q} .

В основном режиме работы на вход \bar{OE} подается напряжение низкого уровня. При поступлении на вход \bar{OE} напряжения высокого уровня оба выхода Q и \bar{Q} переходят в высокоомное (третье) состояние. Таким образом, возможно прямое подключение схемы к системе с общей шиной.

Микросхему можно использовать в качестве функционального преобразователя сигналов, а также для последовательной передачи данных.

Данная схема аналогична 74151, которая не имеет выходов с третьим состоянием: при подаче на разрешающий вход \bar{OE} сигнала высокого уровня на выходе Q формируется напряжение низкого уровня, а на \bar{Q} – высокого.

Входы			\bar{OE}	Выходы	
адресные				Q	\bar{Q}
A2	A1	A0		Z	\bar{Z}
X	X	X	H	Z	\bar{Z}
L	L	L	L	0	$\bar{0}$
L	L	H	L	1	$\bar{1}$
L	H	L	L	2	$\bar{2}$
L	H	H	L	3	$\bar{3}$
H	L	L	L	4	$\bar{4}$
H	L	H	L	5	$\bar{5}$
H	H	L	L	6	$\bar{6}$
H	H	H	L	7	$\bar{7}$

Применение

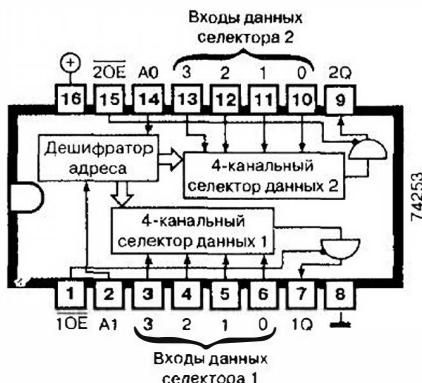
Мультиплексор, дешифратор адреса, последовательная передача данных, функциональный преобразователь сигналов.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	17	12	5	18	17	8
Ток потребления, мА	50	8	28	15	7	55
Серия	Std ●	ALS ●	AS ●	F H L LS S ● ●		

Серия	Std ●	ALS ●	AS ●	F H L LS S ● ●		
-------	----------	----------	---------	----------------------------------	--	--

**74253
К112**

ДВА 4-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два 4-канальных селектора данных с общими адресными входами, но с раздельными входами для сигнала управления выходом.

Работа схемы

Выбор необходимого входа (0–3) в обоих селекторах осуществляется через общие адресные входы A0 и A1. Выделенный входной сигнал появляется на соответствующем выходе 1Q или 2Q в неинвертируемом виде.

Оба входа разрешения выходного сигнала OE работают независимо друг от друга.

В основном режиме работы на входы OE подается напряжение низкого уровня. При поступлении на один из этих входов сигнала высокого уровня соответствующий выход 1Q или 2Q переходит в высокоомное (третье) состояние независимо от состояния всех остальных входов. Таким образом, становится возможным прямое подключение схемы к системе с общей шиной.

Адресные входы		Входы данных				Управление	Выход
A1	A0	0	1	2	3	OE	Q
X	X	X	X	X	X	H	Z
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

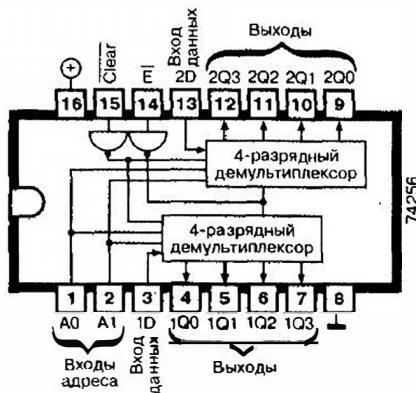
Применение

Мультиплексор, дешифратор адреса, последовательная передача данных.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	13,5	13	8	7	12	8
Ток потребления, мА	34	7	20	12	7	48

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●		●	●	●	

74256 ДВА 4-РАЗРЯДНЫХ ДЕМУЛЬТИПЛЕКСОРА С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема содержит два 4-разрядных демультиплексора с буферным регистром и с общими управляющими входами.

Работа схемы

Общие управляющие входы схемы – два адресных входа A0 и A1, вход \bar{E} , который активизируется при подаче напряжения низкого уровня, и вход Clear, активизирующийся при поступлении на него напряжения низкого уровня. С помощью входов E и Clear можно задать четыре режима работы микросхемы:

- стирание. При подаче на вход \bar{E} сигнала высокого уровня и на вход Clear – сигнала низкого уровня на выходах Q0 – Q3 формируется напряжение низкого уровня;
- при подаче на входы \bar{E} и Clear напряжения низкого уровня получают два 4-канальных демультиплексора (денифрактора с выборкой одного сигнала из четырех);
- логическое состояние адресных входов A0 и A1 (при напряжении низкого уровня на входе \bar{E} и высокого уровня на входе Clear) определяет, на каком из выходов будет формироваться напряжение высокого уровня. На всех остальных выходах сохраняется напряжение низкого уровня. (Например, если на адресный вход A0 подается напряжение низкого уровня, а на адресный вход A1 – высокого, то на выходе Q2 устанавливается напряжение высокого уровня, а на выходах Q0, Q1 и Q3 – низкого. В этом режиме работы следует по возможности изменять не более одного двоичного разряда адреса, иначе не исключено, что микросхема будет работать неправильно.);
- при подаче на вход \bar{E} сигнала высокого уровня (на входе Clear установлено напряжение высокого уровня) в память буферного регистра записывается текущая информация. Адресные входы A0 и A1 при этом не влияют на работу схемы. В данном режиме можно изменять более одного разряда адреса.

Входы		Режим работы
<u>E</u>	<u>Clear</u>	
H	L	Сброс
L	L	Два 4-канальных демультиплексора
L	H	Адресный дешифратор
H	H	Хранение данных

Применение

Последовательно-параллельное преобразование, демультиплексор с буферным регистром.

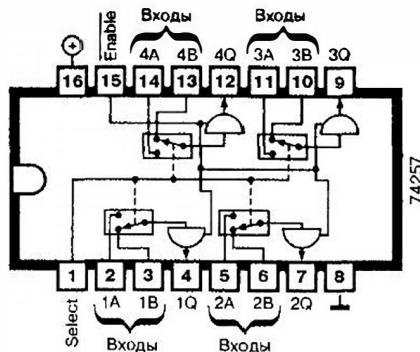
Технические данные

	F	LS
Время задержки передачи сигнала, нс	7	19
Ток потребления, мА	28	22

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74257

ЧЕТЫРЕ 2-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит четыре селектора данных (выбор одного из двух входных сигналов).

Работа схемы

С помощью данной схемы из четырех пар данных – 1A/1B, 2A/2B, 3A/3B, 4A/4B – можно выделить в определенный момент один сигнал и передать его на соответствующие выходы 1Q, 2Q, 3Q, 4Q.

Вход Enable позволяет отключить выходы независимо от состояния входа выборки данных Select. Таким образом, возможно прямое подключение схемы к системе с общей шиной. Если на вход Enable подается напряжение высокого уровня, то все выходы переходят в высокоомное состояние без учета состояния остальных входов. Если же на вход Enable поступает напряжение низкого уровня, то состояние выходов зависит от входа выборки Select.

Если на вход выборки Select подается напряжение низкого уровня, то на выходы передаются сигналы, которые поступают на входы A. Если же на входе выборки напряжение высокого уровня, то на выходы передаются сигналы, которые поступают на входы B.

Речь здесь идет не о переключателе, а о селекторе данных. В определенный момент можно выбирать данные из двух различных информационных источников и передавать их дальше на выходы.

Обратите внимание, что эта микросхема, аналогична схеме двухполюсного переключателя, но является цифровой схемой (в отличие от КМОП схемы 4551, которая работает как с цифровыми, так и с аналоговыми сигналами).

Схема 74258 аналогична данной микросхеме, но имеет инверсные выходы.

Управление Enable	Вход выбора Select	Входы данных		Выходы \bar{Q}
		A	B	
H	X	X	X	Z
L	H	X	L	H
L	H	X	H	L
L	L	L	X	H
L	L	H	X	L

Применение

Мультиплексор, селектор данных для шинно-ориентированных систем.

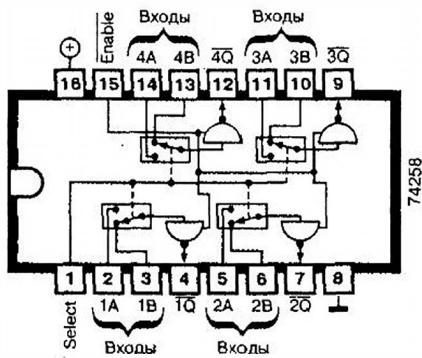
Технические данные

	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	7	3,5	4,3	12	48
Ток потребления, мА	7	17	12	12	65

Серия	Std	ALS	AS	F	H	L	LS	S
		●	●	●		●	●	●

74258

ЧЕТЫРЕ 2-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА С ИНВЕРСНЫМИ ВЫХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит четыре селектора данных (выбор одного из двух входных сигналов) с инверсными выходами.

Работа схемы

Эта микросхема по выполняемым функциям и расположению выводов совместима с микросхемой 74257 (см. выше) и отличается от последней тем, что имеет инверсные выходы $\overline{1Q}$ – $\overline{4Q}$.

Управление Enable	Вход выбора Select	Входы данных		Выходы \overline{Q}
		A	B	
H	X	X	X	Z
L	H	X	L	H
L	H	X	H	L
L	L	L	X	H
L	L	H	X	L

Применение

Мультиплексор, селектор данных.

Технические данные

Время задержки прохождения сигнала, нс

ALS

AS

F

LS

S

Ток потребления, мА

5

3

3,5

12

4

6

13

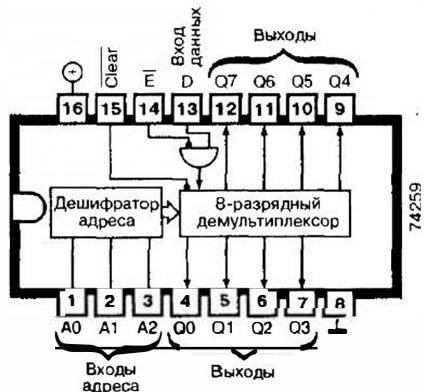
14

12

56

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●			●	●	●	

74259 8-КАНАЛЬНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР С БУФЕРНЫМ РЕГИСТРОМ, РАЗРЕШАЮЩИМ ВХОДОМ И ВХОДОМ СБРОСА



Описание

Микросхема содержит 8-канальный дешифратор/демультиплексор с буферным регистром, входом разрешения и входом сброса.

Работа схемы

С помощью входов \bar{E} (разрешение работы) и \bar{Clear} (стирание) можно задать четыре режима работы схемы:

- стирание. При подаче на вход \bar{E} сигнала высокого уровня и на вход \bar{Clear} сигнала низкого уровня на всех выходах ($Q_0 - Q_7$) формируется напряжение низкого уровня;
- при подаче на входы \bar{E} и \bar{Clear} сигнала низкого уровня микросхема работает в режиме 8-канального демультиплексора или дешифратора с выборкой одного сигнала из восьми;
- при подаче на вход \bar{E} сигнала низкого уровня и на вход \bar{Clear} сигнала высокого уровня логическое состояние адресных входов A_0 , A_1 и A_2 определяет, на какой из выходов будет передаваться информация с входа D . На всех остальных выходах сохраняется напряжение высокого уровня. (Например, если на вход A_0 подается напряжение высокого уровня, а на входы A_1 , A_2 – низкого, то на выходе Q_1 устанавливается такое же напряжение, как и на входе D , а на выходах Q_0 и $Q_2 - Q_7$ формируется напряжение низкого уровня. В этом режиме работы следует по возможности изменять не более одного двоичного разряда адреса, иначе не исключено, что микросхема будет работать неправильно.);
- при подаче на вход \bar{E} сигнала высокого уровня (на вход \bar{Clear} поступает напряжение высокого уровня) в буферный регистр записывается текущая информация. Адресные входы $A_0 - A_2$ в этом режиме больше не влияют на работу микросхемы. В этом режиме можно изменять более одного разряда адреса.

Входы		Режим работы
E	Clear	
H	L	Сброс
L	L	Дешифратор 1-8
L	H	Адресный накопитель
H	H	Хранение данных

Адресные входы			Адресуемый выход
A2	A1	A0	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7

Применение

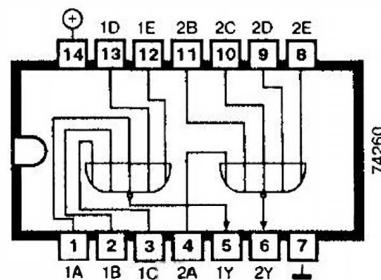
Последовательно-параллельное преобразование, демультиплексор с буферным регистром.

Технические данные

Время задержки передачи сигнала, нс	14	7,5	12,5
Ток потребления, мА	60	35	22

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●		●	●		

74260 ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ



Описание

Микросхема содержит два отдельных логических элемента ИЛИ-НЕ с пятью входами каждый.

Работа схемы

Оба логических элемента могут работать независимо друг от друга.

При подаче напряжения высокого уровня на один, несколько или все входы каждого элемента на выходе устанавливается напряжение низкого уровня. При подаче на все входы напряжения низкого уровня на выходе формируется напряжение высокого уровня.

Входы	Выход
Один или несколько входов H	L
Все входы L	H

Применение

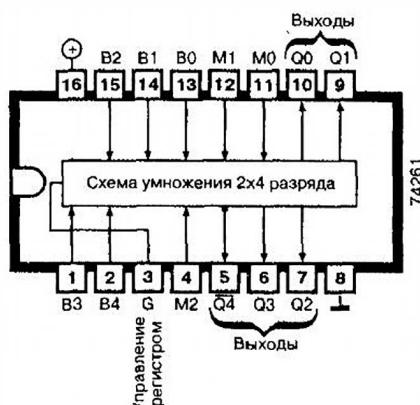
Реализация функции ИЛИ-НЕ.

Технические данные

	F	LS	S
Время задержки передачи сигнала, нс	3,5	10	4
Ток потребления, мА	6	4	22

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●	●	

74261 СХЕМА УМНОЖЕНИЯ 2x4 РАЗРЯДА



Описание

Микросхема умножает двухразрядные двоичные числа на четырехразрядные в коде с дополнением до двух, а также двухразрядные числа на двухразрядные.

Работа схемы

Множитель подается на входы M , а множимое – на входы B . В этом случае на выходах Q появляется простое произведение в коде с дополнением до единицы.

Для получения произведения в коде с дополнением до двух требуются еще два логических элемента.

Самый старший двоичный разряд произведения инвертируется. Схему можно легко расширить для выполнения операции умножения: n бит $\times m$ бит.

Входы				Выходы				
управление регистром	множитель			\bar{Q}_4	Q_3	Q_2	Q_1	Q_0
	G	M_2	M_1	M_0	Q_{4_0}	Q_{3_0}	Q_{2_0}	Q_{1_0}
L	X	X	X	Q_{4_0}	Q_{3_0}	Q_{2_0}	Q_{1_0}	Q_{0_0}
H	L	L	L	H	L	L	L	L
H	L	L	H	B4	B4	B3	B2	B1
H	L	H	L	B4	B4	B3	B2	B1
H	L	H	H	B4	B3	B2	B1	B0
H	H	L	L	B4	B3	B2	B1	B0
H	H	H	L	B4	B4	B3	B2	B1
H	H	H	H	H	L	L	L	L

$Q_{4_0} - Q_{0_0}$ – логический уровень на соответствующем выходе перед перепадом напряжения на входе G с высокого уровня на низкий
 $B4 - B0$ – логический уровень на входах множимого

Синхронный режим работы возможно осуществить с помощью буферного регистра на выходе.

Применение

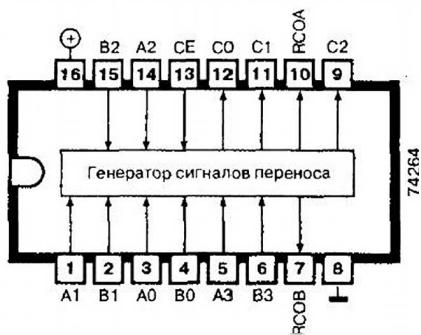
Быстродействующее параллельное умножение двоичных чисел.

Технические данные

LS

Время задержки передачи сигнала, нс 27
 Ток потребления, мА 20

74264 ГЕНЕРАТОР СИГНАЛА ПЕРЕНОСА ДЛЯ СЧЕТЧИКОВ



Описание

Микросхема специально служит для организации ускоренного формирования сигнала переноса из одного разряда в другой в нескольких n-разрядных счетчиках, благодаря чему повышается тактовая частота системы.

Работа схемы

Микросхема имеет вход разрешения переноса CE (перенос разрешен), а также выходы переноса RCOA и RCOB для n-разрядного каскадирования.

Схему можно использовать в счетчиках как с активным низким, так и с активным высоким уровнями сигнала переноса.

В счетчиках, которые срабатывают при высоком уровне сигнала переноса, на вход разрешения переноса CE подается напряжение высокого уровня – здесь используются входы А и выход RCOA, а на входы В подается напряжение низкого уровня.

В счетчиках, срабатывающих при низком уровне сигнала переноса, на вход разрешения переноса CE подается напряжение низкого уровня и используются входы В и выход RCOB. На входы А подается напряжение высокого уровня (см. схему).

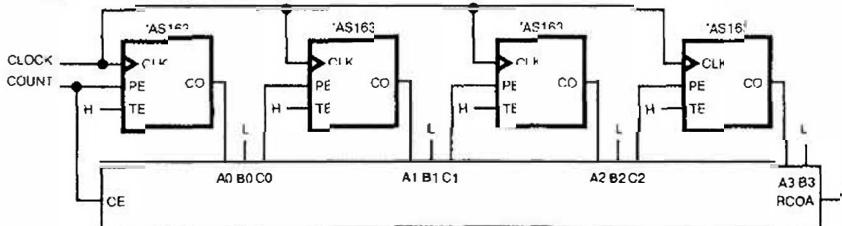


Схема 1. Активный уровень – высокий

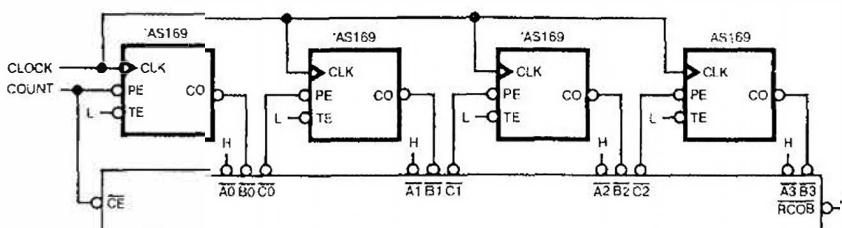


Схема 2. Активный уровень – низкий

Применение

Модуль переноса для счетчика.

Технические данные**AS**

Время задержки передачи сигнала, нс

5

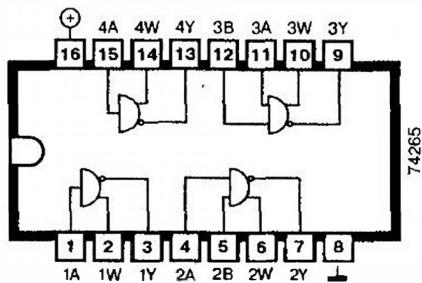
Ток потребления, мА

26

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74265

ДВА ИНВЕРТОРА И ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ С ДОПОЛНИТЕЛЬНЫМИ ВЫХОДАМИ



74265

Описание

Микросхема содержит два отдельных инвертора и два отдельных логических элемента И-НЕ с дополнительными выходами.

Работа схемы

Все четыре элемента микросхемы можно использовать независимо друг от друга.

Сигналы, поданные на выводы 1 и 15, можно снимать с соответствующих выходов в прямом или инверсном виде.

Два логических элемента с двумя входами каждый работают или как элементы И-НЕ, или как элементы И.

Логическую функцию И получают на прямых (неинверсных) выходах 6 и 10. При подаче на один или оба входа А и В напряжения низкого уровня на выходе W устанавливается напряжение низкого уровня. Если же на оба входа А и В поступает напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Логическую функцию И-НЕ получают на инверсных выходах 7 и 9. При подаче на один или оба входа А, В напряжения низкого уровня на выходе Y устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе возникает напряжение низкого уровня.

И

Входы		Выход
A	B	W
L	X	L
X	L	L
H	H	H

И-НЕ

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

Реализация инвертирующих и неинвертирующих буферов, логических операций И-НЕ; генераторы симметричных тактовых импульсов с прямыми и инверсными выходами.

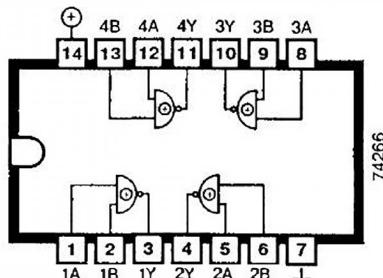
Технические данные

	Std
Время задержки прохождения сигнала, нс	10
Максимальная разница во времени задержки прохождения сигнала, нс	±3
Ток потребления, мА	25

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74266

**ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА
ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ
С ДВУМЯ ВХОДАМИ КАЖДЫЙ
(ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)**



Описание

Микросхема содержит четыре отдельных логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ с двумя входами каждый. Выходы имеют открытый коллектор.

Работа схемы

Все четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ можно использовать независимо друг от друга.

Когда сигнал высокого уровня присутствует только на одном из входов, на выходе логического элемента формируется напряжение низкого уровня. Если же на оба входа подается напряжение высокого или низкого уровня, то на выходе формируется напряжение высокого уровня.

Логический элемент можно использовать в качестве цифрового компаратора, в котором на выходе устанавливается напряжение высокого уровня при поступлении на входы сигналов одного и того же логического уровня. Если же на входы приходят сигналы разных логических уровней, то на выходе создается напряжение низкого уровня. Логический элемент может также работать как управляемый инвертор, поскольку напряжение высокого уровня на входе позволяет всегда передавать сигнал, подаваемый на второй вход, без изменения. И наоборот, напряжение низкого уровня на одном входе позволяет передавать на выход инвертирующее значение напряжения со второго входа.

Выходы с открытым коллектором дают возможность использовать микросхему в качестве 4-разрядного компаратора.

Входы		Выход
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

Применение

Реализация логической операции ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ, формирование и проверка на четность-нечетность; сумматор/вычитатель, логические компараторы.

Технические данные

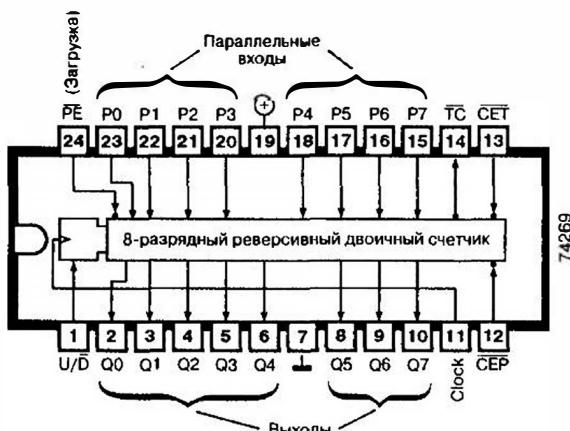
LS

Максимальное выходное напряжение, В	5,5
Время задержки прохождения сигнала, нс	18
Ток потребления, мА	8

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74269

СИНХРОННЫЙ РЕВЕРСИВНЫЙ 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК



74269

Описание

Микросхема содержит синхронный программируемый двоичный счетчик прямого и обратного действия (соответственно суммирующий и вычитающий).

Работа схемы

Счетчик работает в двоичном коде и срабатывает при каждом перепаде тактового импульса с низкого уровня на высокий (положительный фронт импульса) на выводе 11 (Clock).

При этом, когда на вывод 1 (U/D – суммирование/вычитание) подается напряжение высокого уровня, импульсы суммируются, то есть счет происходит в прямом направлении. Если на данный вывод подается напряжение низкого уровня, импульсы вычитаются, – счет идет в обратном направлении.

Установка счетчика, или программирование, осуществляется через информационные входы P_0 – P_7 . Напряжение низкого уровня на входе \bar{PE} (параллельный ввод разрешен) запирает счетчик и приводит к тому, что при следующем перепаде тактового импульса с низкого уровня на высокий данные на выходах P_0 – P_7 будут загружаться в счетчик.

Для осуществления подсчета импульсов необходимо, чтобы на выходах \bar{CEP} и \bar{SET} было напряжение низкого уровня, а на входе \bar{PE} – высокого.

\bar{PE}	\bar{CEP}	\bar{SET}	U/D	Clock	Режим работы
L	X	X	X	—	Запись данных
H	L	L	H	—	Суммирование
H	L	L	L	—	Вычитание
H	H	X	X	—	Нет изменений
H	X	H	X	—	Нет изменений

На выходе \overline{TC} в основном режиме работы устанавливается напряжение высокого уровня. На этом выходе формируется напряжение низкого уровня, когда при вычитании получают 0, или 15 – при суммировании.

Наряцывание схемы возможно без использования внешних логических элементов.

Применение

Суммирующий, вычитающий, дифференциальный счетчики, синхронный делитель частоты, аналого-цифровой и цифро-аналоговый преобразователь, программируемый двоичный счет.

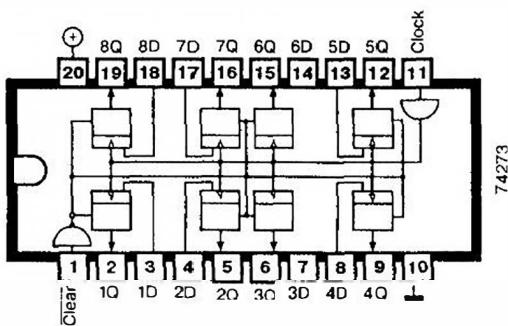
Технические данные

F

Гарантиированная частота работы счетчика, МГц	115
Ток потребления, мА	95

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74273 8-РАЗРЯДНЫЙ РЕГИСТР С ВХОДОМ СБРОСА



Описание

Микросхема служит для одновременного хранения восьми бит информации.

Работа схемы

В основном режиме работы на вывод 1 (Clear) подается напряжение высокого уровня.

Данные поступают в регистр через входы D. При перепаде тактового импульса на входе Clock с низкого уровня на высокий (положительный фронт импульса) информация записывается в регистр и появляется на соответствующих выходах Q.

Если на вывод 1 (Clear) подается кратковременный сигнал низкого уровня, то и на всех выходах устанавливается напряжение низкого уровня.

Входы			Выход Q
Clear	Clock	D	
L	X	X	L
H	—	H	H
H	—	L	L
H	L	X	Нет изменений
H	H	X	Нет изменений
H	—	X	Нет изменений

Применение

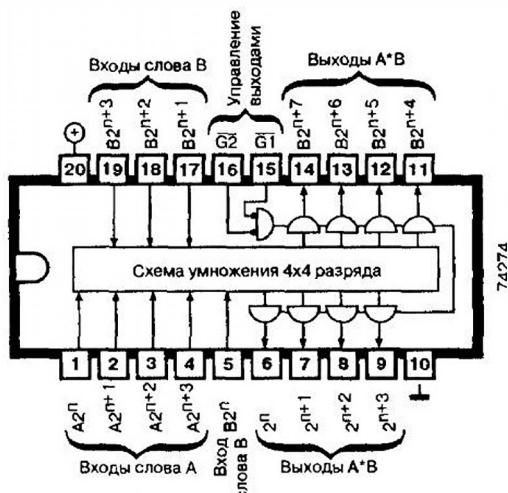
Буферные регистры, регистры сдвига, генераторы двоичного кода.

Технические данные

	Std	ALS	F	LS	S
Максимальная тактовая частота, МГц	30	35	145	30	95
Время задержки прохождения сигнала, нс	17,5	16	7,5	17,5	10
Ток потребления, мА	62	15	66	17	109

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74274 СХЕМА УМНОЖЕНИЯ 4x4 РАЗРЯДА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема позволяет умножать 4-разрядные двоичные числа. Схема имеет выходы с тремя состояниями.

Работа схемы

4-разрядные слова А и В, которые должны быть перемножены, поступают на соответствующие входы схемы. 8-разрядное произведение получают на выходах без использования дополнительных внешних функциональных элементов.

Все выходы переходят в высокоомное (третье) состояние, когда на входы $\overline{G1}$ и/или $G2$ подается напряжение высокого уровня.

Если длина вводимого слова превышает 4 бита, то схему можно легко расширить, соединяя несколько микросхем 74274 в каскады (каскадирование). В этом случае образующиеся частичные произведения объединяют в древовидную схему Уолласа с целью получения окончательной величины произведения. Более подробно об этом можно узнать из соответствующей документации.

Применение

Быстродействующее параллельное умножение двоичных чисел.

Технические данные

5

Время задержки прохождения сигнала, ис

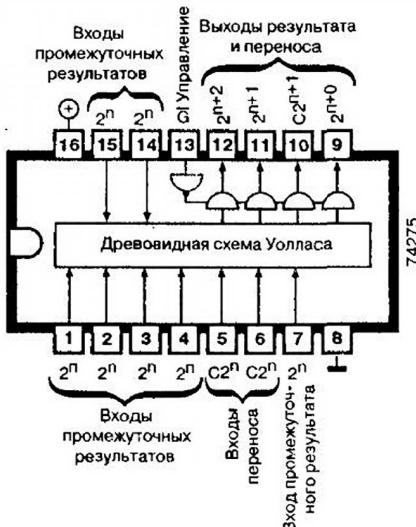
50

Ток потребления, мА

105

74275

7-РАЗРЯДНАЯ ДРЕВОВИДНАЯ СХЕМА УОЛЛАСА (ТРИ СОСТОЯНИЯ)



74275

Описание

Микросхема служит для объединения частичных произведений по древовидной схеме Уолласа при параллельном умножении двоичных чисел.

Работа схемы

Данная микросхема, которую можно расширить путем соединения нескольких подобных микросхем в каскады, позволяет получить до семи входов частичных произведений и до двух входов сигнала переноса для подключения схем умножения. Данные с этих входов выводятся на четыре шины.

Все выходы переходят в высокоомное (третье) состояние, когда на вход \bar{G} поступает сигнал высокого уровня.

Более подробная информация о схеме умножения приводится в соответствующей документации.

Применение

Объединение частичных произведений при параллельном умножении бинарных чисел.

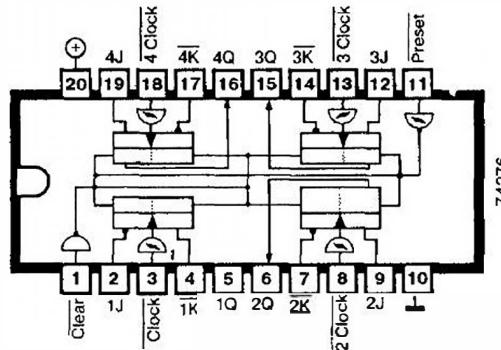
Технические данные

	LS	S
Время задержки прохождения сигнала, нс	40	50
Ток потребления, мА	25	125

Серия	Std	ALS	AS	F	H	L	LS	S	
							●	●	

74276

ЧЕТЫРЕ JK-ТРИГГЕРА С ОБЩИМИ ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит четыре отдельных JK-триггера с инверсным входом K, входами начальной установки и сброса.

Работа схемы

Входные данные запоминаются триггером при перепаде тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт). Входы тактовых импульсов имеют буферный каскад на триггерах Шмитта с передаточной функцией, которая надежно обеспечивает включение триггера тактовым сигналом с пологими фронтами.

Если на вход J подается напряжение высокого уровня, а на вход \bar{K} – низкого уровня, то соответствующий триггер при каждом отрицательном фронте тактового импульса будет переходить из одного состояния в другое, вследствие чего возможно деление частоты на два.

Инвертирующий вход \bar{K} позволяет использовать эту микросхему в качестве D-триггера (элемента задержки), если соединить входы J и \bar{K} .

Входы предварительной установки (Preset) и сброса (Clear) работают асинхронно, то есть независимо от всех других входов. Когда на вход Preset поступает напряжение низкого уровня, то на всех выходах Q устанавливается напряжение высокого уровня. При подаче на вход Clear напряжения низкого уровня на выходах Q формируется напряжение низкого уровня.

Вход Preset также имеет буферный каскад на триггере Шмитта.

Входы					Выход Q
Preset	Clear	Clock	J	K	
L	H	X	X	X	H
H	L	X	X	X	L
L	L	X	X	X	H*
H	H	—	L	L	L
H	H	—	H	L	Переключение
H	H	—	L	H	Нет изменений
H	H	—	H	H	H
H	H	L	X	X	Нет изменений

*Неустойчивое состояние

Применение

Регистры, счетчики, схемы управления.

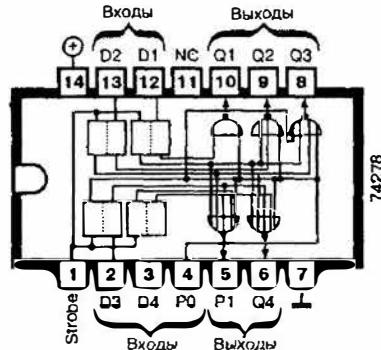
Технические данные

Std

Максимальная тактовая частота, МГц	35
Время задержки прохождения сигнала, нс	18
Ток потребления, мА	60

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74278 БУФЕРНЫЙ РЕГИСТР СО СХЕМОЙ ПРИОРИТЕТА



Описание

Данные поступают в эту микросхему через пять информационных входов, у каждого из которых своя степень приоритета.

Работа схемы

Микросхема состоит из четырех буферных регистров для хранения данных, стробирующей схемы для приоритетного кодирования, а также логического элемента для каскадного включения.

Данные самого старшего двоичного разряда, поступающие на один из входов D, появляются на соответствующем выходе Q. При этом на вход стробирующих импульсов Strobe подается напряжение высокого уровня. При поступлении на вход Strobe напряжения низкого уровня все данные записываются в буферный регистр. Вход данных P0 имеет наивысший приоритет перед всеми другими информационными входами. При каскадном включении схемы для модуля с самым старшим двоичным разрядом на вход P0 нужно подавать напряжение низкого уровня. Выход P1 подключается к входу P0 следующего модуля.

Вход приоритета P0	Стробирующий вход Strobe	Информационные входы				Выходы				Приоритетный выход P1
		D1	D2	D3	D4	Q1	Q2	Q3	Q4	
L	H	H	X	X	X	H	L	L	L	H
L	H	L	H	X	X	L	H	L	L	H
L	H	L	L	H	X	L	L	H	L	H
L	H	L	L	L	H	L	L	L	H	H
L	H	L	L	L	L	L	L	L	L	L
L	L	X	X	X	X	Записанные в память данные сохраняются				
H	L	X	X	X	X	L	L	L	L	H
H	H	Данные поступают в регистр				L	L	L	L	H

Информационные входы по своему приоритету внутри одного модуля располагаются в такой последовательности: D1, D2, D3, D4.

Применение

Приоритетное прерывание, синхронная приоритетная выборка сигналов.

Технические данные

Std

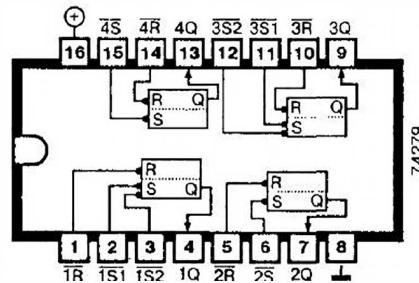
Время задержки прохождения сигнала, ис

35

Ток потребления, мА

55

74279 ЧЕТЫРЕ RS-ТРИГГЕРА



Описание

Микросхема содержит четыре RS-триггера с инверсными входами. Два из четырех триггеров (1 и 3) имеют по два \bar{S} -входа каждый.

Работа схемы

Входы сигнала установки \bar{S} и входы сброса \bar{R} микросхемы – инверсные. При подаче на один из входов S кратковременного сигнала низкого уровня в то время, когда на входе R установлено напряжение высокого уровня, на соответствующем выходе Q появляется такое же напряжение.

При поступлении на вход \bar{R} напряжения низкого уровня соответствующий выход Q переходит в аналогичное состояние. Если на входы \bar{S} и \bar{R} одного триггера одновременно приходит напряжение низкого уровня, то на соответствующем выходе Q устанавливается напряжение высокого уровня. Но такое состояние выхода не сохраняется, если на вход \bar{S} и/или \bar{R} снова поступает напряжение высокого уровня.

Если на входы S и R одновременно подать напряжение высокого уровня, на соответствующем выходе Q сохраняется напряжение того уровня, который был там прежде – иными словами, происходит запоминание информации.

Для обоих триггеров 1 и 3 справедливо следующее: если напряжение высокого уровня подается на оба входа \bar{S} , то и на вход триггера поступает такое напряжение; если напряжение низкого уровня поступает на один или на оба входа \bar{S} , то и на входе триггера формируется такое напряжение.

Входы		Выход
\bar{S}	\bar{R}	Q
H	H	Q_0
L	H	H
H	L	L
L	L	H

Q_0 – уровень установленный на выходе Q до подачи на входы S и R сигналов с указанными уровнями

Применение

Считывание и запись данных или промежуточных результатов в системах.

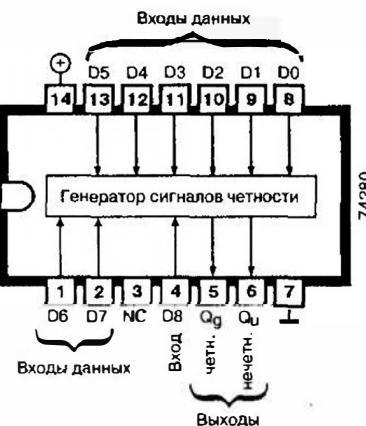
Технические данные

	Std	LS
Время задержки прохождения сигнала, нс	13	13
Ток потребления, мА	18	4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74280

9-РАЗРЯДНЫЙ ГЕНЕРАТОР СИГНАЛОВ ЧЕТНОСТИ/СХЕМА КОНТРОЛЯ ЧЕТНОСТИ



Описание

Микросхема содержит генератор сигналов четности (схему проверки на четность) для 9-разрядных двоичных слов (8 информационных бит + 1 контрольный разряд четности).

Работа схемы

9-разрядные двоичные слова через информационные входы D0 – D8 проходят сравнительный контроль, и на выходах Q_g и Q_c формируются сигналы, указывающие, является ли информация четной или нечетной.

Проверяемое слово поступает на входы D0 – D8.

Если напряжение высокого уровня подается на четное количество информационных входов D, то на выходе Q_g устанавливается напряжение высокого уровня, а на выходе Q_c – низкого. Когда напряжение высокого уровня подается на нечетное количество информационных входов D, то на выходе Q_g формируется напряжение высокого уровня, а на выходе Q_c – низкого.

Хотя схема 74280 не имеет входов для расширения (как в 74180), эта функция выполняется с помощью вывода 4, а также вывода 3, который не связан ни с каким блоком внутри схемы. Благодаря этому схему 74180 можно заменить на 74280; принцип работы аналогичен, когда обе схемы используются совместно.

Количество входов D0 – D8, на которые подается напряжение высокого уровня H	Выходы	
	четные	нечетные
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H

Применение

Формирование контрольного разряда четности и проверка наличия ошибки при передаче данных.

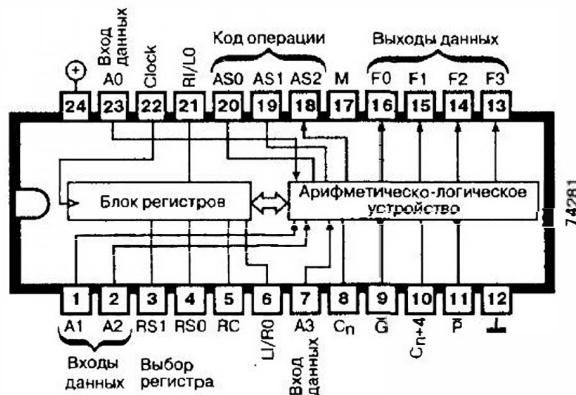
Технические данные

Время задержки прохождения сигнала, нс	14	7,5	9	33	14
Ток потребления, мА	9	17	26	16	67

Серия	Std	ALS	AS	F	H	L	LS	S
	●	●	●				●	●

74281

4-РАЗРЯДНОЕ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО



Описание

Микросхема содержит арифметико-логическое устройство (АЛУ), которое может выполнять восемь арифметических и семь логических операций, а также арифметические и логические операции сдвига.

Работа схемы

Арифметико-логическое устройство управляется с помощью трех входов AS0, AS1, AS2 (выбор функции) и входа M (режим работы). Вход сигнала переноса C_n и выходы \bar{P} и \bar{G} служат для непосредственного подключения к схеме генератора сигналов переноса 74S182.

Регистровая матрица используется для логических и арифметических операций сдвига в любом направлении, для параллельного ввода (загрузки) и хранения данных. Управление регистрами осуществляется через вход RC и входы RSO и RS1 (выбор регистра). Соединение в каскады происходит с помощью выходов RI/LO и LI/RO.

Входы кода операции АЛУ			Выходы данных при активном высоком уровне M (M = L)	
AS2	AS1	AS0	$C_n = H$ (есть перенос)	$C_n = L$ (нет переноса)
L	L	L	$F_0 = L, F_1 = F_2 = F_3 = H$	$F_n = H$
L	L	H	$F = B \text{ минус } A$	$F = B \text{ минус } A \text{ минус } 1$
L	H	L	$F = A \text{ минус } B$	$F = A \text{ минус } B \text{ минус } 1$
L	H	H	$F = A \text{ плюс } B \text{ плюс } 1$	$F = A \text{ плюс } B$
H	L	L	$F = \bar{B} \text{ плюс } 1$	$F_n = \bar{B}_n$
H	L	H	$F = B \text{ плюс } 1$	$F_n = B_n$
H	H	L	$F = \bar{A} \text{ плюс } 1$	$F_n = \bar{A}_n$
H	H	H	$F = A \text{ плюс } 1$	$F_n = A_n$

Входы кода операции АЛУ			Выходы данных при активном высоком уровне H (M = H)
AS2	AS1	AS0	
L	L	L	$F_n = L$
L	X	H	$F_n = A_n \oplus B_n$
L	H	L	$F_n = \overline{A_n} \oplus B_n$
H	L	L	$F_n = A_n B_n$
H	L	H	$F_n = \overline{A_n} + B_n$
H	H	L	$F_n = \overline{A_n} B_n$
H	H	H	$F_n = A_n + B_n$

Функция	Входы до ↑							Выходы после ↑							вход/выход		
	выбор регистра		вход управления регистром RC	вход	входы данных			вход/выход	вход тактовых импульсов	вход/выход	выходы матрицы переноса (B-выходы АЛУ)						
	RSO	RS2			F0	F1	F2	F3	LI/RO		QA	QB	QC	QD			
LOAD	L	L	X	Z	f0	f1	f2	f3	Z	↑	Z	f0	f1	f2	f3	Z	
LSL	L	H	L	Q _A	Q _A	Q _B	Q _C	Q _D	li	↑	Q _{Bn}	Q _{Bn}	Q _C	Q _{Dn}	li	li	
LSA	L	H	H	Q _A	Q _A	Q _B	Q _C	Q _D	li	↑	Q _{Bn}	Q _{Bn}	Q _C	li	Q _{D0}	li	
RSL	H	L	L	ri	Q _A	Q _B	Q _C	Q _D	Q _D	↑	ri	ri	Q _A	Q _{Bn}	Q _{Cn}	Q _{Cn}	
RSA	H	L	H	ri	Q _A	Q _B	Q _C	Q _D	Q _C	↑	ri	ri	Q _A	Q _{Bn}	Q _{D0}	Q _{Bn}	
HOLD	H	H	X	X	Q _A	Q _B	Q _C	Q _D	X	↑	Z	RI/LO	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	Z
	X	X	X	X	Q _A	Q _B	Q _C	Q _D	X	L	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	Q _{D0}	LI/RO	

$$C_n = M = AS0 = AS1 = L; AS2 = H (F_n = B_n)$$

Применение

Арифметико-логическое устройство.

Технические данные

S

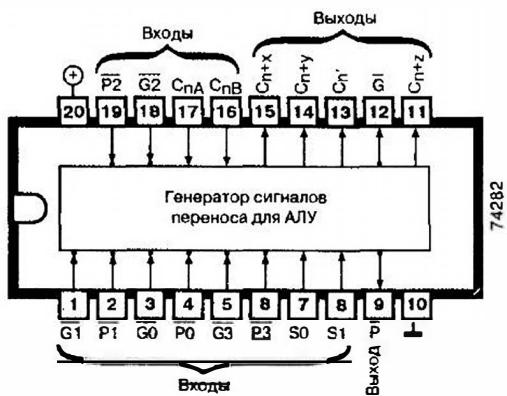
Время суммирования для 4 бит, нс

18

Ток потребления, мА

144

74282 ГЕНЕРАТОР СИГНАЛА ПЕРЕНОСА



Описание

Микросхема представляет собой быстродействующее устройство переноса с параллельным расширением и специально используется для работы с микросхемой АЛУ 74181.

Работа схемы

Этот модуль позволяет осуществить ускоренный перенос для четырех двоичных сумматоров и может быть расширен до n бит.

Микросхема принимает до четырех пар сигналов на входах сигнала переноса $P_0 - P_3$ (активный уровень напряжения – низкий), на входах генерирования переноса $\bar{G}_0 - \bar{G}_3$ (активный уровень напряжения – низкий), а также на входе переноса (активный уровень напряжения – высокий). Сигналы переноса C_{n+x} , C_{n+y} , C_{n+z} затем подаются с опережением на четыре группы двоичных сумматоров.

Данная микросхема по своему функциональному назначению аналогична 74182, но разница в том, что в схеме 74282 вход переноса (C_n) выбирается через входы C_{nA} , C_{nB} и дополнительные инверсные входы \bar{C}_{nA} и \bar{C}_{nB} .

Входы		Выход C_n'
S1	S0	C_{nA}
L	L	\bar{C}_{nA}
L	H	\bar{C}_{nB}
H	L	C_{nB}
H	H	\bar{C}_{nB}

Применение

Формирование сигнала переноса для АЛУ 74181.

Технические данные

Время задержки прохождения сигнала, нс

AS

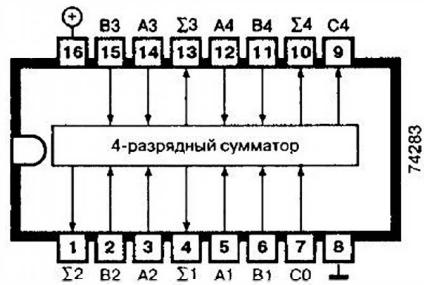
6

Ток потребления, мА

22

Серия	Std	ALS	AS	F	H	L	LS	S	
			●						

74283 4-РАЗРЯДНЫЙ ПОЛНЫЙ СУММАТОР



Описание

Микросхема содержит полный сумматор, который суммирует два 4-разрядных двоичных числа с учетом переноса.

Работа схемы

Первый операнд подается на входы A1 – A4: младший разряд – на A1, старший – на A4.

Второй операнд подается на входы B1 – B4: младший разряд – на B1, старший – на B4.

Сумма обоих чисел формируется на выходах Σ_1 – Σ_4 : младший разряд – на Σ_1 , старший – на Σ_4 .

Когда результат суммирования превысит в десятичной системе счисления число 15 (в двоичной системе – 1111), то на выходе сигнала переноса C4 появляется напряжение высокого уровня.

Вход сигнала переноса C0 должен быть соединен с общим проводом, если используются только 4-разрядные числа.

Если же речь идет о 8-разрядном числе (четыре старших разряда), то вход C0 соединяется с выходом C4 предшествующей ступени (младший разряд).

По выполняемым функциям данная микросхема аналогична схеме 7483, но имеет другое расположение выводов.

Входы								Выходы											
								Если $C_0 = L$				Если $C_0 = H$							
Если $C_2 = L$		Если $C_2 = H$		Если $C_2 = L$		Если $C_2 = H$		Если $C_2 = L$		Если $C_2 = H$		Если $C_2 = L$		Если $C_2 = H$					
A1	A3	B1	B3	A2	A4	B2	B4	Σ_1	Σ_3	Σ_2	Σ_4	C_2	C_4	Σ_1	Σ_3	Σ_2	Σ_4	C_2	C_4
L	L	L	L	L	L	L	L	H	L	L	L	H	L	L	L	L	L	L	
H	L	L	L	L	H	L	L	L	L	L	L	L	H	L	L	H	L	L	
L	H	L	L	H	L	L	L	L	H	L	L	L	H	L	H	L	L	L	
H	H	L	L	L	H	H	L	L	H	L	H	H	H	H	L	H	L	L	
L	L	H	L	L	L	H	L	L	H	L	H	H	H	H	L	H	H	L	
H	L	H	L	H	H	H	L	L	H	L	L	L	L	H	L	L	H	H	
L	H	H	L	H	H	H	L	H	L	H	L	L	L	L	H	H	L	L	
H	H	H	L	L	L	L	H	L	H	L	L	H	H	L	L	H	L	H	
L	L	L	H	H	L	H	L	H	L	H	L	H	H	H	L	H	L	L	
H	L	L	H	H	H	H	H	H	H	L	L	L	L	L	H	L	L	H	
L	H	L	H	H	H	H	H	H	H	L	L	L	L	L	H	L	L	H	
H	H	L	H	H	H	H	H	L	L	H	H	H	H	H	L	L	H	H	
L	L	H	H	H	H	H	H	L	L	H	H	H	H	H	L	H	L	H	
H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H	H	H	
L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	L	H	H	H	
H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	

Подача напряжения высокого и низкого уровней на входы A1, B1, A2, B2 и C0 формирует напряжение высокого и низкого уровней на выходах Σ_1 , Σ_2 и выходе внутреннего переноса C_2 .

Подача напряжения высокого и низкого уровней на входы C2, A3, B3, A4 и B4 используются для формирования напряжения высокого и низкого уровней на выходах Σ_3 , Σ_4 и C4.

Применение

Быстрое суммирование двоичных чисел.

Технические данные

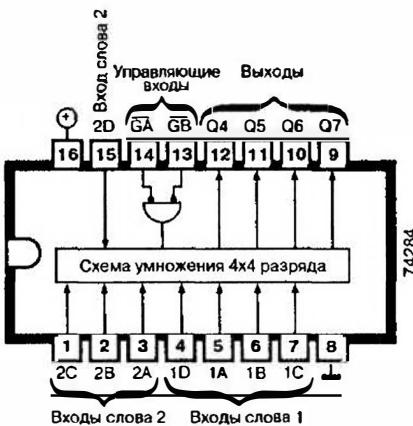
Время суммирования (для 8 бит), нс
Ток потребления, мА

Std F LS S

23 7 25 15
62 36 19 102

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		●	●			●	●	

74284 СХЕМА УМНОЖЕНИЯ 4x4 РАЗРЯДА (ОТКРЫТЫЙ КОЛЛЕКТОР, 40 мкA)

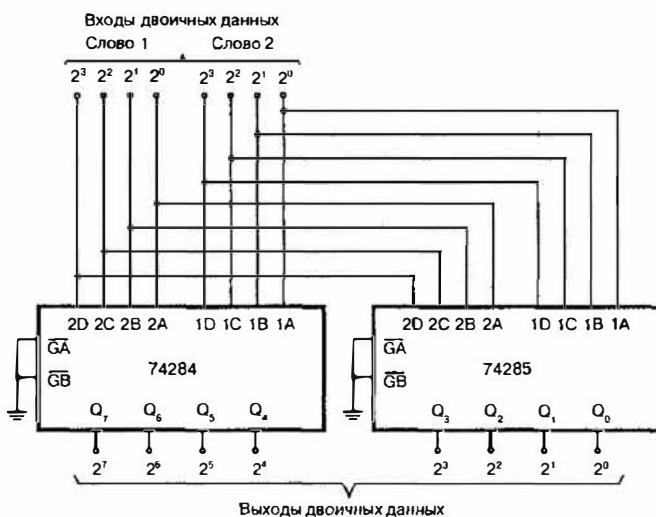


Описание

Данная микросхема вместе с 74285 образует схему, которая служит для умножения 4-разрядных чисел. Выходы имеют открытый коллектор.

Работа схемы

Совместное включение микросхем 74284 и 74285 производится согласно приведенной ниже принципиальной схеме соединений. Для более длинных слов функциональные блоки соединяются в каскады, и результаты суммируются с помощью древовидной схемы Уолласа.



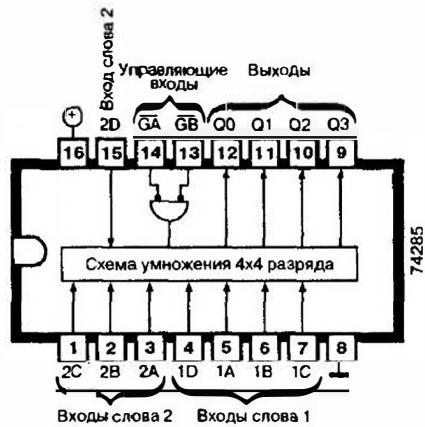
Применение

Быстродействующий умножитель для слов любой длины.

Технические данные

Максимальное выходное напряжение, В	5,5
Время задержки прохождения сигнала, нс	40
Ток потребления, мА	92

74285 СХЕМА УМНОЖЕНИЯ 4x4 РАЗРЯДА (ОТКРЫТЫЙ КОЛЛЕКТОР, 40 мкА)

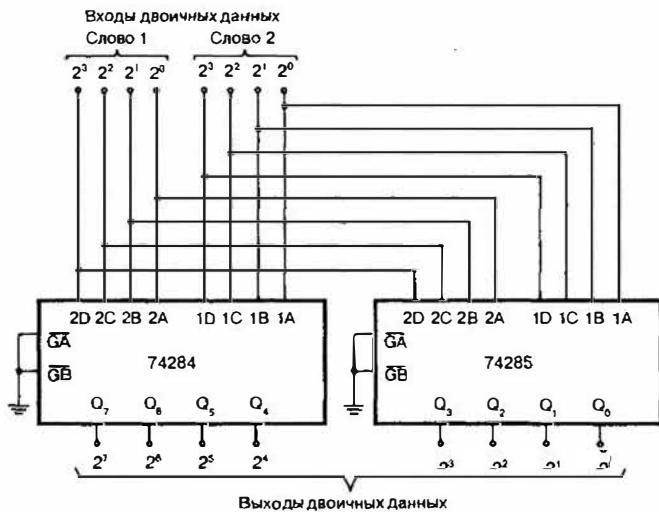


Описание

Данная микросхема вместе с 74284 образует схему, которая служит для умножения 4-разрядных чисел. Выходы имеют открытый коллектор.

Работа схемы

Совместное включение модулей 74284 и 74285 производится согласно приведенной ниже принципиальной схеме соединений. Для более длинных слов функциональные блоки соединяются в каскады и результаты суммируются с помощью древовидной схемы Уолласа.



Применение

Быстродействующий умножитель для слов любой длины.

Технические данные

Максимальное выходное напряжение, В

Std

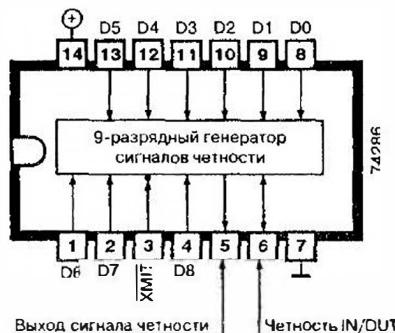
Время задержки прохождения сигнала, нс

40

Ток потребления, мА

92

74286 9-РАЗРЯДНЫЙ ГЕНЕРАТОР СИГНАЛА ЧЕТНОСТИ/СХЕМА ПРОВЕРКИ ЧЕТНОСТИ



Описание

Микросхема содержит генератор сигналов четности/контрольное устройство четности на 9 бит (8 информационных бит + 1 контрольный разряд четности). Возможно каскадное включение схемы.

Работа схемы

9-разрядные двоичные слова, поступая на информационные входы D0 – D8, проходят сравнительный контроль, и на выводе 5 формируется сигнал, указывающий четность или нечетность.

Для проверки четного количества двоичных разрядов с напряжением высокого уровня на входах (проверка на четность) на вывод 6 подается напряжение высокого уровня. Для проверки нечетного количества разрядов с напряжением высокого уровня на входах схемы (проверка на нечетность) на вывод 6 подается напряжение низкого уровня. Высокий уровень напряжения на выходе 5 показывает соответственно нечетное или четное число разрядов с напряжением высокого уровня на входах.

Вход управляющего сигнала XMIT служит для каскадного включения схемы. Если на вход XMIT подается напряжение низкого уровня, то древовидная схема четности оказывается запертой, и на выводе 5 устанавливается напряжение высокого уровня независимо от уровня напряжения на остальных входах.

Вход управления (вывод 6) выполнен так, что при включении или выключении рабочего напряжения он сохраняет высокоомное (третье) состояние, а следовательно, не создает сигналов помех.

Эта микросхема аналогична 74280, но имеет двунаправленный порт Е/А.

Количество входов D0 – D8, на которые подается напряжение высокого уровня H	XMIT	Вход/выход сигнала четности (вывод 6)	Ошибка четности (вывод 5)
0, 2, 4, 6, 8	L	H	H
1, 3, 5, 7, 9	L	L	H
0, 2, 4, 6, 8	H	H	H
	H	L	L
1, 3, 5, 7, 9	H	H	L
	H	L	H

Применение

Формирование контрольного разряда четности и проверка наличия ошибки при передаче данных.

Технические данные

AS

Время задержки прохождения сигнала, нс

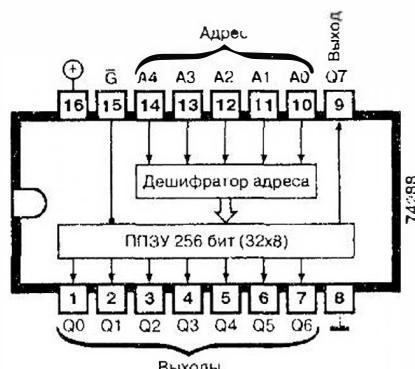
9

Ток потребления, мА

32

Серия	Std	ALS	AS	F	H	L	LS	S	
			●	●					

74288 ПЗУ, 256 БИТ (32x8, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит программируемое постоянное запоминающее устройство (ППЗУ) с объемом памяти 256 бит, организованной в 32 слова по восемь разрядов каждое (32×8).

Работа схемы

Необходимое слово выбирается с помощью адресных входов $A_0 - A_4$. Записанная при программировании информация устанавливается на выходах $Q_0 - Q_7$.

Выходы имеют открытый коллектор, поэтому между выходами и цепью питания с напряжением +5 В необходимо подключить внешнее сопротивление.

В незапрограммированном состоянии на всех выходах формируется напряжение низкого уровня.

Для программирования на схему подается стандартное рабочее напряжение +5 В, а на адресные входы – слово, которое требуется запрограммировать. Затем выходы отключаются путем подачи на вход G напряжения высокого уровня. При этом программируется всего лишь один бит информации, и процесс программирования других битов одного слова повторяется. Между выходами, которые не должны программироваться, и цепью питания с напряжением +5 В подключается сопротивление 3,9 кОм. На выход, работа которого программируется, подается напряжение 0,25 В (0–0,3 В, максимальный ток 150 мА), после чего рабочее напряжение ППЗУ повышается до 9,25 В (максимальный ток 750 мА). Вслед за этим на вход \bar{G} в течение 1 мкс – 1 мс (пределы установлены документацией) подается напряжение низкого, а затем высокого уровня. В следующую миллисекунду слова включается рабочее напряжение ППЗУ +5 В. Те же операции повторяются на остальных выходах, которые предстоит программировать.

Микросхема 74288 аналогична 74188 и отличается от последней наличием выходов с тремя состояниями. Если на вход \bar{G} подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Применение

Постоянное запоминающее устройство, формирование любых логических функций и напряжений сложных видов.

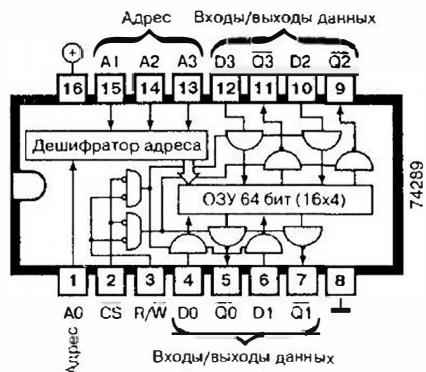
Технические данные

S

Время выборки, ис

Ток потребления, мА 80

74289 ОЗУ С ОБЪЕМОМ ПАМЯТИ 64 БИТА (16×4, ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит быстродействующее оперативное запоминающее устройство (ОЗУ) с объемом памяти 64 бита (16 слов по 4 бита каждое: 16×4) и с выходами с открытым коллектором.

Работа схемы

Необходимая ячейка памяти, куда записывается или откуда считывается информация, выбирается через адресные входы A0 – A3. Для уменьшения нагрузки на шину у адресных входов предусмотрены буферы.

Данные, предназначенные для записи, подаются на информационные входы D0 – D3, а на входы CS (выбор кристалла) и R/W (чтение/запись) подается напряжение низкого уровня. При этом выходы отключаются, переходя в состояние с высоким уровнем напряжения.

Для считывания информации на вход R/W подается сигнал высокого уровня, а на входе CS сохраняется напряжение низкого уровня. Тогда информация, хранящаяся в адресной ячейке памяти, поступает на выходы Q0 – Q3 в инверсном виде.

Если на вход CS поступает сигнал высокого уровня, то ОЗУ запирается и выходы переходят в состояние с высоким уровнем напряжения независимо от логического уровня входа R/W.

Данная микросхема аналогична схеме 74189 с выходами, имеющими три состояния.

Режим работы	Входы		Выходы
	CS	R/W	
Запись	L	L	Отключены (высокий уровень)
Считывание	L	H	Обратный код записанных данных
Хранение	H	X	Отключены (высокий уровень)

Применение

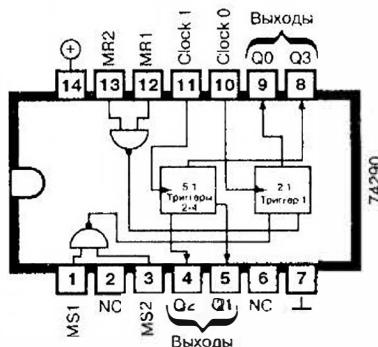
Буферное запоминающее устройство для 4-разрядных чисел.

Технические данные

	F	LS	S
Время выборки из ЗУ, нс	18	50	25
Ток потребления, мА	43	35	75

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●	●	

74290 ДЕСЯТИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит делитель частоты на два и делитель частоты на пять.

Работа схемы

Микросхема состоит из четырех триггеров, внутренне связанных друг с другом таким образом, что образуется два счетчика-делителя: один делитель – на два и другой – на пять. Все триггеры имеют один общий вход сброса Reset, с помощью которого показания счетчиков могут в любое время сбрасываться, то есть устанавливаться в 0.

Первый триггер внутренне не связан с остальными ступенями, благодаря чему возможны следующие варианты использования счетчика:

- счет до 10. Для этого выход Q_0 соединяется с входом тактовых импульсов $Clock\ 1$. Входной сигнал подается на вход $Clock\ 0$, а выходной снимается с выхода Q_3 . Эта схема считает в двоичном коде до девяти и на десятом импульсе возвращается в нулевое состояние. Выводы 1, 3 и 12, 13 должны быть при этом соединены с общим проводом;
- счет до двух и счет до пяти. Триггер 1 используется в качестве делителя на два (2:1), а триггеры 2, 3 и 4 работают как делитель на пять (5:1);
- симметричный двоично-пятеричный делитель 10:1: выход Q_3 соединен с входом $Clock\ 0$. В качестве входа тактовых импульсов используется $Clock\ 1$. В этом случае на выходе Q_0 получают импульсный сигнал прямоугольной формы с частотой в 10 раз меньшей, чем на входе.

Входы сброса/установки				Выходы			
MR1	MR2	MS1	MS2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Счет			
X	L	X	L	Счет			
L	X	X	L	Счет			
X	L	L	X	Счет			

Переключение схемы всегда происходит по отрицательному фронту тактового импульса. Через входы MS1 и MS2 происходит установка всех триггеров счетчика в нулевое состояние, а также остановка счета.

Применение

Счетчик и делитель частоты 2:1, 5:1 и 10:1.

Технические данные

Максимальная тактовая частота, МГц:

	Std	LS
первого триггера	32	32
остальных триггеров	16	16

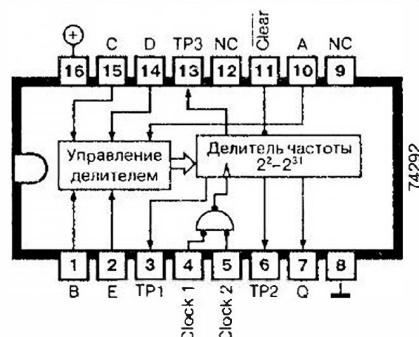
Ток потребления, мА

32 9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74292

ПРОГРАММИРУЕМЫЙ СЧЕТЧИК/ ДЕЛИТЕЛЬ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ 2^{30}



Описание

Микросхема содержит программируемый двоичный делитель частоты с коэффициентом деления от 2^3 до 2^{31} .

Работа схемы

Запуск схемы происходит при перепаде тактового импульса с низкого уровня на высокий (положительный фронт) на выводе 4 или 5. При этом на другой вход тактовых импульсов должно подаваться напряжение низкого уровня. Если на входе будет напряжение высокого уровня, то подача тактовых импульсов блокируется.

В основном режиме работы на вход сброса Clear подается напряжение высокого уровня. Если же на этот вход придет кратковременный сигнал низкого уровня, то все триггеры обнуляются и на выходе Q установится напряжение низкого уровня.

Коэффициент деления устанавливается через программируемые входы A–E (A имеет самый младший разряд). Делитель заперт, когда на эти входы поступает напряжение следующих уровней: EDCBA = LLLL и EDCBA = LLLLH, иначе говоря, когда на входы E, D, C, B, подается напряжение низкого уровня.

При состоянии входов $EDCBA = LLLHL$ коэффициент деления равен 2^2 , при $EDCBA = LHHHN$ эта величина составляет 2^{15} , а при $EDCBA = HHNNH$ – 2^{31} .

В контрольных точках ТР1 – ТР3 можно контролировать работу схемы. Например, когда на программируемых входах EDCBA устанавливается напряжение уровня LLLL, то коэффициент деления в точке ТР1 составляет 2^6 , в точке ТР2 – 2^{17} и в контрольной точке ТР3 – 2^2 . Данные о коэффициентах деления в контрольных точках берутся из технического паспорта производителя микросхемы. Контрольные точки предназначены лишь для измерения параметров, а не для подключения нагрузки.

Используя схему в качестве таймера, скажем, при частоте колебаний на входе в 1 МГц и коэффициенте деления 2³¹, можно задать величину периода колебаний 35.79 мин. Период увеличивается до необходимой величины путем каскадного подключения к данной схеме аналогичных микросхем.

Схема 74294 с коэффициентом деления от 2^2 до 2^{15} аналогична данной.

Clear	Clock 1	Clock 2	Режим работы
L	X	X	Сброс
H		L	Счёт
H	L		Счёт
H	H	X	Блокировка
H	X	H	Блокировка

Применение

Делитель частоты, таймер.

Технические данные

LS

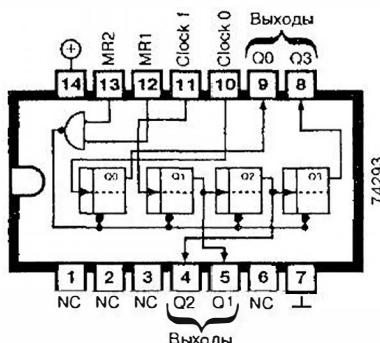
Максимальная тактовая частота, МГц

50

Ток потребления, мА

40

74293 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит делитель частоты на два и делитель частоты на восемь.

Работа схемы

Микросхема состоит из четырех триггеров. Они внутренне связаны таким образом, что образуются два счетчика-делителя: один на два и другой на восемь.

Все триггеры имеют один общий вход сброса Reset, с помощью которого показания счетчиков могут в любое время сбрасываться, то есть устанавливаться в 0, при этом выводы 12 и 13 находятся в состоянии с напряжением высокого уровня.

Первый триггер внутренне не связан с остальными ступенями, благодаря чему возможны следующие варианты использования схемы:

- счет до 16. Для этого выход Q0 соединяется с входом тактовых импульсов Clock;
- Входная частота подается на вход Clock 0, а выходная частота снимается с выхода Q3. Эта схема считает в двоичном коде до 16 (0–15) и на шестнадцатом импульсе возвращается в пульсное состояние;
- счет до двух и счет до восьми. Триггер 1 используется в качестве делителя на два (2:1), а триггеры 2, 3 и 4 работают как делители на восемь (8:1).

Переключение схемы всегда происходит по отрицательному фронту тактового импульса. В основном режиме работы по крайней мере один из двух входов – MR1 или MR2 – соединяется с общим проводом.

Входы сброса		Выходы			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H			Счет	
H	L			Счет	
L	L			Счет	

Применение

Счетчик и делитель 2:1, 8:1 и 16:1.

Технические данные

Максимальная тактовая частота, МГц:

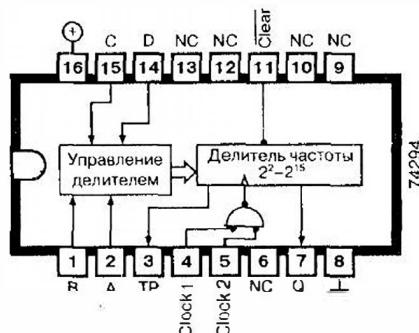
первого триггера	32	32
------------------	----	----

остальных триггеров	16	16
---------------------	----	----

Ток потребления, мА	26	9
---------------------	----	---

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74294 ПРОГРАММИРУЕМЫЙ СЧЕТЧИК/ ДЕЛИТЕЛЬ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ 2^{16}



Описание

Микросхема содержит программируемый двоичный делитель частоты с коэффициентом деления от 2^2 до 2^{15} .

Работа схемы

Запуск схемы происходит при перепаде тактового импульса с низкого уровня на высокий (положительный фронт) на выводе 4 или 5. При этом на другой вход тактовых импульсов должно подаваться напряжение низкого уровня. Если там установить напряжение высокого уровня, то подача тактовых импульсов будет блокирована.

В основном режиме работы на вход сброса Clear поступает напряжение высокого уровня. Если на этот вход послать кратковременный сигнал низкого уровня, то все триггеры обнуляются и на выходе Q сформируется напряжение низкого уровня.

Коэффициент деления устанавливается через программируемые входы А–Д (А имеет самый малдший разряд). Делитель занерг, когда на этих входах напряжения следующих уровней: DCBA = LLLL и DCBA = LLLH, иначе говоря, когда на входах D, C, B, подается напряжение низкого уровня.

При DCBA = LLHL коэффициент деления равен 2^2 , при DCBA = HLLL эта величина составляет 2^8 (256), а при DCBA = HHНН (на всех выходах установлено напряжение высокого уровня) – 2^{15} .

Работа схемы проверяется по сигналу на выходе ТР. Например, когда на программируемые входы DCBA подается напряжение уровней от LLHL до LHHL, коэффициент деления в точке ТР равен 2^8 ; если на выходах устанавливается напряжение уровней от HLLL до HHНН, то коэффициент деления изменяется от 2^2 до 2^9 . Контрольная точка служит лишь для измерения параметров, а не для подключения нагрузки.

Микросхема может быть парапенена путем каскадного подключения к ней необходимого количества аналогичных схем.

Схема 74292 с коэффициентом деления от 2^2 до 2^{31} аналогична данной.

<u>Clear</u>	Clock 1	Clock 2	Режим работы
L	X	X	Сброс
H		L	Счёт
H	L		Счёт
H	H	X	Блокировка
H	X	H	Блокировка

Применение

Делитель частоты, таймер.

Технические данные

LS

Максимальная тактовая частота, МГц

50

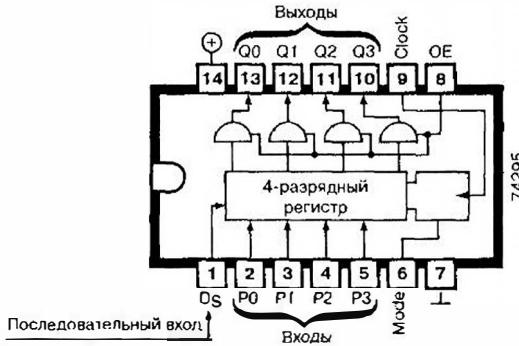
Ток потребления, мА

30

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74295

4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА, ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЕ ВХОД И ВЫХОД (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит 4-разрядный регистр сдвига с последовательными и параллельными входами и выходами информации. Выходы можно перевести в третье (высокоомное) состояние.

Работа схемы

Если на входе режима работы Mode, также часто обозначаемого PE (параллельный ввод информации), установлено напряжение высокого уровня, то при переходе напряжения с высокого уровня на низкий (отрицательный фронт) на входе тактовых импульсов Clock данные на параллельных входах P0 – P3 синхронно загружаются в регистр. Во время параллельного ввода информации в регистр последовательные входы данных заперты.

Когда же на вход Mode подается напряжение низкого уровня, то при каждом переходе тактового импульса с низкого уровня на высокий данные с последовательного информационного входа D_S сдвигаются в регистр и поступают на выход Q0. При этом информация с выхода Q0 сдвигается на выход Q1, с выхода Q1 – на выход Q2 и с него – на выход Q3.

Если на вход OE подается напряжение высокого уровня, то информация, содержащаяся в регистре, поступает на выходы Q0 – Q3. При напряжении низкого уровня на входе OE выходы переходят в высокоомное (третье) состояние. Работа выходных буферов с тремя состояниями не зависит от режима работы регистра, то есть состояние выходов не влияет на последовательную или параллельную передачу информации в регистре. При подключении к выходам нескольких регистров следует обратить внимание на то, чтобы все регистры, кроме одного, в это время находились в высокоомном (третьем) состоянии.

Сдвиг данных влево на выходе возможен, если выход Q1 соединить с входом P0, выход Q2 с входом P1 и выход Q3 с входом P2. При этом информация последовательно вводится на вход P3.

Применение

Запоминающее устройство, преобразователь параллельного кода в последовательный и последовательного кода – в параллельный.

Технические данные

LS

Максимальная частота импульсов сдвига, МГц

30

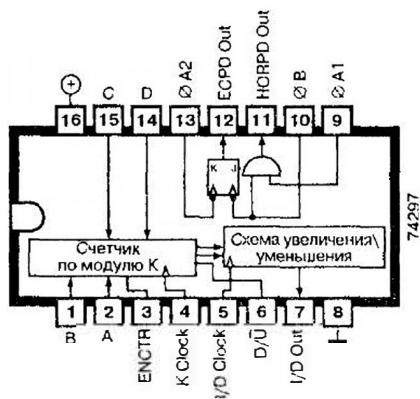
Ток потребления, мА

18

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74297

МОДУЛЬ ФАЗОВОЙ ЦИФРОВОЙ АВТОМАТИЧЕСКОЙ ПОДСТРОЙКИ ЧАСТОТЫ (ФАПЧ)



Описание

Микросхема содержит программируемый счетчик по модулю К, а также два фазовых детектора для включения контура фазовой автоподстройки частоты (контура ФАПЧ).

Работа схемы

Длина реверсивного счетчика (число разрядов счетчика) по модулю К программируется через входы А–Д. Напряжение низкого уровня на всех четырех входах запирает счетчик. Если на четырех входах устанавливается напряжение уровней LLLH, то коэффициент счета $K = 2^3$, если на четырех входах устанавливается напряжение уровней LLHL, то коэффициент счета $K = 2^4$ и т.д.; если на всех четырех входах устанавливается напряжение высокого уровня HHHH, коэффициент счета $K = 2^{17}$. Чем меньше коэффициент счета, тем короче счетчик, вследствие чего ширина полосы частот или диапазон приема счетчика увеличивается, а время настройки контура ФАПЧ уменьшается. При максимальном значении коэффициента счета К (максимальное число каскадов равно 17) ширина полосы частот уменьшается, а необходимое для настройки контура время увеличивается. Счетчик суммирует импульсы, когда на вход D/U (вычитание/суммирование) поступает сигнал высокого уровня, и вычитает импульсы при подаче на этот вход напряжения низкого уровня.

Для выполнения различных функций можно использовать фазовый детектор с логическим элементом ИСКЛЮЧАЮЩЕЕ ИЛИ (XORPD) или детектор ESPD с JK-триггером, запускаемым отрицательным фронтом тактового импульса (ESPD – фазовый детектор, управляемый фронтом импульса).

Контуры можно соединять в каскады.

D	C	B	A	Коэффициент счета K
L	L	L	L	Счетчик отключен
L	L	L	H	2^3
L	L	H	L	2^4
L	L	H	H	2^5
L	H	L	L	2^6
L	H	L	H	2^7
L	H	H	L	2^8
L	H	H	H	2^9
H	L	L	L	2^{10}
H	L	L	H	2^{11}
H	L	H	L	2^{12}
H	L	H	H	2^{13}
H	H	L	L	2^{14}
H	H	L	H	2^{15}
H	H	H	L	2^{16}
H	H	H	H	2^{17}

$\emptyset A2$	$\emptyset B$	Выход ECPD
Н или L	—	H
—	Н или L	L
Н или L	—	Нет изменений
—	Н или L	Нет изменений

$\emptyset A1$	$\emptyset B$	Выход XORPD
L	L	L
L	H	H
H	L	H
H	H	L

Применение

Схема контура фазовой автоподстройки частоты (контура ФАПЧ) для синтезатора частоты.

Технические данные

LS

Максимальная тактовая частота, МГц:

вход Clock K 50

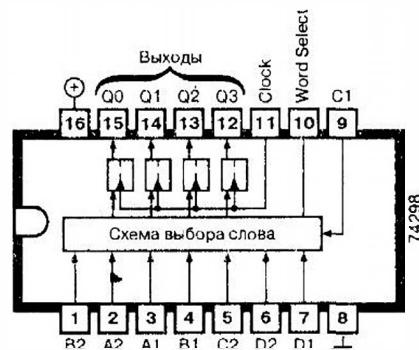
вход Clock I/D 35

Ток потребления, мА 75

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74298

ЧЕТЫРЕ СЕЛЕКТОРА ДАННЫХ/МУЛЬТИПЛЕКСОРА (1 ИЗ 2) С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема позволяет из двух 4-разрядных источников данных выбрать один и хранить выбранные данные в буферном регистре.

Работа схемы

Кроме нескольких логических элементов для выборки 4-разрядных данных эта микросхема содержит еще и четыре триггера для хранения выбранной информации.

Когда на вход выборки необходимых 4-разрядных данных (Word Select) подается напряжение низкого уровня, слово А (то есть данные на входах A0, A1, A2 и A3) по отрицательному фронту тактового импульса записывается в триггеры и поступает на выходы Q0, Q1, Q2 и Q3.

Напряжение высокого уровня на входе Word Select оказывает такое же действие на данные, поступающие на входы B0, B1, B2 и B3.

Если на вход Clock приходит сигнал высокого уровня, то записанная информация сохраняется независимо от логического уровня на выводе 10 (Word Select).

Входы		Выходы
Word Select	Clock	Q0 – Q3
L	—	A0 – A3
H	—	B0 – B3

A0 – A3, B0 – B3 – логический уровень соответствующих информационных входов

Применение

Выборка данных или мультиплексная передача 4-разрядных слов, двоично-десятичный регистр сдвига.

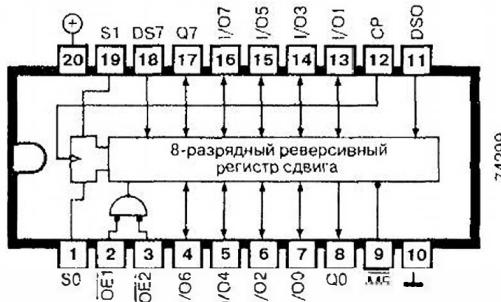
Технические данные

	Std	AS	F	LS
Максимальная тактовая частота, МГц	30	100	115	30
Ток потребления, мА	19	22	30	13

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		●	●			●		

74299

8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВЛЕВО/ ВПРАВО (ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЕ ВХОД И ВЫХОД) С АСИНХРОННЫМ СБРОСОМ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит универсальный регистр сдвига влево/вправо с параллельным и последовательным вводом/выводом информации, имеющий возможность хранения информации.

Работа схемы

С помощью входов S0 и S1 можно установить четыре режима работы схемы (см. таблицу).

Сдвиг информации в регистре происходит по положительному фронту тактового импульса. С помощью входа сброса MR возможен асинхронный сброс данных при подаче на этот вывод кратковременного импульса напряжения низкого уровня.

Выходы переходят в высокоомное (третье) состояние, когда на один или оба входа OE подается напряжение высокого уровня.

Специальные выходы Q0 и Q7 позволяют соединять в каскады несколько микросхем. Кроме того, схема имеет раздельные последовательные входы для сдвига информации влево (вход DS7) и вправо (вход DS0).

Если на входы S0 и S1 поступает напряжение высокого уровня, то находящиеся в регистре данные записываются в память независимо от состояния всех остальных входов.

Аналогичная схема с синхронным сбросом данных – 74323.

Входы				Функция
MR	S1	S0	CP	
L	X	X	X	Асинхронный сброс: Q0 = Q7 = L (низкий уровень)
H	H	H	—	Параллельный ввод данных: I/O \Rightarrow Qn
H	L	H	—	Сдвиг вправо: DS7 \Rightarrow Q0, Q0 \Rightarrow Q1 и т.д.
H	H	L	—	Сдвиг влево: DS7 \Rightarrow Q7, Q7 \Rightarrow Q6 и т.д.
H	L	L	X	Хранение

Применение

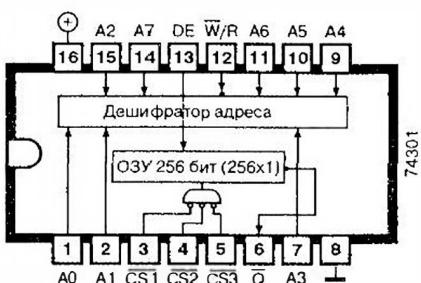
Регистр сдвига, буферный накопитель, накапливающий регистр.

Технические данные

	ALS	AS	F	LS	S
Максимальная частота сдвига, МГц	30		100	25	50
Ток потребления, мА	20	95	68	35	140

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●	●	

74301 ОЗУ, 256 БИТ (256×1, ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит ОЗУ (оперативное запоминающее устройство) с объемом памяти 256 бит (256 машинных слов по одному биту каждое: 256×1) и выход с открытой коллектором.

Работа схемы

Необходимая ячейка памяти от 0 до 255 выбирается через входы адреса A0 – A7.

Информация, поступившая на вход данных DE, записывается в память в случае, когда на все три входа CS1 – CS3 (выбор кристалла) и вход W/R (запись/чтение) подается напряжение низкого уровня. При этом выход Q отключается.

Для считывания информации на входы CS1 – CS3 снова подается напряжение низкого уровня, а на вход W/R – высокого. Тогда информация, хранящаяся в адресной ячейке, появляется на выходе Q в инверсном виде.

Запоминающее устройство заперто, если, по крайней мере, на один из входов CS подано напряжение высокого уровня. При этом на входе W/R может быть напряжение любого уровня. В этом случае выход Q отключается.

Аналогичная схема, но имеющая выход с тремя состояниями, – 74201.

Функция	CS	W/R	Выход Q
Запись	L	L	Высокоомный
Считывание	L	H	Обратный код записанной информации
Хранение	H	X	Высокоомный

Применение

Быстродействующее буферное запоминающее устройство.

Технические данные

S

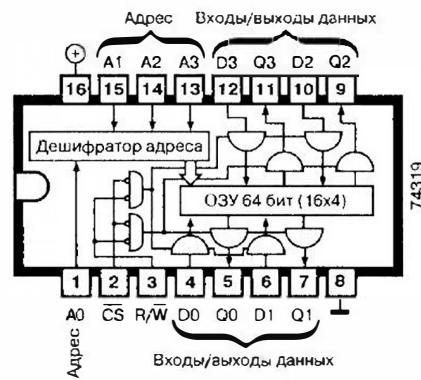
Максимальное выходное напряжение, В 5,5

Время выборки из ОЗУ, нс 42

Ток потребления, мА 100

Серия	Std	ALS	AS	F	H	L	LS	S	

74319 ОЗУ, 64 БИТА (16x4, ОТКРЫТЫЙ КОЛЛЕКТОР)



74319

Описание

Микросхема содержит быстродействующее ОЗУ (оперативное запоминающее устройство) с объемом памяти 64 бита (16 машинных слов по 4 бита каждое: 16×4) и выходы с открытым коллектором.

Работа схемы

Необходимая ячейка памяти, куда записывается или откуда считывается информация, выбирается через адресные входы A0 – A3. Для уменьшения нагрузки на адресную шину у адресных входов предусмотрен буфер.

Данные для записи поступают на информационные входы D0 – D3; на вход CS (выбор кристалла) и на вход R/W (считывание/запись) подается напряжение низкого уровня. При этом выходы отключаются.

Для считывания информации на входе R/W должно быть напряжение высокого уровня, а на входе CS – низкого. Тогда информация, хранящаяся в адресуемой ячейке памяти, поступает на выходы Q0 – Q3.

При напряжении высокого уровня на входе CS ОЗУ запирается независимо от логического уровня сигнала на входе R/W.

Аналогичная схема, но имеющая выход с тремя состояниями, – 74219.

Режим работы	Входы		Выходы
	CS	R/W	
Запись	L	L	Z
Считывание	L	H	Записанные данные
Хранение	H	X	Z

Применение

Буферное запоминающее устройство для 4-разрядных чисел.

Технические данные

LS

Максимальное выходное напряжение, В 5,5

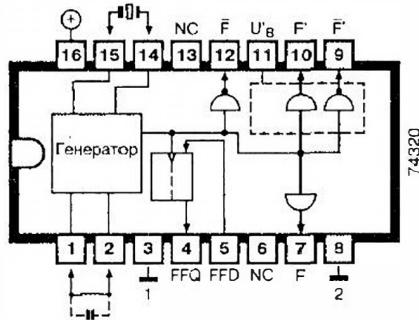
Время выборки из ОЗУ, нс 50

Ток потребления, мА 35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74320

ГЕНЕРАТОР ИМПУЛЬСОВ (МУЛЬТИВИБРАТОР) С КВАРЦЕВОЙ СТАБИЛИЗАЦИЕЙ ЧАСТОТЫ И С ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит генератор импульсов с кварцевой стабилизацией частоты и с противофазными выходами.

Работа схемы

Кварцевый резонатор требуемой частоты (до 30 МГц) подключается к выводам 14 и 15. Катушка индуктивности (5–150 мкГн) кварцевого генератора с основной волной – первой гармоникой – подсоединяется к выводам 1 и 2. Если используется кварцевый генератор с третьей гармоникой, то к выводам 1 и 2 следует подсоединить колебательный контур, настроенный на требуемую частоту.

Кроме генератора, микросхема содержит триггер для синхронизации работы схемы. На выходах \bar{F} и F появляются стандартные сигналы с коэффициентом разветвления по выходу, равным 20.

Выходы задающего устройства F' и \bar{F}' имеют очень низкое полное сопротивление: коэффициент разветвления по выходу равен 60 при напряжении низкого уровня. Поэтому они предназначены для управления цепей, сильно нагруженных емкостями. Если эти выходы не используются, то вывод U_B оставляют открытым.

Вследствие внутреннего взаимодействия выходов задающего устройства с другими выходами частота импульсов ограничена по верхнему значению.

Она равна 20 МГц, когда в микросхеме задействованы или стандартные выходы, или выходы задающего устройства. Если работают одновременно все выходы схемы, то максимальное значение рабочей частоты составляет 10 МГц.

Аналогичная схема 74321 имеет два дополнительных делителя частоты 2:1 и 4:1.

Применение

Генератор с кварцевой стабилизацией частоты, генератор тактовых импульсов для микропроцессоров с двухфазным тактовым сигналом.

Технические данные**LS**

Максимальная тактовая частота, МГц

20

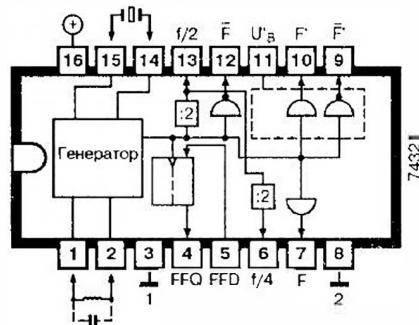
Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74321

ГЕНЕРАТОР ИМПУЛЬСОВ С КВАРЦЕВОЙ СТАБИЛИЗАЦИЕЙ ЧАСТОТЫ, С ПРОТИВОФАЗНЫМИ ВЫХОДАМИ И ДЕЛИТЕЛЕМ ЧАСТОТЫ



Описание

Микросхема содержит генератор импульсов с кварцевой стабилизацией частоты и с противофазными выходами задающего устройства, а также два двоичных делителя частоты.

Работа схемы

Кварцевый резонатор требуемой частоты (до 20 МГц) подключается к выводам 14 и 15. Катушка индуктивности (5–150 мкГн) кварцевого генератора с основной волной – первой гармоникой – подсоединяется к выводам 1 и 2. Если используется кварцевый генератор с третьей гармоникой, то к выводам 1 и 2 следует подключить колебательный контур, настроенный на требуемую частоту.

Кроме генератора, микросхема содержит триггер для синхронизации работы схемы. На выходах F и F' появляются стандартные сигналы с коэффициентом разветвления по выходу, равным 20.

Выходы задающего устройства F' и F'' имеют очень низкое полное сопротивление: коэффициент разветвления по выходу равен 60 при напряжении пикового уровня. Поэтому они предназначены для управления цепей, сильно нагруженных емкостями. Если эти выходы не используются, то вывод U_B оставляют открытым.

Вследствие внутреннего взаимодействия выходов задающего устройства с другими выходами частота импульсов ограничена по верхнему значению. Она равна 20 МГц, если в микросхеме задействованы стандартные выходы или выходы задающего устройства. Если работают одновременно все выходы, максимальное значение частоты составляет 10 МГц.

В отличие от схемы 74320, данная микросхема содержит еще два делителя частоты – 2:1 и 4:1.

Применение

Генератор с кварцевой стабилизацией частоты, генератор тактовых импульсов для микропроцессоров с двухфазным тактовым сигналом.

Технические данные

F LS

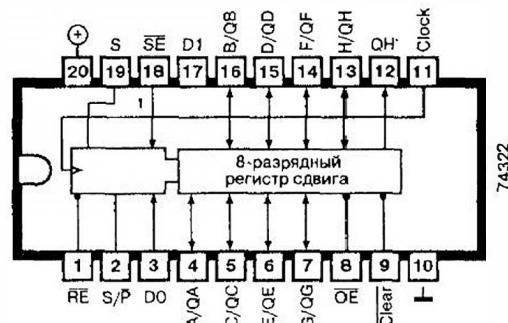
Максимальная тактовая частота, МГц 90 25

Ток потребления, мА 60 33

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74322

**8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА
(ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЕ ВХОД
И ВЫХОД) С АСИНХРОННЫМ СБРОСОМ
(ТРИ СОСТОЯНИЯ)**



74322

Описание

Микросхема содержит 8-разрядный регистр сдвига вправо с возможностью последовательного и параллельного ввода информации и многоканальными портами ввода-вывода данных.

Работа схемы

Последовательный ввод данных в регистр осуществляется через входы D0 и D1 в зависимости от сигнала на входе S (выбор данных). При подаче напряжения низкого уровня на входе S принимаются данные с входа D0, а при напряжении высокого уровня на входе S – с входа D1.

Поступление данных в регистр и их сдвиг в регистре вправо происходит при переходе напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт).

Последовательный вывод информации осуществляется через выход QH'. Синхронная параллельная загрузка информации происходит, когда на входы $\bar{R}E$ (работа регистра разрешена) и S/\bar{P} (последовательный/параллельный) подается напряжение низкого уровня. Благодаря этому трехстабильные входы/выходы переходят в режим ввода данных. Данные с этих входов поступают в регистр по положительному фронту тактового импульса. Выход расширения знакового разряда (вывод 18, SE) повторяет знаковый разряд триггера QA во время сдвига данных в регистре. Этот вывод служит для подсоединения к схеме умножителя 8-разрядных чисел и схемы умножения 74LS384.

Применение	Параллельно-последовательный и последовательно-параллельный преобразователь данных для схемы умножения.							
Технические данные	F LS Максимальная тактовая частота, МГц Ток потребления, мА							
Серия	Std	ALS	AS	F	H	L	LS	S

Режим работы	Входы							Входы/Выходы			Выход
	CLR	RE	S/P	SE	S	OE	CLK	A/Q _A	B/Q _B	C/Q _C ... H/Q _H	
Сброс	L	H	X	X	X	L	X	L	L	L	L
	L	X	H	X	X	L	X	L	L	L	L
Хранение данных	H	H	X	X	X	L	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{H0}
	H	L	H	H	L	L	График	D0	Q _{An}	Q _{Bn}	Q _{Gn}
Сдвиг вправо	H	L	H	H	H	L	График	D1	Q _{An}	Q _{Bn}	Q _{Gn}
	H	L	H	L	X	L	График	Q _{An}	Q _{Bn}	Q _{Gn}	Q _{Gn}
Расширение знакового разряда	H	L	H	L	X	L	График	Q _{An}	Q _{An}	Q _{Bn}	Q _{Gn}
Ввод данных	H	L	L	X	X	X	График	a	b	c	h

Если на выводе OE (выход разрешен) установлено напряжение высокого уровня, то все входы/выходы заперты, поскольку они находятся в высокомоментном (третьем) состоянии; однако это не оказывает влияния на последующий режим работы или сброс регистров. Если на оба входа RE и S/P и вход сброса Clear подается напряжение низкого уровня, то регистры устанавливаются в исходное состояние, а восемь входов/выходов при этом запираются и находятся в высокомоментном (третьем) состоянии

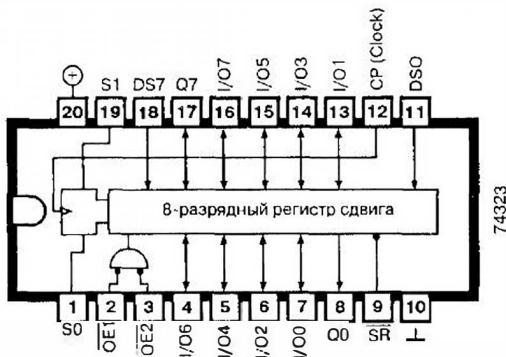
$Q_{A0} - Q_{H0}$ – логический уровень выходов QA – QH перед их переходом в указанные стабильные состояния

$Q_{An} - Q_{Bn}$ – логический уровень выходов QA – QH перед последним положительным фронтом тактового импульса

D0, D1 – логический уровень входов D0 и D1

a–h – логический уровень входов A–H

74323 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВЛЕВО/ ВПРАВО (ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЕ ВХОД И ВЫХОД) С СИНХРОННЫМ СБРОСОМ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит универсальный регистр сдвига влево/вправо с параллельным и последовательным вводом и выводом информации.

Работа схемы

С помощью входов S_0 и S_1 можно установить четыре режима работы схемы (см. таблицу).

Информация в регистре сдвигается по положительному фронту тактового импульса. С помощью входа \bar{SR} возможно осуществить синхронный сброс, подав на него напряжение низкого уровня. При следующем положительном фронте тактового импульса регистр устанавливается в исходное положение.

Выходы переходят в высокомое (третье) состояние, когда на один или оба входа OE поступает напряжение высокого уровня.

Специальные выходы Q_0 и Q_7 позволяют соединять в каскады несколько микросхем. Кроме того, схема имеет раздельные последовательные входы для сдвига информации влево (вход DS_7) и сдвига вправо (вход DS_0).

Если на входы S_0 и S_1 подается напряжение высокого уровня, то данные загружаются в регистр независимо от состояния всех остальных входов.

Аналогичная схема с асинхронным сбросом данных – 74299.

Входы				Функция
\bar{SR}	S_1	S_0	CP	
L	X	X	X	Синхронный сброс: $Q_0 - Q_7 = L$ (низкий уровень)
H	H	H	—	Параллельный ввод данных: $I/Q_n \Rightarrow Q_n$
H	L	H	—	Сдвиг вправо: $DS_0 \Rightarrow Q_0, Q_0 \Rightarrow Q_1$ и т.д.
H	H	L	—	Сдвиг влево: $DS_7 \Rightarrow Q_7, Q_7 \Rightarrow Q_6$ и т.д.
H	L	L	X	Хранение

Применение

Регистр сдвига, буферный накопитель, накапливающий регистр.

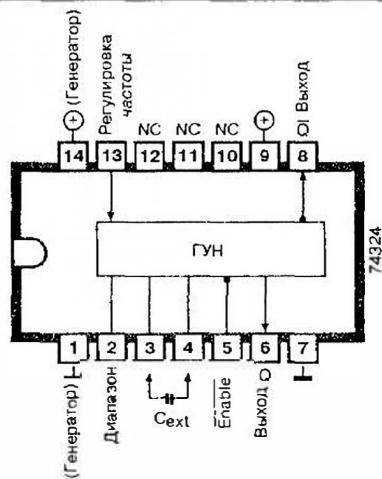
Технические данные

	ALS	AS	F	LS
Максимальная частота сдвига, МГц	30		100	25
Ток потребления, мА	20	95	68	35

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●		

74324

ГЕНЕРАТОР ИМПУЛЬСОВ, УПРАВЛЯЕМЫЙ НАПРЯЖЕНИЕМ, С ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит генератор импульсов, управляемый напряжением (ГУН), с разрешающим входом и противофазными выходами.

Работа схемы

Частота колебаний на выходе генератора задается с помощью специального функционального элемента, или конденсатора, или кварца и двух входных сигналов: один вход ~ для регулирования частотного диапазона, а другой вход – для установки частоты.

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ex},$$

где f – частота, Гц;

C_{ex} – емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении 0 В на выводе 2 (частотный диапазон), напряжении 0–5 В на выводе 13 (регулирование частоты) частота на выходе может варьироваться в пределах от 2 до 12 МГц. При напряжении 5 В на выводе 2 диапазон изменений частоты составляет примерно 1–6 МГц.

При использовании кварцевого резонатора вместо конденсатора в качестве элемента, задающего частоту колебаний, на выводы 2 и 3 следует подать напряжение +5 В.

Генератор можно запустить, подавая на разрешающий вход Enable напряжение низкого уровня, и заблокировать, подавая на этот вход напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет около 1:1.

Для генератора и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 15 и 8 – для генератора, 16 и 9 – для схем управления).

Улучшенный вариант данной микросхемы – схема 74624.

Применение

Генераторы импульсов, контуры фазовой автономстройки частоты (ФАПЧ).

Технические данные

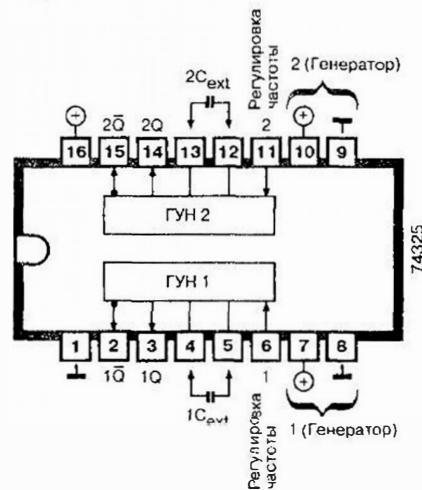
Диапазон частот генератора	1 Гц – 20 МГц
Ток потребления, мА	18

LS

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74325

ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ, С ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН) с противофазными выходами.

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, или конденсатора, или кварца и входного сигнала (для регулировки частоты).

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext}$$

где f – частота, Гц;

C_{ext} – емкость внешнего конденсатора, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении 0–5 В на выводе 6 или 11 частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для емкости 15 пФ – от 4 до 25 МГц.

При использовании кварцевого резонатора вместо конденсатора в качестве элемента, задающего частоту колебаний, на вывод 6 или 11 следует подать напряжение +5 В.

Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно 1:1.

Для генераторов импульсов и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления: выводы 7, 8 и 9, 10 – для генераторов, 1 и 16 – для схем управления.

Улучшенный вариант данной микросхемы – схема 74625.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

Диапазон частот генератора

LS

1 Гц – 20 МГц

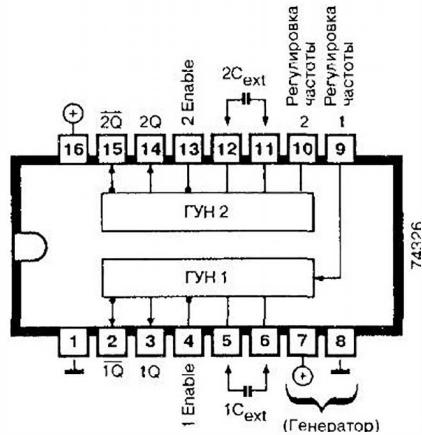
Ток потребления, мА

30

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74326

ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ, С РАЗРЕШАЮЩИМИ ВХОДАМИ И ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН) с разрешающими входами и комплементарными (дополняющими) выходами.

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, или конденсатора, или кварца и входного устройства, управляемого напряжением (для регулировки частоты).

Рабочий частотный диапазон генератора колеблется в пределах от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext},$$

где f – частота, Гц

C_{ext} – выходная емкость, Ф

Например, для конденсатора емкостью 50 пФ при напряжении от 0 до +5 В на выводе 9 (или 10) частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для 15 пФ – от 4 до 25 МГц.

При использовании кварцевого резонатора вместо конденсатора в качестве элемента, задающего частоту колебаний, на вывод 9 (или 10) следует подать напряжение +5 В.

Генератор можно запустить, если на разрешающем входе Enable будет напряжение низкого уровня, и заблокировать, подавая на этот вход напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной.

Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно 1:1.

Для генераторов импульсов и схемы управления предусмотрены раздельные входы для напряжения питания и заземления: выводы 7 и 8 – для генераторов, 16 и 1 – для схем управления.

Улучшенный вариант данной микросхемы – схема 74626.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

Диапазон частот генератора

LS

1 Гц – 20 МГц

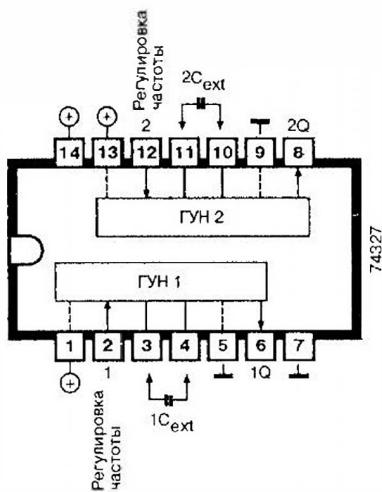
Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74327

ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН).

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, или конденсатора, или кварца и устройства, управляемого напряжением (для регулировки частоты).

Рабочий частотный диапазон генераторов колеблется в пределах от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext},$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении от 0 до +5 В на выводе 2 (или 12) частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для емкости 15 пФ – от 4 до 25 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на вывод 2 (или 12) следует подать напряжение +5 В.

Благодаря внутренней синхронизации длительность первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно два.

Для генератора импульсов и схемы управления предусмотрены раздельные входы для напряжения питания и заземления: выводы 1 и 5 – для генератора ГУН 1; 9 и 13 – для генератора ГУН 2.

Улучшенный вариант данной микросхемы – схема 74627.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

Диапазон частот генератора

LS

1 Гц – 20 МГц

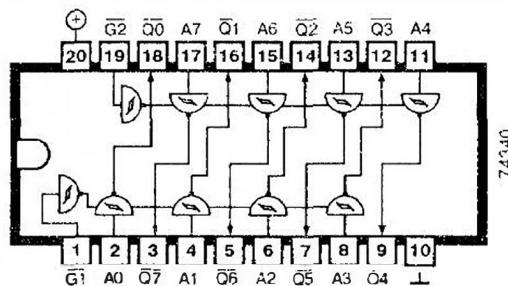
Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74340

ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь инвертирующих буферов шины с выходами, имеющими три состояния.

Работа схемы

Данные на входе А появляются на соответствующем выходе \bar{Q} в инверсном виде, когда на соответствующий управляющий вход \bar{G} подается напряжение низкого уровня. Если на вход \bar{G} поступает напряжение высокого уровня, то выходы переходят в высокоомное (третье) состояние.

Буфера шины объединены в две группы. Входы A0 – A3, образующие первую группу, управляются общим входом $\bar{G}1$. Ко второй группе относятся входы A4 – A7, управляемые входом $\bar{G}2$.

Волновое сопротивление подключенных линий должно быть не менее 133 Ом.

Все входы имеют формирователи цифровых сигналов на триггерах Шmittта, поэтому микросхема очень хорошо подходит для приема сигналов на зашумленных каналах.

Когда на выходах устанавливается напряжение высокого уровня, выходной ток может иметь величину 15 мА, а при напряжении низкого уровня – достигать значения 64 мА.

Данная микросхема по выполняемым функциям и по расположению выводов совместима с микросхемой 74240 и отличается от нее тем, что выходной ток схемы 74240 при напряжении низкого уровня составляет всего 24 мА.

Входы		Выход
\bar{G}	A	
L	H	L
L	L	H
H	X	Z

Применение

Буфер для шин данных и адресных шин.

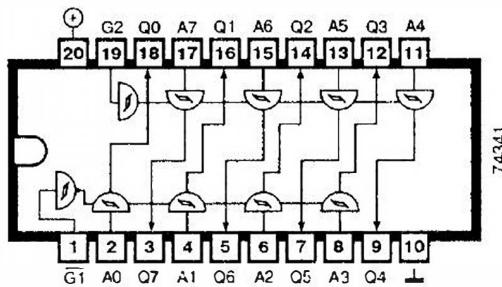
Технические данные

Время задержки прохождения сигнала, нс	8
Ток потребления, мА:	
на выходах напряжение высокого уровня (H)	75
на выходах напряжение низкого уровня (L)	170
выходы находятся в высокоомном (третьем) состоянии	110

Серия	Std	ALS	AS	F	H	L	LS	S
-------	-----	-----	----	---	---	---	----	---

74341

ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих буферов шины с выходами, имеющими три состояния.

Работа схемы

Данные, поступающие на вход A, появляются на соответствующем выходе Q в прямом (неинверсном) виде, когда на соответствующий управляющий вход для первой группы (входы A0 – A3) подается напряжение низкого уровня, а на управляющий вход для второй группы (входы A4 – A7) – напряжение высокого уровня. Если на управляющий вход G1 поступает напряжение высокого уровня, а на управляющий вход G2 – низкого уровня, то все выходы переходят в высокоомное (третье) состояние.

Буфера шины объединены в две группы. Первая группа управляется общим входом G1, вторая – входом G2.

Волновое сопротивление подключенных линий должно быть не менее 133 Ом.

Все входы имеют формирователи на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на запутленных каналах.

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при напряжении низкого уровня – 64 мА.

Данная микросхема по расположению выводов и по выполняемым функциям совместима с микросхемой 74241, но выходной ток схемы 74241 при напряжении низкого уровня на выходе составляет всего 24 мА.

Группа 1

Входы		Выход Q
G1	A	
L	L	L
L	H	H
H	X	Z

Группа 2

Входы		Выход Q
G2	A	
H	L	L
H	H	H
L	X	Z

Применение

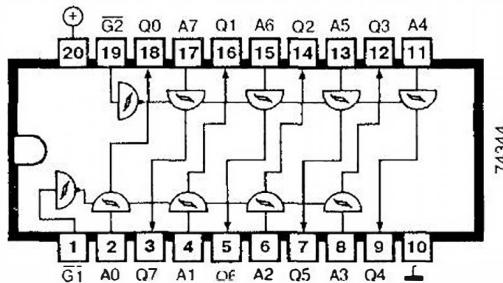
Буфер для шин данных и адресных шин.

Технические данные

Технические данные	S
Время задержки прохождения сигнала, нс	9
Ток потребления, мА:	
на выходах напряжение высокого уровня (H)	135
на выходах напряжение низкого уровня (L)	180
выходы находятся в высокоомном (третьем) состоянии	145

74344

ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих буферов шины с выходами, имеющими три состояния.

Работа схемы

Данные, поступившие на вход A, появляются на соответствующем выходе Q в инвертированном виде, когда на соответствующий управляющий вход \bar{G} подается напряжение низкого уровня. Если на вход \bar{G} поступает напряжение высокого уровня, то выходы переходят в высокоомное (третье) состояние.

Входы		Выход
\overline{G}	A	Q
L	H	H
L	L	L
H	X	Z

Буферы шины объединены в две группы. Входы A0 – A3, образующие первую группу, управляются общим входом G1. Ко второй группе относятся входы A4 – A7, управляемые входом G2.

Волювое сопротивление подключенных шин должно быть не менее 133 Ом.

Все входы имеют формирователи на триггерах Шмитта, поэтому микросхема очень хорошо подходит для приема сигналов на запущленных каналах.

При напряжении высокого уровня на выходах величина выходного тока может быть 15 мА, а при напряжении низкого уровня — 64 мА.

Данная микросхема по расположению выводов и по выполняемым функциям совместима с микросхемой 74244, но выходной ток последней при напряжении низкого уровня на выходе составляет всего 24 мА.

Применение

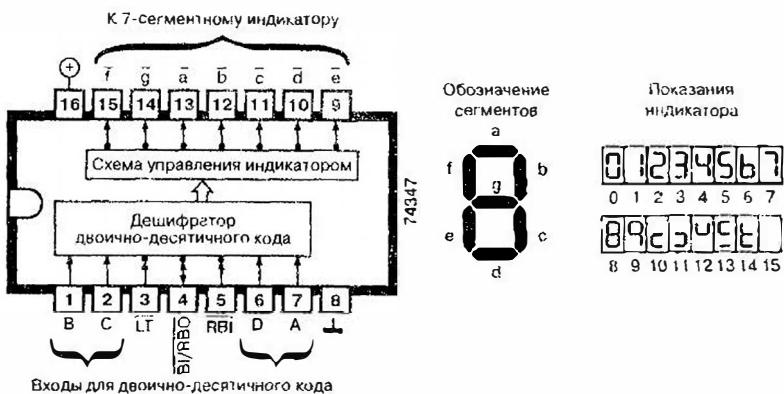
Буфер для шин данных и адресных шин.

Технические данные

Время задержки прохождения сигнала, нс	9
Ток потребления, мА:	
на выходах напряжение высокого уровня (H)	135
на выходах напряжение низкого уровня (L)	180
выходы находятся в высококоиммунном (третьем) состоянии	145

74347

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 7 В)



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Двоично-десятичный код, поступивший на входы А, В, С и Д, после декодирования в ИС преобразуется в сигналы, которые передаются на 7-сегментный индикатор. Микросхема не содержит буферного запоминающего устройства.

При использовании индикатора на светодиодах для ограничения тока следует предусмотреть сопротивление между выходом микросхемы и входом индикатора (обычно 330 Ом).

При отображении на индикаторе цифр 6 и 9 – соответственно верхняя (сегмент а) и нижняя (сегмент д) – поперечные полосы не показываются.

В основном режиме работы на входы LT (контроль индикатора, вывод 3) и BI/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход RBI (входной сигнал схемы последовательного гашения) может поступать напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход LT подается напряжение низкого уровня. В этом случае включаются все сегменты, то есть индикатор показывает цифру 8.

Незначащие цули в многопозиционном индикаторе гасятся путем соединения выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Поскольку гашение нуля в самом младшем разряде нежелательно, то вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие цули в десятичных числах, отображаемых на индикаторе.

Поскольку яркость всех сегментов индикатора меняется, когда на вход BI/RBO подается сигнал низкого уровня, то при подаче на этот вход сигнала с широтно-импульсной модуляцией можно производить регулировку яркости индикатора.

Данная микросхема по расположению выводов и по выполняемым функциям аналогична микросхемам 7446 и 7447, но имеет меньшую величину максимального выходного напряжения, составляющую +7 В. Напряжение питания +5 В.

Применение

Управление 7-сегментными индикаторами.

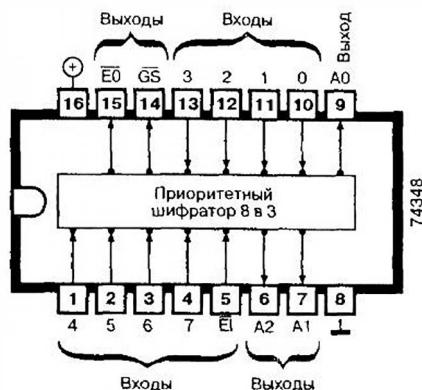
Технические данные

Время задержки прохождения сигнала, нс	LS	100
Максимальное выходное напряжение, В		+7
Максимальный ток коллектора, мА		24
Ток потребления, мА		7

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74348

ПРИОРИТЕТНЫЙ ДВОИЧНЫЙ ШИФРАТОР 8–3 (ТРИ СОСТОЯНИЯ)



Описание

Микросхема позволяет расположить восемь входных сигналов в последовательности согласно приоритету сигнала. Микросхема может использоваться также как обычный шифратор.

Работа схемы

В схеме восемь входов (0–7) и три выхода двоичного кода ($A_0 - A_2$).

Активный уровень сигнала для данной микросхемы – низкий. Если на входы не подается напряжение низкого уровня или на вход 0 (вывод 10) подается напряжение низкого уровня, то на всех выходах устанавливается напряжение высокого уровня. Если напряжение низкого уровня поступает только на один из входов, то на выходах формируется двоичный код, соответствующий номеру данного входа. Например, если на вход 6 (вывод 3) приходит напряжение низкого уровня, то на выходах устанавливаются следующие значения: $A_0 = 1$, $A_1 = 0$, $A_2 = 0$ (цифра 6 в двоично-десятичном коде записывается как 110, а при активном низком уровне сигнала – 001). Наивысший приоритет имеет вход 7, наименьший – 0.

Если на два и более входа одновременно подается напряжение низкого уровня, то на выходах формируется двоичный код, соответствующий входу с наибольшим порядковым номером (наивысшим приоритетом), а состояние других входов не учитывается. Например, когда на входы 4 и 6 одновременно поступает напряжение низкого уровня, то на выходах формируется комбинация сигналов 001, если же на входы 4 и 7 одновременно подается напряжение низкого уровня, то на выходах устанавливается комбинация сигналов 000. Если на вход, имеющий более высокий приоритет, приходит напряжение высокого уровня, то на выходах устанавливается код, соответствующий следующему по приоритету входу, на который подано напряжение низкого уровня, пока, наконец, на всех входах не будет напряжение высокого уровня.

Кроме трех информационных входов, в схеме есть еще два входа для каскадного соединения микросхем $\bar{G}S$ и $\bar{E}O$. На выходе $\bar{G}S$ формируется напряжение низкого уровня, если на какой-либо из входов подается напряжение низкого уровня. На выходе $\bar{E}O$ устанавливается напряжение низкого уровня, когда на все входы подается напряжение высокого уровня.

Разрешающие входы и выходы позволяют соединять модули в каскады для приемления большого числа входных сигналов. На выходе EO, так же как и на выходе GS, возникает напряжение высокого уровня, когда на разрешающий вход EI подается напряжение высокого уровня. При подаче напряжения высокого уровня на разрешающий вход EL, а также когда на входах 0-7 устанавливаются напряжение высокого уровня, выходы A0 – A2 переходят в высокоомное (третье) состояние.

Входы									Выходы				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	Z	Z	Z	H	H
L	H	H	H	H	H	H	H	H	Z	Z	Z	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	X	L	H	L	L	H	L
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	H	H	L	H
L	X	L	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Применение

Преобразователи и генераторы кода, n-разрядное кодирование.

Технические данные

LS

Время задержки прохождения сигнала, нс

15

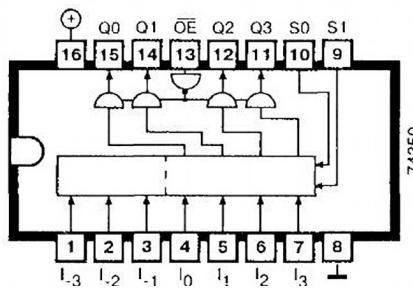
Ток потребления, мА

12

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74350

4-РАЗРЯДНАЯ СХЕМА СДВИГА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит специальный мультиплексор, который может сдвигать 4-разрядное слово на три разряда.

Работа схемы

Вводимое 4-разрядное слово можно сдвинуть на 0, 1, 2 или 3 разряда в зависимости от кода на входах выборки S0 и S1. На входы I₋₃ – I₃ можно подать слово, имеющее до семи разрядов. Сдвиг информации происходит согласно нижеследующей таблице.

Если на вход OE подается напряжение высокого уровня, то выходы Q0 – Q3 переходят в высокоомное (третье) состояние. Таким образом, несколько модулей сдвига для многоразрядных слов легко соединить в каскады, используя одни и те же выходные шины или одну общую шину.

Возможны три вида сдвига информации:

- логический сдвиг: вставляются нули на одном или обоих концах слова, подлежащего сдвигу;
- арифметический сдвиг: знаковый (старший) разряд повторяется во время сдвига информации влево;
- бесконечный циклический сдвиг: информационное слово образует непрерывный цикл. Здесь не требуется наличие тактового импульса, как в сдвиговом регистре.

Входы			Выходы			
OE	S1	S0	Q0	Q1	Q2	Q3
H	X	X	Z	Z	Z	Z
L	L	L	I ₀	I ₁	I ₂	I ₃
L	L	H	I ₋₁	I ₀	I ₁	I ₂
L	H	L	I ₋₂	I ₋₁	I ₀	I ₁
L	H	H	I ₋₃	I ₋₂	I ₋₁	I ₀

Применение

Арифметические и логические операции.

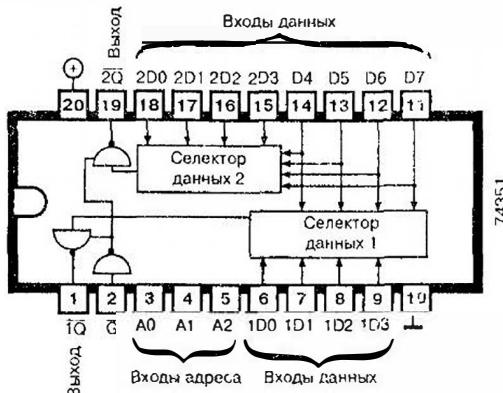
Технические данные**F**

Время задержки прохождения сигнала, нс	5.2
Ток потребления, мА	24

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74351

ДВА 8-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА 8-1 С ИНВЕРСНЫМИ ВЫХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два селектора данных, каждый из которых из восьми входных сигналов выделяет один. Селекторы имеют общую адресацию и четыре общие входные линии данных.

Работа схемы

С помощью общих для двух селекторов адресных входов A0 – A2 выбирается один из восьми информационных входов, причем у каждого селектора – свои собственные четыре входа данных и еще четыре информационных входа, которые являются общими для двух селекторов.

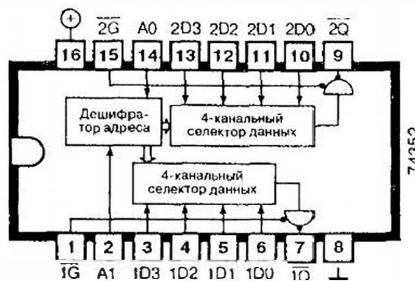
Оба выхода TQ и \overline{TQ} переходят в высокомощное (третье) состояние, когда на общий разрешающий вход G подается напряжение высокого уровня.

Данные на выходах инвертируются.

Входы				Выходы	
управление	адрес				
\overline{G}	A2	A1	A0	$\overline{1Q}$	$\overline{2Q}$
H	X	X	X	Z	Z
L	L	L	L	$\overline{1D0}$	$\overline{2D0}$
L	L	L	H	$\overline{1D1}$	$\overline{2D1}$
L	L	H	L	$\overline{1D2}$	$\overline{2D2}$
L	L	H	H	$\overline{1D3}$	$\overline{2D3}$
L	H	L	L	D4	$\overline{D4}$
L	H	L	H	D5	$\overline{D5}$
L	H	H	L	$\overline{D6}$	$\overline{D6}$
L	H	H	H	$\overline{D7}$	$\overline{D7}$

74352

ДВА 4-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА С ИНВЕРСНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит два 4-канальных селектора данных 4-1 с общими адресными входами, но раздельными входами стробирующих импульсов и инверсными выходами.

Работа схемы

Выбор необходимого входа на обоих селекторах данных проходит через общие адресные входы A0 и A1 при поступлении на них соответствующего двоичного кода. Выделенный сигнал появляется на выходе 1Q и 2Q в инверсном виде.

Разрешающие входы \bar{G} (выводы 1 и 15) работают независимо друг от друга. В основном режиме работы на разрешающие входы подается напряжение низкого уровня. Если на один из этих входов приходит напряжение высокого уровня, то на соответствующем выходе 1Q или 2Q устанавливается напряжение высокого уровня независимо от состояния других входов.

Данная микросхема по расположению выводов и по выполняемым функциям аналогична микросхеме 74153, которая, в отличие от схемы 74352, имеет прямые выходы.

Входы адреса		Входы данных				Управление \bar{G}	Выход \bar{Q}
A1	A0	D0	D1	D2	D3		
X	X	X	X	X	X	H	H
L	L	L	X	X	X	L	H
L	L	H	X	X	X	L	L
L	H	X	L	X	X	L	H
L	H	X	H	X	X	L	L
H	L	X	X	L	X	L	H
H	L	X	X	H	X	L	L
H	H	X	X	X	L	L	H
H	H	X	X	X	H	L	L

Применение

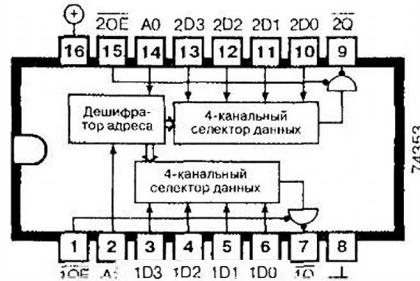
Мультиплексор, дешифратор адреса, последовательная передача данных.

Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	15	7,5	5,5	15
Ток потребления, мА	6,5	16	10	6,2

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●		

74353 ДВА 4-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА С ИНВЕРСНЫМИ ВЫХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два 4-канальных селектора данных 1–4 с общими адресными входами, но с раздельными входами разрешения выдачи выходных сигналов, а также с инверсными выходами.

Работа схемы

Выбор необходимого входа D0 – D3 на обоих селекторах данных происходит через общие адресные входы A0 и A1 при поступлении на них двоичного кода. Выделенный на входе сигнал появляется на соответствующем выходе $\bar{1Q}$ или $\bar{2Q}$ в инверсном виде.

В отличие от этого, входы разрешения формирования выходных сигналов \bar{OE} работают независимо друг от друга.

В основном режиме работы на разрешающие входы \bar{OE} подается напряжение пульсного уровня. При подаче на один из этих входов напряжения высокого уровня соответствующие выходы ($\bar{1Q}$ или $\bar{2Q}$) переходят в высокоомное (третье) состояние независимо от состояния всех остальных входов. Благодаря этому возможно прямое подключение схемы к интегрированным системам.

Входы адреса		Входы данных				Управление \bar{OE}	Выход \bar{Q}
A1	A0	D0	D1	D2	D3		
X	X	X	X	X	X	H	Z
L	L	L	X	X	X	L	H
L	L	H	X	X	X	L	L
L	H	X	L	X	X	L	H
L	H	X	H	X	X	L	L
H	L	X	X	L	X	L	H
H	L	X	X	H	X	L	L
H	H	X	X	X	L	L	H
H	H	X	X	X	H	L	L

Применение

Мультиплексор, декодер адреса, последовательная передача данных.

Технические данные

Время задержки прохождения сигнала, нс

Ток потребления, мА

ALS AS F LS

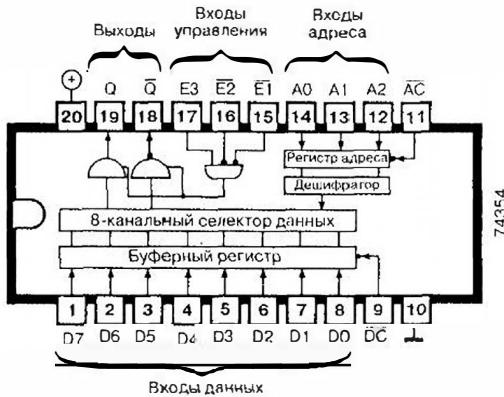
15 8 6 12

7 17 11 8

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●		

74354

8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ С БУФЕРНЫМ РЕГИСТРОМ НА ВХОДЕ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит селектор данных, который выделяет из восьми входных сигналов один с помощью трехразрядного двоичного кода. Как информационные, так и адресные входы имеют буферный регистр. Выходы могут переводиться в высокомоментное (третье) состояние.

Работа схемы

Выбор необходимого информационного входа D0 – D7 происходит через адресные входы A0 – A2 при поступлении на них двоичного кода. При этом на управляющий вход регистра адреса \bar{AC} , как и на управляющий вход регистра данных \bar{DC} , должно быть подано напряжение низкого уровня. Тогда выделенный на входе сигнал появляется на прямом выходе Q и на инверсном \bar{Q} . Но это происходит лишь в том случае, когда разрешено формирование выходных сигналов, то есть когда на разрешающих входах E_1 и E_2 устанавливается напряжение низкого уровня, а на входе E_3 – высокого уровня. Если же на входах E_1 или E_2 формируется напряжение высокого уровня или на входе E_3 – низкого, то оба выхода Q и \bar{Q} переходят в высокомоментное (третье) состояние.

Если на управляющий вход данных \bar{DC} поступает напряжение высокого уровня, то на выходах появляются данные (выбор данных происходит через адресные входы A0 – A2), которые поступили на входы D0 – D7 непосредственно перед последним перенадом напряжения на входе \bar{DC} с низкого уровня на высокий.

Если на управляющий вход AC подается напряжение высокого уровня, то адрес, поступивший на адресные входы A0 – A2, сохраняется в регистре адреса. Регистр адреса и буферный регистр для входных данных снова становятся прозрачными, когда на управляющем входе AC устанавливается напряжение низкого уровня.

Входы						Выходы		Примечание
адрес			DC	управление			Q	
A2	A1	A0		E1	E2	E3	Z	
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	H	L	L	H	D0	D0
L	L	H					D1	D1
L	H	L					D2	D2
L	H	H					D3	D3
H	L	L					D4	D4
H	L	H					D5	D5
H	H	L					D6	D6
H	H	H					D7	D7
L	L	L	L	L	L	H	D0 _п	D0 _п
L	L	H					D1 _п	D1 _п
L	H	L					D2 _п	D2 _п
L	H	H					D3 _п	D3 _п
H	L	L					D4 _п	D4 _п
H	L	H					D5 _п	D5 _п
H	H	L					D6 _п	D6 _п
H	H	H					D7 _п	D7 _п

D0 – D7 – текущие уровни напряжения на входах D0 – D7

D0_п – D7_п – уровни напряжения на входах D0 – D7 перед перепадом уровня на входе DC с высокого на низкий

Применение

Мультиплексор, адресный дешифратор, устройство для последовательной передачи данных.

Технические данные

LS

Время задержки прохождения сигнала, нс

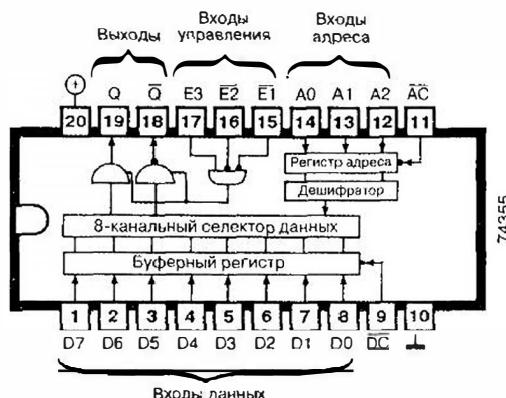
15

Ток потребления, мА

29

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74355 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ С БУФЕРНЫМ РЕГИСТРОМ НА ВХОДЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит селектор данных, который выделяет из восьми входных сигналов один с помощью трехразрядного двоичного кода. Как информационные, так и адресные входы имеют буферный регистр. Выходы имеют открытый коллектор.

Работа схемы

Выбор необходимого информационного входа D0 – D7 происходит через адресные входы A0 – A2 при поступлении на них двоичного кода. При этом на управляющий вход регистра адреса AC-bar, как и на управляющий вход регистра данных DC-bar, должно быть подано напряжение низкого уровня. Тогда выделенный на выходе сигнал появляется на прямом выходе Q и на инверсном Q-bar. Но это происходит лишь в том случае, когда разрешено формирование выходных сигналов, то есть когда на входах E1 и E2 подается напряжение низкого уровня, а на входе E3 – высокого уровня. Если же на входах E1 или E2 формируется напряжение высокого уровня или на входе E3 – низкого, то оба выхода Q и Q-bar отключаются от цепи питания +5 В (внешнее сопротивление между выходом и цепью питания не используется).

Если на управляющий вход регистра данных DC-bar поступает напряжение высокого уровня, то на выходах появляются те данные (выбор данных происходит через адресные входы A0 – A2), которые поступили на входы D0 – D7 непосредственно перед последним перенадом напряжения на входе DC-bar с низкого уровня на высокий.

Если на управляющий вход AC-bar подается напряжение высокого уровня, то адрес, поступивший на адресные входы A0 – A2, сохраняется в регистре адреса.

Входы			Выходы			Примечание	
адрес		DC	управление				
A2	A1		E1	E2	E3		
X	X	X	X	H	X	X	Z \bar{Z}
X	X	X	X	X	H	X	Z \bar{Z}
X	X	X	X	X	X	L	Z \bar{Z}
L	L	L	H	L	L	H	D0 $\bar{D}0$
L	L	H					D1 $\bar{D}1$
L	H	L					D2 $\bar{D}2$
L	H	H					D3 $\bar{D}3$
H	L	L					D4 $\bar{D}4$
H	L	H					D5 $\bar{D}5$
H	H	L					D6 $\bar{D}6$
H	H	H					D7 $\bar{D}7$
L	L	L	L	L	L	H	D0 _n $\bar{D}0_n$
L	L	H					D1 _n $\bar{D}1_n$
L	H	L					D2 _n $\bar{D}2_n$
L	H	H					D3 _n $\bar{D}3_n$
H	L	L					D4 _n $\bar{D}4_n$
H	L	H					D5 _n $\bar{D}5_n$
H	H	L					D6 _n $\bar{D}6_n$
H	H	H					D7 _n $\bar{D}7_n$

D0 – D7 – текущие уровни напряжения на входах D0 – D7

DO₀ – D7 – уровни напряжения на входах D0 – D7 перед перепадом уровня на входе DC с высокого на низкий

Применение

Мультиплексор, адресный дешифратор, устройство для последовательной передачи данных.

Технические данные

15

Максимальное выходное напряжение. В

55

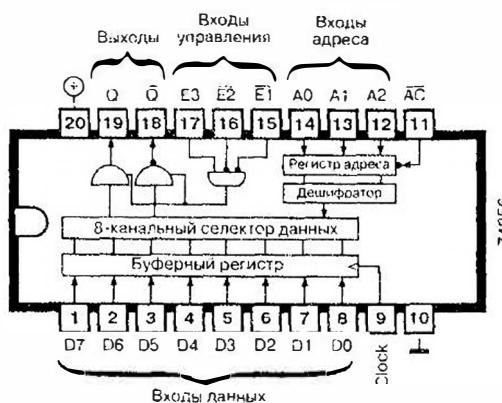
Время задержки прохождения сигнала, ис-

15

Ток погребения, мА

29

74356 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ С БУФЕРНЫМ РЕГИСТРОМ НА ВХОДЕ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит селектор данных, который выделяет из восьми входных сигналов один с помощью трехразрядного двоичного кода. Как информационные, так и адресные входы имеют буферный регистр. Выходы могут переводиться в высокомоментное (третье) состояние.

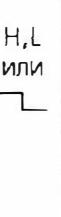
Работа схемы

Выбор необходимого информационного входа D0 – D7 происходит через адресные входы A0 – A2 при подаче на них двоичного кода. При этом на управляющий вход регистра адреса AC должно быть подано напряжение низкого уровня. Тогда выделенный на входе сигнал появляется на прямом выходе Q и на инверсном выходе \bar{Q} при перенаде напряжения на входе тактовых импульсов Clock (вывод 9) с низкого уровня на высокий (положительный фронт). Но это происходит лишь в том случае, когда разрешено формирование выходных сигналов, то есть когда на разрешающих входах E1 и E2 устанавливается напряжение низкого уровня, а на входе E3 – высокого уровня. Если же на входах E1 или E2 формируется напряжение высокого уровня или на входе E3 – напряжение низкого уровня, то оба выхода Q и \bar{Q} переходят в высокомоментное (третье) состояние.

Если на вход тактовых импульсов Clock (вывод 9) поступает напряжение высокого или низкого уровня, то на выходах появляются те данные (выбор данных проходит через адресные входы A0 – A2), которые поступили на входы D0 – D7 непосредственно перед последним перенадом напряжения на управляющем входе AC с низкого уровня на высокий.

Если на управляющий вход AC подается напряжение высокого уровня, то адрес, поступивший на адресные входы A0 – A2, сохраняется в регистре адреса. Регистр адреса снова становится прозрачным, когда на управляющем входе AC устанавливается напряжение низкого уровня.

Данная микросхема по расположению выводов и по выполняемым функциям аналогична микросхеме 74357, которая, в отличие от схемы 74356, имеет выходы с открытым коллектором.

Входы				Выходы		Примечание			
адрес		Clock	управление						
A2	A1	A0	E1	E2	E3	Q	Q		
X	X	X	X	H	X	X	Z	Z	Выходы в высокомоментном состоянии
X	X	X	X	X	H	X	Z	Z	
X	X	X	X	X	X	L	Z	Z	
L	L	L		L	L	H	D0 _n	$\overline{D0}_n$	Новые данные поступают в буферный регистр
L	L	H					D1 _n	$\overline{D1}_n$	
L	H	L					D2 _n	$\overline{D2}_n$	
L	H	H					D3 _n	$\overline{D3}_n$	
H	L	L					D4 _n	$\overline{D4}_n$	
H	L	H					D5 _n	$\overline{D5}_n$	
H	H	L					D6 _n	$\overline{D6}_n$	
H	H	H					D7 _n	$\overline{D7}_n$	
L	L	L		L	L	H	D0 _p	$\overline{D0}_p$	Состояние регистра не меняется
L	L	H					D1 _p	$\overline{D1}_p$	
L	H	L					D2 _p	$\overline{D2}_p$	
L	H	H					D3 _p	$\overline{D3}_p$	
H	L	L					D4 _p	$\overline{D4}_p$	
H	L	H					D5 _p	$\overline{D5}_p$	
H	H	L					D6 _p	$\overline{D6}_p$	
H	H	H					D7 _p	$\overline{D7}_p$	

Применение

Мультиплексор, адресный дешифратор, устройство для последовательной передачи данных, генератор функций (функциональный преобразователь).

Технические данные

LS

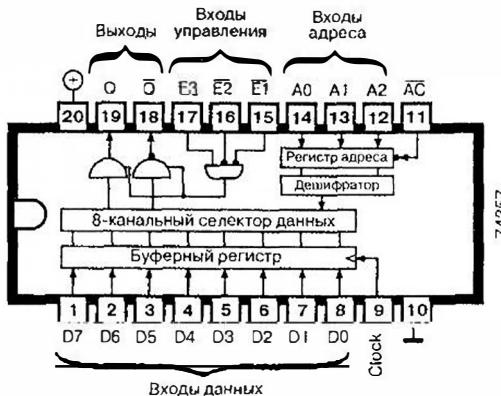
Время задержки прохождения сигнала, нс

15

Ток потребления, мА

29

74357 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ С БУФЕРНЫМ РЕГИСТРОМ НА ВХОДЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит селектор данных, который выделяет из восьми входных сигналов один с помощью трехразрядного двоичного кода. Как информационные, так и адресные входы имеют буферный регистр. Выходы имеют открытый коллектор.

Работа схемы

Выбор необходимого информационного входа D0 – D7 происходит через адресные входы A0 – A2 при подаче на них двоичного кода. При этом на управляющий вход регистра адреса \bar{AC} должно подаваться напряжение низкого уровня. Тогда выделенный на входе сигнал появляется на прямом выходе Q и на инверсном выходе \bar{Q} при перенаде напряжения на входе тактовых импульсов Clock (вывод 9) с низкого уровня на высокий (положительный фронт). Но это происходит лишь в том случае, если разрешено формирование выходных сигналов, то есть когда на разрешающих входах $\bar{E}1$ и $\bar{E}2$ устанавливается напряжение низкого уровня, а на входе E3 – высокого. Если же на входах $\bar{E}1$ или $\bar{E}2$ формируется напряжение высокого уровня или на входе E3 – низкого, то оба выхода Q и \bar{Q} отключаются от цепи питания +5 В (внешнее сопротивление между выходом и цепью питания не используется).

Если на вход тактовых импульсов Clock (вывод 9) поступает напряжение высокого или низкого уровня, то на выходах появляются те данные (выбор данных происходит через адресные входы A0 – A2), которые поступили на входы D0 - D7 непосредственно перед последним перенадом напряжения на управляющим входе \bar{AC} с низкого уровня на высокий.

Если на управляющий вход \bar{AC} подается напряжение высокого уровня, то адрес, поступивший на адресные входы A0 – A2, сохраняется в буферном регистре. Регистр адреса снова становится прозрачным, когда на управляющим входе \bar{AC} устанавливается напряжение низкого уровня.

Данная микросхема по расположению выводов и выполняемым функциям аналогична микросхеме 74356, которая в отличие от первой имеет выходы с тремя состояниями.

Входы			Выходы		Примечание			
адрес	Clock	управление	Q	\bar{Q}				
A2	A1	A0	E1	E2	E3			
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L		L	H	D0 _n	D0 _r	
L	L	H				D1 _n	D1 _r	
L	H	L				D2 _n	D2 _r	
L	H	H				D3 _n	D3 _r	
H	L	L				D4 _n	D4 _r	
H	L	H				D5 _n	D5 _r	
H	H	L				D6 _n	D6 _r	
H	H	H				D7 _n	D7 _r	
L	L	L		L	H	D0 _p	D0 _f	
L	L	H				D1 _p	D1 _f	
L	H	L				D2 _p	D2 _f	
L	H	H				D3 _p	D3 _f	
H	L	L				D4 _p	D4 _f	
H	L	H				D5 _p	D5 _f	
H	H	L				D6 _p	D6 _f	
H	H	H				D7 _p	D7 _f	

D0_r – D7_r – данные на входах D0 – D7 в момент положительного фронта тактового импульса

D0_f – D7_f – данные, записанные в буферный регистр при последнем положительном фронте тактового импульса

Применение

Мультиплексор, адресный дешифратор, устройство для последовательной передачи данных.

Технические данные

Максимальное выходное напряжение, В
Время задержки прохождения сигнала, нс
Ток потребления, мА

LS

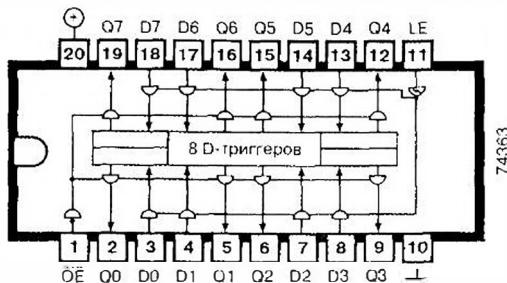
5,5

15

29

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74363 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ С РАЗРЕШАЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров с выходами, имеющими три состояния.

Работа схемы

Когда на вход LE (разрешение фиксации данных) подается напряжение высокого уровня, то триггеры прозрачны, то есть данные, поступающие на входы D, появляются непосредственно на выходах Q. При этом на входе OE (разрешение формирования выходных сигналов) должно быть установлено напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на вход LE поступает напряжение низкого уровня, то данные, поступившие к этому моменту на входы D, сохраняются в триггерах. Вход LE имеет формирователь на триггере Шmittта с разностью между напряжением срабатывания триггера и напряжением отпускания – гистерезисом ~ 0,4 В.

Данная микросхема по выполняемым функциям и расположению выводов аналогична микросхеме 74373. Она отличается от последней лишь тем, что в схеме 74363 выходные триггеры могут работать с шинами, имеющими высокую емкостную нагрузку, как это происходит в ЗУ на МОП транзисторах и в МОП микропроцессорах. Здесь напряжение высокого уровня лежит, по крайней мере, на 1 В ближе к уровню рабочего напряжения, то есть имеет значение выше 3,5 В. Благодаря этому возможно надежное управление МОП схемами с порогом переключения от 2,4 до 3,5 В.

Входы			Выход Q
OE	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шин с высокой емкостной нагрузкой.

Технические данные

LS

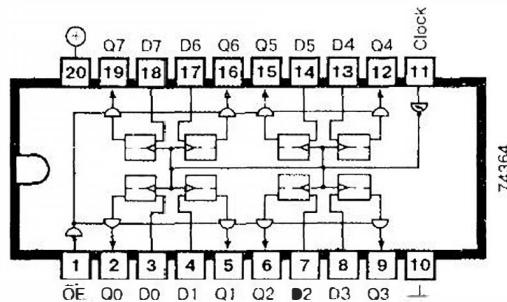
Время задержки прохождения сигнала, нс

19

Ток потребления, мА

42

74364 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с выходами, имеющими три состояния.

Работа схемы

Поступающие на входы D0 – D7 данные сохраняются в триггерах при перенаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Вход тактовых импульсов выполняет на триггере Шmittта с разностью между напряжением срабатывания триггера и напряжением отпускания – гистерезисом – 0,4 В.

Записанные данные поступают на выходы Q, когда на вход OE (разрешение формирования выходных сигналов) подается напряжение низкого уровня. Если на этом разрешающем входе устанавливается напряжение высокого уровня, то все выходы переходят в высоковольтное (третье) состояние.

Эта микросхема по выполняемым функциям и расположению выводов аналогична микросхеме 74374. Она отличается от последней лишь тем, что в схеме 74364 выходные триггеры могут работать с шинами, имеющими высокую емкостную нагрузку, как это происходит в ЗУ на МОН транзисторах и в МОН микропроцессорах. Здесь напряжение высокого уровня лежит, по крайней мере, на 1 В ближе к уровню рабочего напряжения, то есть имеет значение выше 3,5 В. Благодаря этому возможно надежное управление МОН схемами с порогом переключения от 2,4 до 3,5 В.

Входы			Выход Q
OE	Clock	D	
L	—	L	L
L	—	H	H
L	L, H, —	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шин с высокой емкостной нагрузкой.

Технические данные**LS**

Максимальная тактовая частота, МГц

50

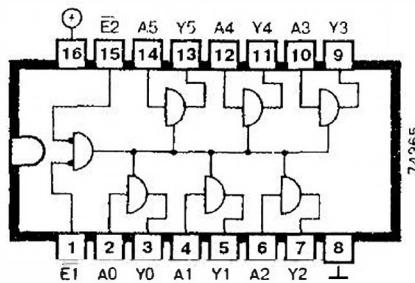
Ток потребления, мА

42

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74365

ШЕСТЬ БУФЕРОВ ШИНЫ С ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит шесть неинвертирующих буферов шины с общими управляющими входами.

Работа схемы

Если на оба управляющих входа $\bar{E}1$ и $\bar{E}2$ одновременно поступает напряжение низкого уровня, то на выходах устанавливаются напряжения тех же уровней, что и на соответствующих входах, то есть сигналы не инвертируются.

Если хотя бы на один из двух управляющих входов подается напряжение высокого уровня, то все выходы буфера переходят в высокоомное (третье) состояние независимо от состояния соответствующих входов.

Данная микросхема по расположению выводов аналогична микросхеме 74366, имеющей инверсные выходы.

Входы		A	Выход Y
управление			
$\bar{E}1$	$\bar{E}2$		
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

Применение

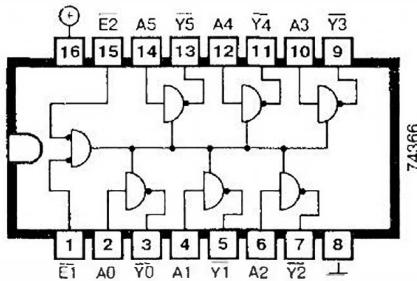
Прямое управление шинами, управление шинами по матричному методу (методу совпадений).

Технические данные

Время задержки прохождения сигнала, нс	16	7	5	16
Ток потребления, мА	65	11	36	14

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

**74366 ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ
С ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ
(ТРИ СОСТОЯНИЯ)**



Описание

Микросхема содержит шесть инвертирующих буферов шины с общими управляющими входами.

Работа схемы

Если на оба управляющих входа E1 и E2 одновременно подается напряжение низкого уровня, то на выходах устанавливаются напряжения уровней, противоположные поданным на соответствующие входы, то есть сигналы инвертируются.

Если хотя бы на один из двух управляющих входов поступает напряжение высокого уровня, то все выходы буфера переходят в высокоомное (третье) состояние независимо от состояния соответствующих входов.

Данная микросхема по расположению выводов аналогична микросхеме 74365, которая имеет прямые выходы.

Входы			Выход \bar{Y}
управление		A	
E1	E2		
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

Применение

Прямое управление линиями, управление линиями по матричному методу (методу совпадений).

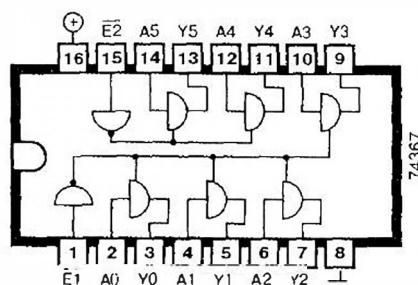
Технические данные

Время задержки прохождения сигнала, нс 16 6 5 15
Ток потребления, мА 59 8 36 12

Серия	Std	ALS	AS	F	H	L	LS	S
	●	●		●			●	

74367

ШЕСТЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С РАЗДЕЛЬНЫМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит шесть неинвертирующих буферов шины с двумя управляющими входами.

Работа схемы

Управляющие входы $\bar{E}1$ и $\bar{E}2$ позволяют управлять двумя и четырьмя из шести буферов шинны соответственно.

Если на один из управляющих входов $\bar{E}1$ и $\bar{E}2$ подается напряжение низкого уровня, то на выходах устанавливаются напряжения таких же уровней, что и на соответствующих входах, то есть сигналы не инвертируются.

Если на один из двух управляющих входов поступает напряжение высокого уровня, то соответствующие выходы переходят в высокоомное (третье) состояние независимо от состояния входов.

Данная микросхема по расположению выводов аналогична схеме 74368, которая имеет инверсные выходы.

Входы		Выход Y
управление	A	
\bar{E}		
L	L	L
L	H	H
H	X	Z

Применение

Буфер для управления шинами.

Технические данные

Время задержки прохождения сигнала, нс

Std ALS F LS

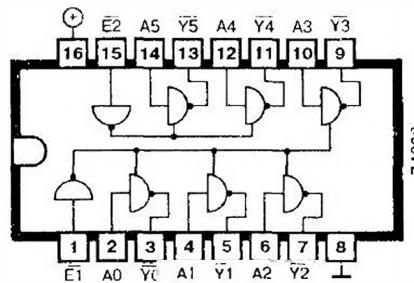
16 6 5 16

Ток потребления, мА

6.5 11 36 14

Серия	Std	ALS	AS	F	R	L	LS	S	
	●	●		●			●		

74368 ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит шесть инвертирующих буферов шины с двумя управляющими входами.

Работа схемы

Управляющие входы $\bar{E}1$ и $\bar{E}2$ позволяют управлять двумя и четырьмя из шести буферов шины соответственно. Если на один из управляющих входов $\bar{E}1$ и $\bar{E}2$ подается напряжение низкого уровня, то на выходах устанавливаются уровни напряжения, противоположные поданным на соответствующие входы, то есть сигналы инвертируются.

Если на один из двух управляющих входов поступает напряжение высокого уровня, то выходы соответствующего буфера переходят в высокоомное (третье) состояние независимо от состояния соответствующих входов.

Данная микросхема по расположению выводов аналогична микросхеме 74367, которая имеет неинвертирующие (прямые) выходы.

Входы		Выход Y
управление	A	
\bar{E}		
L	L	L
L	H	H
H	X	Z

Применение

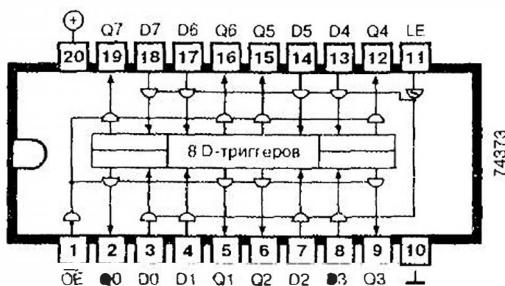
Буфер для управления шинами.

Технические данные

Время задержки прохождения сигнала, нс 6 6 5 15
Ток потребления, мА 59 8 36 12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

74373 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ С РАЗРЕШАЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров с выходами, имеющими три состояния.

Работа схемы

Когда на вход LE (разрешение фиксировать данные в регистре) подается напряжение высокого уровня, то триггеры становятся прозрачными, то есть данные, приходящие на входы D, появляются непосредственно на выходах Q. При этом на входе OE (разрешение формирования выходного сигнала) должно быть напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на вход LE поступает напряжение низкого уровня, то данные, пришедшие к этому моменту на входы D, сохраняются в триггерах. Вход LE имеет формирователь на триггере Шmittта.

Эта микросхема аналогична микросхеме 74353, имеющей инверсные выходы.

Данная микросхема по выполняемым функциям и расположению выводов аналогична микросхеме 74363, выходы которой очень хорошо подходят для управления интегральными МОП схемами.

Входы			Выход Q
OE	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Нет изменений
H	X	X	Z

Применение

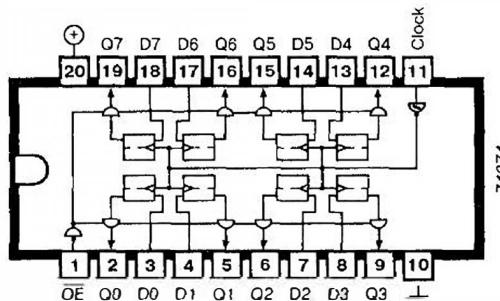
Буферный регистр хранения данных для линии-ориентированных систем.

Технические данные

	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	10	7	4,5	12	7
Ток потребления, мА	14	59	35	24	105

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74374 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с выходами, имеющими три состояния.

Работа схемы

Поступающие на входы D0 – D7 данные сохраняются в триггерах при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Вход тактовых импульсов выполнен на триггере Шмитта.

Записанные данные поступают на выходы Q, когда на вход \overline{OE} (разрешение выдачи выходных сигналов) подается напряжение низкого уровня. Если на этом входе устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Данная микросхема аналогична микросхеме 74534, имеющей инверсные выходы.

Эта микросхема по выполняемым функциям и расположению выводов аналогична микросхеме 74364, выходы которой очень хорошо подходят для управления МОП схемами.

Входы			Выход
\overline{OE}	Clock	D	Q
L	\square	L	L
L	\square	H	H
L	L, H, \square	X	Нет изменений
H	X	X	Z

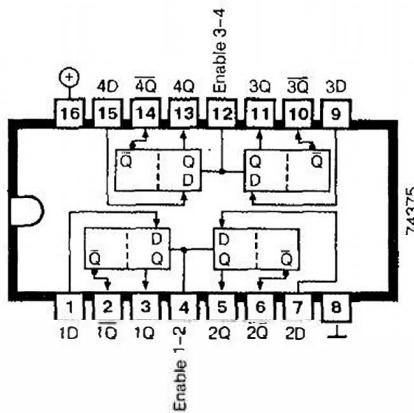
Применение

Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные	ALS	AS	F	LS	S
Максимальная тактовая частота, МГц	35	125	100	35	75
Время задержки прохождения сигнала, нс	9	6	6,5	17	9,5
Ток потребления, мА	17	82	55	27	90

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74375 ЧЕТЫРЕ D-ТРИГГЕРА С РАЗРЕШАЮЩИМИ ВХОДАМИ



Описание

Микросхема содержит четыре D-триггера с объединенными попарно входами синхронизации.

Работа схемы

Четыре D-триггера управляются попарно соответствующими разрешающими входами Enable (выводы 4 и 12). Когда на эти входы подается напряжение высокого уровня, то на выходах Q и на дополнительных выходах \bar{Q} устанавливается тот же уровень напряжения, какой подается на входы, то есть при напряжении низкого уровня на входе D на выходе Q формируется напряжение низкого уровня, а на выходе \bar{Q} — высокого.

Если на разрешающие входы поступает напряжение низкого уровня, то предыдущая информация, полученная с входа D, хранится в соответствующем триггерсе до тех пор, пока на входы Enable снова не будет подано напряжение высокого уровня.

Обратите внимание, что речь здесь не идет о схеме синхронизации (нет тактовых импульсов), и поэтому данную микросхему нельзя использовать в качестве регистра сдвига. Соединение в каскады нескольких ступеней здесь невозможно.

По выполняемым функциям эта микросхема аналогична микросхеме 7475, но имеет другое расположение выводов.

Входы		Выходы	
D	Enable	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

$Q_0 \sim$ записанные данные

Применение

Хранение информации в буферных запоминающих устройствах.

Технические данные

LS

Время задержки прохождения сигнала, нс

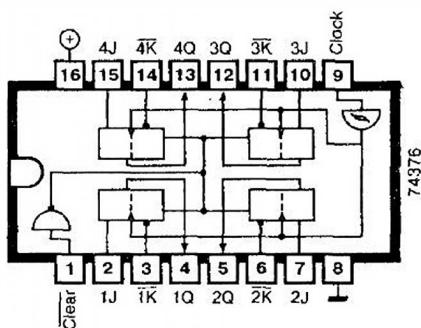
12

Ток потребления, мА

6

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74376 ЧЕТЫРЕ JK-ТРИГГЕРА С ВХОДОМ СБРОСА



Описание

Микросхема содержит четыре JK-триггера с инверсными входами K, общим входом синхронизации и общим входом сброса.

Работа схемы

Данные, поступающие на входы триггера, при перепаде напряжения на входе синхронизации Clock с низкого уровня на высокий (положительный фронт тактового импульса) передаются на выходы. Вход тактовых импульсов Clock имеет формирователь на триггере Шмитта, что обеспечивает запуск схемы даже при очень пологом фронте тактового импульса.

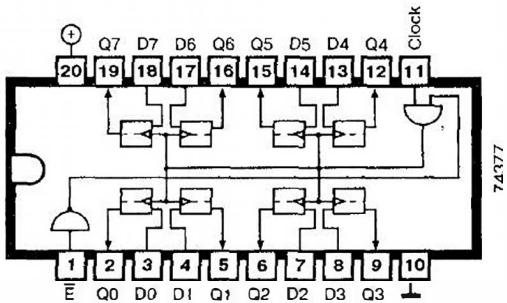
Если на вход J подается напряжение высокого уровня, а на вход K – низкого уровня, то по каждому положительному фронту тактового импульса соответствующий триггер переходит из одного логического состояния в другое, благодаря чему возможно деление частоты импульсов на 2.

Если соединить инверсный выход K с входом J, данную микросхему можно использовать в качестве D-триггера.

Вход сброса Clear работает асинхронно, то есть независимо от состояния всех других входов. Если на вход сброса Clear подается напряжение низкого уровня, то на всех выходах Q устанавливается напряжение низкого уровня.

Общие входы		Входы		Выход Q
Clear	Clock	J	K	
L	X	X	X	L
H	↑	L	H	Нет изменений
H	↑	H	H	H
H	↑	L	L	L
H	↑	H	L	Переключение
H	L	X	X	Нет изменений

74377 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА, С РАЗРЕШАЮЩИМ ВХОДОМ



Описание

Микросхема содержит восемь быстродействующих D-триггеров, запускаемых фронтом тактового импульса, с одним разрешающим входом.

Работа схемы

Поступающие на входы D0 – D7 данные сохраняются в триггерах при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Запуск схемы определяется напряжением на входе и поэтому не зависит от крутизны фронта тактового импульса. Если на входе тактовых импульсов имеется напряжение низкого или высокого уровней, то сигнал, поступающий на вход D-триггера, не оказывает никакого влияния на состояние выхода. Схема выполнена таким образом, что исключает появление ошибочных тактовых импульсов, которые могут образоваться из-за скачков напряжения на разрешающем входе E.

Записанные данные поступают на выходы Q при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий, когда на разрешающий вход E поступает напряжение низкого уровня. Если на этом входе устанавливается напряжение высокого уровня, то первоначально записанные и хранящиеся в регистре данные не изменяются.

Эта микросхема по выполняемым функциям и расположению выводов аналогична микросхеме 74374, которая имеет выходы с тремя состояниями.

Входы			Выход
E	Clock	D	Q
H	X	X	Нет изменений
L	—	H	H
L	—	L	L
X	L	X	Нет изменений

Применение

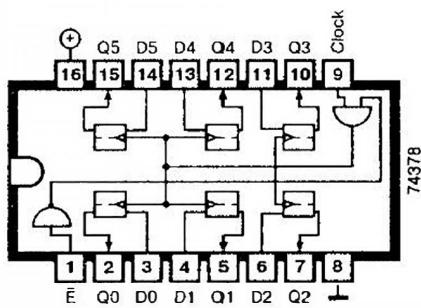
Быстродействующий 8-разрядный буферный регистр хранения данных, регистр сдвига, генератор двоичного кода.

Технические данные

	ALS	F	LS
Максимальная тактовая частота, МГц	40	120	30
Время задержки прохождения сигнала, нс	17	6,5	17
Ток потребления, мА	28	12	17

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●			●		

74378 6-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА, С РАЗРЕШАЮЩИМ ВХОДОМ



Описание

Микросхема содержит шесть быстродействующих D-триггеров, запускаемых фронтом тактового импульса, с одним разрешающим входом.

Работа схемы

Поступающие на входы D0 – D5 данные сохраняются в триггерах при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Если на вход тактовых импульсов подается напряжение низкого или высокого уровней, то есть нет перепада напряжения, то сигнал, поступающий на вход D-триггера, не оказывает никакого влияния на состояние выхода. Схема выполнена таким образом, что исключает появление ошибочных тактовых импульсов, которые могут образоваться из-за скачков напряжения на разрешающем входе E.

Записанные данные поступают на выходы Q при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий, когда на разрешающий вход E приходит напряжение низкого уровня. Если на этом входе устанавливается напряжение высокого уровня, то первоначально записанные и хранящиеся в регистре данные не изменяются.

Входы			Выход Q
E	Clock	D	
H	X	X	Нет изменений
L	—	H	H
L	—	L	L
X	L	X	Нет изменений

Применение

Быстродействующий 8-разрядный буферный регистр хранения данных, регистр сдвига, генератор двоичного кода.

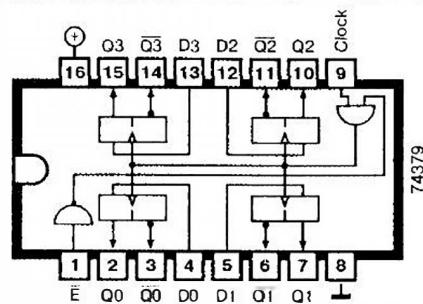
Технические данные

	F	LS
Максимальная тактовая частота, МГц	100	30
Время задержки прохождения сигнала, нс	5,5	17
Ток потребления, мА	35	13

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74379

4-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ С ДОПОЛНИТЕЛЬНЫМИ ВЫХОДАМИ И РАЗРЕШАЮЩИМ ВХОДОМ



Описание

Микросхема содержит четыре быстродействующих D-триггера, запускаемых фронтом тактового импульса, с одним разрешающим входом и дополнительными выходами.

Работа схемы

Поступающие на входы D0 – D3 данные сохраняются в триггерах при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Запуск схемы определяется двумя состояниями входа и поэтому не зависит от крутизны фронта тактового импульса. Если на вход тактовых импульсов подается напряжение низкого или высокого уровней, то есть нет перепада напряжения, то сигнал, поступающий на вход D-триггера, не оказывает никакого влияния на состояние выхода. Схема выполнена таким образом, что исключает появление оптимальных тактовых импульсов, которые могут образоваться из-за скачков напряжения на разрешающем входе E.

Записанные данные идут на прямые выходы Q и инверсные выходы \bar{Q} при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий, когда на разрешающий вход E поступает напряжение низкого уровня. Если на этом разрешающем входе устанавливается напряжение высокого уровня, то первоначально записанные и хранящиеся в регистре данные не изменяются.

Входы		Выходы	
E	Clock	D	Q \bar{Q}
H	X	X	Нет изменений
L	—	H	H L
L	—	L	L H
X	L	X	Нет изменений

Применение

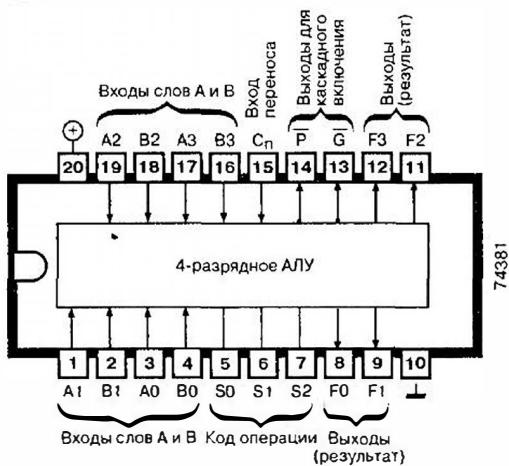
Быстродействующий 8-разрядный буферный регистр хранения данных, регистр сдвига, генератор двоичного кода.

Технические данные

	F	LS
Максимальная тактовая частота, МГц	120	30
Время задержки прохождения сигнала, нс	5	17
Ток потребления, мА	28	9

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74381 4-РАЗРЯДНОЕ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО



74381

Описание

Микросхема содержит арифметическо-логическое устройство (АЛУ), с помощью которого можно выполнить три логические и три арифметические операции над 4-разрядными операндами.

Работа схемы

Оба операнда A и B поступают на соответствующие входы. Затем согласно таблице по коду на входах S0 – S2 выбирается необходимая для выполнения функция, а результат получают на выходах F0 – F3.

При подаче на входы S0 – S2 напряжения низкого уровня происходит очистка АЛУ, при подаче на эти входы напряжения высокого уровня на всех выходах F устанавливается напряжение высокого уровня.

Выходы \bar{P} и \bar{G} служат для расширения схемы и подключения модуля переноса 74182.

Код операции			Арифметическо-логическая операция
S2	S1	S0	
L	L	L	Сброс
L	L	H	B минус A
L	H	L	A минус B
L	H	H	A плюс B
H	L	L	$A \oplus B$
H	L	H	A ИЛИ B
H	H	L	A И B
H	H	H	Установка

Применение

Вычислительный блок для арифметических или логических операций.

Технические данные

Время прохождения сигнала, нс

F LS S

64 15 12

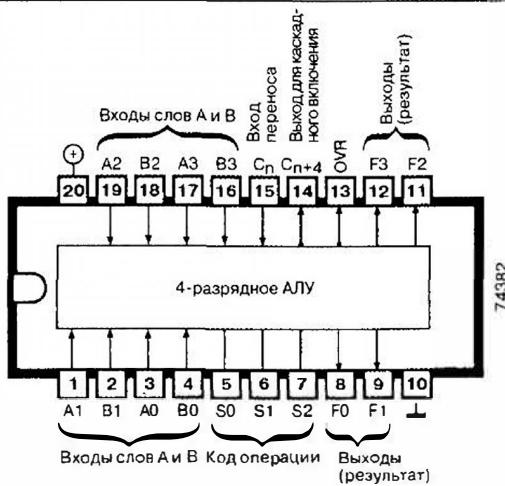
Ток потребления, мА

59 35 105

Серия	Std	ALS	AS	F	H	L	LS	S	
			●	●			●	●	

74382

4-РАЗРЯДНОЕ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО



Описание

Микросхема содержит арифметическо-логическое устройство (АЛУ), с помощью которого можно выполнить три логические и три арифметические операции над 4-разрядными operandами.

Работа схемы

Оба операнда A и B поступают на соответствующие входы. Затем согласно таблице по коду на входах S0 – S2 выбирается необходимая для выполнения функция, а результат получают на выходах F0 – F3.

При подаче на входы S0 – S2 напряжения низкого уровня происходит очистка АЛУ, при подаче на эти входы напряжения высокого уровня на всех выходах F устанавливается напряжение высокого уровня.

Микросхема имеет выход переноса C_{n+4}, соединенный с выходом переноса C_n следующей ступени. Кроме того, есть еще выход OVR, через который переносится сигнал переполнения.

Код операции			Арифметическо-логическая операция
S2	S1	S0	
L	L	L	Сброс
L	L	H	B минус A
L	H	L	A минус B
L	H	H	A плюс B
H	L	L	A ⊕ B
H	L	H	A ИЛИ B
H	H	L	A И В
H	H	H	Установка

Применение

Вычислительный блок для арифметических или логических операций.

Технические данные

Время прохождения сигнала, нс

F

LS

7

15

Ток потребления, мА

54

35

Серия	Std	ALS	AS	F	H	L	LS	S	
			●	●			●		

74384 8-РАЗРЯДНАЯ ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНАЯ СХЕМА УМНОЖЕНИЯ



Описание

Микросхема представляет собой последовательный 8-разрядный 8×1 логический элемент, который умножает два числа, представленных в коде с дополнением до двух.

Работа схемы

8-разрядное слово-множимое через параллельные входы $X_0 - X_7$ поступает в буферный регистр X . Этот регистр управляется исключительно через асинхронный вход сброса Clear. При подаче на вход Clear напряжения низкого уровня происходит очистка регистра от прежней информации, и новые данные могут поступать в регистр. При поступлении на вход Clear напряжения высокого уровня буферный регистр защищается, и изменения состояний входов X больше не оказывают на его работу никакого влияния.

Последовательный ввод слова-множителя происходит через вход Y (начиная с самого младшего разряда). Произведение получают на выходе PROD (начиная с самого младшего разряда) при каждом перенаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт тактового импульса). Выход K служит для расширения схемы при вводе длинных (многоразрядных) данных путем каскадного включения нескольких микросхем 74384. При этом на входе Mode (режим работы) микросхемы самого старшего разряда должно быть установлено напряжение низкого уровня, для всех остальных микросхем – напряжение высокого уровня.

Применение

Схемы умножения двоичных чисел, быстродействующая шинно-ориентированная 8×8-разрядная схема умножения с регистром сдвига 74LS322.

Технические данные

	F	LS
Максимальная тактовая частота, МГц	100	25
Ток потребления, мА	60	91

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

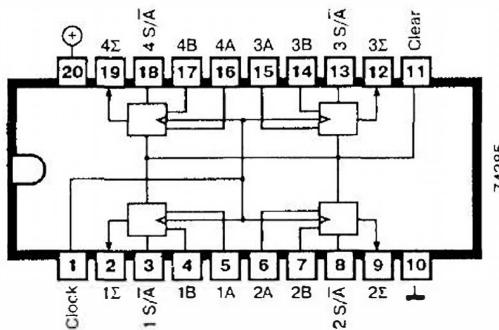
Входы						Предыдущее состояние	Выходы	Функция
Clear	Clock	K	M	X	Y			
		L	L					Старший каскад схемы умножения
		CS	H					Каскадное включение микросхем
L			OP		L	L		Ввод новых множимых, сброс регистров
H								Разрешение работы схемы
H				L	L	AR		Сдвиг регистра суммы
H				L	H	AR		Сложение множимого с суммой и сдвиг регистра суммы
H				H	L	AR		Вычитание множимого из суммы и сдвиг регистра суммы
H				H	H	AR		Сдвиг регистра суммы

CS – соединение с выходом PROD

OP – буферный регистр X открыт для приема новых данных

AR – вывод информации в соответствии с алгоритмом

74385 ЧЕТЫРЕ ОДНОРАЗРЯДНЫХ ПОЛНЫХ СУММАТОРА/ВЫЧИТАТЕЛЯ



Описание

Микросхема содержит четыре синхронных последовательных сумматора/вычитателя с общими входами синхронимпульсов и сброса для операций в коде с дополнением до двух.

Работа схемы

Данные, поступающие на входы, выводятся с помощью управляющих входов S/A на четыре независимых выхода S. Если на вход S/A подается напряжение высокого уровня, то осуществляется операция «A минус B»; если на этот вход подается напряжение низкого уровня, то осуществляется операция «B минус A».

При поступлении на вход сброса Clear напряжения низкого уровня происходит асинхронное переключение триггеров: при суммировании на них устанавливается напряжение низкого уровня, а при вычитании – высокого.

Режим работы	Входы					Данные в триггере переноса		Выход Σ после Σ
	Clear	S/A	A	B	Clock	до Σ	после Σ	
Сброс	L	L	X	X	X	L	L	L
	L	H	X	X	X	H	H	L
Суммирование	H	L	L	L	Σ	L	L	L
	H	L	L	L	Σ	H	L	H
	H	L	L	H	Σ	L	L	H
	H	L	L	H	Σ	H	H	L
	H	L	H	L	Σ	L	L	H
	H	L	H	L	Σ	H	H	L
	H	L	H	H	Σ	L	H	L
	H	L	H	H	Σ	H	H	H
Вычитание	H	H	L	L	Σ	L	L	H
	H	H	L	L	Σ	H	H	L
	H	H	L	H	Σ	L	L	L
	H	H	L	H	Σ	H	L	H
	H	H	H	L	Σ	L	H	L
	H	H	H	L	Σ	H	H	H
	H	H	H	H	Σ	L	L	H
	H	H	H	H	Σ	H	H	L

Применение

Быстродействующий сумматор/вычитатель вместе с мультиплексором 74384.

Технические данные

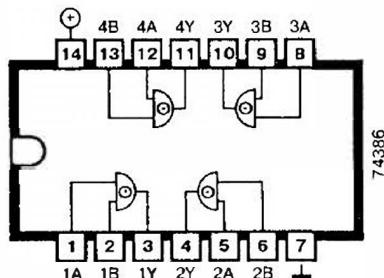
F LS

Максимальная тактовая частота, МГц 100 30

Ток потребления, мА 68 48

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74386 ЧЕТЫРЕ ДВУХВХОДОВЫХ ЭЛЕМЕНТА ИСКЛЮЧАЮЩЕЕ ИЛИ



Описание

Микросхема содержит четыре отдельных логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с двумя входами каждый.

Работа схемы

Все четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ могут использоваться независимо друг от друга.

На выходе каждого элемента формируется напряжение высокого уровня, если только на один из двух его входов подается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, или на оба входа подается напряжение низкого уровня, то на выходе формируется напряжение низкого уровня.

Микросхема может использоваться в качестве цифрового коммутатора. Тогда при идентичных входных сигналах на выходе формируется напряжение низкого уровня, а при различных входных сигналах на выходе появляется напряжение высокого уровня. Схема также может использоваться и как управляемый инвертор, поскольку напряжение низкого уровня на одном из двух входов позволяет передавать на выход сигнал такого же уровня напряжения, который поступает на второй вход. В отличие от этого, при подаче напряжения высокого уровня на один из входов будет инвертироваться уровень напряжения, поступающий на другой вход.

По своему функциональному назначению данная микросхема аналогична схеме 7486, но имеет другое расположение выводов.

Входы		Выход
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

Применение

Реализация логической функции ИСКЛЮЧАЮЩЕЕ ИЛИ, генерирование и проверка четного и нечетного равенства, сумматор/вычитатель, логические коммутаторы.

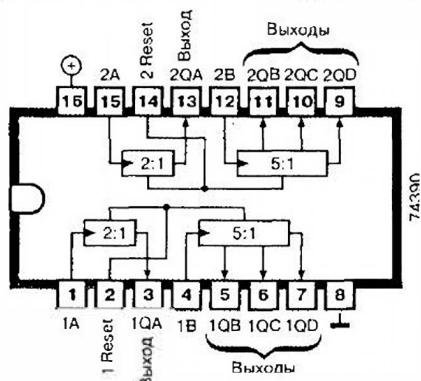
Технические данные

LS

Время задержки прохождения сигнала, нс 10
Ток потребления, мА 6

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74390 ДВА ДЕСЯТИЧНЫХ СЧЕТЧИКА



Описание

Микросхема содержит два делителя частоты на два и два делителя частоты на пять.

Работа схемы

Поскольку микросхема содержит четыре делителя частоты, то она позволяет получать различные коэффициенты деления частоты, а именно: 2:1, 4:1, 5:1, 10:1, 20:1, 25:1, 50:1 и 100:1.

Каждый из двух делителей частоты на два и на пять имеют по одному общему асинхронному входу сброса Reset. Если на один из этих входов кратковременно подается напряжение высокого уровня, то соответствующие счетчики устанавливаются в исходное состояние. В основном режиме работы счета на эти входы поступает напряжение низкого уровня.

Переключение схемы происходит всегда по отрицательному фронту тактового импульса.

Для счета до 10 выход QA соединяется с одним из входов B, и на вывод A подается входной сигнал. В основном режиме работы (счет от 0 до 9) данные на выходах QA - QD представлены в двоично-десятичном коде.

Скважность импульсов выходного напряжения на выходе QD составляет 5 (коэффициент заполнения импульсов ~ 20%). Для получения симметричного выходного напряжения необходимо соединить выход QD с входом A и входной сигнал подать на вход B. Правда, при этом происходит некоторое снижение максимальной тактовой частоты делителя 5:1.

В остальном данная микросхема аналогична двум микросхемам 74290, расположенным в одном корпусе, за исключением того, что в микросхеме 74390 невозможна начальная установка на 9.

Clock		Reset	Функция
A	B		
X	X	H	Сброс делителей
—	X	L	Счет делителя на 2
X	—	L	Счет делителя на 5

Двоично-десятичный код

Счет	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

Двоично-пятеричный код

Счет	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

Применение

Счетчик и делитель частоты.

Технические данные

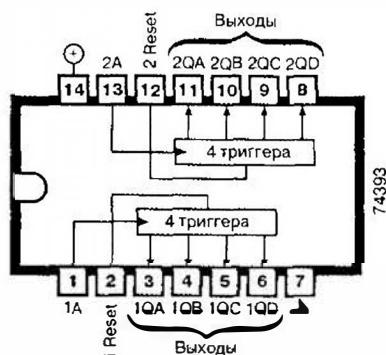
Максимальная рабочая частота, МГц:

вход A	25	25
вход B	20	20
Ток потребления, мА	42	15

Std LS

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74393 ДВА 4-РАЗРЯДНЫХ ДВОИЧНЫХ СЧЕТЧИКА



Описание

Микросхема содержит два отдельных двоичных счетчика с входом сброса каждый.

Работа схемы

Каждый из двух 4-разрядных двоичных счетчиков данной микросхемы, в отличие от микросхемы 74293, не имеет отдельного входа В. Микросхема позволяет получить на выходах различные значения коэффициентов деления частоты, а именно: 2:1, 4:1, 8:1, 16:1, 32:1, 64:1, 128:1 и 256:1.

Каждый делитель частоты состоит из четырех триггеров, работает в двоичном коде и переключается при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт). Кроме того, каждый делитель частоты можно асинхронно установить на ноль с помощью отдельного входа сброса Reset, кратковременно подав на него напряжение высокого уровня. В основном режиме счета на этом входе должно быть установлено напряжение низкого уровня.

Clock	Reset	Выходы
X	H	L
H	L	Нет изменений
L	L	Нет изменений
—	L	Нет изменений
—	L	Счет

Счет	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Применение

Двоичные счетчики и делители.

Технические данные

Максимальная рабочая частота, МГц

Std

LS

25

25

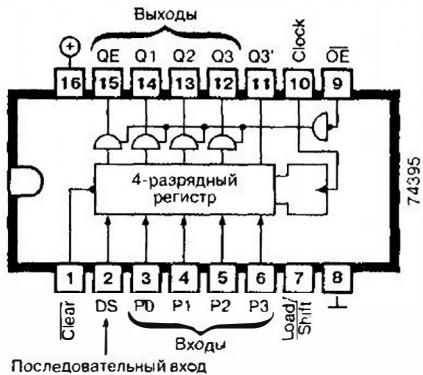
Ток потребления, мА

38

15

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74395 4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ДАННЫХ С АСИНХРОННЫМ ВХОДОМ СБРОСА (ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЕ ВХОД И ВЫХОД)



Описание

Микросхема содержит 4-разрядный регистр сдвига, в котором данные могут вводиться и выводиться последовательно и параллельно. Микросхема имеет вход сброса.

Работа схемы

Микросхема может работать в двух режимах – сдвига и загрузки.

Схема переходит в режим загрузки, когда на вход Load/Shift (загрузка/сдвиг, вывод 7) подается напряжение высокого уровня. Тогда данные, находящиеся на параллельных входах P0 – P3, поступают в регистр при следующем перенале напряжения на входе тактовых импульсов Clock с высокого уровня на низкий (отрицательный фронт). При этом последовательный вход данных DS заперт.

Данные поступают на выходы Q0 – Q3 и Q3'. Если на вывод QE (разрешение формирования выходных сигналов) поступает напряжение высокого уровня, то выходы Q0 – Q3 (за исключением выхода Q3') переходят в высокоомное (третье) состояние. Выход Q3' служит для каскадного включения нескольких микросхем. При этом не оказывается никакого влияния на работу регистра сдвига.

Для переключения микросхемы в режим сдвига на вывод 7 подается напряжение низкого уровня. В этом случае информация, приходящая на последовательный вход данных DS, передается на выход Q0 по каждому отрицательному фронту тактового импульса. Данные на выходах Q0, Q1 и Q2 сдвигаются на выходы Q1, Q2 и Q3 соответственно, а данные на выходе Q3 теряются или сдвигаются в следующий подключенный модуль.

Вход сброса Clear работает независимо от всех других входов микросхемы. Если на него подается кратковременный сигнал низкого уровня, то информация, хранящаяся на всех ступенях регистра сдвига, стирается, то есть на них устанавливается напряжение низкого уровня.

Применение

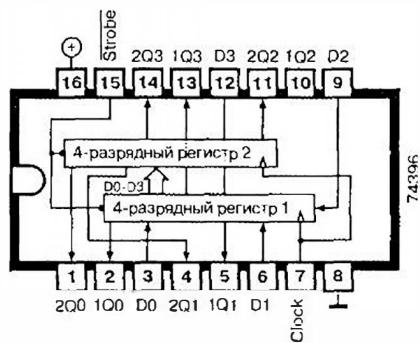
Буферный регистр, преобразователь параллельного кода в последовательный и на-
оборот.

Технические данные

	F	LS
Максимальная рабочая частота, МГц	120	30
Ток потребления, мА	32	17

Серия	Std	ALS	AS	F	H	L	LS	S	
			●	●			●		

74396 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ С ПОСЛЕДОВАТЕЛЬНЫМ ВХОДОМ И ПАРАЛЛЕЛЬНЫМ ВЫХОДОМ



Описание

Микросхема содержит два 4-разрядных регистра, с помощью которых слова длиной 4 бита можно превращать в слова длиной 8 бит.

Работа схемы

Микросхема служит прежде всего для преобразования 4-разрядных слов в 8-разрядные. Для этого 4-разрядное слово поступает на входы данных D0 – D3. При последующем перенале напряжения на входе таймовых импульсов Clock с низкого уровня на высокий (положительный фронт) эти данные с информационных входов поступают в первый регистр данных.

После этого второе 4-разрядное слово подается на входы D0 – D3. При последующем положительном фронте тактового импульса эти данные загружаются в первый регистр. Одновременно данные, уже хранящиеся в первом регистре, поступают во второй регистр.

Это означает, что после подачи двух таймовых импульсов на выходы 2Q0 – 2Q3 поступает первое 4-разрядное слово и на выходы 1Q0 – 1Q3 – второе 4-разрядное слово. Таким образом, происходит полное преобразование 4-разрядного слова в 8-разрядное.

При этом на входе стробирующих импульсов Strobe должно быть установлено напряжение низкого уровня. Если на этот вход подается напряжение высокого уровня, то на всех выходах формируется напряжение низкого уровня.

Применение

Буферный регистр, преобразователь 4-разрядных слов в 8-разрядные.

Технические данные

LS

Время задержки прохождения сигнала, нс

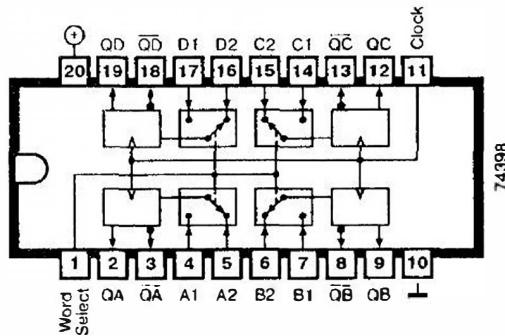
20

Ток потребления, мА

24

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74398 ЧЕТЫРЕ 2-КАНАЛЬНЫХ МУЛЬТИПЛЕКСОРА С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема позволяет производить выборку из двух 4-разрядных источников данных и хранить выбранные данные.

Работа схемы

Когда на вход выбора слова Word Select подается напряжение низкого уровня, слово 1, то есть данные, поступившие на входы A1, B1, C1 и D1, при перенаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) записывается в соответствующие триггеры. Данные затем поступают на прямые выходы QA – QD и на инверсные QA – QD.

Подача напряжения высокого уровня на вход выбора слова оказывает такое же действие на информационные входы A2, B2, C2 и D2.

Данная микросхема аналогична 74399, которая выполнена в 16-выводном корпусе и не имеет инверсных выходов.

Применение

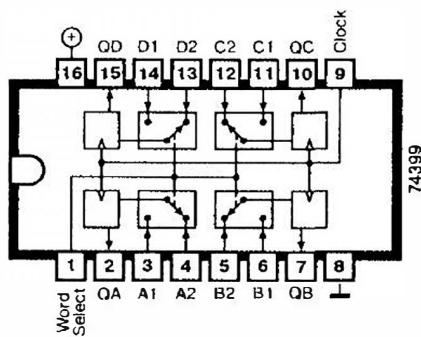
Выборка или объединение 4-разрядных слов, регистр сдвига данных в двоично-десятичном коде.

Технические данные

	F	LS
Время задержки прохождения сигнала, нс	5,7	19,5
Ток потребления, мА	25	7

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74399 ЧЕТЫРЕ 2-КАНАЛЬНЫХ МУЛЬТИПЛЕКСОРА С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема позволяет производить выборку данных из двух 4-разрядных источников и хранить выбранные данные.

Работа схемы

Когда на вход выбора слова Word Select подается напряжение низкого уровня, слово 1, то есть данные, поступившие на входы A1, B1, C1 и D1, при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) записывается в соответствующие триггеры. Данные затем поступают на выходы QA – QD.

Подача напряжения высокого уровня на вход выбора слова оказывает такое же действие на информационные входы A2, B2, C2 и D2.

Данная микросхема аналогична 74398, которая выполнена в 20-выводном корпусе и имеет дополнительные инверсные выходы.

Применение

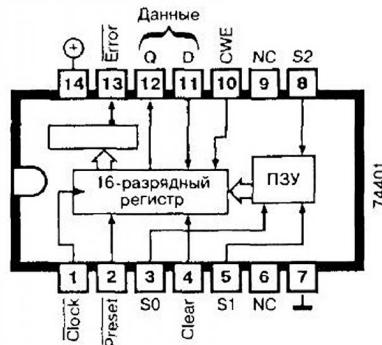
Выборка или объединение 4-разрядных слов, регистр сдвига данных в двоично-десятичном коде.

Технические данные

	F	LS
Время задержки прохождения сигнала, нс	5,7	19,5
Ток потребления, мА	22	7

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74401 ГЕНЕРАТОР КОНТРОЛЬНОГО КОДА CRC



Описание

Микросхема содержит генератор и устройство для контроля при помощи циклического избыточного кода (CRC).

Работа схемы

Микросхема позволяет устанавливать ошибки в многоакадийных схемах с последовательной обработкой данных.

С помощью трехразрядного управляющего кода (входы S0 – S2) выбирается один из восьми полиномов, формируемых генератором. В перечень полиномов входят как полиномы типа CRC-16 и CRC-CCITT, так и их обратные величины. Для полинома со степенью меньше 16 автоматически показывается свободная от ошибок передача данных. Для работы с накопителями на гибких дисках и другими устройствами в микросхеме предусмотрены отдельные входы для сброса Clear и для начальной установки Preset. С помощью сигнала, снимаемого с выхода Error (ошибка), определяют, есть ли ошибка при передаче. Управляющий вход CWE (разрешение проверки слова) блокирует действие обратной связи во время передачи проверяемого слова.

Выбор кода			Полином	Примечание
S2	S1	S0		
L	L	L	$X^{16} + X^{15} + X^2 + 1$	CRC-16
L	L	H	$X^{16} + X^{14} + X + 1$	Обратная величина CRC-16
L	H	L	$X^{16} + X^{15} + X^{13} + X^7 + X^4 + X^2 + X + 1$	
L	H	H	$X^{12} + X^{11} + X^3 + X^2 + X + 1$	CRC-12
H	L	L	$X^8 + X^7 + X^5 + X^4 + X + 1$	
H	L	H	$X^8 + 1$	CRC-8
H	H	L	$X^{16} + X^{12} + X^5 + 1$	CRC-CCITT
H	H	H	$X^{16} + X^{11} + X^4 + 1$	Обратная величина CRC-CCITT

Применение

Контроль последовательной передачи данных при работе с накопителями на гибких дисках и другими накопителями на магнитных дисках, с цифровыми кассетными устройствами и системами передачи данных.

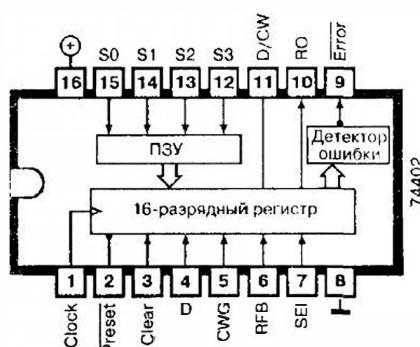
Технические данные

F

Максимальная тактовая частота, МГц	70
Ток потребления, мА	70

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74402 ГЕНЕРАТОР КОНТРОЛЬНОГО КОДА CRC



Описание

Микросхема представляет собой расширенную схему генератора циклического контроля по избыточности 74F461 и использует полиномы Ethernet и полиномы 32, 48 и 56 степени.

Работа схемы

Выбор полинома происходит через входы выбора S0 – S3. В микросхеме имеются следующие дополнительные выводы: вход CWG (генерация слова контроля), выход RO (выход регистра), вход SEI (вход последовательного расширения схемы), вход RFB (регистр обратной связи).

Тактирование осуществляется при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт).

Применение

Контроль последовательной передачи данных при работе с накопителями на магнитных дисках, с цифровыми кассетными устройствами и системами передачи данных.

Технические данные

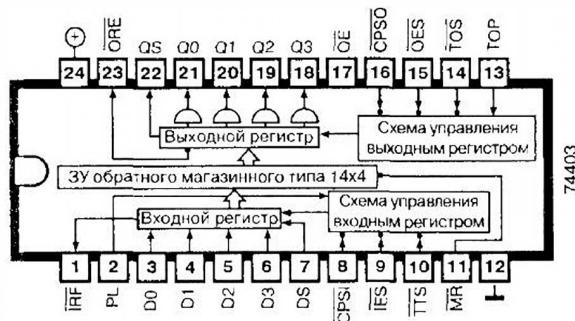
Максимальная тактовая частота, МГц	30
Ток потребления, мА	110

F

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

	Выбор кода				Полином	Примечание
	S3	S2	S1	S0		
0	L	L	L	L	0	$S = 0$
C	H	H	L	L	$X^{32} + X^{28} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$	Полином Ethernet
D	H	H	L	H	$X^{32} + X^{31} + X^{27} + X^{26} + X^{25} + X^{19} + X^{16} + X^{15} + X^{13} + X^{12} + X^{11} + X^9 + X^7 + X^6 + X^5 + X^4 + X^2 + X + 1$	Остаток полинома Ethernet
E	H	H	H	L	$X^{16} + X^{15} + X^2 + 1$	CRC-16
F	H	H	H	H	$X^{16} + X^{12} + X^{11} + X^5 + 1$	CRC-CCITT
7	L	H	H	H	$X^{56} + X^{55} + X^{49} + X^{45} + X^{41} + X^{39} + X^{38} + X^{37} + X^{36} + X^{31} + X^{22} + X^{19} + X^{17} + X^{16} + X^{15} + X^{14} + X^{11} + X^9 + X^5 + X + 1$	56-я степень
4	L	H	L	L		
8	H	L	L	L		
5	L	H	L	H	$X^{48} + X^{36} + X^{35} + X^{23} + X^{21} + X^{15} + X^{13} + X^8 + X^2 + 1$	48-я степень
9	H	L	L	H		
1	L	L	L	H		
6	L	H	H	L	$X^{32} + X^{23} + X^{21} + X^{11} + X^2 + 1$	32-я степень
A	H	L	H	L		

74403 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА, 64 БИТА, С ПОСЛЕДОВАТЕЛЬНЫМИ И ПАРАЛЛЕЛЬНЫМИ ВХОДАМИ/ВЫХОДАМИ (16×4, ТРИ СОСТОЯНИЯ)



74403

Описание

Микросхема содержит запоминающее устройство ЗУ объемом памяти 64 бита (16 слов по четыре разряда каждое), которые считаются в той же последовательности, в какой были записаны. Последовательная или параллельная запись и считывание осуществляются через соответствующий входной/выходной регистр.

Работа схемы

Микросхема 74403 состоит из трех элементов:

- входной регистр с параллельными и последовательными вводами данных;
- и с соответствующими входами управления;
- стековое ЗУ глубиной 14 слов и шириной 4 бита;
- выходной регистр с параллельными и последовательными выходами данных и с входами управления.

Параллельный ввод данных: при подаче на вход PL напряжения высокого уровня данные со входов D0 – D3 загружаются во входной регистр. На выходе \overline{IRF} (входной регистр заполнен) формируется напряжение низкого уровня. На выводы CPSI (тактовые импульсы последовательного ввода) и \overline{IES} (разрешение последовательного ввода) следует подать напряжение низкого уровня.

Последовательный ввод данных: данные с входа DS последовательно поступают во входной регистр при каждом перенаде напряжения на входе CPSI с высокого уровня на низкий (на входах \overline{IES} и PL должно быть установлено напряжение низкого уровня).

Передача данных в стековое ЗУ: при подаче на вход TTS (передача данных в стек) напряжения низкого уровня происходит перенос данных в стековое ЗУ. Если выход \overline{IRF} соединен с входом TTS, то передача данных в стек происходит автоматически.

Параллельный вывод данных: при подаче на вывод сброса MR сигнала низкого уровня на выходе \overline{ORE} (выходной регистр пуст) устанавливается напряжение низкого уровня. При подаче на вход TOP (параллельный вывод данных) напряжение

высокого уровня данные, находящиеся на самой нижней ступени стека, поступают в выходной регистр (при этом на выходе OE установлено напряжение высокого уровня). С помощью вывода TOP можно считывать следующее слово, которое было записано в стековом ЗУ вслед за только что считанным (на выводе CPSO установлено напряжение низкого уровня).

Подача на вывод OE напряжения высокого уровня переводит выходы Q0 – Q3 в высокоомное (третье) состояние.

Последовательный вывод данных: при перепаде напряжения на выводе CPSO с высокого уровня на низкий данные последовательно поступают на выход QS.

Микросхему можно расширить как по ширине, так и по глубине слова.

Применение

Быстродействующие буферные ЗУ для контроллеров на магнитных дисках или лентах, буферы связи.

Технические данные

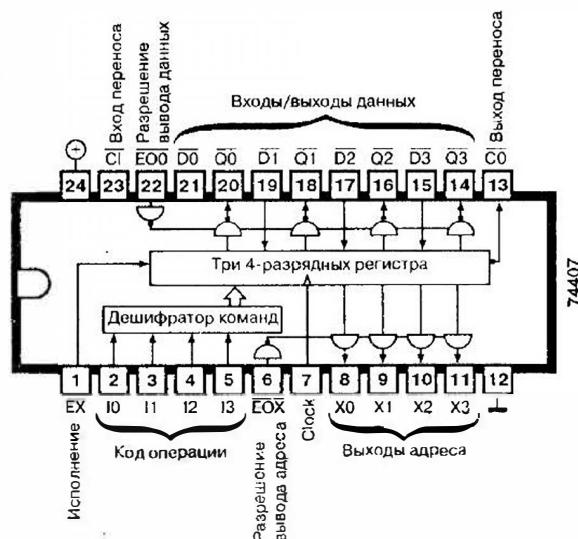
F

Ток потребления, мА

115

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74407 АЛУ С НАБОРОМ РЕГИСТРОВ



74407

Описание

Адресное регистровое запоминающее устройство с произвольным доступом выполняет арифметические операции над данными, которые фиксируются и хранятся в стековой памяти запоминающего устройства с произвольной выборкой (ЗУПВ).

Работа схемы

Микросхема содержит три 4-разрядных регистра, которые предназначены для счетчика команд (R_0), указателя вершины стека (R_1) и адреса операнда (R_2). 16 различных команд, которые подаются через входы 10 – 13, позволяют уменьшать значение на единицу или прибавлять единицу к счетчику команд и передавать данные от одного регистра к другому в течение одного периода синхроимпульса.

Микросхема имеет два выходных порта, один из которых прозрачен. Кроме того, она позволяет осуществить относительную адресацию.

Микросхему можно наращивать на 4 бита. Она вполне пригодна для ввода 16-разрядных слов при максимальном значении частоты тактовых импульсов равном 30 МГц.

Применение

Управление стековой памятью.

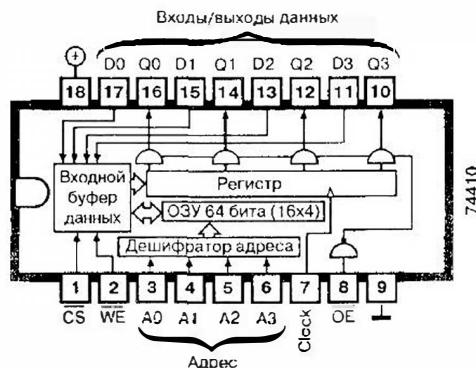
Технические данные

Максимальная тактовая частота, МГц	30
Ток потребления, мА	90

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

Команда				Операция, выполняемая на X-шине	Передача данных, которая осуществляется последующему положительному фронту тактового импульса
I3	I2	I1	I0		
L	L	L	L	R ₀	R0 плюс D плюс CI – R0 и 0-регистр
L	L	L	H	R ₀ плюс D плюс CI	
L	L	H	L	R ₀	R0 плюс D плюс CI – R1 и 0-регистр
L	L	H	H	R ₀ плюс D плюс CI	
L	H	L	L	R ₀	R0 плюс D плюс CI – R2 и 0-регистр
L	H	L	H	R ₀ плюс D плюс CI	
L	H	H	L	R ₁	R1 плюс D плюс CI – R1 и 0-регистр
L	H	H	H	R ₁ плюс D плюс CI	
H	L	L	L	R ₂	D плюс CI – R2 и 0-регистр
H	L	L	H	D плюс CI	
H	L	H	L	R ₀	D плюс CI – R0 и 0-регистр
H	L	H	H	D плюс CI	
H	H	L	L	R ₂	R2 плюс D плюс CI – R2 и 0-регистр
H	H	L	H	R ₂ плюс D плюс CI	
H	H	H	L	R ₁	D плюс CI – R1 и 0-регистр
H	H	H	H	D плюс CI	

74410 ОЗУ С ВЫХОДНЫМ РЕГИСТРОМ (16x4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит быстродействующее запоминающее устройство с произвольной выборкой (ЗУПВ), объемом памяти 64 бита (16 машинных слов по 4 бита каждое: 16x4), с выходным регистром, запускаемым синхроимпульсами.

Работа схемы

С помощью отдельного 4-разрядного выходного регистра, запускаемого фронтом тактового импульса, новые данные могут записываться, в то время как предшествующие хранятся в памяти.

Запись данных в память: когда на три управляющих входа – \overline{WE} (разрешение записи), \overline{CS} (выбор кристалла) и $Clock$ (синхроимпульс) – подается напряжение низкого уровня, данные с информационных входов $D0$ – $D3$ поступают в ячейки памяти, которые выбираются через адресные входы $A0$ – $A3$.

Если три управляющих входа WE , CS и $Clock$ остаются в состоянии с напряжением низкого уровня, содержимое ячейки с указанным адресом изменяется при условии, что соблюдаются критерии «установки» и «время удержания» данных в ячейке.

Считывание данных: если на вход выбора кристалла \overline{CS} подается напряжение низкого уровня и напряжение тактового импульса переходит с низкого уровня на высокий, то содержимое выбранной ячейки памяти поступает по фронту синхроимпульса в выходной регистр.

Вход OE (разрешение формирования выходных сигналов) управляет выходным буфером. Подача на вход OE напряжения высокого уровня переводит четыре выхода $Q0$ – $Q3$ в высокоомное (третье) состояние. При поступлении на разрешающий вход OE напряжения низкого уровня на выходах $Q0$ – $Q3$ устанавливается напряжение такого же уровня, что и на выходном регистре.

Применение

Быстродействующее буферное запоминающее устройство, в частности для стекового ЗУ.

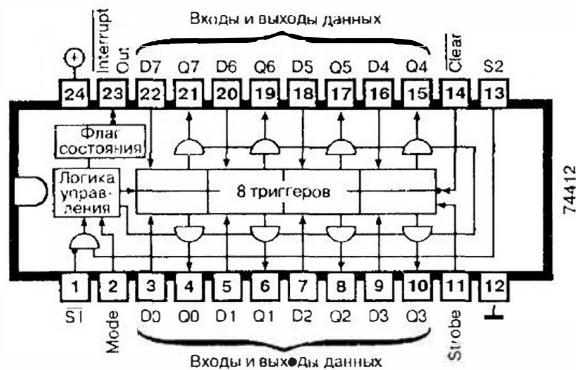
Технические данные

F

Стандартное время выборки из ЗУ, нс 35
Ток потребления, мА 70

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74412 8-РАЗРЯДНЫЙ РЕГИСТР НА D-ТРИГГЕРАХ С ТРИГГЕРОМ СОСТОЯНИЯ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит универсальное 8-разрядное буферное устройство с выходами, имеющими три состояния, и триггер состояния, запускаемый фронтом импульса.

Работа схемы

Данные, поступающие на входы восьми D-триггеров, могут записываться или стираться в них, а выходы – переходить в высокоомное (третье) состояние. Все эти операции осуществляются с помощью входов Clear (очистка), Mode (режим работы), входов выборки S1 и S2 и входа строб-импульсов Strobe согласно приведенной ниже таблице функций.

На выходе триггера состояния формируется напряжение низкого уровня при выборе логического модуля или когда в микросхему поступает стробирующий сигнал. Таким образом, с помощью этого триггера можно определить, работает ли регистр, или генерировать сигнал прерывания.

Данная микросхема аналогична 74432, которая, в отличие от схемы 74412, имеет не прямые, а инверсные выходы.

Функционирование регистра данных

Функция	Clear	M	S1	S2	STB	Вход данных	Выход данных
Стирание	L	H	H	X	X	X	L
	L	L	L	H	L	X	L
Отключение	X	L	X	L	X	X	Z
	X	L	H	X	X	X	Z
Хранение	H	H	H	L	X	X	Q_0
	H	L	L	H	L	X	Q_0
Шина данных	H	H	L	H	X	L	L
	H	H	L	H	X	H	H
Шина данных	H	L	L	H	H	L	L
	H	L	L	H	H	H	H

**Функционирование триггера
состояния**

Clear	S1	S2	STB	INT
L	H	X	X	H
L	X	L	X	H
H	X	X	—	L
H	L	H	X	L

Применение

Буферное запоминающее устройство в пинно-ориентированных системах.

Технические данные

F S

Время задержки прохождения сигнала, нс

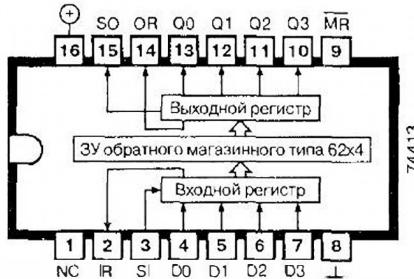
6 12

Ток потребления, мА

40 82

Серия	Std	ALS	AS	F	H	L	LS	S	
				●				●	

74413 ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА С ПОСЛЕДОВАТЕЛЬНЫМИ И ПАРАЛЛЕЛЬНЫМИ ВХОДАМИ/ВЫХОДАМИ (64x4)



74413

Описание

Микросхема содержит запоминающее устройство ЗУ емкостью 62 слова по 4 разряда (бита) каждое, которыечитываются в той же последовательности, в какой были записаны. Последовательная или параллельная запись и считывание осуществляются через соответствующий регистр.

Работа схемы

Микросхема 74413 состоит из трех элементов:

- входной регистр с параллельными и последовательными входами данных и с соответствующими входами управления;
- стековое ЗУ глубиной 62 слова и шириной 4 бита;
- выходной регистр с параллельными и последовательными выходами данных и с входами управления.

Ввод данных: высокий уровень напряжения на выходе IR (вход готов) показывает, что первая ячейка памяти ЗУ готова к приему данных. Данные поступают в эту ячейку, когда на вход SI подается напряжение высокого уровня (на выходе IR при этом формируется напряжение низкого уровня). Данные находятся в первой ячейке памяти до тех пор, пока на вход SI не будет подано напряжение низкого уровня. Если ЗУ загружено данными не полностью, то на выходе IR снова появляется напряжение высокого уровня. Аналогичным путем данные сдвигаются и поступают во вторую ячейку памяти. Это происходит до тех пор, пока данные не достигнут выходной ступени или пока накопитель не заполнится целиком. При полной загрузке ЗУ данными на выходе IR устанавливается напряжение низкого уровня.

Передача данных к следующим свободным ячейкам памяти ЗУ происходит автоматически.

Вывод данных осуществляется через выходы Q0 – Q3. На выходе OR (выход готов) формируется напряжение высокого уровня. Последовательный вывод данных возможен при подаче на вывод SO напряжения высокого уровня (на выходе OR при этом формируется напряжение низкого уровня). Поступление на вывод SO напряжения низкого уровня сдвигает данные к ступени выхода.

Выходы IR и OR могут использоваться в качестве индикаторов заполняемости ЗУ: если накопитель загружен полностью, то на выходе IR устанавливается напряжение низкого уровня при минимальном времени t_{PT} ; если накопитель совершенно пустой, то на выходе OR устанавливается напряжение низкого уровня при минимальном времени t_{PT} (t_{PT} – это время, которое требуется первым данным, поступающим с входа в пустой накопитель, для достижения выхода).

Применение

Быстродействующие буферные ЗУ для контроллеров на магнитных дисках или лентах, буферы связи.

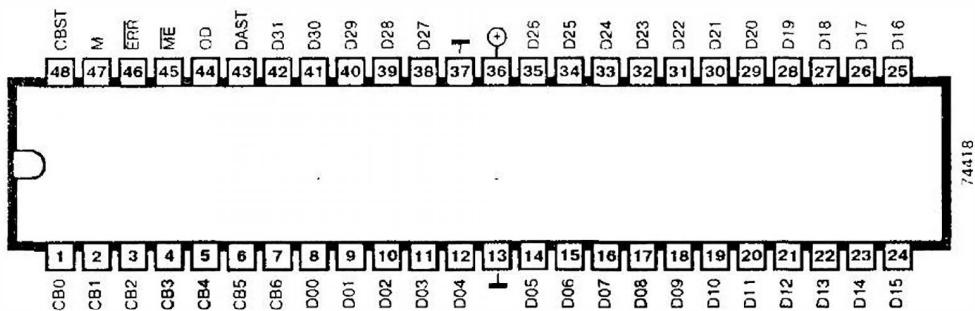
Технические данные

F

Максимальная частота сдвига, МГц	10
Ток потребления, мА	115

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74418 32-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И ИСПРАВЛЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и исправления однобитовых ошибок и для обнаружения двухбитовых ошибок в 32-разрядных словах. Она имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и исправления ошибок использует видоизмененный код Хемминга для формирования из 32-разрядного информационного слова 7-разрядного контрольного кода.

Информационное слово и контрольный код записываются в память накопителя. При их последующем считывании происходит обнаружение и корректирование каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При подаче на вход режима работы Mode напряжения низкого уровня контрольный код, формируемый на выводах CB2 – CB5, имеет четное количество единиц (то есть четный), в то время как на выводах CBO, CB1 и CB6 контрольный код имеет нечетное количество единиц. Такое видоизменение кода Хемминга приводит к тому, что микросхема реагирует на процесс записи-считывания всех единиц или всех нулей (все 39 бит информации), что наблюдается на выводе ME.

При исправлении ошибки, когда на выводы DAST (строб данных) и CBST (строб контрольного кода) подается напряжение низкого уровня, на шинах CBI/O формируется код с ошибочной структурой. Наличие нулей в этом коде указывает на ошибку в соответствующем контрольном двоичном разряде, хранящемся в накопителе (поступает на выводы D0 – D1). Если код с ошибочной конфигурацией состоит только из единиц, это свидетельствует об отсутствии ошибки. Наличие только одного нуля в коде с ошибочной структурой указывает на то, что соответствующий разряд контрольного кода неверен и корректировка данных не требуется. Такая ситуация наблюдается при подаче на вывод ERR напряжения низкого уровня.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Применение

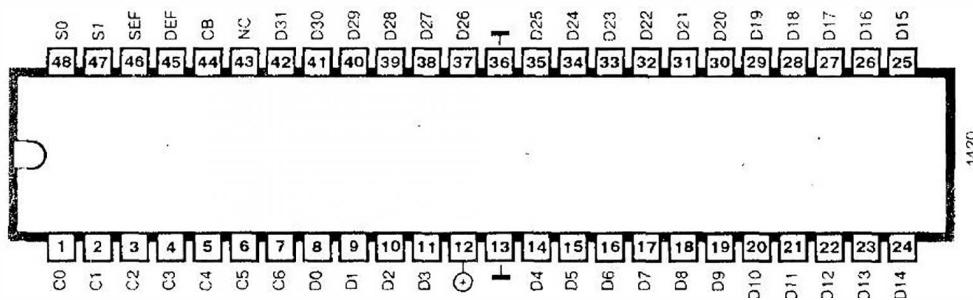
Обнаружение и устранение ошибок в 32-разрядных словах.

Технические данные

Время на устранение однобитовых ошибок, нс	F	60
Время на обнаружение двухбитовых ошибок, нс		85
Ток потребления, мА		400

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74420 32-РАЗРЯДНАЯ СХЕМА ОБНАРУЖЕНИЯ И ИСПРАВЛЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и исправления однобитовых ошибок и для обнаружения двухбитовых ошибок в 32-разрядных словах. Она имеет выходы с тремя состояниями.

Работа схемы

Микросхема представляет собой генератор параллельного контрольного кода для обнаружения ошибок. Схема использует видоизмененный код Хемминга для генерирования семи контрольных двоичных разрядов из 32-разрядного информационного слова в течение 15 нс (работа схемы в режиме генерирования контрольного кода).

Когда микросхема работает в режиме генерирования двоичных разрядов для обнаружения ошибок, контрольные двоичные разряды и информационные двоичные разряды после считывания в ЗУ поступают в сумматор четности, чтобы формировать разряды для обнаружения ошибок.

Максимальное число ошибок, которые могут быть установлены, – две. Однобитовая ошибка может выявляться в течение 18 нс, а двухбитовая – 22 нс. Максимальное время формирования двоичного разряда для обнаружения ошибок составляет 15 нс.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Применение

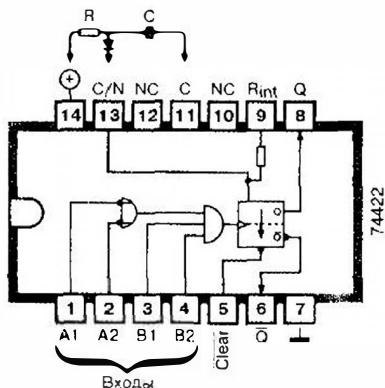
Обнаружение и устранение ошибок в 32-разрядных словах.

Технические данные

Время на устранение однобитовых ошибок, нс	60
Время на обнаружение двухбитовых ошибок, нс	85
Ток потребления, мА	125

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74422 ОДНОВИБРАТОР С ВХОДОМ СБРОСА И ВОЗМОЖНОСТЬЮ ПЕРЕЗАПУСКА



Описание

Микросхема содержит одновибратор с прямым и инверсным выходами, входом сигнала сброса и возможностью перезапуска.

Работа схемы

Длительность выходного импульса t зависит от постоянной времени RC : $t = 0,32C(R + 700 \text{ Ом})$. При этом сопротивление R может быть от 5 до 260 кОм, а емкость C – от 10 пФ и выше. Если в качестве конденсатора внешней RC -цепи задействован электролитический конденсатор или для выполнения команды сброса взята емкость $C > 1 \text{ нФ}$, следует применить диод с маркировкой в виде штриха. Тогда длительность выходного импульса будет определяться по формуле $t = 0,28C(R + 700 \text{ Ом})$. Можно использовать внутреннее сопротивление микросхемы (10 кОм) и лишь один внешний конденсатор. В таком случае на вывод 9 подается напряжение +5 В.

Одновибратор включается отрицательным фронтом входного сигнала на входах А1 и А2. При этом каждый раз на один из двух входов А и на входы В подается напряжение высокого уровня.

Входы В включаются перепадом входного сигнала с низкого уровня напряжения на высокий (положительный фронт), причем на второй вход В должно поступать напряжение высокого уровня и, по крайней мере, на один из входов А – напряжение низкого уровня.

Уже запущенный одновибратор может быть вновь запущен в любое время, так что длительность выходного импульса считается от последнего включения.

В основном режиме работы на вход сигнала сброса Clear подается напряжение высокого уровня. Это ведет к тому, что на выходе Q устанавливается напряжение низкого уровня, а на выходе \bar{Q} – высокого. Как следствие, можно досрочно прервать выходной импульс, то есть сократить длительность выходного импульса.

Данная микросхема аналогична 74122, но отличается от последней тем, что схему 74422 невозможно запустить через вход сброса Clear.

Входы					Выходы	
Clear	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X		H		
H	L	X	H			
H	X	L	H	H	L	H
H	X	L		H		
H	X	L	H			
H	H		H	H		
H			H	H		
H		H	H	H		

Применение

Блок задержки импульсов и латчик времени (таймер), формирователь импульсов.

Технические данные

15

Минимальная длительность выходного импульса, ис-

120

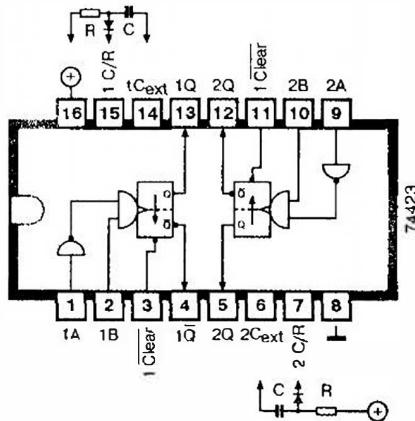
Время задержки сигнала на входе А или В нес

30

Ток потребления, мА

六

74423 ДВА ОДНОВИБРАТОРА С ВХОДАМИ СБРОСА И ВОЗМОЖНОСТЬЮ ПЕРЕЗАПУСКА



Описание

Микросхема содержит два одновибратора с прямым и инверсным выходами, входами сигнала сброса и возможностью перезапуска.

Работа схемы

Длительность выходного импульса t зависит от постоянной времени RC : $t = 0,32C(R + 700 \text{ Ом})$. При этом сопротивление R может быть от 5 до 260 кОм, а емкость C – от 10 пФ и выше. Если в качестве конденсатора внешней RC -цепи задействован электролитический конденсатор или для выполнения командыброса взята емкость $C > 1 \text{ нФ}$, следует применить диод с маркировкой в виде штриха. Тогда длительность выходного импульса будет определяться по формуле: $t = 0,28C(R + 700 \text{ Ом})$. Можно использовать внутреннее сопротивление микросхемы (10 кОм) и лишь один внешний конденсатор. В таком случае на вывод 9 подается напряжение +5 В.

Одновибратор включается отрицательным фронтом сигнала на входе А. При этом на вход В должно подаваться напряжение высокого уровня.

Вход В включается перепадом входного сигнала с низкого уровня напряжения на высокий (положительный фронт), причем на вход А должно подаваться напряжение низкого уровня.

Уже включенная микросхема может быть вновь запущена в любое время.

В основном режиме работы на вход сигнала сброса Clear подается напряжение высокого уровня. Это ведет к тому, что на выходе Q устанавливается напряжение низкого уровня, а на выходе \bar{Q} – высокого. Как следствие, можно досрочно прервать выходной импульс, то есть сократить длительность выходного импульса.

Данная микросхема аналогична 74123, но отличается от последней тем, что схему 74422 невозможно запустить через вход сброса Clear.

Входы			Выходы	
Clear	A	B	Q	\bar{Q}
L	X	X	L	H
H	H	X	L	H
H	X	L	L	H
H	L	—	—	—
H	—	H	—	—

Применение**ПРИЕМНИКИ ВРЕМЕНИ**

Блок задержки импульсов и датчик времени (таймер), формирователь импульсов.

Технические данные**LS**

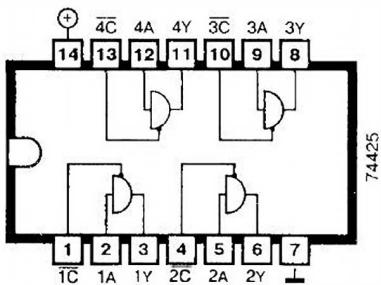
Минимальная длительность выходного импульса, нс 120

Время задержки сигнала на входе А или В, нс 30

Ток потребления, мА 12

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74425 ЧЕТЫРЕ НЕИНВЕРТИРУЮЩИХ БУФЕРА ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит четыре отдельных неинвертирующих буфера шины с выходами, имеющими три состояния.

Работа схемы

Микросхема служит в качестве буфера шины при нормальных ТТЛ-уровнях. С помощью дополнительных управляющих входов \bar{C} выходы нетрудно перевести в высокоомное (третье) состояние, подав на соответствующий вход \bar{C} напряжение высокого уровня (+5 В). Иногда эти входы называются разрешающими (Enable).

С помощью выходов с тремя состояниями можно также реализовать схему монитажное И с коротким временем срабатывания.

Такие модули позволяют очень просто заменить каскадный выход интегральной микросхемы на выход с тремя состояниями, когда подобный буфер подключается к выходу соответствующей ИС.

С данной схемой совместима по расположению контактов микросхема 74426, но в ней выходы переходят в третье состояние, когда на управляющие входы \bar{C} подается напряжение низкого уровня.

Входы		Выход Q
\bar{C}	A	
L	L	L
L	H	H
H	X	Z

Применение

Буфер шин.

Технические данные

Std

Время задержки прохождения сигнала, нс

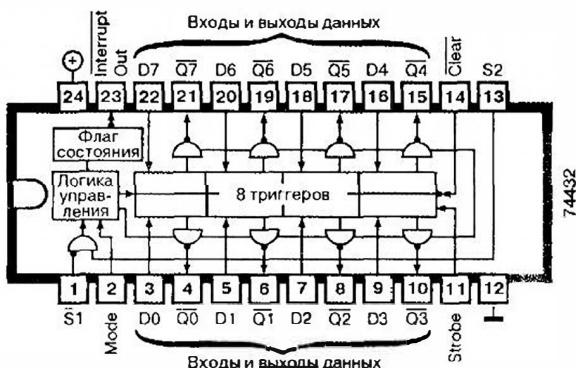
10

Ток потребления, мА

32

Серия	Std	ALS	AS	F	H	L	LS	S	
●									

74432 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР С ТРИГГЕРОМ СОСТОЯНИЯ (ТРИ СОСТОЯНИЯ)



74432

Описание

Микросхема содержит универсальный 8-разрядный буферный регистр с выходами, имеющими три состояния, и триггер состояния, запускаемый фронтом импульса.

Работа схемы

Данные, поступающие на входы восьми D-триггеров, могут записываться или стираться в них, а выходы – переходить в высокоомное (третье) состояние. Все эти операции осуществляются с помощью входов Clear (очистка), Mode (режим работы), входов выборки S1 и S2 и входа строб-импульсов Strobe согласно приведенной ниже таблице функций.

На выходе триггера состояния формируется напряжение низкого уровня при выборе логического модуля или когда в микросхему поступает стробирующий сигнал. Таким образом, с помощью триггера можно определить, работает ли регистр, или генерировать сигнал прерывания 122.

Данная микросхема аналогична 74412, которая, в отличие от схемы 74432, имеет неинвертирующие выходы.

Функционирование регистра данных

Функция	Clear	M	S1	S2	Strobe	Вход данных	Выход данных
Стирание	L	H	H	X	X	X	L
	L	L	L	H	L	X	L
Отключение	X	L	X	L	X	X	Z
	X	L	H	X	X	X	Z
Хранение	H	H	H	L	X	X	Q ₀
	H	L	L	H	L	X	Q ₀
Шина данных	H	H	L	H	X	L	H
	H	H	L	H	X	H	L
Шина данных	H	L	L	H	H	L	H
	H	L	L	H	H	H	L

Функционирование триггера
состояния

Clear	S1	S2	STB	INT
L	H	X	X	H
L	X	L	X	H
H	X	X	—	L
H	L	H	X	L

Применение

Буферное запоминающее устройство в шинно-ориентированных системах.

Технические данные

F

Время задержки прохождения сигнала, нс

7

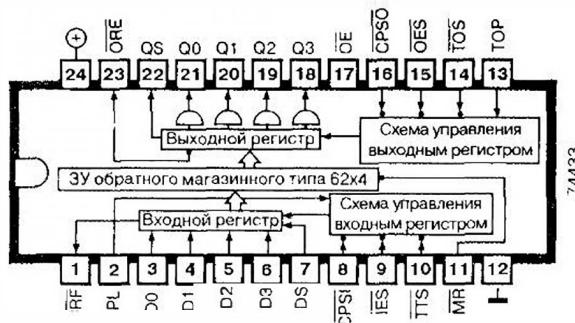
Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74433

ЗУ ОБРАТНОГО МАГАЗИННОГО ТИПА С ПОСЛЕДОВАТЕЛЬНЫМИ И ПАРАЛЛЕЛЬНЫМИ ВХОДАМИ/ВЫХОДАМИ (64×4, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит запоминающее устройство ЗУ объемом памяти 256 бит (с организацией памяти 64 слова по четыре разряда каждого), которые считаются в той же последовательности, в какой были записаны. Последовательная или параллельная запись и считывание осуществляются через соответствующий регистр.

Работа схемы

Микросхема 74433 состоит из трех элементов:

- входной регистр с параллельными и последовательными вводами данных и с соответствующими входами управления;
- стековое ЗУ глубиной 64 слова и шириной 4 бита;
- выходной регистр с параллельными и последовательными выводами данных и с входами управления.

Параллельный ввод данных: при подаче на вход PL напряжения высокого уровня данные с входов D0 – D3 загружаются во входной регистр. На выходе IRF (входной регистр заполнен) должно быть напряжение низкого уровня. На входы CPSI (тактовые импульсы последовательного ввода) и IES (разрешение последовательного ввода) следует подать напряжение низкого уровня.

Последовательный ввод данных: данные с входа DS последовательно поступают во входной регистр при каждом перепаде напряжения на входе CPSI с высокого уровня на низкий (на входах IES и PL нужно установить напряжение низкого уровня).

Передача данных в стековое ЗУ: при подаче на вход TTS (передача данных в стек) напряжения низкого уровня происходит перенос данных в стековое ЗУ. Если выход IRF соединен с выводом TTS, то передача данных в стек происходит автоматически.

Параллельный вывод данных: при подаче на вывод сброса MR сигнала низкого уровня на выходе ORE (выходной регистр пуст) устанавливается напряжение низкого уровня. При подаче на вывод TOP (параллельный вывод данных) напряжения высокого уровня данные, находящиеся на самой нижней ступени стека, поступают в выходной регистр (на выводе ORE при этом установлено напряжение высокого уровня). С помощью вывода TOP можно считывать следующее слово, которое было

записано в стековом ЗУ вслед за только что считанным (на выводе CPSO установлено напряжение низкого уровня).

Подача на вывод OE напряжения высокого уровня переводит выходы Q0 – Q3 в высокоомное (третье) состояние.

Последовательный вывод данных: при перепаде напряжения на выводе CPSO с высокого уровня на низкий данные последовательно поступают на выход QS.

Микросхему можно расширить как по ширине слова, так и по глубине стека.

Применение

Быстродействующие буферные ЗУ для контроллеров на магнитных дисках или лентах, буферы связи.

Технические данные

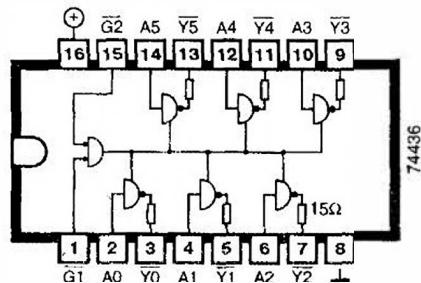
F

Ток потребления, мА

75

Серия	Std	ALS	AS	F	H	L	LS	S
				●				

74436 ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ С ДВУМЯ ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ



Описание

Микросхема содержит шесть инвертирующих буферных формирователей с двумя общими управляющими входами и специально используется для управления емкостными нагрузками.

Работа схемы

При подаче на оба управляющих входа G_1 и G_2 напряжения низкого уровня на выходах устанавливается напряжение, уровень которого противоположен уровню напряжения, поступающего на соответствующий вход, то есть входной сигнал инвертируется.

Если хотя бы на один из разрешающих входов подается напряжение высокого уровня, то на всех выходах буферного формирователя устанавливается напряжение высокого уровня независимо от состояния соответствующих входов. Эта операция необходима для обновления данных в запоминающем устройстве МОП структуры.

К выходам микросхемы 74S436 подключено сопротивление 15 Ом, предотвращающее появление колебаний выходного напряжения.

Данная микросхема аналогична 74S437, которая не имеет выходного сопротивления.

Вследствие большого выходного тока ($I_{0L} = 150 \text{ mA}$) данная микросхема особенно хорошо используется для управления такими схемами с емкостными нагрузками, как ЗУ МОП структуры.

Применение

Буферный элемент для емкостных нагрузок.

Технические данные

5

Время задержки прохождения сигнала, ис-

5

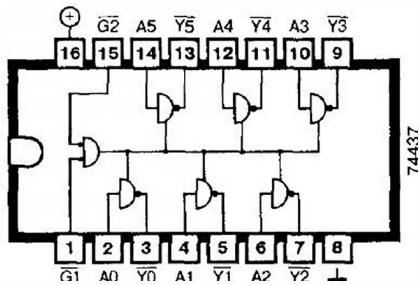
для $C_L = 50 \text{ нФ}$

3

для $C_L = 500 \text{ нФ}$

8

74437 ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ С ДВУМЯ ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ



Описание

Микросхема содержит шесть инвертирующих буферных формирователей с двумя общими управляющими входами и специально используется для управления емкостными нагрузками.

Работа схемы

Данная микросхема аналогична 74S436, за исключением того, что в ней нет сопротивления 15 Ом, подключенного к выходу.

Управляющие входы		Вход	Выход
G1	G2	A	Y
L	L	L	H
L	L	H	L
X	H	X	H
H	X	X	H

Применение

Буферный элемент для емкостных нагрузок.

Технические данные

S

Время задержки прохождения сигнала, ис-

для $C_1 = 50 \text{ пФ}$

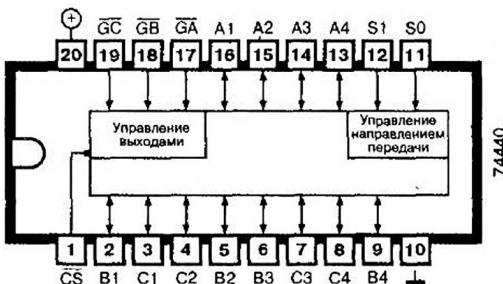
5

для $C_1 = 500 \text{ пФ}$

8

74440

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ ПРИЕМОПЕРЕДАТЧИКА (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вывод CS (выбор кристалла).

Затем с помощью входов S1, S0 выбирается шина, с которой должны передаваться данные. Если на входы S1 и S0 подается напряжение низкого уровня, то передача данных происходит с шины A (выводы A1 – A4). Если же на вход S1 подается напряжение низкого уровня, а на вход S0 – высокого уровня, то данные передаются с шины B. Когда на вход S1 поступает напряжение высокого уровня, а на вход S0 – низкого, то передача данных осуществляется с шины C.

С помощью входов Ga, Gb и Gc определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вход подается напряжение низкого уровня. Например, если на вывод Gb подается напряжение низкого уровня, на входе Ga может быть установлено напряжение любого уровня, а на входе Gc – высокого, то данные поступают на шину B.

При этом все выбранные входы, с которых данные должны приниматься, а также невыбранные выходы, с которых данные должны передаваться, переходят в высокомонное (третье) состояние. Это относится и к микросхемам с выходами с открытым коллектором.

Все входы имеют гистерезис около 0,4 В, что улучшает принятие запутленных сигналов, поступающих с шин.

Входы						Передача данных
\overline{CS}	$\overline{S1}$	$\overline{S0}$	\overline{GA}	\overline{GB}	\overline{GC}	
H	X	X	X	X	X	—
X	H	H	X	X	X	—
X	X	X	H	H	H	—
X	L	L	X	H	H	—
X	L	H	H	X	H	—
X	H		H	H	X	—
L	L	L	X	L	L	$A \Rightarrow B, A \Rightarrow C$
L	L	H	L	X	L	$B \Rightarrow C, B \Rightarrow A$
L	H	L	L	L	X	$C \Rightarrow A, C \Rightarrow B$
L	L	L	X	L	H	$A \Rightarrow B$
L	L	H	H	X	L	$B \Rightarrow C$
L	H	L	L	H	X	$C \Rightarrow A$
L	L	L	X	H	L	$A \Rightarrow C$
L	L	H	L	X	H	$B \Rightarrow A$
L	H	L	H	L	X	$C \Rightarrow B$

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные**LS**

Время задержки прохождения сигнала, нс

25

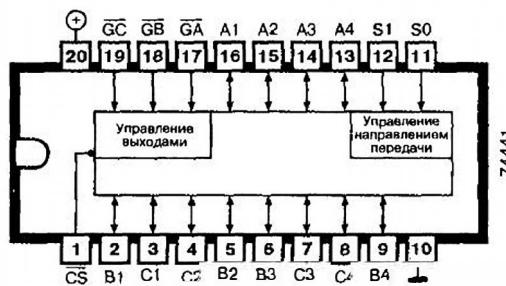
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74441

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ ИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных. Данные при этом инвертируются.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вход \overline{CS} (выбор кристалла).

Затем с помощью входов S_1 , S_0 выбирается шина, с которой должны передаваться данные. Если на входы S_1 и S_0 подается напряжение низкого уровня, то передача данных происходит с шиной А (выводы $A_1 - A_4$). Если же на вход S_1 подается напряжение низкого уровня, а на вход S_0 – высокого уровня, то данные передаются с шиной В. И наконец, когда на вход S_1 поступает напряжение высокого уровня, а на вход S_0 – низкого уровня, то передача данных осуществляется с шиной С.

С помощью входов GA , GB и GC определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вывод подается напряжение низкого уровня. Например, если на вход \overline{GB} подается напряжение низкого уровня, на выводе \overline{GA} может быть установлено напряжение любого уровня, а на входе \overline{GC} – высокого, то данные поступают на шину В в инверсном виде.

При этом все выбранные входы, с которых данные должны приниматься, а также не выбранные выходы, с которых данные должны передаваться, переходят в высокоомное (третье) состояние. Это относится и к микросхемам с выходами с открытым коллектором.

Все входы имеют гистерезис около 0,4 В, что улучшает принятие зашумленных сигналов, поступающих с шин.

Входы						Передача данных
\overline{CS}	S_1	S_0	GA	GB	GC	
H	X	X	X	X	X	—
X	H	H	X	X	X	—
X	X	X	H	H	H	—
X	L	L	X	H	H	—
X	L	H	H	X	H	—
X	H	L	H	H	X	—
L	L	L	X	L	L	$\bar{A} \Rightarrow B, \bar{A} \Rightarrow C$
L	L	H	L	X	L	$B \Rightarrow C, \bar{B} \Rightarrow A$
L	H	L	L	X	L	$\bar{C} \Rightarrow A, \bar{C} \Rightarrow B$
L	L	L	X	L	H	$\bar{A} \Rightarrow B$
L	L	H	H	X	L	$\bar{B} \Rightarrow C$
L	H	L	L	H	X	$\bar{C} \Rightarrow A$
L	L	L	X	H	L	$\bar{A} \Rightarrow C$
L	L	H	L	X	H	$\bar{B} \Rightarrow A$
L	H	L	H	L	X	$\bar{C} \Rightarrow B$

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные

Время задержки прохождения сигнала, нс

LS

25

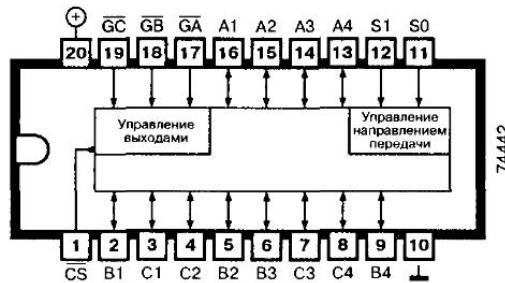
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74442

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ НЕИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА (ТРИ СОСТОЯНИЯ)



74442

Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных. Данные не инвертируются.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вывод CS (выбор кристалла).

Затем с помощью входов S1, S0 выбирается шина, с которой должны передаваться данные. Если на входы S1 и S0 подается напряжение низкого уровня, то передача данных происходит с шины A (выводы A1 – A4). Если же на вход S1 подается напряжение низкого уровня, а на вход S0 – высокого уровня, то данные передаются с шины В. И наконец, когда на вход S1 поступает напряжение высокого уровня, а на вход S0 – низкого уровня, то передача данных осуществляется с шины С.

С помощью входов \overline{GA} , \overline{GB} и \overline{GC} определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вывод подается напряжение низкого уровня. Например, если на вход \overline{GB} подается напряжение низкого уровня, на выводе \overline{GA} установлено напряжение любого уровня, а на входе \overline{GC} – высокого, то данные поступают на шину В.

Входы						Передача данных
CS	S1	S0	\overline{GA}	\overline{GB}	\overline{GC}	
H	X	X	X	X	X	
X	H	H	X	X	X	
X	X	X	H	H	H	
X	L	L	X	H	H	
X	L	H	H	X	H	
X	H	L	H	H	X	
L	L	L	X	L	L	$A \Rightarrow B, A \Rightarrow C$
L	L	H	L	X	L	$B \Rightarrow C, B \Rightarrow A$
L	H	L	L	L	X	$C \Rightarrow A, C \Rightarrow B$
L	L	L	X	L	H	$A \Rightarrow B$
L	L	H	H	X	L	$B \Rightarrow C$
L	H	L	L	H	X	$C \Rightarrow A$
L	L	L	X	H	L	$A \Rightarrow C$
L	L	H	L	X	H	$B \Rightarrow A$
L	H	L	H	L	X	$C \Rightarrow B$

При этом все выбранные входы, с которых данные должны приниматься, а также не выбранные выходы, с которых данные должны передаваться, переходят в высокоомное (третье) состояние.

Все входы имеют гистерезис около 0,4 В, что улучшает принятие зашумленных сигналов, поступающих с шин.

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные

Время задержки прохождения сигнала, нс

LS

25

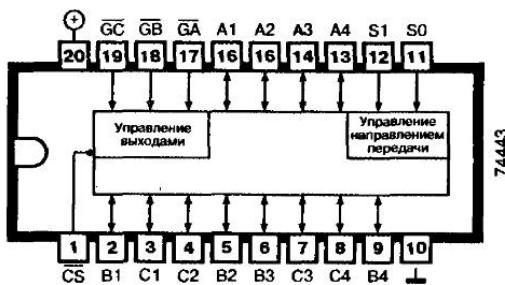
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74443

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ ИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных. Данные при этом инвертируются.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вывод \overline{CS} (выбор кристалла).

Затем с помощью входов S_1 , S_0 выбирается шина, с которой должны передаваться данные. Если на входы S_1 и S_0 подается напряжение низкого уровня, то передача данных происходит с шины А (выводы A_1 – A_4). Если же на вход S_1 подается напряжение низкого уровня, а на вход S_0 – высокого, то данные передаются с шины В. И наконец, когда на вход S_1 поступает напряжение высокого уровня, а на вход S_0 – низкого, то передача данных осуществляется с шины С.

С помощью входов \overline{GA} , \overline{GB} и \overline{GC} определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вывод подается напряжение низкого уровня. Например, если на вход \overline{GB} подается напряжение низкого уровня, на выводе GA установлено напряжение любого уровня, а на входе \overline{GC} – высокого, то данные поступают на шину В в инверсном виде.

При этом все выбранные входы, с которых данные должны приниматься, а также не выбранные выходы, с которых данные должны передаваться, переходят в высокомное (третье) состояние.

Входы						Передача данных
\overline{CS}	S_1	S_0	\overline{GA}	\overline{GB}	\overline{GC}	
H	X	X	X	X	X	
X	H	H	X	X	X	
X	X	X	H	H	H	
X	L	L	X	H	H	
X	L	H	H	X	H	
X	H	L	H	H	X	
L	L	L	X	L	L	$\bar{A} \Rightarrow B, \bar{A} \Rightarrow C$
L	L	H	L	X	L	$\bar{B} \Rightarrow C, \bar{B} \Rightarrow A$
L	H	L	L	L	X	$\bar{C} \Rightarrow A, \bar{C} \Rightarrow B$
L	L	L	X	L	H	$\bar{A} \Rightarrow B$
L	L	H	H	X	L	$\bar{B} \Rightarrow C$
L	H	L	L	H	X	$\bar{C} \Rightarrow A$
L	L	L	X	H	L	$\bar{A} \Rightarrow C$
L	L	H	L	X	H	$\bar{B} \Rightarrow A$
L	H	L	H	L	X	$\bar{C} \Rightarrow B$

Все входы имеют гистерезис около 0,4 В, что улучшает принятие зашумленных сигналов, поступающих с шин.

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные

LS

Время задержки прохождения сигнала, нс

25

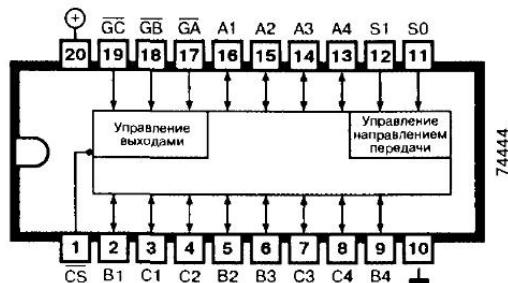
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74444

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ ИНВЕРТИРУЮЩИХ И НЕИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных. Данные при этом могут инвертироваться.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вход \overline{CS} (выбор кристалла).

Затем с помощью входов S_1 , S_0 выбирается шина, с которой должны передаваться данные. Если на входы S_1 и S_0 подается напряжение низкого уровня, то передача данных происходит с шины А (выводы A1 – A4). Если же на вход S_1 подается напряжение низкого уровня, а на вход S_0 – высокого, то данные передаются с шины В. И наконец, когда на вход S_1 поступает напряжение высокого уровня, а на вход S_0 – низкого, то передача данных осуществляется с шины С.

Если же на вход S_1 подается напряжение низкого уровня, а на вход S_0 – высокого, то данные передаются с шины В. Когда на вход S_1 подается напряжение высокого уровня, а на вход S_0 – низкого, то передача данных осуществляется с шины С.

С помощью входов GA , GB и GC определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вход подается напряжение низкого уровня. Например, если на вход \overline{GB} подается напряжение низкого уровня, на выводе GA установлено напряжение любого уровня, а на выводе GC – высокого, то данные поступают на шину В в инверсном виде.

При этом все выбранные входы, с которых данные должны приниматься, а также не выбранные выходы, с которых данные должны передаваться, переходят в высокомное (третье) состояние.

Все входы имеют гистерезис около 0,4 В, что улучшает принятие запутленных сигналов, поступающих с шин.

Входы						Передача данных
\bar{CS}	S1	S0	\bar{GA}	\bar{GB}	\bar{GC}	
H	X	X	X	X	X	
X	H	H	X	X	X	
X	X	X	H	H	H	
X	L	L	X	H	H	
X	L	H	H	X	H	
X	H	L	H	H	X	
L	L	L	X	L	L	$A \Rightarrow B, A \Rightarrow C$
L	L	H	L	X	L	$B \Rightarrow C, B \Rightarrow A$
L	H	L	L	L	X	$C \Rightarrow A, C \Rightarrow B$
L	L	L	X	L	H	$A \Rightarrow B$
L	L	H	H	X	L	$B \Rightarrow C$
L	H	L	L	H	X	$C \Rightarrow A$
L	L	L	X	H	L	$A \Rightarrow C$
L	L	H	L	X	H	$B \Rightarrow A$
L	H	L	H	L	X	$C \Rightarrow B$

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные

LS

Время задержки прохождения сигнала, нс

25

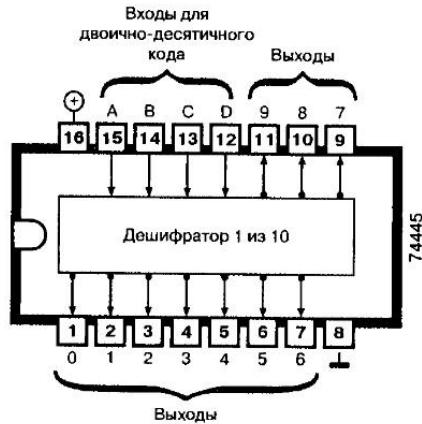
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74445

ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА/ СХЕМА УПРАВЛЕНИЯ ИНДИКАТОРАМИ (ОТКРЫТЫЙ КОЛЛЕКТОР, 7 В)



Описание

Микросхема декодирует стандартный 4-разрядный двоично-десятичный код в сигнал низкого уровня на одном из 10 выходов. Она также позволяет преобразовать трехразрядный код в сигнал низкого уровня на одном из восьми выходов.

Работа схемы

Данные, зашифрованные в двоично-десятичном коде, поступают на выводы 12–15: самый младший разряд $2^0 = 1$ – на вход А0, разряд $2^1 = 2$ – на вход В, разряд $2^2 = 4$ – на вход С и разряд $2^3 = 8$ – на вход D. При поступлении сигнала на указанные входы на соответствующем выходе устанавливается напряжение низкого уровня, при этом на остальных выходах устанавливается напряжение высокого уровня.

Максимальный ток на выходе, имеющем напряжение низкого уровня, составляет 80 мА.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +7 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Если, например, входы А = 1, В = 1, С = 1 и D = 0 (логическая 1 представляется напряжением высокого уровня, логический 0 – напряжением низкого уровня), то на выходе 7 (вывод 9) формируется напряжение низкого уровня, а на остальных выходах – высокого. Если на вход поступает ложный двоично-десятичный код (больше 1001), то на всех выходах устанавливается напряжение высокого уровня.

При использовании микросхемы в качестве дешифратора 1 из 8 вход D (вывод 12) соединяют с общим проводом.

По расположению выводов данная микросхема аналогична микросхеме 74145, которая имеет максимальное выходное напряжение +15 В.

Номер	Входы				Выходы									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	H	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
Ложные коды (10–15)	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Применение

Преобразование кода, управление реле и устройством отображения.

Технические данные**LS**

Максимальное выходное напряжение, В

7

Время задержки сигнала, нс

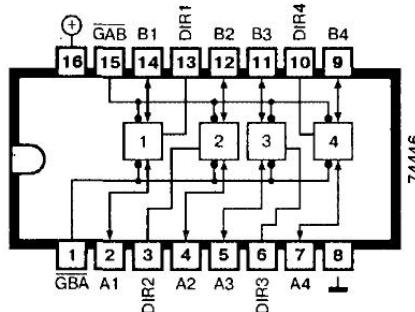
50

Ток потребления, мА

7

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74446 ЧЕТЫРЕ ИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА С УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема позволяет осуществлять индивидуальную передачу данных между двумя 4-разрядными шинами. Данные при этом инвертируются.

Работа схемы

Направление передачи данных от одной 4-разрядной шины к другой устанавливается отдельно для каждого разряда. Оно определяется с помощью входов DIR1 – DIR4. При подаче напряжения высокого уровня на один из этих входов данные передаются от шины A к шине B, при поступлении напряжения низкого уровня передача данных происходит в противоположном направлении (от B к A).

Подавая на оба разрешающих входа GBA и GAB или на один из них напряжение высокого уровня, можно полностью отсоединить одну шину данных от другой.

Расположение выводов схемы таково, что выводы шины A лежат напротив соответствующих выводов шины B.

Входы имеют гистерезес около 0,4 В, что повышает помехозащищенность схемы.

Данные при передаче инвертируются. Эта микросхема по расположению выводов аналогична микросхеме 74449, которая не инвертирует данные.

Управление		Направление	Операция
GBA	GAB	DIR	
H	H	X	Разделение шин
X	L	H	Передача от A к B
L	X	L	Передача от B к A
X	H	H	Разделение шин
H	X	L	Разделение шин

Применение

Индивидуальная двунаправленная передача данных между двумя 4-разряднымишинами.

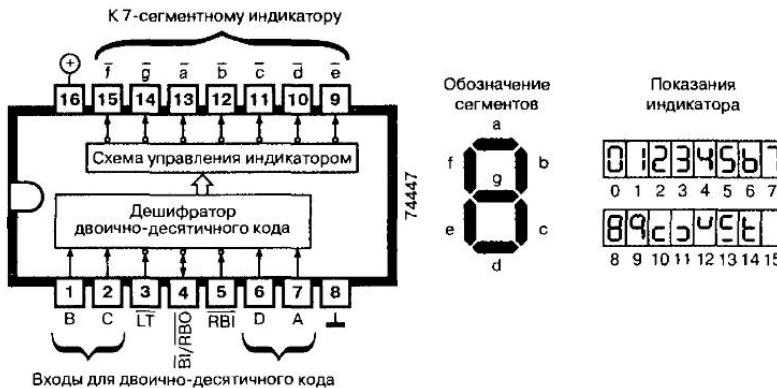
Технические данные

Время задержки прохождения сигнала, нс	LS
Ток потребления, мА	8 40

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74447

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 7 В)



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Двоично-десятичный код, поступивший на входы A, B, C и D, после декодирования в ИС преобразуется в сигналы, которые поступают на 7-сегментный индикатор. Микросхема не содержит буферного запоминающего устройства.

При использовании индикатора на светодиодах для ограничения тока следует подключить сопротивление между выходом микросхемы и входом индикатора.

При изображении на индикаторе цифры 6 верхняя (сегмент a), а при изображении цифры 9 нижняя (сегмент d) поперечные полоски не показываются.

В основном режиме работы на входы \overline{LT} (контроль индикатора, вывод 3) и \overline{BI}/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На входе \overline{RBI} (входной сигнал схемы последовательного гашения) может быть напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход \overline{LT} поступает напряжение низкого уровня. В этом случае включаются все сегменты, то есть индикатор показывает цифру 8.

Стирание незначащих нулей в многопозиционном индикаторе происходит, когда выход BI/RBO одного разряда соединяется с входом \overline{RBI} ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Так как гашение нуля в самом младшем разряде, в общем, нежелательно, то вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах на индикаторе.

Поскольку яркость всех сегментов индикатора меняется, когда на вход BI/RBO подается сигнал низкого уровня, то с помощью подачи на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

Управление 7-сегментными индикаторами.

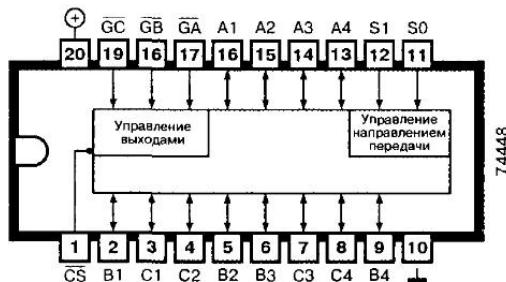
Технические данные

Максимальное выходное напряжение, В	LS	7
Время задержки прохождения сигнала, нс		100
Максимальный ток коллектора, мА		24
Ток потребления, мА		7

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74448

ЧЕТЫРЕ ТРЕХНАПРАВЛЕННЫХ НЕИНВЕРТИРУЮЩИХ/ИНВЕРТИРУЮЩИХ ПРИЕМОПЕРЕДАТЧИКА



Описание

Микросхема позволяет осуществлять передачу данных между тремя 4-разрядными шинами данных. Данные при этом частично инвертируются.

Работа схемы

Для осуществления передачи данных следует подать напряжение низкого уровня на вход CS (выбор кристалла).

Затем с помощью входов S1, S0 выбирается шина, с которой должны передаваться данные. Если на входы S1 и S0 подается напряжение низкого уровня, то передача данных происходит с шины А (выходы A1 – A4). Если же на вход S1 подается напряжение низкого уровня, а на вход S0 – высокого, то данные передаются с шины В. И наконец, когда на вход S1 поступает напряжение высокого уровня, а на вход S0 – низкого, то передача данных осуществляется с шины С.

С помощью входов GA, GB и GC определяется шина, на которую должны поступать передаваемые данные. Для этого на соответствующий вход подается напряжение низкого уровня. Например, если на вход GB подается напряжение низкого уровня, на выводе GA установлено напряжение любого уровня, а на входе GC – высокого, то данные поступают на шину В в инверсном виде.

При этом все выбранные входы, с которых данные должны приниматься, а также не выбранные выходы, с которых данные должны передаваться, переходят в высокомоментное (третье) состояние. Это относится также и к микросхемам, имеющим выходы с открытым коллектором.

Все входы имеют гистерезис около 0,4 В, что улучшает принятие зашумленных сигналов, поступающих с шин.

Входы						Передача данных
CS	S1	SO	GA	GB	GC	
H	X	X	X	X	X	
X	H	H	X	X	X	
X	X	X	H	H	H	
X	L	L	X	H	H	
X	L	H	H	X	H	
X	H	L	H	H	X	
L	L	L	X	L	L	$\bar{A} \Rightarrow B, \bar{A} \Rightarrow C$
L	L	H	L	X	L	$B \Rightarrow C, \bar{B} \Rightarrow A$
L	H	L	L	L	X	$\bar{C} \Rightarrow A, C \Rightarrow B$
L	L	L	X	L	H	$\bar{A} \Rightarrow B$
L	L	H	H	X	L	$B \Rightarrow C$
L	H	L	L	H	X	$\bar{C} \Rightarrow A$
L	L	L	X	H	L	$\bar{A} \Rightarrow C$
L	L	H	L	X	H	$\bar{B} \Rightarrow A$
L	H	L	H	L	X	$C \Rightarrow B$

Применение

Асинхронная передача данных между тремя 4-разрядными шинами.

Технические данные

LS

Время задержки прохождения сигнала, нс

25

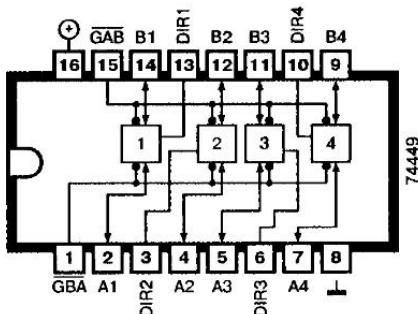
Ток потребления, мА

62

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74449

**ЧЕТЫРЕ НЕИНВЕРТИРУЮЩИХ
ПРИЕМОПЕРЕДАТЧИКА
С УПРАВЛЯЮЩИМИ ВХОДАМИ
(ТРИ СОСТОЯНИЯ)**



Описание

Микросхема позволяет осуществлять индивидуальную передачу данных между двумя 4-разрядными шинами. Данные при этом не инвертируются.

Работа схемы

Направление передачи данных от одной 4-разрядной шины к другой устанавливается для каждого разряда отдельно с помощью входов DIR1 – DIR4. При подаче напряжения высокого уровня на один из этих входов данные передаются от шины А к шине В, при поступлении напряжения низкого уровня передача данных происходит в противоположном направлении (от В к А).

Подавая на оба разрешающих входа GBA и GAB или на один из них напряжение высокого уровня, можно полностью отсоединить одну шину данных от другой.

Расположение выводов схемы таково, что выводы шины А лежат напротив соответствующих выводов шины В.

Входы имеют гистерезис около 0,4 В, что повышает помехозащищенность схемы.

Данные при передаче не инвертируются. Эта микросхема по расположению выводов аналогична микросхеме 74446, которая инвертирует данные.

Управление		Направление	Операция
GBA	GAB	DIR	
H	H	X	Разделение шин
X	L	H	Передача от А к В
L	X	L	Передача от В к А
X	H	H	Разделение шин
H	X	L	Разделение шин

Применение

Индивидуальная двунаправленная передача данных между двумя 4-разряднымишинами.

Технические данные**LS**

Время задержки прохождения сигнала, нс

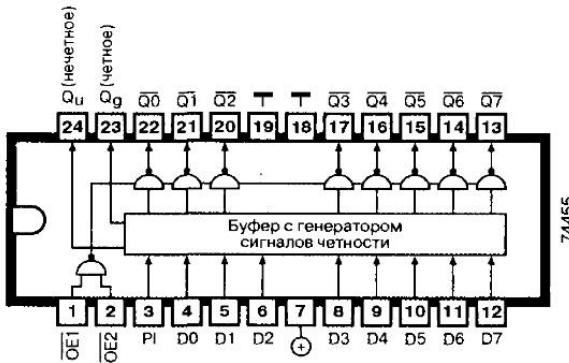
8

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
			,				●		

74455 ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ГЕНЕРАТОРОМ СИГНАЛОВ ЧЕТНОСТИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь буферов с инверсными выходами и генератор сигналов четности.

Работа схемы

Фактически в данной схеме объединены две микросхемы – 74240 и 74280. Поскольку входы и выходы микросхемы расположены напротив друг друга, можно значительно увеличить плотность монтажа элементов на печатной плате.

Данные с входов D0 – D7 поступают на выходы Q0 – Q7 в инверсном виде, когда на оба входа OE1 и OE2 одновременно подается напряжение низкого уровня.

В зависимости от общего количества информационных входов D0 – D7, на которые подается напряжение высокого уровня, и состояния входа сигнала четности PI, на выходах Qg и Qu формируется напряжение соответствующего уровня (см. таблицу).

Данная микросхема представляет собой версию микросхемы 74F655 и по выполняемым функциям аналогична ей.

Микросхема 74456 аналогична рассматриваемой, но не инвертирует данные.

Входы	Выходы четности	
число входов, на которых установлено напряжение высокого уровня H (PI, D0 – D7)	Qg	Qu
Четное: 0, 2, 4, 6, 8	H	L
Нечетное: 1, 3, 5, 7, 9	L	H
Хотя бы на одном из двух входов OE установлено напряжение высокого уровня H	Z	Z

Входы			Выход \bar{Q}
$\bar{OE1}$	$\bar{OE2}$	D	
L	L	L	H
L	L	H	L
H	X	X	Z
X	H	X	Z

Применение

Буфер с контролем четности для шин данных и адресных шин.

Технические данные

F

Время задержки прохождения сигнала, нс

3,5

Максимальный выходной ток, мА:

15

при напряжении высокого уровня H

65

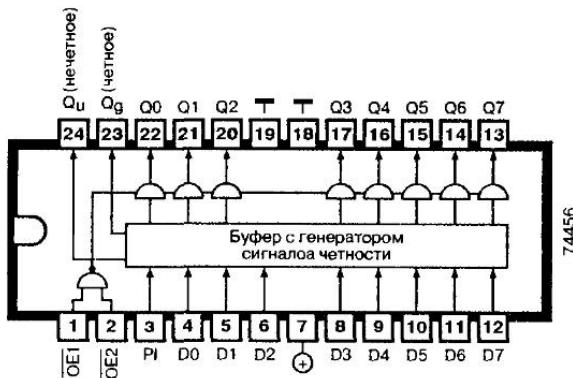
при напряжении низкого уровня L

70

Ток потребления, мА:

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74456 ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ГЕНЕРАТОРОМ СИГНАЛОВ ЧЕТНОСТИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь буферов с неинвертирующими выходами и генератором сигналов четности.

Работа схемы

Фактически в данной схеме объединены две микросхемы: 74241 и 74280. Поскольку входы и выходы микросхемы расположены напротив друг друга, можно значительно увеличить плотность монтажа элементов на печатной плате.

Данные с входов D0 – D7 поступают на выходы Q0 – Q7 в прямом виде, когда на оба разрешающих входа OE1 и OE2 одновременно подается напряжение низкого уровня.

В зависимости от общего количества информационных входов D0 – D7, на которые подается напряжение высокого уровня, и состояния входа сигнала четности PI на выходах Qg и Qu формируется напряжение соответствующего уровня (см. таблицу).

Данная микросхема – это версия микросхемы 74F656 и по выполняемым функциям аналогична ей.

Микросхема 74455 аналогична рассматриваемой, но инвертирует данные.

Входы	Выходы четности	
Число входов, на которых установлено напряжение высокого уровня H (PI, D0 – D7)	Qg	Qu
Четное: 0, 2, 4, 6, 8	H	L
Нечетное: 1, 3, 5, 7, 9	L	H
Хотя бы на одном из двух входов \bar{OE} установлено напряжение высокого уровня H	Z	Z

Входы			Выход Q
$\overline{OE1}$	$\overline{OE2}$	D	
L	L	L	H
L	L	H	L
H	X	X	Z
X	H	X	Z

Применение

Буфер с контролем четности для шин данных и адресных шин.

Технические данные**F**

Время задержки прохождения сигнала, нс 4,5

Максимальный выходной ток, мА:

при напряжении высокого уровня H 15

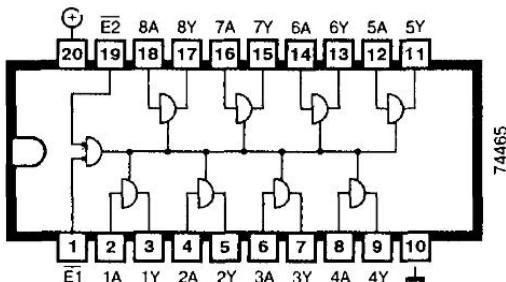
при напряжении низкого уровня L 65

Ток потребления, мА: 70

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74465

ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



74465

Описание

Микросхема содержит восемь неинвертирующих буферов с общими управляющими входами и выходами с тремя состояниями.

Работа схемы

Сигнал, поступающий на вход каждого из буферов, появляется на соответствующем выходе в неинвертированном виде. Это происходит лишь в том случае, когда на оба управляющих входа E_1 и E_2 поступает напряжение низкого уровня. Если же на одном или на обоих управляющих входах устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от логического уровня на входах буфера.

Аналогичная микросхема, но с инверсными выходами, 74466.

Выходной ток при напряжении низкого уровня I_{OL} для микросхемы 74ALS465-1 составляет 48 мА.

Входы			Выход
E_1	E_2	A	Y
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

Применение

Буфер в шинно-ориентированных системах.

Технические данные

Время задержки прохождения сигнала, нс

ALS LS

8 11

Выходной ток на каждом выводе, мА:

при напряжении высокого уровня H $-15 \quad -2,6$

при напряжении низкого уровня L $24 \quad 24$

Ток потребления, мА:

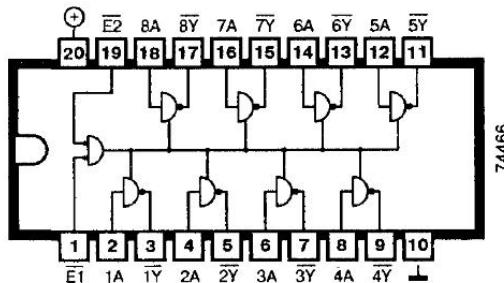
на выходах напряжение низкого уровня $19 \quad 14$

на выходах напряжение высокого уровня $11 \quad 7$

выходы переходят в высокоомное (третье) состояние $23 \quad 17$

Серия	Std	ALS	AS	F	H	L	LS	S	
		●						●	

74466 ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ОБЩИМИ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь инвертирующих буферов с общими управляемыми входами и с выходами, имеющими три состояния.

Работа схемы

Сигнал, поступающий на вход каждого из буферов, появляется на соответствующем выходе в инверсном виде.

Это происходит лишь в том случае, когда на оба управляемых входа $\bar{E}1$ и $\bar{E}2$ поступает напряжение низкого уровня. Если же на одном или на обоих управляемых входах устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от логического уровня на входах буфера.

Аналогичная микросхема, но с неинвертирующими выходами, – 74465.

Выходной ток при напряжении низкого уровня I_{OL} для микросхемы 74ALS466-1 составляет 48 мА.

Входы			Выход
$\bar{E}1$	$\bar{E}2$	A	\bar{Y}
L	L	L	H
L	L	H	L
H	X	X	Z
X	H	X	Z

Применение

Буфер в шинно-ориентированных системах.

Технические данные

Время задержки прохождения сигнала, нс
Выходной ток на каждом выводе, мА:

ALS **LS**

6,5 8

–15 –2,6
24 24

Ток потребления, мА:

16 10

7 4

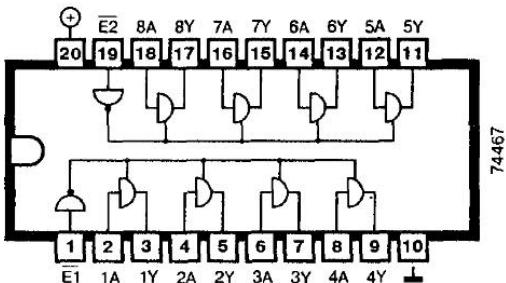
19 13

на выходах напряжение низкого уровня
на выходах напряжение высокого уровня
выходы переходят в высокоомное (третье) состояние

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74467

ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



74467

Описание

Микросхема содержит восемь неинвертирующих буферов с двумя отдельными управляющими входами и выходами с тремя состояниями.

Работа схемы

Сигнал, поступающий на вход каждого из буферов, появляется на соответствующем выходе в прямом (неинвертированном) виде.

Это происходит лишь в том случае, когда на каждый из двух управляющих входов \bar{E} поступает напряжение низкого уровня. Если же на управляющих входах устанавливается напряжение высокого уровня, то соответствующие выходы переходят в высокоомное (третье) состояние независимо от логического уровня на входах буфера.

Аналогичная микросхема, но с инверсными выходами, – схема 74468.

Выходной ток при напряжении низкого уровня I_{OL} для микросхемы 74ALS467-1 составляет 48 мА.

Входы	Выход	
	\bar{E}	A
L	L	L
L	H	H
H	X	Z

Применение

Буфер в шинно-ориентированных системах.

Технические данные

Время задержки прохождения сигнала, нс

ALS

LS

8

11

Выходной ток на каждом выводе, мА:

–15

–2,6

при напряжении высокого уровня H

24

24

при напряжении низкого уровня L

Ток потребления, мА:

на выходах напряжение низкого уровня

19

14

на выходах напряжение высокого уровня

11

7

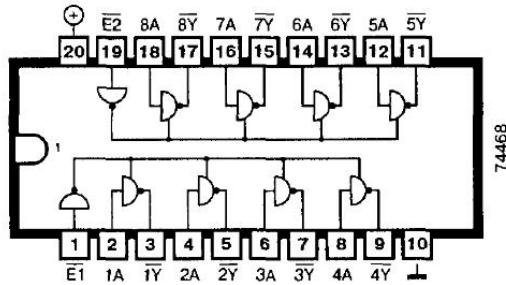
выходы переходят в высокоомное (третье) состояние

23

17

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74468 ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



74468

Описание

Микросхема содержит восемь инвертирующих буферов с двумя отдельными управляющими входами и выходами с тремя состояниями.

Работа схемы

Сигнал, поступающий на вход каждого из буферов, появляется на соответствующем выходе в инверсном виде.

Это происходит лишь в том случае, когда на каждый из двух управляющих входов \bar{E} поступает напряжение низкого уровня. Если же на управляющих входах устанавливается напряжение высокого уровня, то соответствующие выходы переходят в высокоомное (третье) состояние независимо от логического уровня на входах буфера.

Аналогичная микросхема, но с прямыми выходами, – схема 74467.

Выходной ток при напряжении низкого уровня I_{OL} для микросхемы 74ALS468-1 составляет 48 мА.

Входы	Выход
\bar{E}	A
L	H
L	L
H	X
	Z

Применение

Буфер в шинно-ориентированных системах.

Технические данные

Время задержки прохождения сигнала, нс

ALS

LS

8

Выходной ток на каждом выводе, мА:

6

–15

–2,6

24

24

при напряжении высокого уровня H

7

4

19

13

при напряжении низкого уровня L

на выходах напряжение низкого уровня

16

10

19

13

на выходах напряжение высокого уровня

16

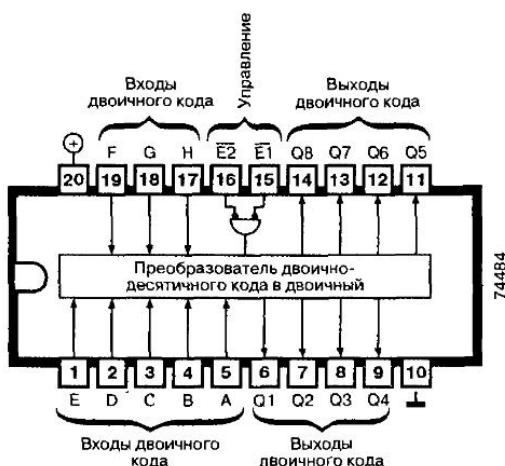
10

выходы переходят в высокоомное (третье) состояние

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74484

ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит дешифратор, который преобразует 9-разрядный двоично-десятичный код в двоичный.

Работа схемы

Здесь рассматривается специальное программируемое постоянное запоминающее устройство ROM 74S371.

Схема содержит только восемь входов для 9-разрядного двоично-десятичного кода. Это связано с тем, что самые младшие разряды (LSB) двоичного кода и двоично-десятичного кода оказываются одинаковыми. Поэтому вход А микросхемы – это разряд, который следует за самым младшим разрядом 9-разрядного двоично-десятичного кода. Например, если на входах HGFEDCBA имеется следующий код: LLLLLLH (L – низкий уровень напряжения на данном входе, H – высокий), то это соответствует десятичным числам 2 и 3, поскольку самый младший разряд 9-разрядного двоично-десятичного кода, который проходит через схему и не обрабатывается ею, для десятичного числа 2 равен L, а для десятичного числа 3 равен H. В обоих случаях появляющийся на выходах Q8 – Q1 код равен LLLLLLH.

Если входы находятся в таком логическом состоянии, которое больше не соответствует двоично-десятичному кодированию, тогда на всех выходах Q8 – Q1 устанавливается напряжение высокого уровня Н.

Оба разрешающих входа $\overline{E1}$ и $\overline{E2}$ связаны друг с другом с помощью логической операции И. Выходы отпираются лишь тогда, когда на оба разрешающих входа подается напряжение низкого уровня. В остальных же случаях выходы Q1 – Q8 переходят в высокоомное (третье) состояние.

По сравнению с микросхемой 74184 данная схема более компактна, хотя и имеет большую разрядность.

Применение

Преобразование двоично-десятичного кода в двоичный.

Технические данные

9

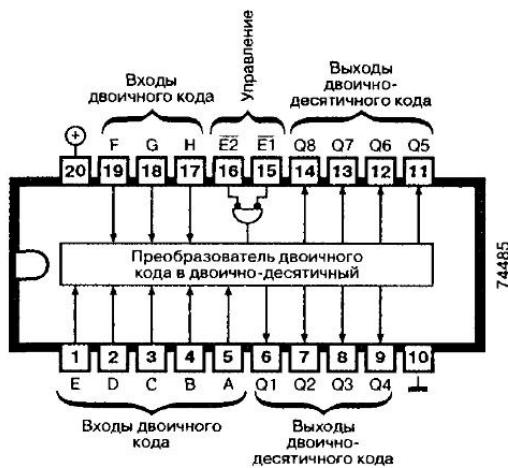
Время задержки прохождения сигнала, нс

45

Ток потребления, мА

105

74485 ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит дешифратор, который преобразует 9-разрядный двоичный код в двоично-десятичный.

Работа схемы

Здесь рассматривается специальное программируемое постоянное запоминающее устройство ROM 74S371.

Схема содержит только восемь входов для 9-разрядного двоичного кода. Это связано с тем, что самые младшие разряды (LSB) двоичного и двоично-десятичного кодов оказываются одинаковыми. Поэтому вход А микросхемы – это разряд, который следует за самым младшим разрядом 9-разрядного двоичного кода. Например, если на входах HGFEDCBA имеется следующий код: LLLLLLH (L – низкий уровень напряжения на данном входе, H – высокий), то это соответствует десятичным числам 2 и 3, поскольку самый младший разряд 9-разрядного двоичного кода, который не поступает на вход микросхемы и не обрабатывается ею, для десятичного числа 2 равен L, а для десятичного числа 3 равен H. В обоих случаях появляющийся на выходах Q8 – Q1 код равен LLLLLLH.

Максимальное двоичное число в этой схеме равно десятичному числу 319, которое соответствует двоично-десятичному коду HLLHHHHH(H).

Оба разрешающих входа E1 и E2 связаны друг с другом с помощью логической операции И. Выходы отпираются лишь тогда, когда на оба разрешающих входа подается напряжение низкого уровня. В остальных же случаях выходы Q1 – Q8 переходят в высокоомное (третье) состояние.

По сравнению с микросхемой 74185 данная схема более компактна, хотя и имеет большую разрядность.

Применение

Преобразование двоичного кода в двоично-десятичный.

Технические данные**S**

Время задержки прохождения сигнала, нс

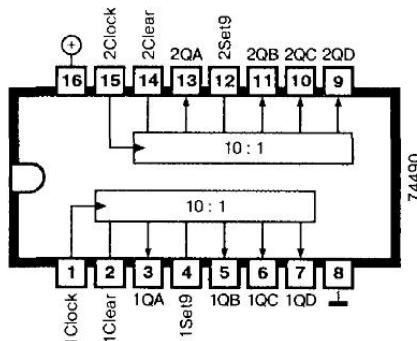
45

Ток потребления, мА

105

Серия	Std	ALS	AS	F	H	L	LS	S	●

74490 ДВА ДЕСЯТИЧНЫХ СЧЕТЧИКА



Описание

Микросхема содержит два отдельных делителя частоты на десять с входом сброса и входом установки на девять каждый.

Работа схемы

В основном режиме счета на вход сброса Clear поступает напряжение низкого уровня. При подаче на него кратковременного сигнала высокого уровня на всех выходах устанавливается напряжение низкого уровня. То же самое относится и к входу Set9 (установка на 9): при кратковременном сигнале высокого уровня на выходах QD и QA формируется напряжение высокого уровня, на выходах QC и QB – низкого (что соответствует десятичному числу 9). Оба входа работают асинхронно, то есть независимо от состояния входа синхроимпульсов Clock.

В отличие от микросхемы 7490, оба счетчика данной схемы используются только как делители частоты на 10, поэтому эта микросхема позволяет получить лишь деление частоты 10:1 и 100:1.

Переключение схемы происходит при перепаде напряжения на входе тактовых импульсов Clock с высокого уровня на низкий (отрицательный фронт).

Уровни напряжения, формируемые на выходах QA – QD, соответствуют двоично-десятичному коду.

Входы		Выходы			
Clear	Set9	QD	QC	QB	QA
H	L	L	L	L	L
L	H	H	L	L	H
L	L	Счет			

Счет	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

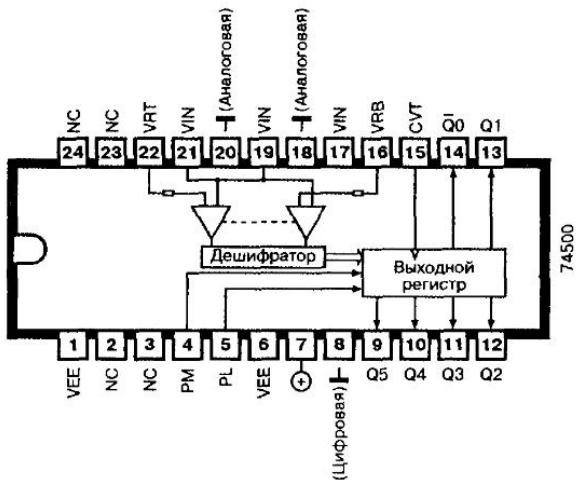
Применение

Десятичный счетчик и делитель частоты.

Технические данные		Std	LS
Максимальная тактовая частота, МГц		25	25
Ток потребления, мА		45	15

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74500 6-РАЗРЯДНЫЙ СТРОБИРОВАННЫЙ АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ



Описание

Микросхема содержит параллельный 6-разрядный стробированный аналого-цифровой преобразователь с частотой дискретизации от 0 до 50 МГц.

Работа схемы

Преобразование осуществляется с помощью 63 компараторов, которые образуют цепь с делителем напряжения, подключенную к опорному напряжению. Все компараторы одновременно измеряют входное напряжение аналоговых сигналов относительно эталонного напряжения.

Компаратор, фиксирующий наибольшую величину отношения входного напряжения к эталонному, шифрует выходной сигнал в 6-разрядный двоичный код (высокий уровень напряжения – активный), который записывается и хранится в буферном регистре.

В схеме предусмотрены два управляющих входа полярности: вход **PM** дополняет самый старший выходной разряд; вход **PL** дополняет пять более младших выходных двоичных разрядов.

Для питания микросхемы необходимы два напряжения: +5 и -6,0 В. В схеме имеются раздельные выводы «аналоговой земли» и «цифровой земли», предназначенные для аналоговых и цифровых сигналов. Оба выхода цепи эталонного напряжения и делителя напряжения выведены наружу: один выход – на вывод **VRT** (номинальное напряжение 0 В) и второй выход – на вывод **VRB** (номинальное напряжение -1,0 В).

Применение

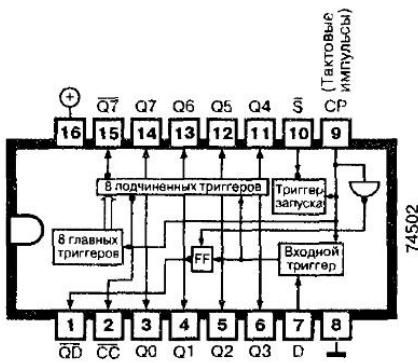
Быстродействующий аналого-цифровой преобразователь.

Технические данные	F
Входное напряжение, В	1,0
Погрешность, обусловленная отклонением от линейности, %	0,4
Ширина полосы пропускания (слабый сигнал), МГц:	
3 дБ	45
0,1 дБ	8
Отношение сигнал/шум (S/N), дБ:	
максимальный сигнал/RMS-шум	43
RMS-сигнал/RMS-шум	34
Ток потребления, мА	20

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74502

8-РАЗРЯДНЫЙ РЕГИСТР ДЛЯ ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ В АНАЛОГО-ЦИФРОВОМ ПРЕОБРАЗОВАТЕЛЕ



Описание

Микросхема содержит 8-разрядный регистр с необходимой управляющей логикой для последовательного/параллельного преобразования, особенно для аналого-цифрового преобразования с последовательным приближением.

Работа схемы

Регистр устанавливается в исходное состояние при поступлении на вход \bar{S} (запуск) напряжения низкого уровня во время подачи на вход CP синхроимпульса. При поступлении на входы \bar{S} и CP напряжения низкого уровня запускаются все основные триггеры. При перенаде напряжения на входе тактовых импульсов CP с низкого уровня на высокий (на входе \bar{S} при этом устанавливается напряжение низкого уровня) запускаются подчиненные триггеры, на выходе $Q7$ формируется напряжение низкого уровня, а на всех остальных выходах регистра, включая выход CC (преобразование закончено), формируется напряжение высокого уровня. Такие уровни напряжений сохраняются до тех пор, пока на входе \bar{S} сохраняется напряжение низкого уровня независимо от поступления с входа CP последующих положительных фронтов синхроимпульсов. Для запуска процесса преобразования необходимо снова подать на вход \bar{S} напряжение высокого уровня.

При последующей подаче на вход синхроимпульсов CP такового импульса по положительному фронту информации, хранящаяся в последовательном входном регистре, поступает на выходы QD и $Q7$, а на выходе $Q6$ устанавливается напряжение низкого уровня. По положительному фронту следующих семи тактовых импульсов этот сигнал низкого уровня на выходе сдвигается каждый раз на один разряд вниз в то время, как данные, находящиеся позади этого сигнала, последовательно поступают в регистр, что можно увидеть из нижеприведенной таблицы. Когда информационный бит последовательно поступает на определенный выход, то разряд регистра больше не изменяется. Когда последовательно перемещающийся от одного выхода к другому сигнал низкого уровня достигает выхода CC , регистр запирается и блокируется до тех пор, пока снова не начнется новый процесс преобразования. Микросхема 74503 дополнительно содержит разрешающий вход для ввода более длинных слов. Она также имеет принципиальную схему аналого-цифрового преобразователя.

Такт t_n	Входы		Выходы									
	D	\bar{S}	Q_0	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	\overline{CC}
0	X	L	X	X	X	X	X	X	X	X	X	X
1	D_7	H	X	L	H	H	H	H	H	H	H	H
2	D_6	H	D_7	D_7	L	H	H	H	H	H	H	H
3	D_5	H	D_6	D_7	D_6	L	H	H	H	H	H	H
4	D_4	H	D_5	D_7	D_6	D_5	L	H	H	H	H	H
5	D_3	H	D_4	D_7	D_6	D_5	D_4	L	H	H	H	H
6	D_2	H	D_3	D_7	D_6	D_5	D_4	D_3	L	H	H	H
7	D_1	H	D_2	D_7	D_6	D_5	D_4	D_3	D_2	L	H	H
8	D_0	H	D_1	D_7	D_6	D_5	D_4	D_3	D_2	D_1	L	H
9	X	H	D_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	L
10	X	H	X	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	L

Применение

Последовательно-параллельный преобразователь для аналого-цифрового конвертора, кольцевой счетчик, элемент управления в рекурсивных цифровых алгоритмах.

Технические данные

LS

Максимальная тактовая частота, МГц

15

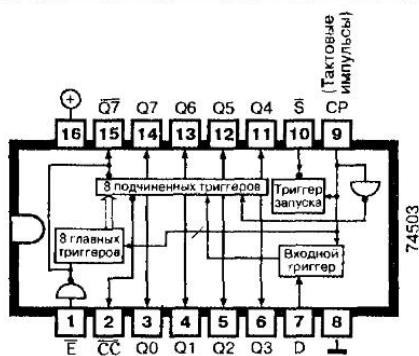
Ток потребления, мА

65

Серия	Std	ALS	AS	F	H	L	LS	S	

74503

8-РАЗРЯДНЫЙ РЕГИСТР ДЛЯ ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ В АНАЛОГО-ЦИФРОВОМ ПРЕОБРАЗОВАТЕЛЕ, С РАСШИРЯЮЩИМ ВХОДОМ



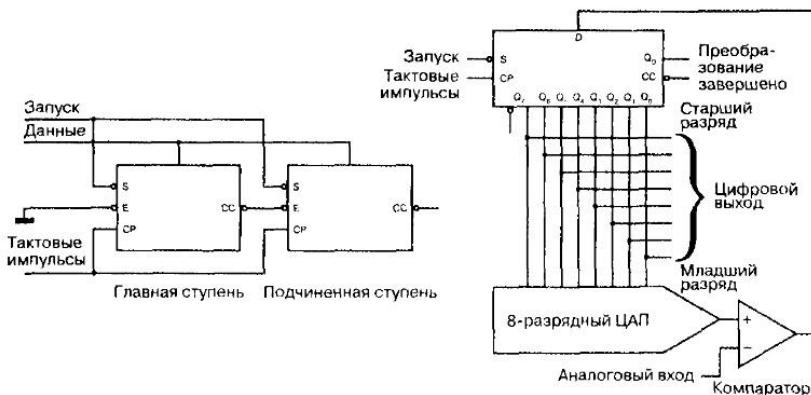
Описание

Микросхема содержит 8-разрядный регистр с необходимой управляющей логикой для последовательного/параллельного преобразования, особенно для аналого-цифрового преобразования с последовательным приближением.

Работа схемы

Данная микросхема во многом схожа с микросхемой 74502, однако вместо выхода QD имеет разрешающий вход E, который позволяет соединять в каскады два или несколько модулей для ввода многоразрядных слов.

Подача на разрешающий вход E напряжения высокого уровня после операции запуска устанавливает на выходе Q7 напряжение высокого уровня и препятствует последовательному вводу данных в микросхему. Если разрешающий вход E микросхемы 74LS503 связан с выходом CC (преобразование закончено) предыдущей ступени (более младший разряд), то микросхема 74LS503 запирается и блокируется до тех пор, пока предыдущий модуль не заполнится данными, вследствие чего на его выходе CC сформируется напряжение низкого уровня. Затем этот сигнал низкого уровня блокирует модуль 74LS503 и препятствует последовательному вводу в него данных при последующей подаче тактового импульса.



Применение

Последовательно-параллельный преобразователь для аналого-цифрового конвертора, кольцевой счетчик, элемент управления в рекурсивных цифровых алгоритмах.

Технические данные

LS

Максимальная тактовая частота, МГц

15

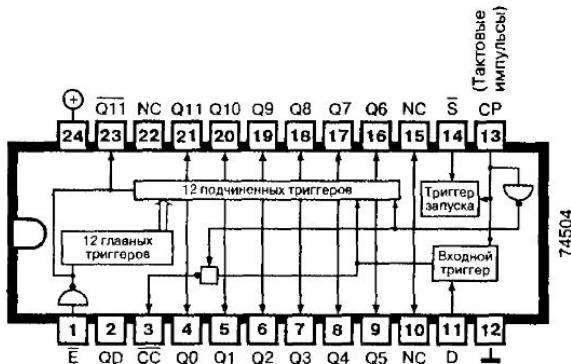
Ток потребления, мА

65

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74504

12-РАЗРЯДНЫЙ РЕГИСТР ДЛЯ ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ В АНАЛОГО-ЦИФРОВОМ ПРЕОБРАЗОВАТЕЛЕ С РАСШИРЯЮЩИМ ВХОДОМ



Описание

Микросхема содержит 12-разрядный регистр с необходимой управляющей логикой для последовательного/параллельного преобразования, особенно для аналого-цифрового преобразования с последовательным приближением.

Работа схемы

Данная микросхема по выполняемым функциям аналогична микросхеме 74503, но вместо 8-разрядного регистра содержит 12-разрядный.

В схеме имеется также разрешающий вход \bar{E} для каскадного соединения нескольких микросхем.

Применение

Последовательно-параллельный преобразователь для аналого-цифрового конвертора, кольцевой счетчик, элемент управления в рекурсивных цифровых алгоритмах.

Технические данные

LS

Максимальная тактовая частота, МГц

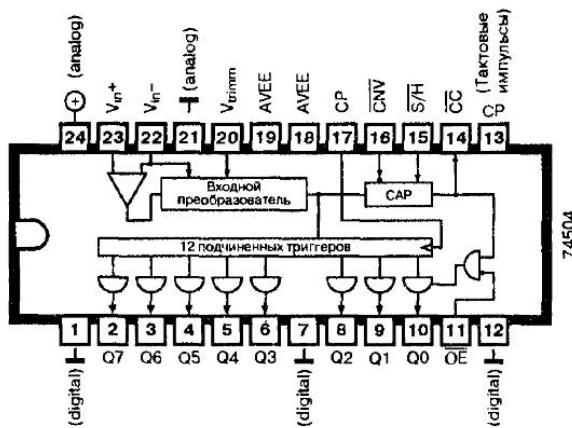
15

Ток потребления, мА

90

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74505 8-РАЗРЯДНЫЙ АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С ПОСЛЕДОВАТЕЛЬНЫМ ПРИБЛИЖЕНИЕМ



Описание

Микросхема содержит быстродействующий 8-разрядный аналого-цифровой преобразователь с последовательным приближением.

Работа схемы

Микросхема широко используется в аналого-цифровых преобразователях (АЦП) вплоть до АЦП видеосигналов, где не требуется большой скорости преобразования.

Микросхема содержит управляющую систему, которая предназначена для реализации интерфейса с микропроцессором или для простого соединения в каскады при совместной работе нескольких микросхем.

Применение

Быстродействующее аналого-цифровое преобразование видеочастот.

Технические данные

	F
Время преобразования, нс	100
Диапазон входного напряжения, В	от -1,0 до +1,0
Линейность (самый младший двоичный разряд)	$\pm 0,5$
Температурный коэффициент усиления, $10^{-6}/^{\circ}\text{C}$	20
Напряжение смещения общего режима работы, В	$\pm 1,0$
Ток потребления, мА	50

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74518

8-РАЗРЯДНЫЙ КОМПАРАТОР, НЕИНВЕРТИРУЮЩИЙ ВЫХОД (ОТКРЫТЫЙ КОЛЛЕКТОР)



74518

Описание

Микросхема сравнивает два 8-разрядных слова и показывает, равны ли их величины. Выход имеет открытый коллектор.

Работа схемы

Слова А и В, которые должны сравниваться, поступают на соответствующие входы А0 – А7 и В0 – В7.

Если оба слова равны по величине, то на выводе А = В устанавливается напряжение высокого уровня. При этом на разрешающем входе EN должно быть напряжение низкого уровня. Если же на него подается напряжение высокого уровня, то на выходе А = В формируется напряжение низкого уровня независимо от состояния информационных входов.

Выход имеет открытый коллектор, благодаря чему к схеме можно подключить несколько модулей с монтажным И.

Аналоговые данные поступают на входы В через подсоединеные к ним внутренние сопротивления.

Входы		Выход
EN	Данные	A = B
L	A = B	H
L	A ≠ B	L
H	X	L

Применение

Сравнение данных, элементы управления.

Технические данные

ALS

Время задержки прохождения сигнала, нс

16,5

Ток потребления, мА

11

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●					

74519 8-РАЗРЯДНЫЙ КОМПАРАТОР, НЕИНВЕРТИРУЮЩИЙ ВЫХОД (ОТКРЫТЫЙ КОЛЛЕКТОР)



74519

Описание

Микросхема сравнивает два 8-разрядных слова и показывает, равны ли их величины. Выход имеет открытый коллектор.

Работа схемы

Слова А и В, которые должны сравниваться, поступают на соответствующие входы A0 – A7 и B0 – B7.

Если оба слова равны по величине, то на выводе A = B устанавливается напряжение высокого уровня. При этом на разрешающем входе EN должно быть напряжение низкого уровня. Если же на него подается напряжение высокого уровня, то на выходе A = B устанавливается напряжение низкого уровня независимо от состояния информационных входов.

Выход имеет открытый коллектор, благодаря чему к схеме можно подключить несколько модулей смонтажным И.

Данная микросхема отличается от микросхемы 74518 тем, что в схеме 74519 к входам В не подсоединенны внутренние сопротивления.

Входы		Выход
EN	Данные	A = B
L	A = B	H
L	A ≠ B	L
H	X	L

Применение

Сравнение данных, элементы управления.

Технические данные

ALS

Время задержки прохождения сигнала, нс

16,5

Ток потребления, мА

11

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●					

74520 8-РАЗРЯДНЫЙ КОМПАРАТОР, ИНВЕРСНЫЙ ВЫХОД



Описание

Микросхема сравнивает два 8-разрядных слова и показывает, равны ли их величины.

Работа схемы

Слова А и В, которые должны сравниваться, поступают на соответствующие входы A0 – A7 и B0 – B7.

Если оба слова равны по величине, то на выходе $A = B$ устанавливается напряжение низкого уровня. При этом на разрешающем входе EN должно быть напряжение низкого уровня. Если же на него подается напряжение высокого уровня, то на выходе $A = B$ устанавливается напряжение высокого уровня независимо от состояния информационных входов.

Аналоговые данные поступают на входы В через подсоединенные к ним внутренние сопротивления.

Входы		Выход
EN	Данные	$A = B$
L	$A = B$	L
L	$A \neq B$	H
H	X	H

Применение

Сравнение данных, элементы управления.

Технические данные

ALS

Время задержки прохождения сигнала, нс

10

Ток потребления, мА

12

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●					

74521 8-РАЗРЯДНЫЙ КОМПАРАТОР, ИНВЕРСНЫЙ ВЫХОД



Описание

Микросхема сравнивает два 8-разрядных слова и показывает, равны ли их величины.

Работа схемы

Слова А и В, которые должны сравниваться, поступают на соответствующие входы A0 – A7 и B0 – B7.

Если оба слова равны по величине, то на выходе $A = B$ устанавливается напряжение низкого уровня. При этом на разрешающем входе EN должно быть напряжение низкого уровня. Если же на него подается напряжение высокого уровня, то на выходе $A = B$ устанавливается напряжение высокого уровня независимо от состояния информационных входов.

От 74520 данная микросхема отличается тем, что в ней к входам В не подсоединенны внутренние сопротивления.

Входы		Выход
EN	Данные	$A = B$
L	$A = B$	L
L	$A \neq B$	H
H	X	H

Применение

Сравнение данных, элементы управления.

Технические данные

Время задержки прохождения сигнала, нс

ALS F

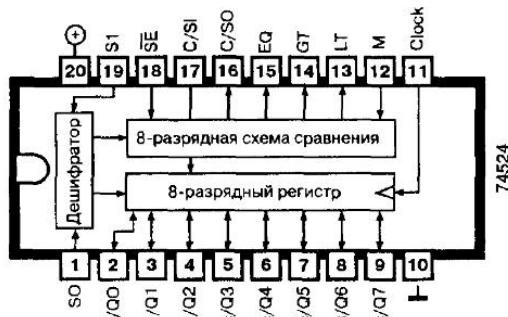
Ток потребления, мА

15 6,5

10 24

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

74524 8-РАЗРЯДНЫЙ РЕГИСТР С КОМПАРАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР)



74524

Описание

Микросхема содержит двунаправленный 8-разрядный регистр с параллельными вводами и выводами данных, с последовательной обработкой входных и выходных данных, начиная от самого младшего и кончая самым старшим двоичным разрядом.

Работа схемы

Последовательный и параллельный ввод всех данных происходит по положительному фронту тактового импульса. Сдвиг данных, их загрузка, хранение и считывание осуществляются через две шины управления S0 и S1. 8-разрядный компаратор сравнивает записанные в регистре данные с информацией, находящейся на шине данных. Три выхода – EQ (данные в регистре равны данным на шине), GT (данные в регистре больше данных на шине) и LT (данные в регистре меньше данных на шине) имеют открытый коллектор. Эти выходы отключаются с помощью сигнала на входе SE. Вход M (контроль режима работы) позволяет осуществлять сравнение чисел, представленных в коде с дополнением до двух.

S0	S1	Операции
L	L	Хранение – хранение данных в регистре сдвига
L	H	Считывание – считывание данных из регистра сдвига и подача их на шину данных
H	L	Запись – разрешение на последовательный сдвиг при следующем положительном фронте синхроимпульса
H	H	Загрузка – загрузка данных с шины в регистр

Входы			Выходы			
SE	C/SI	сравнение данных	EQ	GT	LT	C/SO
H	X	X	H	H	H	1
L	L	$Q_A - Q_H > I/Q_0 - I/Q_7$	L	H	H	L
L	L	$Q_A - Q_H = I/Q_0 - I/Q_7$	H	H	H	L
L	L	$Q_A - Q_H < I/Q_0 - I/Q_7$	L	H	H	L
L	H	$Q_A - Q_H > I/Q_0 - I/Q_7$	L	H	L	L
L	H	$Q_A - Q_H = I/Q_0 - I/Q_7$	H	L	L	H
L	H	$Q_A - Q_H < I/Q_0 - I/Q_7$	L	L	H	L

M	Операция
L	Сравнение величин
H	Сравнение в дополнительном 2 коде

Применение

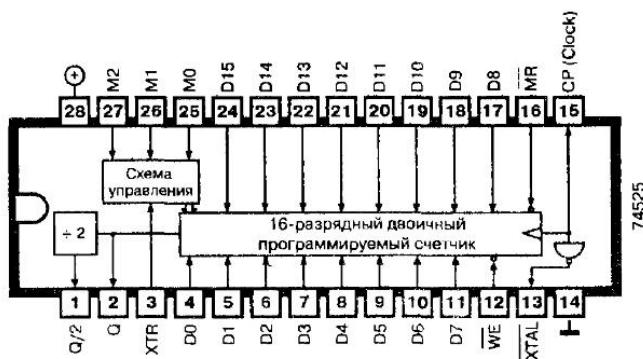
Быстродействующие операции сравнения.

Технические данные

Максимальная тактовая частота, МГц	F
75	128

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74525 ПРОГРАММИРУЕМЫЙ ДВОИЧНЫЙ 16-РАЗРЯДНЫЙ ВЫЧИТАЮЩИЙ СЧЕТЧИК



Описание

Микросхема содержит быстродействующий универсальный двоичный 16-разрядный вычитающий счетчик с управляемой логикой.

Работа схемы

Счетчик может работать в восьми режимах работы. Загрузка данных в счетчик происходит независимо от выбранного режима работы. Информация в регистр загружается при перепаде напряжения на выводе \overline{WE} с низкого уровня на высокий. При установлении на выводе \overline{WE} напряжения низкого уровня регистр прозрачен для данных.

Режим работы 0: на выводе XTR установлено напряжение высокого уровня. По следующему положительному фронту тактового импульса данные из регистра загружаются в счетчик. При перепаде напряжения на выводе XTR с высокого уровня на низкий по положительному фронту тактового импульса начинается счет в обратном направлении (вычитание импульсов). При достижении 0 на выходе Q устанавливается напряжение высокого уровня, и выход Q/2 переходит в противоположное состояние. Перепад напряжения на выводе XTR с низкого уровня на высокий снова загружает данные в счетчик и сбрасывает данные на выходе Q.

Режим работы 1: аналогичен режиму работы 0. В основном режиме счета на выходе Q формируется напряжение высокого уровня. При достижении 0 на выходе Q устанавливается напряжение низкого уровня.

Режим работы 2: такой же, как и режим работы 1, только при достижении 0 на выходе Q устанавливается напряжение высокого уровня на время одного периода тактового импульса.

Режим работы 3: такой же, как и режим работы 2, только при работе в третьем режиме на выходе Q получают сигналы в инвертированном виде.

Режим работы 4: аналогичен режиму работы 2, однако, если до достижения 0 на вывод XTR подается напряжение высокого уровня, данные сохраняются в счетчике.

Режим работы 5: такой же, как и режим работы 4, только при работе в пятом режиме выход Q инвертирует сигнал.

Режим работы 6: аналогичен режиму 0, однако при работе в шестом режиме на выходе Q устанавливается напряжение низкого уровня, когда счет достигает 0. При следующей подаче на вывод XTR напряжения высокого уровня новые данные поступают в счетчик, однако не оказывают никакого влияния на состояние выхода Q.

Режим работы 7: аналогичен режиму работы 2. При формировании на выходе Q напряжения низкого уровня и по положительному фронту тактового импульса на выводе CP новые данные загружаются в счетчик. При установке на входе XTR напряжения высокого уровня данные из накопителя поступают в счетчик и на выход Q. Этот режим работы может продолжаться до тех пор, пока не будет заблокирован с помощью вывода MR.

Применение

Контроллер скорости передачи, цифровой программируемый ждущий мультивибратор, цифровой фильтр с переменной частотой дискретизации.

Технические данные

F

Максимальная тактовая частота, МГц	60
Ток потребления, мА	90

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74526 ПРОГРАММИРУЕМЫЙ 16-РАЗРЯДНЫЙ КОМПАРАТОР



Описание

Микросхема содержит 16-разрядный компаратор, в котором эталонное слово жестко программируется с помощью плавких перемычек.

Работа схемы

Микросхема служит в качестве компаратора, в котором программируется эталонное слово.

На выходе $A = B$ устанавливается напряжение низкого уровня, когда вводимое в компаратор 16-разрядное слово совпадает по величине с запрограммированным эталонным 16-разрядным словом.

Процесс программирования осуществляется очень просто. До установки программирования (все перемычки еще находятся в исправном состоянии) на выходе формируется напряжение низкого уровня, если все поступающие данные являются сигналами низкого уровня. Сигналы высокого уровня распределяют соответствующие перемычки.

Это происходит благодаря тому, что на соответствующий вход A и на вывод \bar{G} подается напряжение +12 В, которое на выводе сохраняется около 50 нс. На остальных входах устанавливается напряжение низкого уровня.

Процесс распределения можно проинтегрировать следующим образом: на соответствующий вход A подается напряжение высокого уровня (+5 В), а на вывод \bar{G} — низкого. На выходе $A = B$ сохраняется еще напряжение высокого уровня. Если теперь на данный вход A подать напряжение +12 В, то на выходе $A = B$ устанавливается напряжение низкого уровня. Перемычка при этом еще не распределяется. Она плавится, когда на вывод \bar{G} также поступит напряжение +12 В. Лишь после этого происходит программирование компаратора на распознавание входного сигнала высокого уровня.

Применение

Сравнение данных, элементы управления.

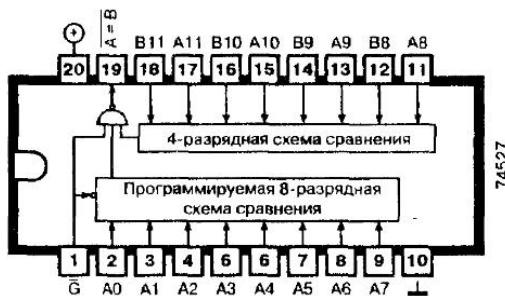
Технические данные

	ALS
Время задержки прохождения сигнала, нс	9
Напряжение программирования, В	+12
Ток программирования, мА	10
Ток потребления, мА	12

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74527

ПРОГРАММИРУЕМЫЙ 8-РАЗРЯДНЫЙ КОМПАРАТОР И 4-РАЗРЯДНЫЙ КОМПАРАТОР



74527

Описание

Микросхема содержит 12-разрядный компаратор, в котором восемь информационных разрядов жестко программируются с помощью плавких перемычек. Остальные четыре разряда задаются, как и в обычном компараторе, через входы B8 – B11.

Работа схемы

Микросхема служит в качестве компаратора, в котором эталонное слово, поступающее на входы A0 – A7, жестко программируется, а четыре информационных бита A8 – A11 задаются через входы B8 – B11.

На выходе A = B устанавливается напряжение низкого уровня, когда вводимое в компаратор 12-разрядное слово совпадает по величине как с жестко запрограммированными битами A0 – A7, так и с битами, вводимыми через входы B8 – B11.

Процесс программирования информационных битов A0 – A7 аналогичен тому, который приводится в описании микросхемы 74ALS526.

Применение

Сравнение данных, элементы управления.

Технические данные

Время задержки прохождения сигнала, нс

ALS

9

Напряжение программирования, В

+12

Ток программирования, мА

10

Ток потребления, мА

12

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74528 ПРОГРАММИРУЕМЫЙ 12-РАЗРЯДНЫЙ КОМПАРАТОР



Описание

Микросхема содержит 12-разрядный компаратор, в котором эталонное слово программируется с помощью плавких перемычек.

Работа схемы

Микросхема служит в качестве компаратора, в котором эталонное слово жестко программируется.

На выходе А = В устанавливается напряжение низкого уровня, когда вводимое в компаратор 12-разрядное слово совпадает по величине с жестко запрограммированным 12-разрядным эталонным словом.

Процесс программирования аналогичен тому, который приводится в описании микросхемы 74ALS526.

Применение

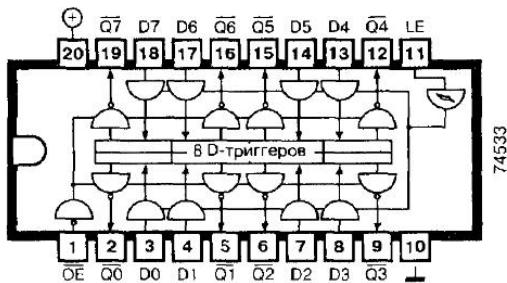
Сравнение данных, элементы управления.

Технические данные

	ALS
Время задержки прохождения сигнала, нс	9
Напряжение программирования, В	+12
Ток программирования, мА	10
Ток потребления, мА	12

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74533 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ С УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров с выходами, которые имеют три состояния.

Работа схемы

Когда на вход LE (разрешение фиксировать данные в регистре) подается напряжение высокого уровня, то триггеры становятся прозрачными, то есть данные, поступающие на входы D, появляются непосредственно на выходах \bar{Q} в инвертируемом виде.

При этом на входе $\overline{\text{OE}}$ (разрешение формирования выходного сигнала) должно быть установлено напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на вход LE подать напряжение низкого уровня, то данные, поступившие к этому моменту на входы D, сохраняются в триггерах. Вход LE имеет формирователь на триггере Шmittта.

Эта микросхема аналогична микросхеме 74373, которая имеет прямые выходы.

Входы			Выход
OE	LE	D	\bar{Q}
L	H	H	L
L	H	L	H
L	L	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные

Время задержки прохождения сигнала, нс

ALS AS F LS

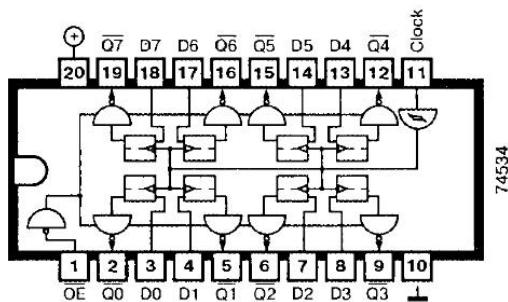
10 6 6 10

Ток потребления, мА

25 66 41 24

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

74534 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с выходами, которые имеют три состояния.

Работа схемы

Поступающие на входы D0 – D7 данные сохраняются в триггерах при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт импульса). Вход тактовых импульсов имеет формирователь на триггере Шмитта.

Записанные в триггерах данные приходят на выходы \bar{Q} в инвертируемом виде, когда на вход OE (разрешение формирования выходных сигналов) подается напряжение низкого уровня. Если на этом входе устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Данная микросхема аналогична микросхеме 74374, которая имеет прямые выходы.

Входы			Выход
OE	Clock	D	\bar{Q}
L	—	L	H
L	—	H	L
L	L, H, —	X	Нет изменений
H	X	X	Z

Применение

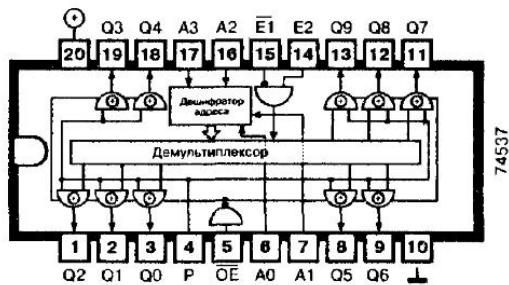
Буферный регистр хранения данных для ингибионно-ориентированных систем.

Технические данные

	ALS	AS	F	LS
Максимальная тактовая частота, МГц	35	125	100	35
Время задержки прохождения сигнала, нс	9	6	5	10
Ток потребления, мА	17	82	55	27

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

74537 ДЕШИФРАТОР/ДЕМУЛЬТИПЛЕКСОР 1 ИЗ 10 (ТРИ СОСТОЯНИЯ)



74537

Описание

Микросхема содержит дешифратор/демультиплексор с одним входом и десятью выходами с тремя состояниями.

Работа схемы

Когда на четыре адресных входа A0 – A3 поступает 4-разрядный код, то на соответствующем этому коду выходе устанавливается напряжение высокого уровня (на всех остальных выходах – низкого); и это происходит в том случае, если на вход P подается напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то на выбранном выходе формируется напряжение низкого уровня, а на остальных выходах остается напряжение высокого уровня.

При этом на разрешающий вход E1 должно подаваться напряжение низкого уровня, а на разрешающий вход E2 – высокого. В противном случае все выходы переходят в высокоомное (третье) состояние. Поступающие на входы коды, которые оказались больше двоично-десятичного кода числа 9, переводят все выходы в неактивное состояние (то есть на выходах устанавливается напряжение того же уровня, что и на входе P).

Применение

Цифровые демультиплексоры, декодеры адреса, дешифраторы для управления.

Технические данные

F

Время задержки прохождения сигнала, нс

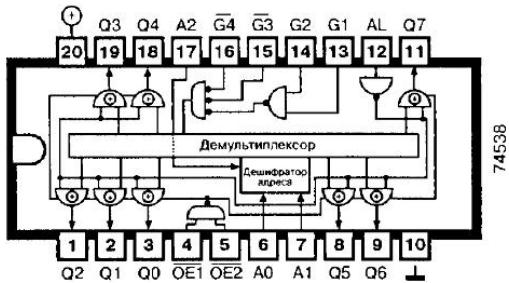
12

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

74538 ДЕШИФРАТОР 1 ИЗ 8 (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит дешифратор с одним входом и восьмью выходами 3–8 с тремя состояниями с четырьмя разрешающими входами.

Работа схемы

Когда на адресные входы A0, A1 и A2 поступает трехразрядный код, то на соответствующем этому коду выходе устанавливается напряжение высокого уровня (на всех остальных выходах – низкого); это происходит в том случае, если на вход AL подано напряжение низкого уровня. Если же на этот вход подано напряжение высокого уровня, то на выбранном выходе устанавливается напряжение низкого уровня, в то время как на остальных выходах остается напряжение высокого уровня.

При этом на управляющие входы OE1 и OE2 должно быть подано напряжение низкого уровня. Если хотя бы на одном из этих входов присутствует напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

На входы G1 и G2 следует подавать напряжение высокого уровня, а на входы G3 и G4 – низкого. Если хотя бы на одном из этих четырех входов устанавливается напряжение другого логического уровня, то на всех выходах формируется напряжение такого же уровня, что и на входе AL.

Входы G позволяют расширить микросхему путем каскадного включения четырех аналогичных схем и получить дешифратор 1 из 32.

Применение

Цифровые демультиплексоры, декодеры адреса, дешифраторы для управления.

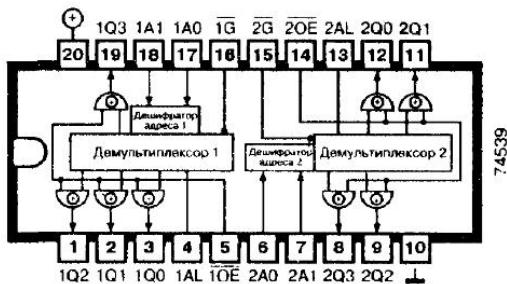
Технические данные

	ALS	F
Время задержки прохождения сигнала, нс	20	9
Ток потребления, мА	25	37

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

Режим работы	Входы								Выходы							
	$\overline{OE1}$	$\overline{OE2}$	G1	G2	$\overline{G3}$	$\overline{G4}$	A2	A1	A0	Q0	Q1	Q2	Q3	Q4	Q5	Q6
Третье состояние (AL = X)	H	X	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z	Z
	X	H	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z	Z
Блокирование (AL = X)	L	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	L	X	L	X	X	X	X	X	X	H	H	H	H	H	H	H
	L	X	X	H	X	X	X	X	X	H	H	H	H	H	H	H
	L	X	X	X	H	X	X	X	X	H	H	H	H	H	H	H
Активный уровень выхода – высокий (H) (AL = L)	L	H	H	H	L	L	L	L	L	H	L	L	L	L	L	L
	L	H	H	H	L	L	L	L	L	H	L	L	L	L	L	L
	L	H	H	H	L	L	L	L	L	H	L	L	L	L	L	L
	L	H	H	H	L	L	L	L	L	H	L	L	L	L	L	L
Активный уровень выхода – низкий (L) (AL = H)	L	L	H	H	H	H	L	L	L	H	L	H	H	H	H	H
	L	L	H	H	H	H	L	L	L	H	L	H	H	H	H	H
	L	L	H	H	H	H	L	L	L	H	L	H	H	H	H	H
	L	L	H	H	H	H	L	L	L	H	L	H	H	H	H	H

74539 ДВА ДЕШИФРАТОРА 1 ИЗ 4 (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два отдельных дешифратора с одним входом данных, управляющим входом и четырьмя выходами с тремя состояниями.

Работа схемы

Когда на адресные входы A0 и A1 одного дешифратора поступает двухразрядный код, то на соответствующем этому коду выходе устанавливается напряжение высокого уровня (на всех остальных выходах – низкого); это происходит в том случае, если на вход AL подается напряжение низкого уровня. Если же на этот вход поступает напряжение высокого уровня, то на выбранном выходе устанавливается напряжение низкого уровня, а на остальных выходах остается напряжение высокого уровня.

При этом на управляющем входе OE (разрешение формирования выходного сигнала) должно быть напряжение низкого уровня. Если же на этот вход поступило напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

С помощью входа \bar{G} возможно каскадное включение демультиплексора данных. В нормальном режиме работы на этот вход подается напряжение низкого уровня. Если на него поступает напряжение высокого уровня, то на всех выходах формируется напряжение такого же логического уровня, что и на входе AL.

Режим работы	Входы				Выходы			
	OE	G	B	A	Q0	Q1	Q2	Q3
Третье состояние	H	X	X	X	Z	Z	Z	Z
Блокирование	L	H	X	X	Уровень на всех выходах такой же, что и на входе AL			
Активный уровень выхода – высокий (H) (AL = L)	L	L	L	L	H	L	L	L
	L	L	L	H	L	H	L	L
	L	L	H	L	L	L	H	L
	L	L	H	H	L	L	L	H
Активный уровень выхода – низкий (L) (AL = H)	L	L	L	L	L	H	H	H
	L	L	L	H	H	L	H	H
	L	L	H	L	H	H	L	H
	L	L	H	H	H	H	H	L

Применение

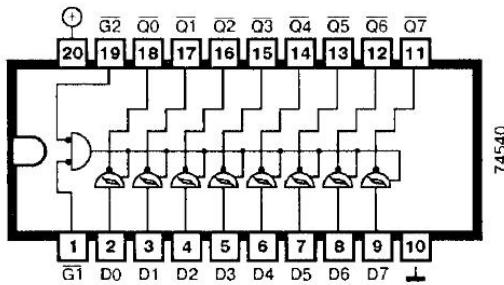
Цифровые демультиплексоры, декодеры адреса, дешифраторы для управления.

Технические данные

	ALS	F
Время задержки прохождения сигнала, нс	20	12
Ток потребления, мА	24	40

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

74540 ВОСЕМЬ ИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь инвертирующих буферов шины с выходами, которые имеют три состояния.

Работа схемы

Поступающие на вход D данные появляются на соответствующем выходе \bar{Q} в инвертируемом виде.

При этом на оба управляющих входа $\bar{G}1$ и $\bar{G}2$ необходимо подать напряжение низкого уровня. Если же на одном или на обоих этих входах устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Все входы буфера шины имеют формирователи на триггерах Шмитта, поэтому микросхема очень хорошо принимает сигналы с зашумленных шин (лишь для серии LS).

Входы располагаются в той же самой последовательности, что и выходы, напротив друг друга, благодаря чему облегчается разводка печатных проводников на плате.

При напряжении высокого уровня выходной ток может достигать 15 мА, а при напряжении низкого уровня – 24 мА.

Аналогичная микросхема, но с неинвертирующими (прямыми) выходами, – микросхема 74541.

Входы			Выходы
$\bar{G}1$	$\bar{G}2$	D	\bar{Q}
L	L	L	H
L	L	H	L
H	X	X	Z
X	H	X	Z

Применение

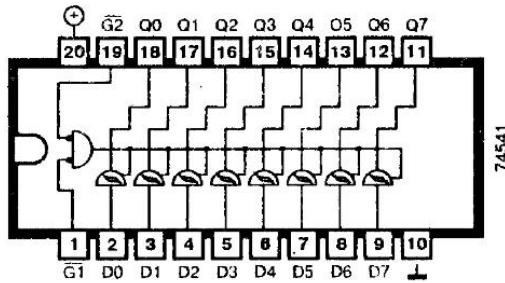
Буфер для шин данных и адресных шин.

Технические данные

	ALS	F	LS
Время задержки прохождения сигнала, нс	6	3,5	9
Ток потребления, мА	20	58	23

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●			●		

74541 ВОСЕМЬ НЕИНВЕРТИРУЮЩИХ БУФЕРОВ ШИНЫ С ДВУМЯ УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих буферов шины с выходами, которые имеют три состояния.

Работа схемы

Поступающие на вход D данные появляются на соответствующем выходе Q в неинвертируемом виде.

При этом на управляющие входы $\bar{G}1$ и $\bar{G}2$ необходимо подать напряжение низкого уровня. Если же на одном или на обоих входах устанавливается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Все входы буфера шины имеют формирователи на триггерах Шмитта, поэтому микросхема очень хорошо принимает сигналы с зашумленных шин (лишь для серии LS).

Входы располагаются в той же самой последовательности, что и выходы, напротив друг друга, благодаря чему облегчается разводка печатных проводников на плате.

При напряжении высокого уровня выходной ток может достигать 15 мА, а при напряжении низкого уровня выходной ток – 24 мА.

Аналогичная микросхема, но с инверсными выходами, – микросхема 74540.

Входы			Выходы Q
$\bar{G}1$	$\bar{G}2$	D	
L	L	L	H
L	L	H	L
H	X	X	Z
X	H	X	Z

Применение

Буфер для шин данных и адресных шин.

Технические данные

Время задержки прохождения сигнала, нс

ALS F LS

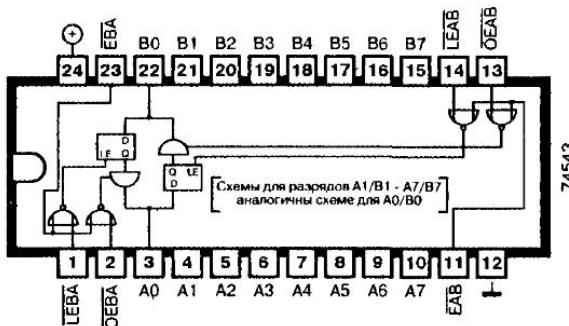
6 5,5 9

Ток потребления, мА

18 55 27

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●			●		

74543 8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С РЕГИСТРОМ



Описание

Микросхема содержит два блока с восемью D-триггерами в каждом, служащими в качестве буферных регистров для данных, передаваемых в любом направлении. Данные при передаче не инвертируются.

Работа схемы

Каждый из двух блоков D-триггеров имеет отдельные управляющие входы и выходы. Например, для передачи данных от шины А к шине В необходимо подать на управляющий вход ЕАВ напряжение низкого уровня. При этом данные поступают на входы А0 – А7 и передаются на выходы В0 – В7, как можно видеть из нижеприведенной таблицы. Установление на выводе LEAB (разрешение фиксации переноса данных от шины А к шине В) напряжения низкого уровня делает D-триггеры прозрачными для передачи данных от шины А к шине В. Следующий после этого переход напряжения на выводе LEAB с низкого уровня на высокий переводит триггеры шины А в режим хранения данных, и уровень напряжения на выходах триггеров отличается от уровня напряжения на входах А.

При поступлении на выводы ЕАВ и ОЕАВ напряжения низкого уровня на триггерах шины В устанавливаются такие же логические уровни, что на триггерах шины А.

Управление передачей данных от шины В к шине А такое же, как и от А к В, при этом используются выводы ЕВА, LEVA и ОЕВА.

Данная микросхема аналогична микросхеме 74544, которая, в отличие от первой, при передаче информации инвертирует данные.

Входы			Режим работы регистра	Выходы
EAB	LEAB	OEAB		
H	X	X	Передача от А к В	B0 – B7
X	H	-	Хранение	Z
X	-	H	Хранение	-
L	L	L	Прозрачный	Входы А в данный момент
L	H	L	Хранение	Входы А перед Г на LEAB

Применение

Двунаправленный передатчик данных на 8-разрядную шину с буферным регистром.

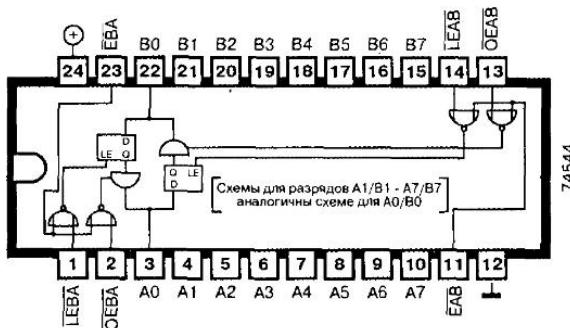
Технические данные**F**

Время задержки прохождения сигнала, нс 5,5
 Ток потребления, мА 80

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74544

8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С РЕГИСТРОМ



Описание

Микросхема содержит два блока с восемью D-триггерами в каждом, служащими в качестве буферных регистров для данных, передаваемых в любом направлении. Данные при передаче инвертируются.

Работа схемы

Каждый из двух блоков с D-триггерами имеет отдельные управляющие входы и выходы. Например, для передачи данных от шины А к шине В необходимо подать на вход EAB напряжение низкого уровня. При этом данные поступают на входы A0 – A7 и передаются на выходы B0 – B7, как можно видеть из нижеприведенной таблицы. Установление на входе LEAB (разрешение фиксации переноса данных от шины А к шине В) напряжения низкого уровня делает D-триггеры прозрачными для передачи данных от шины А к шине В. Следующий после этого переход напряжения на выводе LEAB с низкого уровня на высокий переводит триггеры шины А в режим хранения данных, и уровни напряжения на выходах триггеров уже не соответствуют уровням напряжения на входах А.

При поступлении на выводы EAB и OEAB напряжения низкого уровня на триггерах шины В устанавливаются такие же логические уровни, что на триггерах шины А.

Управление передачей данных от шины В к шине А такое же, как и от А к В, при этом используются выводы EBA, LEBA и OEBA.

Данная микросхема аналогична микросхеме 74543, которая при передаче информации данные не инвертирует.

Входы			Режим работы регистра	Выходы
EAB	LEAB	OEAB		
H	X	X	Передача от А к В	B0 – B7
X	H	-	Хранение	Z
X	-	H	Хранение	-
L	L	L	Прозрачный	Входы <u>Ā</u> в данный момент
L	H	L	Хранение	Входы <u>Ā</u> перед <u>Г</u> на LEAB

Применение

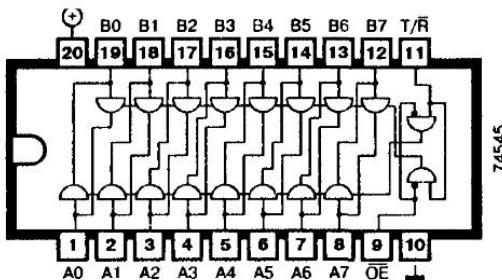
Двунаправленная передача данных на 8-разрядную шину с буферным ЗУ.

Технические данные

Время задержки прохождения сигнала, нс	F	6,0
Ток потребления, мА		80

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74545 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК (ТРИ СОСТОЯНИЯ)



74545

Описание

Микросхема содержит восемь неинвертирующих двунаправленных буферов шины с выходами, которые имеют три состояния.

Работа схемы

Восемь буферов шины позволяют осуществить асинхронную двунаправленную связь между двумя 8-разрядными шинами данных.

С помощью сигнала, подаваемого на вход T/\bar{R} (передача/прием), устанавливается направление передачи данных через двунаправленный приемопередатчик. Если на вход T/\bar{R} подается напряжение высокого уровня, то данные передаются от шины А к шине В. При поступлении на вход T/\bar{R} напряжения низкого уровня происходит передача данных от шины В к шине А. При этом на управляющем входе \bar{OE} должно быть напряжение низкого уровня.

Если на вход \bar{OE} (разрешение формирования выходного сигнала) поступает напряжение высокого уровня, то все выходы переходят в третье (высокоомное) состояние, вследствие чего обе шины изолируются друг от друга.

Благодаря высокому входному сопротивлению, нагрузка на шины уменьшается (величина тока 70 мА для напряжения высокого и низкого уровня).

Данная микросхема по своему функциональному назначению аналогична микросхеме 74245, однако имеет другое расположение выводов.

Управляющие входы		Режим работы
\bar{OE}	T/\bar{R}	
L	H	Передача данных от шины А к шине В
L	L	Передача данных от шины В к шине А
H	X	Шины А и В изолированы друг от друга (Z)

Применение

Двунаправленный буфер для 8-разрядных шин данных и адресных шин.

Технические данные

Время задержки прохождения сигнала, нс

F

4

Максимальный выходной ток, мА:

4

при напряжении высокого уровня:

3

шина А

15

шина В

64

при напряжении низкого уровня:

24

шина А

64

шина В

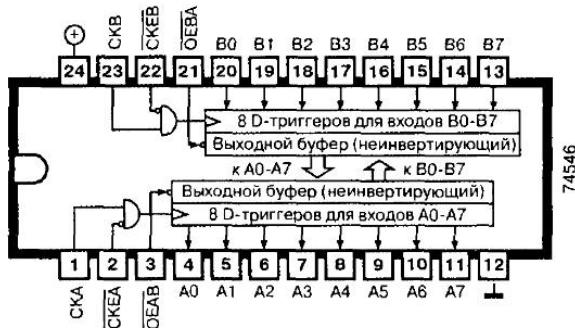
Ток потребления, мА

87

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74546

8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМ РЕГИСТРОМ (ТРИ СОСТОЯНИЯ)



74546

Описание

Микросхема содержит два 8-разрядных регистра для хранения и передачи данных от одной шины к другой.

Работа схемы

Направление передачи данных определяется с помощью входа OEAB (передача данных разрешена от шины А к шине В) и входа OEBA (передача данных разрешена от шины В к шине А) – см. таблицу.

Когда на входах OEAB и OEBA одновременно устанавливается напряжение высокого уровня, то при перепаде напряжения на входе таймеров импульсов СКА с низкого уровня на высокий (положительный фронт) данные с входов A0 – A7 поступают в соответствующий регистр и хранятся в нем при условии, что на управляющий вход таймеров импульсов СKEA подается напряжение низкого уровня. Тоже самое относится и к входам СКА и СKEB при передаче данных с входов B0 – B7. Если на входах OEAB и OEBA одновременно сформировалось напряжение низкого уровня, то хранящиеся в регистрах данные передаются на соответствующие шины.

Буферные элементы регистров переходят в высокоомное (третье) состояние, когда на соответствующем управляющем входе (OEAB, OEBA) устанавливается напряжение высокого уровня.

Данные при передаче не инвертируются. В отличие от данной схемы микросхема 74LS566 инвертирует передаваемые данные.

<u>OEAB</u>	<u>OEBA</u>	Направление
L	L	Передача записанных данных на шины А и В
L	H	Передача данных от шины А к шине В
H	L	Передача данных от шины В к шине А
H	H	Передача данных с шин А и В в регистр (запись)

Применение

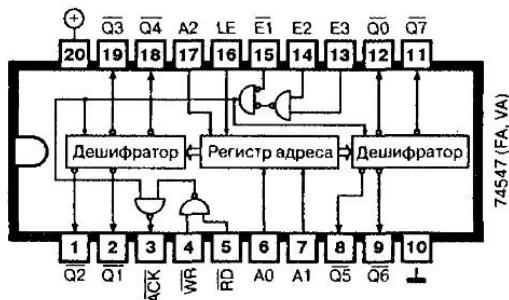
Двунаправленная передача данных и их хранение в буфере для 8-разрядных шин.

Технические данные

Максимальная тактовая частота, МГц	40
Максимальный выходной ток (I_{OL}), мА	32
Ток потребления, мА	36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74547 (FA, VA) 8-РАЗРЯДНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР С БУФЕРНЫМ РЕГИСТРОМ АДРЕСА



Описание

Микросхема содержит дешифратор/демультиплексор 3-8 с буферным регистром адреса и выходом подтверждения с открытым коллектором.

Описание

Микросхема имеет три управляющих входа E1, E2 и E3. Если на вход E1 подается напряжение низкого уровня, а на входы E2, E3 и LE (разрешение фиксации состояния) – высокого, то происходит дешифрация трехразрядного двоичного кода и на выбранном выходе \bar{Q} устанавливается напряжение низкого уровня, в то время как на остальных выходах \bar{Q} сохраняется напряжение высокого уровня. При последующем перепаде напряжения на входе LE с низкого уровня на высокий адрес записывается в буферный регистр.

В отдельных случаях входы LE и E1 могут соединяться друг с другом. Если на них подается напряжение высокого уровня, то выходы \bar{Q} отключаются и буферный регистр становится прозрачным. Если на входы LE и E1 поступает напряжение низкого уровня, то адрес записывается и хранится в регистре и выбранный выход отпирается. В нормальном режиме работы на выходе АСК устанавливается напряжение высокого уровня (то есть выход отключен). На этом выходе формируется

Дешифратор

Состояние буферного регистра и выходов

Входы				Состояние буферного регистра	Выходы дешифратора
E1	E2	E3	LE		
L	H	H	H	Прозрачный	Адрессы на входах дешифруются ($\bar{Q}_n = L$)
L	H	H	L	Запись и хранение	Записанные адрессы дешифруются ($\bar{Q}_n = L$)
H	X	X	H	Прозрачный	$\bar{Q}_n = H$ (напряжение высокого уровня)
H	X	X	L	Запись и хранение	
X	L	X	H	Прозрачный	
X	L	X	L	Запись и хранение	
X	X	L	H	Прозрачный	
X	X	L	L	Запись и хранение	

Подтверждение

Входы					Выход
E1	E2	E3	RD	WR	ACK
H	X	X	X	X	H
X	L	X	X	X	H
X	X	L	X	X	H
L	H	H	H	H	H
L	H	H	L	X	L
L	H	H	X	L	L

напряжение низкого уровня, когда входы $\overline{E1}$, $E2$ и $E3$ переходят в активное состояние, и на входы \overline{RD} (считывание) или WR (запись) подается напряжение низкого уровня.

Применение

Адресный дешифратор в микропроцессорных системах.

Технические данные

F

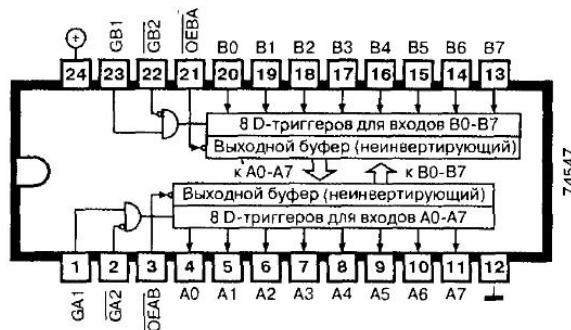
Время задержки прохождения сигнала, ис-

8

Ток потребления, мА

17

74547 (MMI) 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМИ РЕГИСТРАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два 8-разрядных буферных регистра для хранения и передачи 8-разрядных данных от одной шины к другой.

Работа схемы

Направление передачи данных определяется с помощью входа \overline{OEAB} (передача данных разрешена от шины А к шине В) и входа \overline{OEBA} (передача данных разрешена от шины В к шине А) – см. таблицу.

Когда на обоих разрешающих входах $GA1$ и $GA2$ одновременно устанавливается напряжение высокого уровня, то данные с входов $A0 - A7$ поступают в буферный регистр. То же самое относится и к разрешающим входам $GB1$ и $GB2$ для данных, находящихся на входах $B0 - B7$.

Когда на входах \overline{OEAB} и \overline{OEBA} одновременно устанавливается напряжение низкого уровня, то хранящиеся в буферных регистрах данные передаются на соответствующие шины.

Буферные элементы регистров переходят в высокоомное (третье) состояние, если на соответствующий вход (\overline{OEAB} , \overline{OEBA}) подано напряжение высокого уровня.

Данные при передаче не инвертируются. В отличие от рассматриваемой схемы, микросхема 74LS567 инвертирует передаваемые данные.

\overline{OEAB}	\overline{OEBA}	Направление
L	L	Передача записанных данных на шины А и В
L	H	Передача данных от шины А к шине В
H	L	Передача данных от шины В к шине А
H	H	Передача данных с шин А и В в ЗУ (запись)

Применение

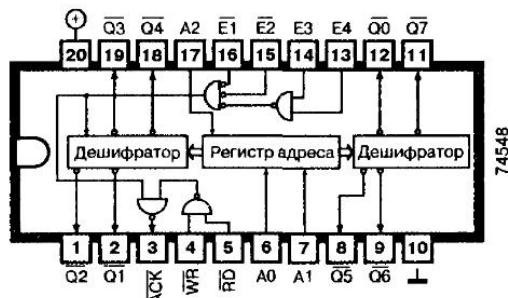
Двунаправленная передача данных и их хранение в буфере для 8-разрядных шин.

Технические данные

Максимальная тактовая частота, МГц	40
Максимальный выходной ток (I_{OL}), мА	32
Ток потребления, мА	36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74548 (FA, VA) 8-РАЗРЯДНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР



Описание

Микросхема содержит дешифратор/демультиплексор 3-8 с четырьмя управляющими входами, а также с выходом подтверждения с открытым коллектором.

Работа схемы

В отличие от микросхемы 74F547, данная микросхема не содержит буферного регистра для хранения адреса. Когда на адресные входы A0 – A2 поступает трехразрядный двоичный код, то на выбранном выходе \bar{Q} устанавливается напряжение низкого уровня, в то время как на остальных выходах \bar{Q} сохраняется напряжение высокого уровня. Это происходит при условии, что в то же самое время на входы E1 и E2 подается напряжение низкого уровня, а на входы E3 и E4 – высокого. Если же на одном из этих четырех разрешающих входов возникает напряжение другого логического уровня, то на всех выходах \bar{Q} формируется напряжение высокого уровня.

Микросхему можно использовать как демультиплексор, если подавать данные на один из четырех управляемых входов.

В нормальном режиме работы на выходе АСК должно быть напряжение высокого уровня, то есть выход отключен. На этом выходе формируется напряжение низкого уровня, когда все разрешающие входы переходят в активное состояние, и на входах RD (считывание) или WR (запись) устанавливается напряжение низкого уровня.

Подтверждение

Входы						Выход
E1	E2	E3	E4	RD	WR	ACK
H	X	X	X	X	X	H
X	H	X	X	X	X	H
X	X	L	X	X	X	H
X	X	X	L	X	X	H
L	L	H	H	H	H	H
L	L	H	H	L	X	L
L	L	H	H	X	L	L

Дешифратор

Входы							Выходы							
$\bar{E}1$	$\bar{E}2$	$E3$	$E4$	$A2$	$A1$	$A0$	$\bar{Q}0$	$\bar{Q}1$	$\bar{Q}2$	$\bar{Q}3$	$\bar{Q}4$	$\bar{Q}5$	$\bar{Q}6$	$\bar{Q}7$
H	X	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	X	H	H	H	H	H	H	H	H
X	X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	H	H	H	H	H	H	H	H	H	H	L

Применение

Адресный дешифратор в микропроцессорных системах.

Технические данные

F

Время задержки прохождения сигнала, нс

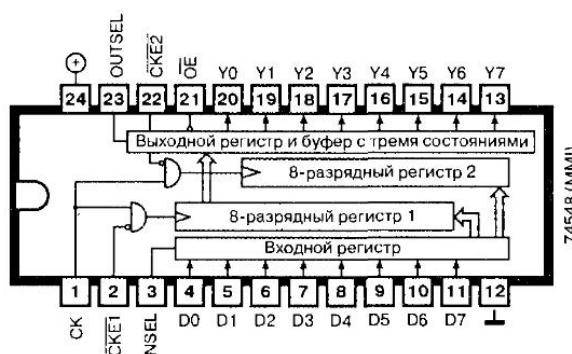
8

Ток потребления, мА

16

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74548 (MMI) ДВУХКАСКАДНЫЙ 8-РАЗРЯДНЫЙ КОНВЕЙЕРНЫЙ РЕГИСТР (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два быстродействующих 8-разрядных регистра, позволяющих осуществлять разнообразные операции по хранению и передаче данных.

Работа схемы

Через управляющий вход INSEL данные можно передать в регистр 2 или с входов D0 – D7 (на вход INSEL подается напряжение высокого уровня), или с выходов регистра 1 (на вход INSEL подается напряжение низкого уровня). Это происходит по положительному фронту тактового импульса, идущего с общего входа тактовых импульсов CK. При этом на разрешающем входе тактовых импульсов CKE1 должно быть установлено напряжение низкого уровня.

С помощью сигнала на входе OUTSEL выбираются данные, поступающие на выходы Y0 – Y7. Если на входе OUTSEL подается напряжение высокого уровня, то данные берутся из регистра 1, а если на этот вход идет напряжение низкого уровня, то на выходы Y0 – Y7 поступают данные из регистра 2. Передача данных из регистров на выходы происходит по положительному фронту тактового импульса на входе CK. При этом на соответствующий разрешающий вход тактовых импульсов (CKE1 для регистра 1 и CKE2 для регистра 2) должно быть подано напряжение низкого уровня.

Данные поступают на выходы Y0 – Y7 лишь в том случае, когда на входе OE напряжение низкого уровня. Если же на этом входе напряжение высокого уровня, то выходы Y0 – Y7 переходят в высокоомное (третье) состояние. Данные, поступающие со входов D0 – D7, при напряжении высокого уровня на входе INSEL будут храниться в регистре 1 или регистре 2 в зависимости от того, на какой из разрешающих тактовых входов CKE1 или CKE2 подано напряжение низкого уровня. Как уже было сказано, передача данных происходит при перепаде напряжения на общем входе тактовых импульсов CK с низкого уровня на высокий.

CK	$\bar{CKE1}$	Регистр 1	$\bar{CKE2}$	INSEL	Регистр 2
L (H)	X	Q0	X	X	Q0
	H	Q0	H	X	Q0
	L	D	H	X	Q0
	L	D	L	L	$1 - Q$
	L	D	L	H	D
	H	Q0	L	L	$1 - Q$
	H	Q0	L	H	D

$1 - Q$ ($2 - Q$) – данные, находящиеся на внутренних выводах триггеров

Q0 – предшествующее состояние внутренних регистров

Применение

Регистр в арифметических устройствах или цифровых процессорах, конвейерный регистр, интерфейс с буфером.

Технические данные

LS

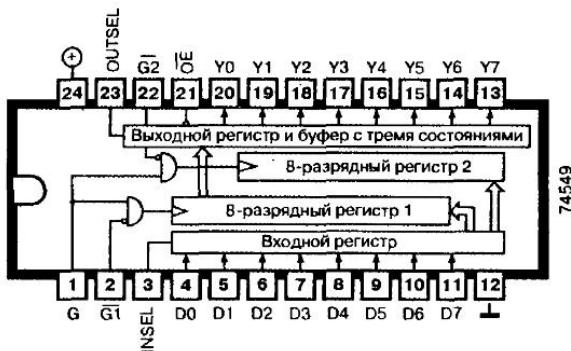
Максимальная тактовая частота, МГц 50

Максимальный выходной ток (I_{OL}), мА 32

Ток потребления, мА 150

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74549 ДВУХКАСКАДНЫЙ 8-РАЗРЯДНЫЙ КОНВЕЙЕРНЫЙ РЕГИСТР



Описание

Микросхема содержит два быстродействующих 8-разрядных регистра, позволяющих осуществлять разнообразные операции по хранению и передаче данных.

Работа схемы

Через управляющий вход INSEL данные можно передать в регистр 2 или с входов D0 – D7 (на вход INSEL подается напряжение высокого уровня), или с выходов регистра 1 (на вход INSEL подается напряжение низкого уровня). Микросхема имеет отдельные для каждого регистра разрешающие выводы G1 и G2 и общий разрешающий вывод G.

Данные проходят через регистры, когда разрешающие выводы G1 и G2 каждого из регистров и общий разрешающий вывод G одновременно разблокированы. Данные остаются и хранятся в регистрах, если эти управляющие выводы заперты.

Посредством сигнала на входе OUTSEL выбираются данные, приходящие на выходы Y0 – Y7. Если на вход OUTSEL подается напряжение высокого уровня, то данные выбираются из регистра 1, а если на этот вход подается напряжение низкого уровня, то на выходы Y0 – Y7 поступают данные из регистра 2.

Данные окажутся на выходах Y0 – Y7 лишь в том случае, когда на разрешающем входе OE установлено напряжение низкого уровня. Если же на этот вход подано напряжение высокого уровня, то выходы Y0 – Y7 переходят в высокоомное (третье) состояние.

G	$\overline{G_1}$	Регистр 1	$\overline{G_2}$	INSEL	Регистр 2
L	L	D	L	L	1 - Q
L	L	D	L	H	D
L	L	D	H	X	Q0
L	H	Q0	L	L	1 - Q
L	H	Q0	L	H	D
L	H	Q0	H	X	Q0
H	X	D	X	X	D

1 - Q (2 - Q) – данные, находящиеся на внутренних выводах триггеров

Q0 – предшествующее состояние внутренних регистров

Применение

Регистр в арифметических устройствах или цифровых процессорах, конвейерный регистр, интерфейс с буфером.

Технические данные

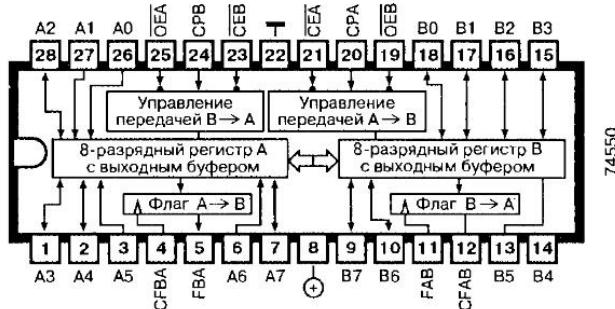
LS

Максимальная тактовая частота, МГц	50
Максимальный выходной ток (I_{OL}), мА	32
Ток потребления, мА	150

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74550

8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМ РЕГИСТРОМ И ФЛАГАМИ СОСТОЯНИЯ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема представляет собой неинвертирующий приемопередатчик, содержащий два 8-разрядных регистра для временного хранения данных, передаваемых в обоих направлениях.

Работа схемы

Каждый из двух регистров имеет свои отдельные входы тактовых импульсов, разрешающий вход тактовых импульсов, вход сигнала разрешения выдачи информации, а также триггер состояния с входом сброса.

Данные с входов А поступают в регистр и запоминаются в нем по положительному фронту такового импульса на входе CPA (вход тактовых импульсов регистра А), если на разрешающий вход тактовых импульсов СЕА подано напряжение низкого уровня. Одновременно с этим устанавливается триггер состояния, и на выходе флага FAB (передача данных от шины А к шине В) формируется напряжение высокого уровня. Хранящиеся в регистре данные уходят на выходы В при подаче на вход ОЕВ (разрешение передачи данных на выводы В) напряжения низкого уровня. После этого при перепаде напряжения на выводе CFAB с низкого уровня на высокий показания флага FAB сбрасываются.

Возможно также совместное включение разрешающего входа ОЕА и входа CFAB и управление системой приема данных.

Передача данных от шины В к шине А происходит аналогичным образом. С помощью управляющих входов СЕВ и СРВ данные передаются на входы В и устанавливается флаг FBA. При установлении на разрешающем входе ОЕА напряжения низкого уровня буфер А отшунтируется, и при перенаде напряжения на выводе CFBA с низкого уровня на высокий происходит сброс показаний флага FBA. Выходной ток на выходах В при напряжении низкого уровня может составлять 64 мА.

Данные при передаче от одной шины к другой не инвертируются. В микросхеме 74F551 данные при передаче в обоих направлениях инвертируются.

Применение

Двунаправленная передача данных и их хранение в буфере на 8-разрядных шинах.

Технические данные**F**

Время задержки прохождения сигнала, нс

5

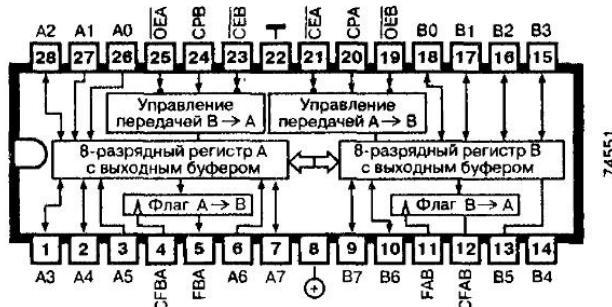
Ток потребления, мА

130

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74551

8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМ РЕГИСТРОМ И ФЛАГАМИ СОСТОЯНИЯ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема представляет собой инвертирующий приемопередатчик, содержащий два 8-разрядных регистра для временного хранения данных, передаваемых в обоих направлениях.

Работа схемы

Каждый из двух регистров имеет свои отдельные входы тактовых импульсов, разрешающий вход тактовых импульсов, разрешающий выход, а также триггер состояния с входом сброса.

Данные с входов А поступают в регистр и запоминаются в нем по положительному фронту тактового импульса на входе CPA (вход тактовых импульсов регистра А) при подаче на разрешающий вход тактовых импульсов СЕА напряжения низкого уровня. Одновременно с этим устанавливается триггер состояния, и на выходе флага FAB (передача данных от шины А к шине В) формируется напряжение высокого уровня. Хранящиеся в регистре данные уходят на выводы В при подаче на вывод ОЕВ (разрешение передачи данных на выводы В) напряжения низкого уровня. После этого при перепаде напряжения на входе CFAB с низкого уровня на высокий показания флага FAB сбрасываются.

Возможно также совместное включение разрешающего входа ОЕА и входа CFAB и управление системой приема данных.

Передача данных от шины В к шине А происходит аналогичным образом. С помощью управляющих входов СЕВ и СРВ данные подают на входы В и устанавливают флаг FBA. При установлении на разрешающем входе ОЕА напряжения низкого уровня буфер А отпирается, и при перепаде напряжения на выводе CFBA с низкого уровня на высокий происходит сброс показаний флага FBA. Выходной ток на выходах В при напряжении низкого уровня может составлять 64 мА.

Данные при передаче от одной шины к другой инвертируются. В микросхеме 74F550 данные при передаче в обоих направлениях не инвертируются.

Применение

Двунаправленная передача данных и их хранение в буфере на 8-разрядных шинах.

Технические данные**F**

Время задержки прохождения сигнала, нс

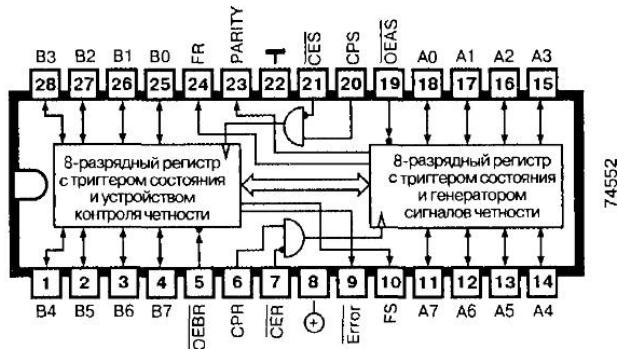
5

Ток потребления, мА

130

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74552 8-РАЗРЯДНЫЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМ РЕГИСТРОМ И ГЕНЕРАТОР СИГНАЛОВ ЧЕТНОСТИ С ФЛАГАМИ СОСТОЯНИЯ (ТРИ СОСТОЯНИЯ)



74552

Описание

Микросхема содержит неинвертирующий 8-разрядный приемопередатчик с буферными регистрами. При передаче данных от шины А к шине В генерируется контрольный разряд четности, или при передаче данных от шины В к шине А происходит проверка четности. О состоянии регистров сообщают флаги.

Работа схемы

Данные с выходов А загружаются в регистр по положительному фронту сигнала на входе тактовых импульсов CPR при условии, что на разрешающем входе синхроимпульсов CER есть напряжение низкого уровня. Одновременно с этим устанавливается триггер состояния, и на выходе RF формируется напряжение высокого уровня. Если на разрешающий вход CER подается напряжение высокого уровня, то данные записываются и хранятся в регистре. Эти данные затем идут на выводы В, когда на разрешающий вход OEBr поступает напряжение низкого уровня. Таким же образом происходит передача контрольного разряда четности на выход PARITY (на этом выводе устанавливается напряжение высокого уровня, когда число единиц и нулей на внутренних выходах Q – четное). При перепаде напряжения на входе OEBr с низкого уровня на высокий показания флага FR сбрасываются.

Передача данных от шины В к шине А происходит аналогичным образом. При подаче на вывод CES напряжения низкого уровня и по положительному фронту на выводе CPS данные поступают на выводы В, а входной сигнал четности загружается в регистр S и регистр четности. При этом на выходе флага FS формируется напряжение высокого уровня.

При подаче на вывод OEAS напряжения низкого уровня выводы А отпираются, и при перепаде напряжения на выводе OEAS с низкого уровня на высокий показания флага FR сбрасываются. При поступлении на вывод OEAS напряжения высокого уровня на выходе контроля четности Errg устанавливается напряжение высокого уровня, если число единиц или нулей на внутренних выходах Q регистра S не соответствует данным регистра четности.

Генератор сигналов четности

OEZR	Количество выходов Q регистра R, имеющих высокий уровень H	Выход четности
H	X	Z
L	0, 2, 4, 6, 8	H
L	1, 3, 5, 7	L

Контрольное устройство четности

OEBS	Количество выходов Q регистра R, имеющих высокий уровень H	Вход четности	Error
H	X	X	H
L	0, 2, 4, 6, 8	L	L
L	1, 3, 5, 7	L	H
L	0, 2, 4, 6, 8	H	H
L	1, 3, 5, 7	H	L

Применение

Двунаправленная передача данных и их хранение в буфере на 8-разрядных шинах и контроль четности.

Технические данные

F

Время задержки прохождения сигнала, нс

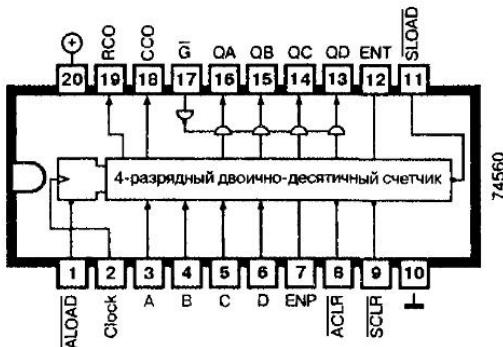
6

Ток потребления, мА

100

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74560 4-РАЗРЯДНЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С СИНХРОННЫМИ/АСИНХРОННЫМИ ВХОДАМИ ЗАГРУЗКИ И СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит десятичный счетчик, который считает в прямом направлении в двоично-десятичном коде (суммирующий счетчик); данные поступают в счетчик и сбрасываются синхронно или асинхронно.

Работа схемы

Синхронная работа счетчика, так же как и последовательная передача сигналов, происходит по положительному фронту тактового импульса.

Показания счетчика сбрасываются, если на выводе ACLR (асинхронный сброс) или SCLR (синхронный сброс) подано напряжение низкого уровня. Вывод ACLR имеет приоритет перед другими выводами, поэтому вывод SCLR включается по второму положительному фронту тактового импульса.

Данные поступают в счетчик, если на выводе ALOAD (асинхронная загрузка) или SLOAD (синхронная загрузка) установлено напряжение низкого уровня. Синхронная загрузка происходит при подаче на вывод SLOAD напряжения низкого уровня по следующему положительному фронту тактового импульса.

Счет импульсов происходит лишь в том случае, когда на всех входах ENT, ENT, ACLR, ALOAD, SCLR и SLOAD присутствует напряжение высокого уровня.

Подача на разрешающий вход G (разрешение формирования выходных сигналов) напряжения высокого уровня переводит все выходы Q в высокоомное (третье) состояние.

Возможно каскадное включение микросхемы путем соединения выхода RCO (выходной сигнал переноса) или вывода CCO (синхронизация выходного сигнала переноса) первой ступени с входом ENT следующей ступени. Для ускорения операции счета можно использовать вывод CCO.

Входы									Операция
G	ACLR	ALOAD	SCLR	SLOAD	ENT	ENP	CLK		
H	X	X	X	X	X	X	X	Выходы Q заперты	
L	L	X	X	X	X	X	X	Асинхронный сброс	
L	H	L	X	X	X	X	X	Асинхронная загрузка	
L	H	H	L	X	X	X	—	Синхронный сброс	
L	H	H	H	L	X	X	—	Синхронная загрузка	
L	H	H	H	H	H	H	—	Счет	
L	H	H	H	H	L	X	X	Счет блокирован	
L	H	H	H	H	X	L	X	Счет блокирован	

Применение

Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные

ALS

Минимальная гарантированная тактовая частота, МГц

20

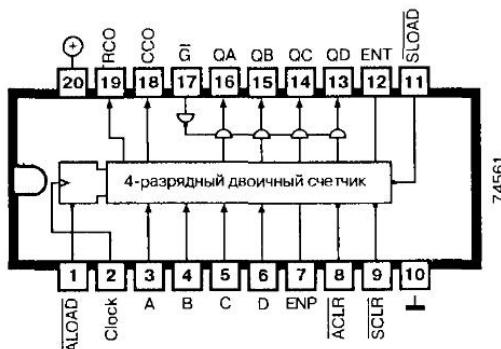
Ток потребления, мА

22

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74561

4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С СИНХРОННЫМИ/АСИНХРОННЫМИ ВХОДАМИ ЗАГРУЗКИ И СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит 4-разрядный счетчик, который считает в прямом направлении в двоичном коде (суммирующий счетчик); данные поступают в счетчик и сбрасываются синхронно или асинхронно.

Работа схемы

Синхронная работа счетчика, так же как и последовательная передача сигналов, происходит по положительному фронту тактового импульса.

Показания счетчика сбрасываются, если на вывод ACLR (асинхронный сброс) или SCLR (синхронный сброс) подано напряжение низкого уровня. Вывод ACLR имеет приоритет перед другими выводами, поэтому вывод SCLR включается по второму положительному фронту тактового импульса.

Данные поступают в счетчик, если на выводе ALLOAD (асинхронная загрузка) или SLOAD (синхронная загрузка) установлено напряжение низкого уровня. Синхронная загрузка происходит при подаче на вывод SLOAD напряжения низкого уровня по следующему положительному фронту тактового импульса.

Счет импульсов происходит лишь в том случае, когда на всех входах ENP, ENT, ACLR, ALLOAD, SCLR и SLOAD присутствует напряжение высокого уровня.

Подача на разрешающий вывод \bar{G} (разрешение формирования выходных сигналов) напряжения высокого уровня переводит все выходы Q в высокоомное (третье) состояние.

Возможно каскадное включение микросхемы путем соединения выхода RCO (выходной сигнал переноса) или вывода CCO (синхронизация выходного сигнала переноса) первой ступени с выводом ENT следующей ступени. Для ускорения операции счета можно использовать выход CCO.

Входы									Операция
G	A CLR	A LOAD	S CLR	S LOAD	ENT	ENP	CLK		
H	X	X	X	X	X	X	X	Выходы Q заперты	
L	L	X	X	X	X	X	X	Асинхронный сброс	
L	H	L	X	X	X	X	X	Асинхронная загрузка	
L	H	H	L	X	X	X	—	Синхронный сброс	
L	H	H	H	L	X	X	—	Синхронная загрузка	
L	H	H	H	H	H	H	—	Счет	
L	H	H	H	H	L	X	X	Счет блокирован	
L	H	H	H	H	X	L	X	Счет блокирован	

Применение

Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные**ALS**

Минимальная гарантированная тактовая частота, МГц

30

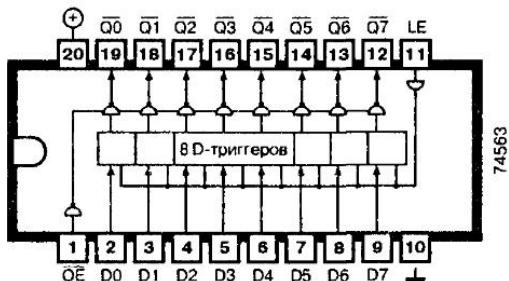
Ток потребления, мА

22

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74563

8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ С УПРАВЛЯЮЩИМИ ВХОДАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь инвертирующих D-триггеров с выходами, которые имеют три состояния.

Работа схемы

Когда на вход LE (разрешение фиксировать данные в регистре) подается напряжение высокого уровня, то триггеры становятся прозрачными, то есть данные, поступающие на входы D, появляются непосредственно на выходах \bar{Q} в инвертируемом виде.

При этом на входе \overline{OE} (разрешение формирования выходного сигнала) должно быть напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на входе LE напряжение низкого уровня, то данные, поступившие к этому моменту на входы D, записываются и хранятся в триггерах. Вход LE имеет формирователь на триггере Шмитта (только для серии LS).

Входы располагаются в той же самой последовательности, что и выходы, — друг напротив друга, благодаря чему облегчается разводка печатных проводников на плате.

Эта микросхема аналогична микросхеме 74573, которая имеет прямые (не инверсиные) выходы.

Входы			Выход
\overline{OE}	LE	D	\bar{Q}
L	H	H	L
L	H	L	H
L	L	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шинно-ориентированных систем.

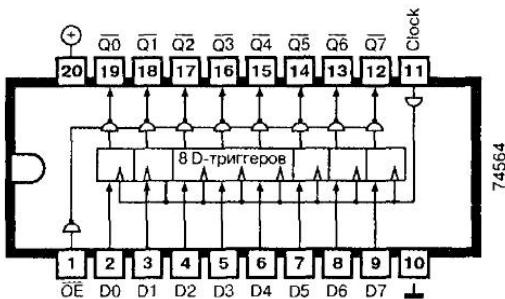
Технические данные

	ALS	F	LS
Время задержки прохождения сигнала, нс	10	6	10
Ток потребления, мА	14	15	24

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●			●		

74564

8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с выходами, которые имеют три состояния.

Работа схемы

Поступающие на входы D0 – D7 данные записываются и хранятся в триггерах при перепаде напряжения с низкого уровня на высокий (положительный фронт импульса) на входе тактовых импульсов Clock.

Записанные в триггерах данные поступают на выходы \bar{Q} в инвертируемом виде, когда на вход OE (разрешение формирования выходных сигналов) подается напряжение низкого уровня. Если на этом входе устанавливается напряжение высокого уровня, то все выходы переходят в высокомонное (третье) состояние.

Входы располагаются в той же самой последовательности, что и выходы – друг напротив друга, благодаря чему облегчается разводка печатных проводников на плате.

Данная микросхема аналогична микросхеме 74574, которая имеет прямые (не инверсные) выходы.

Входы			Выход \bar{Q}
OE	Clock	D	
L	—	L	H
L	—	H	L
L	L	X	Нет изменений
H	X	X	Z

Применение

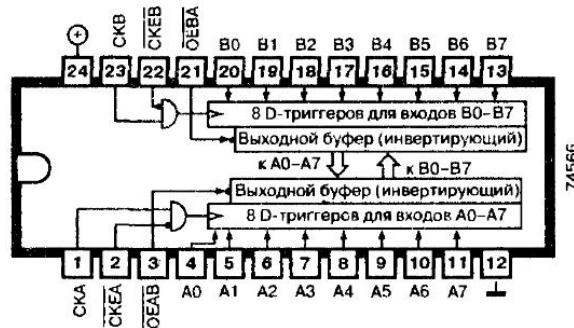
Буферный регистр хранения данных для пинно-ориентированных систем.

Технические данные

	ALS	F	LS
Максимальная тактовая частота, МГц	35	100	35
Время задержки прохождения сигнала, нс	9	6,6	16
Ток потребления, мА	14	55	27

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●			●		

74566 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМИ РЕГИСТРАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два 8-разрядных регистра для хранения и передачи данных от одной шины к другой в инвертированном виде.

Работа схемы

Направление передачи данных определяется с помощью входа OEAB (передача данных разрешена от шины А к шине В) и входа OEBA (передача данных разрешена от шины В к шине А) – см. таблицу.

Когда на входах OEAB и OEBA одновременно устанавливается напряжение высокого уровня, то при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов SCA данные с входов A0 – A7 поступают в соответствующий регистр и хранятся в нем при условии, что на разрешающий вход тактовых импульсов SKEA подавалось напряжение низкого уровня. То же самое относится и к входам SKB и СKEB при передаче данных с входов B0 – B7. Если на входы OEAB и OEBA одновременно подано напряжение низкого уровня, то хранящиеся в регистрах данные передаются на соответствующие шины.

Буферные элементы регистров переходят в высокоомное (третье) состояние, когда на соответствующий разрешающий вход – OEAB или OEBA – подается напряжение высокого уровня.

Данные при передаче инвертируются. В отличие от данной схемы, микросхема 74LS546 не инвертирует передаваемые данные.

<u>OEAB</u>	<u>OEBA</u>	Направление
L	L	Передача записанных данных на шины А и В
L	H	Передача данных от шины А к шине В
H	L	Передача данных от шины В к шине А
H	H	Передача данных с шин А и В в регистр (запись)

Применение

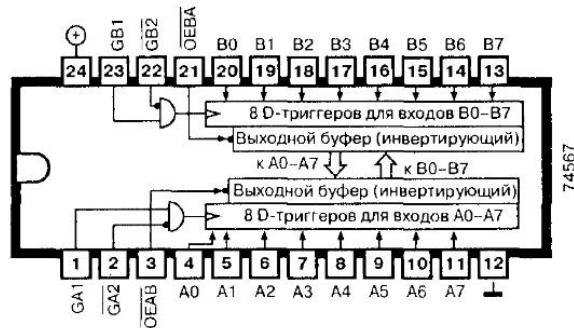
Двунаправленная передача данных и их хранение в буфере для 8-разрядных шин.

Технические данные

Максимальная тактовая частота, МГц	40
Максимальный выходной ток (I_{OL}), мА	32
Ток потребления, мА	36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74567 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С БУФЕРНЫМИ РЕГИСТРАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит два 8-разрядных регистра для хранения и передачи данных от одной шины к другой в инвертированном виде.

Работа схемы

Направление передачи данных определяется с помощью входа OEAB (передача данных разрешена от шине А к шине В) и входа OEBA (передача данных разрешена от шине В к шине А).

Когда на обоих разрешающих входах GA1 и GA2 одновременно устанавливается напряжение низкого уровня, то данные с входов A0 – A7 поступают в соответствующий регистр. То же самое относится и к входам GB1 и GB2 при передаче данных с входов B0 – B7.

Если на входы OEAB и OEBA одновременно подано напряжение низкого уровня, то хранящиеся в регистрах данные передаются на соответствующие шины.

Буферные элементы регистров переходят в высокоомное (третье) состояние, когда на соответствующий разрешающий вход (OEAB, OEBA) приходит напряжение высокого уровня.

Данные при передаче инвертируются. В отличие от данной схемы, в микросхеме 74LS547 передаваемые данные не инвертируются.

<u>OEAB</u>	<u>OEBA</u>	Направление
L	L	Передача записанных данных на шины А и В
L	H	Передача данных от шины А к шине В
H	L	Передача данных от шины В к шине А
H	H	Передача данных с шин А и В в регистр (запись)

Применение

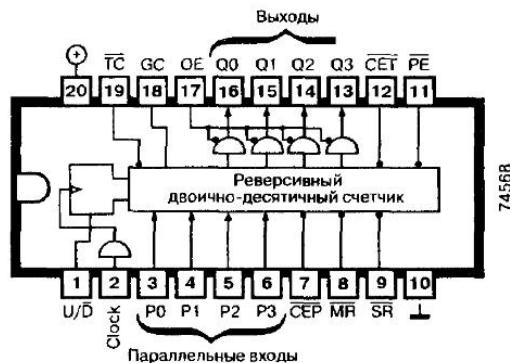
Двунаправленная передача данных и их хранение в буфере для 8-разрядных шин.

Технические данные

Максимальная тактовая частота, МГц	40
Максимальный выходной ток (I_{OL}), мА	32
Ток потребления, мА	36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74568 4-РАЗРЯДНЫЙ РЕВЕРСИВНЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит синхронный программируемый десятичный счетчик прямого и обратного действия.

Работа схемы

Счетчик работает в двоично-десятичном коде и включается при каждом перепаде тактового импульса с низкого уровня на высокий (положительный фронт импульса) на буферизованном входе 2 (*Clock*).

При этом, когда на вывод 1 (*U/D*) подается напряжение высокого уровня, происходит суммирование импульсов, или счет в прямом направлении. Когда на этот вывод подается напряжение низкого уровня, происходит вычитание импульсов, или счет в обратном направлении.

Предварительная установка счетчика осуществляется через информационные входы *P0* – *P3*. Напряжение низкого уровня на входе *РЕ* запирает счетчик и приводит к тому, что при следующем перепаде тактового импульса с низкого уровня на высокий данные с входов *P0* – *P3* будут загружены в счетчик.

Для подсчета импульсов необходимо, чтобы на входы *СЕР* и *СЕТ* подавалось напряжение низкого уровня, а на вход *РЕ* – высокого.

На выходе *ТС* формируется напряжение высокого уровня в нормальном режиме работы и низкого – когда показания счетчика достигают нулевого значения при вычитании или 9 при суммировании.

На выходе *ТС* может также возникать напряжение низкого уровня, если на входы данных приходит недопустимая комбинация сигналов. Такое состояние наступает при включении питания или при параллельной загрузке данных и исчезает после двух шагов счета.

При подаче на вход синхронного сброса *SR* напряжения низкого уровня (до перепада напряжения на входе тактовых импульсов с низкого уровня на высокий) на всех выходах по положительному фронту тактового импульса создается напряжение низкого уровня. При этом выходы *СЕР*, *СЕТ* и *РЕ* отключаются. Вход *MR* работает асинхронно, с его помощью на всех ступенях схемы формируется напряжение низкого уровня. Для этого на вход *MR* следует подать напряжение низкого уровня.

Также асинхронно и независимо от состояния других выводов работает вывод OE, разрешающий образование выходных сигналов. При подаче на этот вход напряжения высокого уровня выходы Q0 – Q3 переходят в высокоомное (третье) состояние. Это не влияет на дальнейшую работу счетчика.

Возможно каскадное включение нескольких счетчиков без использования внешних логических элементов с помощью выхода GC (при этом на вход \overline{TC} должно поступать напряжение низкого уровня).

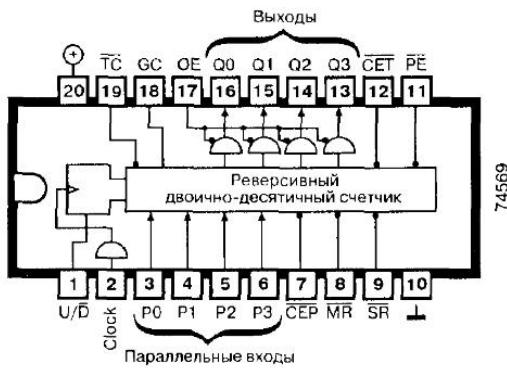
Применение

Суммирующий, вычитающий, дифференциальный счетчики, синхронный делитель частоты, программируемый двоично-десятичный счет.

Технические данные	ALS	F	LS
Максимальная тактовая частота, МГц	20	115	35
Ток потребления, мА	20	45	28

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●			●		

74569 4-РАЗРЯДНЫЙ РЕВЕРСИВНЫЙ ДВОИЧНЫЙ СЧЕТЧИК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит синхронный программируемый двоичный счетчик прямого и обратного действия.

Работа схемы

Счетчик работает в двоичном коде и включается при каждом перепаде тактового импульса с низкого уровня на высокий (положительный фронт импульса) на буферизованном входе 2 (Clock).

При этом, когда на вывод 1 (U/D) подается напряжение высокого уровня, происходит суммирование импульсов, или счет в прямом направлении. Когда на этот вывод подается напряжение низкого уровня, происходит вычитание импульсов, или счет в обратном направлении.

Предварительная установка счетчика осуществляется через информационные входы P0 – P3. Напряжение низкого уровня на входе RE запирает счетчик и приводит к тому, что при следующем перепаде тактового импульса с низкого уровня на высокий данные с входов P0 – P3 будут записаны в счетчик.

Для подсчета импульсов необходимо, чтобы на входы CEP и SET подавалось напряжение низкого уровня, а на вход RE – высокого.

На выходе TС формируется напряжение высокого уровня в нормальном режиме работы и низкого – когда показания счетчика достигают нулевого значения при вычитании или 15 при суммировании.

При подаче на вход синхронного сброса SR напряжения низкого уровня (до перепада напряжения на входе тактовых импульсов с низкого уровня на высокий) на всех выходах по положительному фронту тактового импульса формируется напряжение низкого уровня. При этом выходы CEP, SET и RE отключаются. Вход MR работает асинхронно. При подаче на этот вход напряжения низкого уровня на всех ступенях схемы формируется напряжение низкого уровня.

Также асинхронно и независимо от состояния других выводов работает вход OE, разрешающий формирование выходных сигналов. При подаче на этот вход напряжения высокого уровня выходы Q0 – Q3 переходят в высокоомное (третье) состояние. Это не влияет на дальнейшую работу счетчика.

Возможно каскадное включение нескольких счетчиков без использования внешних логических элементов с помощью выхода GC (при этом на входе TC должно быть установлено напряжение низкого уровня).

Применение

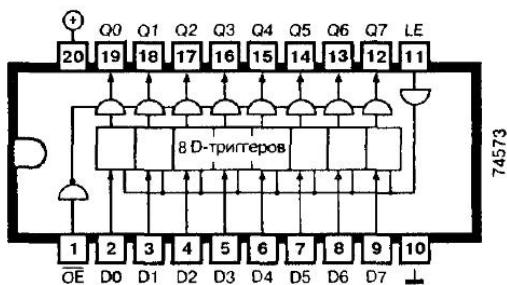
Суммирующий, вычитающий, дифференциальный счетчики, синхронный делитель частоты, программируемый двоичный счет.

Технические данные

	ALS	F	LS
Максимальная тактовая частота, МГц	30	115	35
Ток потребления, мА	19	45	28

Серия	Std	ALS	AS	F	H	L	LS	S	
		●		●			●		

74573 8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров с выходами, имеющими три состояния.

Работа схемы

Когда на вход LE (разрешение фиксировать данные в регистре) подается напряжение высокого уровня, то триггеры становятся прозрачными, то есть данные, поступающие на входы D, появляются непосредственно на выходах Q. При этом на входе OE (разрешение формирования выходного сигнала) должно быть напряжение низкого уровня. Если же на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на вход LE поступает напряжение низкого уровня, то данные, пришедшие к этому моменту на входы D, записываются и хранятся в триггерах. Рассматриваемая микросхема аналогична микросхеме 74373, однако имеет другое расположение выводов. Входы и выходы схемы 74573 располагаются точно друг напротив друга, благодаря чему она особенно широко используется в качестве входного или выходного порта для микропроцессоров.

По расположению выводов данная микросхема аналогична микросхеме 74574, которая запускается фронтом тактового импульса.

Входы			Выход
OE	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Нет изменений
H	X	X	Z

Применение

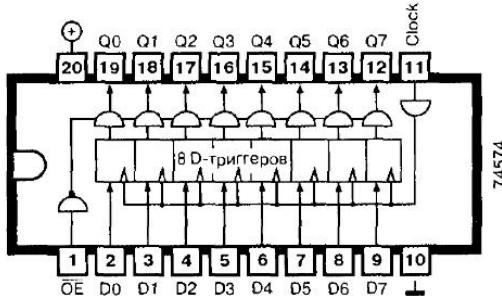
Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные		ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс		7	4	4,5	18	5
Ток потребления, мА		15	59	35	40	105

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●	●	

74574

8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с неинвертирующими выходами с тремя состояниями.

Работа схемы

Поступающие на входы D0 – D7 данные записываются в триггеры при перепаде напряжения с низкого уровня на высокий (положительный фронт импульса) на входе тактовых импульсов Clock.

Записанные данные поступают на выходы Q, когда на входе \overline{OE} (разрешение формирования выходных сигналов) напряжение низкого уровня. Если на этот вход подается напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Данная микросхема по своему функциональному назначению аналогична микросхеме 74373, однако имеет другое расположение выводов. Входы и выходы схемы располагаются точно друг напротив друга, благодаря чему эта микросхема особенно широко используется в качестве входного или выходного порта для микропроцессоров.

По выполняемым функциям и по расположению выводов рассматриваемая микросхема аналогочна микросхеме 74576, имеющей инверсные выходы.

Входы		Выход	
\overline{OE}	Clock	D	Q
L	—	H	H
L	—	L	L
L	L	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шинно-ориентированных систем.

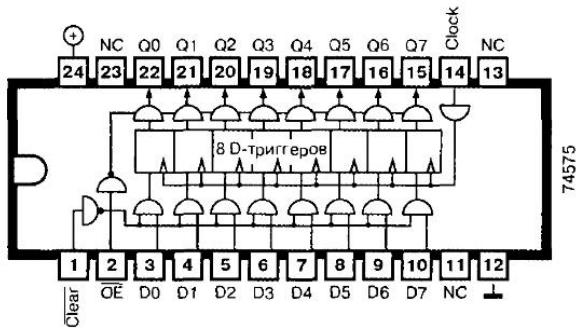
Технические данные

Максимальная тактовая частота, МГц	ALS	AS	F	LS
Ток потребления, мА	35	125	100	35
	14	80	55	45

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

74575

8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА, С СИНХРОННЫМ ВХОДОМ СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с неинвертирующими выходами с тремя состояниями и с синхронным входом сброса.

Работа схемы

Поступающие на входы D0 – D7 данные записываются и хранятся в триггерах при перепаде напряжения с низкого уровня на высокий (положительный фронт импульса) на входе тактовых импульсов Clock.

Записанные данные поступают на выходы Q, когда на входе OE (разрешение формирования выходных сигналов) напряжение низкого уровня. Если же на этом входе напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Сброс данных происходит синхронно. Когда на вход сброса Clear подается напряжение низкого уровня, то по следующему положительному фронту тактового импульса благодаря логической операции И на выходах триггеров формируется напряжение низкого уровня независимо от состояния входов D0 – D7.

Данная микросхема по расположению выводов совместима с микросхемой 74577, которая, в отличие от схемы 74575, инвертирует данные на выходе.

Входы				Выход
OE	Clear	Clock	D	Q
L	L	—	X	H
L	H	—	H	H
L	H	—	L	L
L	H	L	X	Нет изменений
H	X	X	X	Z

Применение

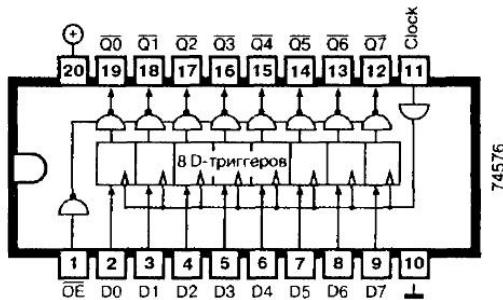
Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные

	ALS	AS
Максимальная тактовая частота, МГц	35	160
Ток потребления, мА	16	84

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●						

74576 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА, С РАЗРЕШАЮЩИМ ВХОДОМ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с инверсными выходами с тремя состояниями.

Работа схемы

Поступающие на входы D0 – D7 данные записываются и хранятся в триггерах при перепаде напряжения с низкого уровня на высокий (положительный фронт импульса) на входе тактовых импульсов Clock.

Записанные данные поступают на выходы Q в инвертированном виде, когда на входе OE (разрешение формирования выходных сигналов) напряжение низкого уровня. Если на этом входе напряжение высокого уровня, то все выходы переходят в высокомоное (третье) состояние.

Входы и выходы схемы располагаются точно друг напротив друга, благодаря чему эта микросхема особенно широко используется в качестве входного или выходного порта для микропроцессоров.

Входы			Выход
OE	Clock	D	Q
L	—	H	L
L	—	L	H
L	L	X	Нет изменений
H	X	X	Z

Применение

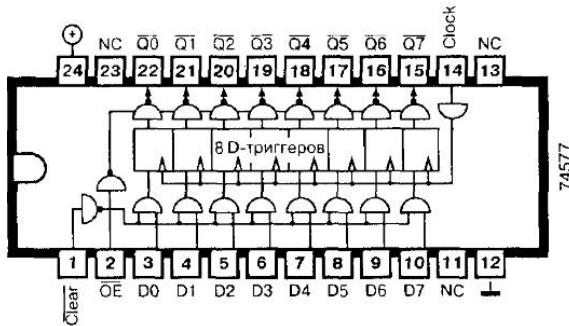
Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные

	ALS	AS					
Максимальная тактовая частота, МГц	35	160					
Ток потребления, мА	16	84					

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●							

74577 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ, ЗАПУСКАЕМЫХ ФРОНТОМ ТАКТОВОГО ИМПУЛЬСА, С СИНХРОННЫМ ВХОДОМ СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров, запускаемых фронтом тактового импульса, с инвертирующими выходами с тремя состояниями и синхронным входом сброса.

Работа схемы

Поступающие на входы D0 – D7 данные записываются в триггеры при перепаде напряжения с низкого уровня на высокий (положительный фронт импульса) на входе тактовых импульсов Clock.

Записанные данные поступают на выходы Q в инвертированном виде, когда на входе OE (разрешение формирования выходных сигналов) напряжение низкого уровня. Если на этом входе напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние.

Сброс данных происходит синхронно. Когда на вход сброса Clear подается напряжение низкого уровня, то по следующему положительному фронту тактового импульса благодаря логической операции И на выходах триггеров формируется напряжение низкого уровня независимо от состояния входов D0 – D7.

Данная микросхема по расположению выводов совместима с микросхемой 74575, которая, в отличие от схемы 74577, не инвертирует данные на выходе.

Входы				Выход \bar{Q}
OE	Clear	Clock	D	
L	L	—	X	L
L	H	—	H	L
L	H	—	L	H
L	H	L	X	Нет изменений
H	X	X	X	Z

Применение

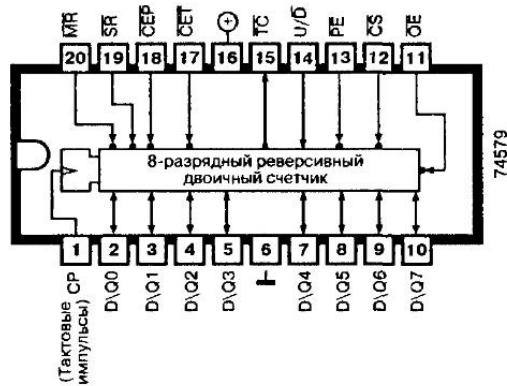
Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные

	ALS	AS
Максимальная тактовая частота, МГц	35	160
Ток потребления, мА	16	84

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●						

74579 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СИНХРОННЫЙ РЕВЕРСИВНЫЙ СЧЕТЧИК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит программируемый двоичный 8-разрядный счетчик прямого и обратного действия.

Работа схемы

8-ступенчатый счетчик полностью работает в синхронном режиме, то есть все изменения состояний выводов происходят при перепаде напряжения тактового импульса с низкого уровня на высокий (положительный фронт), за исключением асинхронного входа сброса MR.

Данные поступают на объединенные входы/выходы D/Q0 – D/Q7 по положительному фронту тактового импульса, когда на разрешающий вход PE подается напряжение низкого уровня. С помощью входа CS разрешается работа микросхемы. Вход SR служит для синхронного сброса данных. Через вход OE входы/выходы можно перевести в высокоомное (третье) состояние. На выходе TC устанавливается напряжение низкого уровня, когда показания счетчика достигают нулевого значения при вычитании или 255 при суммировании.

MR	SR	CS	PE	CEP	CET	U/D	OE	CP	Режим работы
X	X	H	X	X	X	X	X	X	Информационные входы/выходы = Z (PE = H)
X	X	L	H	X	X	X	H	X	Информационные входы/выходы = Z
X	X	L	H	X	X	X	L	X	Вывод сохраненных данных на шины
L	X	X	X	X	X	X	X	X	Асинхронный сброс
H	L	X	X	X	X	X	X	—	Синхронный сброс
H	H	L	L	X	X	X	X	—	Параллельная загрузка всех триггеров
H	H	(не L)	H	X	X	X	X	—	Хранение
H	H	(не L)	X	H	X	X	X	—	Хранение (TC = H)
H	H	(не L)	L	L	H	X	X	—	Вычитание
H	H	(не L)	L	L	L	X	X	—	Вычитание

В остальном данная микросхема аналогична микросхеме 74F279, которая вместо объединенных входов/выходов имеет 24 отдельных вывода. Микросхема 74F779 – вариант рассматриваемой схемы, но выполнена в корпусе с 16 выводами.

Применение

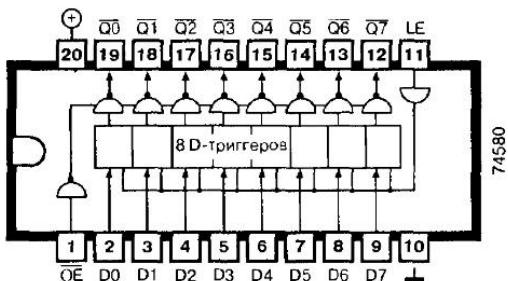
Счетчик и делитель частоты в шинно-ориентированных системах.

Технические данные

Максимальная тактовая частота, МГц	115
Ток потребления, мА	100

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74580 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ РЕГИСТР НА D-ТРИГГЕРАХ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь D-триггеров с инверсными выходами с тремя состояниями.

Работа схемы

Когда на вход LE (разрешение фиксировать данные в регистре) подается напряжение высокого уровня, то триггеры становятся прозрачными, то есть данные, поступающие на входы D, появляются непосредственно на выходах \bar{Q} в инвертированном виде.

При этом на входе \bar{OE} (разрешение формирования выходного сигнала) должно быть напряжение низкого уровня. Если же на этом входе напряжение высокого уровня, то все выходы переходят в высокоомное (третье) состояние независимо от состояния триггеров.

Если на вход LE поступает напряжение низкого уровня, то данные, пришедшие к этому моменту на входы D, записываются и хранятся в триггерах.

Входы и выходы схемы расположены точно друг напротив друга, благодаря чему эта микросхема особенно широко используется в качестве входного или выходного порта для микропроцессоров.

По выполняемым функциям рассматриваемая микросхема аналогична микросхеме 74573, которая, в отличие от первой, имеет неинвертирующие (прямые) выходы.

Входы			Выход
\bar{OE}	LE	D	\bar{Q}
L	H	H	L
L	H	L	H
L	L	X	Нет изменений
H	X	X	Z

Применение

Буферный регистр хранения данных для шинно-ориентированных систем.

Технические данные

Время задержки прохождения сигнала, нс

ALS AS

7 4

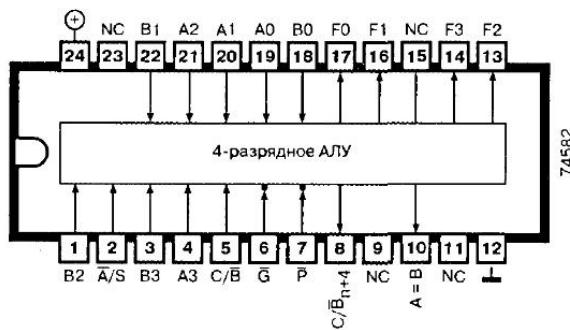
Ток потребления, мА

15 71

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●							

74582

4-РАЗРЯДНОЕ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО (АЛУ)



Описание

Микросхема содержит арифметическо-логическое устройство (АЛУ), с помощью которого можно выполнять две арифметические операции ($A - B$, $A + B$), операцию сравнения ($A = B$) и преобразовать двоичный код в двоично-десятичный.

Работа схемы

Входной и выходной логический узел микросхемы содержат вход сигнала переноса/заема C/\bar{B} , с помощью которого проводятся арифметические операции непосредственно в двоично-десятичном коде.

Когда на входе A/S устанавливается напряжение низкого уровня, то происходит операция суммирования в двоично-десятичном коде ($A + B + C/\bar{B} = F$). Если на вход поступает число больше 9, то на выходе двоичный код преобразуется в двоично-десятичный.

Когда на входе \bar{A}/S устанавливается напряжение высокого уровня, то выполняется операция вычитания. Если на вход C/\bar{B} подано напряжение низкого уровня, то вычитание производится путем сложения двух чисел в коде с дополнением до 9 ($A - B - 1 = F$). При напряжении высокого уровня на входе C/\bar{B} разность двух чисел представляется в виде: $A - F = F$. Если число A больше или равно числу B, то разность двух чисел в двоично-десятичном коде, появляющаяся на выходах F, представляет собой абсолютную величину. Если A меньше B и на вход C/\bar{B} подано напряжение низкого уровня, то разность двух чисел появляется на выходе как абсолютная величина, выраженная в коде с дополнением до 9.

Микросхема преобразовывает также двоичный код в двоично-десятичный. Когда числа от 10 до 15 поступают на вход, они переводятся из двоичной системы счисления в двоично-десятичную благодаря тому, что один блок входов (A или B) соединяется с общим проводом, а на другой блок входов поступает двоичное число. Таким образом, единица переносится в более старший разряд. Начиная с 16, двоичные числа можно преобразовывать в двоично-десятичные каскадным включением нескольких микросхем.

Входы P и G предназначены для подключения к схеме генератора переноса 74F182 и позволяют расширить микросхему для операции быстрого переноса.

Применение

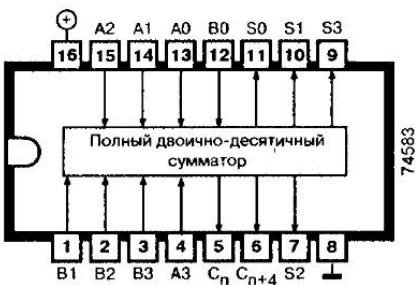
Операции сложения, вычитания, сравнения и преобразования двоичных чисел в двоично-десятичные.

Технические данные

Время прохождения сигнала, нс	F	17,5
Ток потребления, мА		55

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74583 4-РАЗРЯДНЫЙ ДВОИЧНО-ДЕСЯТИЧНЫЙ СУММАТОР



Описание

Микросхема содержит быстродействующий двоично-десятичный полный сумматор с внутренним переносом.

Работа схемы

Суммируемые двоично-десятичные числа подаются на входы A0 – A3 и B0 – B3. Схема генерирует сигнал внутреннего переноса, благодаря чему обеспечивается правильность суммирования двоично-десятичных чисел.

Двоично-десятичные числа от 0 до 9 поступают на входы A и B, а сумма в двоично-десятичном коде формируется на выходе. Если при суммировании двух двоично-десятичных чисел получается сумма, превышающая 9, то образуется достоверное двоично-десятичное число и единица переноса в старший разряд.

Если на вход приходит число, большее 9, то оно преобразуется из двоичного в двоично-десятичное. Преобразование двоичного кода в двоично-десятичный происходит благодаря тому, что один блок входов (A_n или B_n) соединяется с общим проводом, а на другой блок входов поступает 4-разрядное двоичное число. Если на входы поступают числа от 0 до 9, то на выходах появляются двоично-десятичные числа. Если на входы поступают числа от 0 до 15, то на выводе C_{n+4} генерируется сигнал переноса.

Двоичные числа большие 16 можно преобразовать в двоично-десятичные при каскадном включении нескольких микросхем 74583.

Применение

Быстрое суммирование двоично-десятичных чисел.

Технические данные

F

Время прохождения сигнала, нс

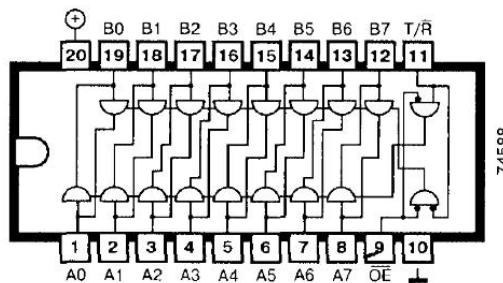
12

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74588 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь неинвертирующих двунаправленных буферов шины с выходами, которые имеют три состояния. Порты В имеют сопротивления нагрузки для схемы IEEE-488.

Работа схемы

Восемь буферов шины позволяют осуществить асинхронную двунаправленную связь между 8-разрядными шинами данных.

С помощью входа T/R (передача/прием) устанавливается направление передачи данных через двунаправленный приемопередатчик. Если на входе T/R напряжение высокого уровня, то данные передаются от шины А к шине В. При подаче на вход T/R напряжения низкого уровня данные идут от шины В к шине А. При этом на входе OE должно быть напряжение низкого уровня.

Если на вход OE (разрешение формирования выходных сигналов) поступает напряжение высокого уровня, то все выходы переходят в третье (высокоомное) состояние, вследствие чего обе шины изолируются друг от друга.

Благодаря высокому входному сопротивлению, которое имеют обе шины, нагрузка на шины уменьшается (величина тока 70 мА для напряжения высокого и низкого уровня).

Данная микросхема по своему функциональному назначению и расположению выводов аналогична микросхеме 74545.

Порты В имеют сопротивления нагрузки, значения которых указаны в спецификации схемы IEEE-488.

Управляющие входы		Режим работы
OE	T/R	
L	H	Передача данных от шины А к шине В
L	L	Передача данных от шины В к шине А
H	X	Шины А и В изолированы друг от друга (Z)

Применение

Двунаправленный буфер и драйвер для 8-разрядных шин данных и адресных шин, особенно для схемы IEEE-488.

Технические данные

Время задержки прохождения сигнала, нс

F

4

Максимальный выходной ток, мА:

при напряжении высокого уровня:

шина А

3

шина В

15

при напряжении низкого уровня:

шина А

20

шина В

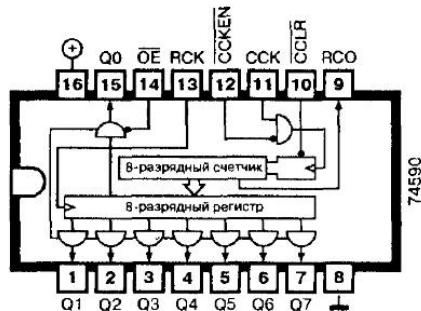
48

Ток потребления, мА

96

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

74590 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВЫХОДНЫМ РЕГИСТРОМ И ВХОДОМ СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит 8-разрядный двоичный счетчик, а также 8-разрядный регистр с выходами, которые имеют три состояния.

Работа схемы

8-разрядный двоичный счетчик включается при каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов ССК. При этом на разрешающем выводе тактовых импульсов ССКЕН должно быть напряжение низкого уровня. Если на этот вывод поступает напряжение высокого уровня, то вход тактовых импульсов блокируется.

Подав на вывод CCLR (сброс счета) кратковременный импульс напряжения низкого уровня, можно сбросить показания счетчика. В нормальном режиме работы на входе CCLR должно быть напряжение высокого уровня.

Для каскадного включения нескольких счетчиков в схеме предусмотрен выход сигнала переноса RCO, который соединяется с входом ССК следующей ступени.

Данные, находящиеся в счетчике, поступают в 8-разрядный регистр при перепаде напряжения с низкого уровня на высокий на входе тактовых импульсов регистра RCK.

Входы					Режим работы
OE	RCK	CCLR	ССКЕН	ССК	
H	X	X	X	X	Z
L	X	X	X	X	Выходы разблокированы
X	—	X	X	X	Запись и хранение данных в регистре
X	—	X	X	X	Состояние регистра не изменяется
X	X	L	X	X	Сброс показаний счетчика
X	X	H	L	—	Включение счета
X	X	H	L	—	Нет счета
X	X	H	H	X	Нет счета

Оба входа тактовых импульсов ССК и RCK можно соединить друг с другом. В этом случае содержащиеся в счетчике данные будут всегда передаваться в регистр с запаздыванием на один тактовый импульс. Разрешающий вход ССКЕН не препятствует прохождению тактового импульса на регистр.

Данные, находящиеся в регистре, поступают на выходы Q0 – Q7 при подаче на разрешающий вход \overline{OE} напряжения низкого уровня. Если же на этот вход поступит напряжение высокого уровня, то все выходы перейдут в высокоомное (третье) состояние.

Применение

Регистры, счетчики, схемы управления.

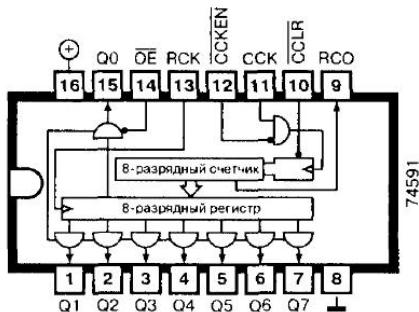
Технические данные

LS

Максимальная тактовая частота, МГц	20
Ток потребления, мА	36

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74591 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВЫХОДНЫМ РЕГИСТРОМ И ВХОДОМ СБРОСА (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит 8-разрядный двоичный счетчик, а также 8-разрядный регистр с выходами с открытым коллектором.

Работа схемы

Счетчик включается при каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов ССК. При этом на разрешающий вход тактовых импульсов ССКЕН должно быть подано напряжение низкого уровня. Если на этот вывод поступает напряжение высокого уровня, то вход тактовых импульсов блокируется.

Подав на вывод ССЛР (брос счёта) кратковременный импульс напряжения низкого уровня, можно сбросить показания счетчика. В нормальном режиме работы на входе ССЛР должно быть напряжение высокого уровня.

Для каскадного включения нескольких счетчиков в схеме предусмотрены выходы сигнала переноса RCO, который соединяется с входом ССК следующей ступени.

Данные, находящиеся в счетчике, поступают в 8-разрядный регистр при перепаде напряжения с низкого уровня на высокий на входе тактовых импульсов регистра RCK.

Оба входа тактовых импульсов ССК и RCK можно соединить друг с другом. В этом случае содержащиеся в счетчике данные будут всегда передаваться в регистр с запаздыванием на один тактовый импульс. Разрешающий вывод ССКЕН позволяет блокировать прохождение тактового импульса регистра.

Данные, находящиеся в регистре, поступают на выходы Q0 – Q7 при подаче на разрешающий вход ОЕ напряжения низкого уровня. Если же на этот вход поступит напряжение высокого уровня, то все выходы перейдут в высокоомное (третье) состояние.

Входы					Режим работы
OE	RCK	CCLR	CCKEN	CCK	
H	X	X	X	X	Выходы отключены
L	X	X	X	X	Выходы разблокированы
X	Г	X	X	X	Запись и хранение данных в регистре
X	Г	X	X	X	Состояние регистра не изменяется
X	X	L	X	X	Сброс показаний счетчика
X	X	H	L	Г	Включение счета
X	X	H	L	Г	Нет счета
X	X	H	H	X	Нет счета

Применение

Регистры, счетчики, схемы управления.

Технические данные

LS

Максимальная тактовая частота, МГц

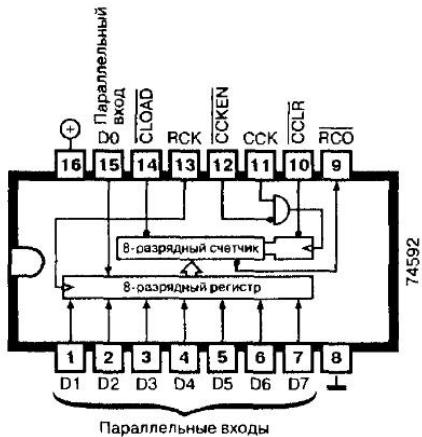
20

Ток потребления, мА

36

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74592 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ И ВХОДАМИ ЗАГРУЗКИ И СБРОСА



Описание

Микросхема содержит 8-разрядный регистр с параллельными входами, а также 8-разрядный двоичный счетчик.

Работа схемы

Данные поступают в 8-разрядный регистр через входы данных D0 – D7. Они загружаются в регистр при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов RCK.

Если на вход загрузки счетчика CLOAD подано напряжение низкого уровня, то находящиеся в регистре данные поступают в 8-разрядный счетчик. Включение счетчика происходит при каждом перепаде напряжения с низкого уровня на высокий на входе тактовых импульсов CCK. При этом на разрешающем выводе тактовых импульсов CCKEN должно быть напряжение низкого уровня. Если же на этом выводе напряжение высокого уровня, то вход тактовых импульсов блокируется.

Для каскадного включения нескольких микросхем предусмотрен вывод сигнала переноса RCO, который соединяется с разрешающим входом тактовых импульсов CCKEN второй ступени и т.д.

Кроме того, в счетчике имеется асинхронный вход сброса показаний CCLR.

В нормальном режиме работы на этот вход подается напряжение высокого уровня. Если на него поступает кратковременный импульс напряжения низкого уровня, то происходит сброс показаний счетчика.

Входы					Режим работы
RCK	CLOAD	CCLR	CCKEN	CCK	
X	L	H	X	X	Данные из регистра загружаются в счетчик
X	H	L	X	X	Сброс показаний счетчика
—	H	H	X	X	Данные со входов D0 – D7 загружаются в регистр
—	H	H	X	X	Состояние регистра не изменяется
X	H	H	L	—	Включение счета
X	H	H	L	—	Нет счета
X	H	H	H	X	Нет счета

Применение

Регистры, счетчики, схемы управления.

Технические данные

LS

Максимальная тактовая частота, МГц

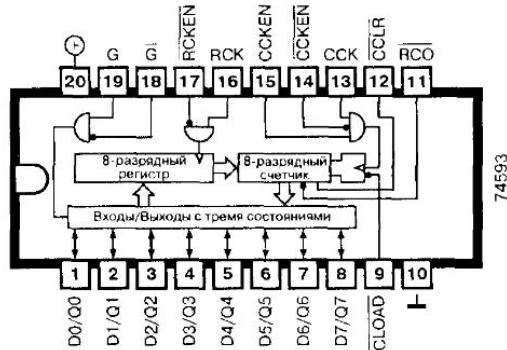
20

Ток потребления, мА

26

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74593 8-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ И ВХОДАМИ ЗАГРУЗКИ И СБРОСА (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит 8-разрядный двоичный счетчик с входным буферным регистром с переключаемыми параллельными входами и выходами.

Работа схемы

Выводы 1–8 являются одновременно входами 8-разрядного регистра (входы D0 – D7) и параллельными выходами с тремя состояниями 8-разрядного счетчика (выходы Q0 – Q7).

Данные с этих выводов поступают в 8-разрядный регистр при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов RCK. При этом на разрешающем выводе тактовых импульсов RCKEN должно быть установлено напряжение низкого уровня.

Так как выводы 1–8 являются одновременно и входами регистра, и выходами 8-разрядного счетчика, то на разрешающем входе G должно быть напряжение низкого уровня, а на входе G – высокого.

Если на вход загрузки счетчика CLOAD подается напряжение низкого уровня, то находящиеся в регистре данные копируются в 8-разрядный счетчик. Включение счетчика происходит при каждом перепаде напряжения с низкого уровня на высокий на входе тактовых импульсов CCK. При этом на разрешающем входе тактовых импульсов CCKEN должно быть напряжение высокого уровня, а на входе CCKEN – низкого. Если на вход CCKEN поступает напряжение низкого уровня и/или на вход CCKEN – высокого уровня, то вход тактовых импульсов блокируется.

Для каскадного включения нескольких микросхем предусмотрен выход сигнала переноса RCO, который соединяется с разрешающим входом тактовых импульсов CCKEN второй ступени и т.д.

В счетчике имеется асинхронный вход сброса показаний CCLR.

В нормальном режиме работы на этот вход подается напряжение высокого уровня. Если на него поступает кратковременный импульс напряжения низкого уровня, то показания счетчика сбрасываются.

Данные, находящиеся в счетчике, поступают на параллельные выводы 1–8 при подаче напряжения высокого уровня на разрешающий вход \bar{G} и напряжения низкого уровня на вход G .

G	\bar{G}	\bar{CCLR}	$CCKEN$	\bar{CCKEN}	CCK	\bar{CLOAD}	$RCKEN$	RCK	Режим работы
L	H	X	X	X	X	X	X	X	Все входы/выходы D0/Q0 – D7/Q7 в третьем состоянии
H	X	X	X	X	X	X	X	X	Выходные данные счетчика поступают на выходы Q0 – Q7
X	L	X	X	X	X	X	X	X	Сброс показаний счетчика
X	X	L	X	X	X	H	X	X	Данные с входов 1–7 загружаются в счетчик
X	X	H	H	X	X	L	X	X	Включение счетчика
X	X	H	X	L	⊟	H	X	X	
X	X	H	H	X	⊟	H	X	X	Нет счета
X	X	H	X	L	⊟	H	X	X	Нет счета
X	X	H	L	H	X	H	X	X	Данные в регистре не изменяются
X	X	X	X	X	X	X	L	⊟	Данные в регистре не изменяются
X	X	X	X	X	X	X	L	⊟	Данные с шины Q записываются и хранятся в регистре

Применение

Регистры, счетчики, схемы управления.

Технические данные

Максимальная тактовая частота, МГц

LS

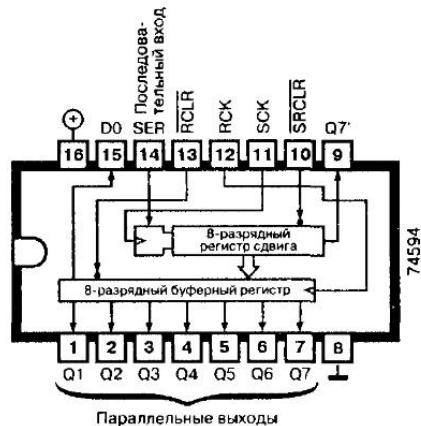
20

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74594 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПОСЛЕДОВАТЕЛЬНЫЙ ВВОД, ПАРАЛЛЕЛЬНЫЙ ВЫВОД ДАННЫХ) С ВЫХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательным вводом и параллельным и последовательным выводом данных. Параллельный вывод данных осуществляется через буферный регистр.

Работа схемы

Данные последовательно вводятся через вход SER. При каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига SCK данные с вывода 14 поступают в регистр сдвига, а уже находящиеся в регистре данные последовательно сдвигаются на один шаг. С вывода 9 (выход Q7') данные последовательно выводятся. В нормальном режиме работы на асинхронный вход сброса SRCLR подается напряжение высокого уровня. При напряжении низкого уровня на этом входе происходит сброс данных во всех ступенях регистра сдвига.

Буферный регистр имеет отдельный вход сброса RCLR, с помощью которого можно его очищать.

Когда на входе RCK (вход тактовых импульсов буферного регистра) происходит перепад напряжения с низкого уровня на высокий, находящиеся в регистре сдвига данные передаются в 8-разрядный буферный регистр.

Входы тактовых импульсов SCK и RCK можно соединить друг с другом. В этом случае передача данных из регистра сдвига в буферный регистр всегда будет запаздывать на один тактовый импульс. Выход Q7' служит для каскадного включения нескольких микросхем.

Рассматриваемая микросхема аналогична схеме 74LS599, которая имеет выходы с открытым коллектором.

Входы					Режим работы
SRCLR	RCLR	SER	SCK	RCK	
L	X	X	X	X	Сброс содержимого регистра сдвига
X	L	X	X	X	Сброс содержимого буферного регистра
H	H	L	—	X	L сдвигает данные в регистре сдвига
H	H	H	—	X	H сдвигает данные в регистре сдвига
H	H	X	—	X	Регистр сдвига не изменяется
H	H	X	L	—	Данные регистра сдвига записываются в буфер
H	H	X	L	—	Буферный регистр не изменяется

Применение

Последовательно-параллельное преобразование, аналого-цифровые и цифро-аналоговые преобразователи.

Технические данные

LS

Максимальная частота сдвига, МГц

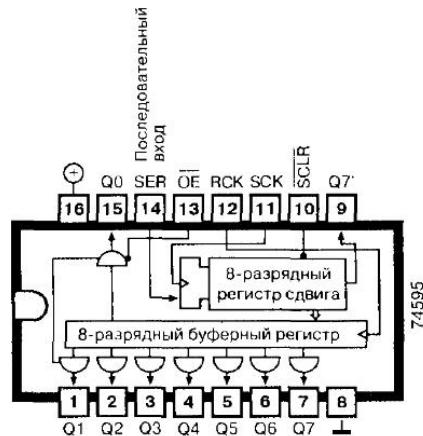
20

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

**74595 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА
(ПОСЛЕДОВАТЕЛЬНЫЙ ВВОД, ПАРАЛЛЕЛЬНО-
ПОСЛЕДОВАТЕЛЬНЫЙ ВЫВОД ДАННЫХ)
С ВЫХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ
(ТРИ СОСТОЯНИЯ)**



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательным вводом и параллельным и последовательным выводами данных. Параллельный вывод данных осуществляется через буферный регистр с выходами, которые имеют три состояния.

Работа схемы

Данные последовательно вводятся через вход SER. При каждом перенаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига SCK данные с вывода 14 поступают в регистр сдвига, а уже находящиеся в регистре данные последовательно сдвигаются на один шаг. С вывода 9 (выход Q7') данные последовательно выводятся. В нормальном режиме работы на асинхронный вход сброса SCLR подается напряжение высокого уровня. При напряжении низкого уровня на этом входе происходит сброс данных во всех ступенях регистра сдвига.

Когда на входе RCK (вход тактовых импульсов буферного регистра) происходит перепад напряжения с низкого уровня на высокий, находящиеся в регистре сдвига данные передаются в 8-разрядный буферный регистр.

Если на вход \overline{OE} подано напряжение низкого уровня, данные поступают на параллельные выходы $Q0 - Q7$. При напряжении высокого уровня на этом входе все выходы переходят в высокоомное (третье) состояние.

Входы тактовых импульсов SCK и RCK можно соединить друг с другом. В этом случае передача данных из регистра сдвига в буферный регистр всегда будет запаздывать на один тактовый импульс. Рассматриваемая микросхема аналогична схеме 74596, которая, в отличие от данной микросхемы, имеет выходы с открытым коллектором.

Входы					Режим работы
SCLR	SER	SCK	RCK	OE	
L	X	X	X	X	Сброс содержимого регистра сдвига
H	L		X	X	L сдвигает данные в регистре сдвига
H	H		X	X	H сдвигает данные в регистре сдвига
H	X		X	X	Регистр сдвига не изменяется
H	X	L		X	Данные регистра сдвига записываются в буфер
H	X	L		X	Буферный регистр не изменяется
H	X	L	L	L	Выходы буферного регистра Q0 – Q7 отпираются
H	X	L	L	H	Выходы буферного регистра Q0 – Q7 высокоомны (Z)

Применение

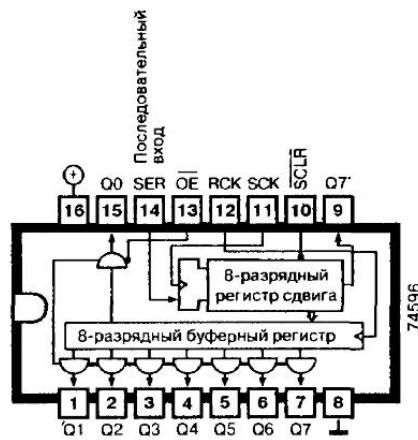
Последовательно-параллельное преобразование, аналого-цифровые и цифро-аналоговые преобразователи.

Технические данные

	F	LS
Максимальная частота сдвига, МГц	120	20
Ток потребления, мА	75	38

Серия	Std	ALS	AS	F	H	L	LS	S	

**74596 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА
(ПОСЛЕДОВАТЕЛЬНЫЙ ВВОД, ПАРАЛЛЕЛЬНО-
ПОСЛЕДОВАТЕЛЬНЫЙ ВЫВОД ДАННЫХ)
С ВЫХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ
(ОТКРЫТЫЙ КОЛЛЕКТОР)**



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательным вводом и параллельным и последовательным выводами данных. Параллельный вывод данных осуществляется через буферный регистр с выходами с открытым коллектором.

Работа схемы

Данные последовательно вводятся через вход SER. При каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига SCK данные с вывода 14 поступают в регистр сдвига, а уже находящиеся в регистре данные последовательно сдвигаются на один шаг. С вывода 9 (выход Q7') данные последовательно выводятся. В нормальном режиме работы на асинхронный вход сброса SCLR подается напряжение высокого уровня. При напряжении низкого уровня на этом входе происходит сброс данных во всех ступенях регистра сдвига.

Входы					Режим работы
SCLR	SER	SCK	RCK	OE	
L	X	X	X	X	Сброс содержимого регистра сдвига
H	L	—	X	X	L сдвигает данные в регистре сдвига
H	H	—	X	X	H сдвигает данные в регистре сдвига
H	X	—	X	X	Регистр сдвига не изменяется
H	X	L	—	X	Данные регистра сдвига записываются в буфер
H	X	L	—	X	Буферный регистр не изменяется
H	X	L	L	L	Выходы буферного регистра Q0 – Q7 отпираются
H	X	L	L	H	Выходы буферного регистра Q0 – Q7 отключаются

Когда на входе RCK (вход тактовых импульсов буферного регистра) происходит перепад напряжения с низкого уровня на высокий, находящиеся в регистре сдвига данные передаются в 8-разрядный буферный регистр.

Если на вход OE подано напряжение низкого уровня, данные поступают на параллельные выходы Q0 – Q7. При напряжении высокого уровня на этом входе все выходы отключаются.

Входы тактовых импульсов SCK и RCK можно соединить друг с другом. В этом случае передача данных из регистра сдвига в буферный регистр всегда будет запаздывать на один тактовый импульс. Рассматриваемая микросхема аналогична схеме 74595, которая, в отличие от данной микросхемы, имеет выходы с тремя состояниями.

Применение

Последовательно-параллельное преобразование, аналого-цифровые и цифро-аналоговые преобразователи.

Технические данные

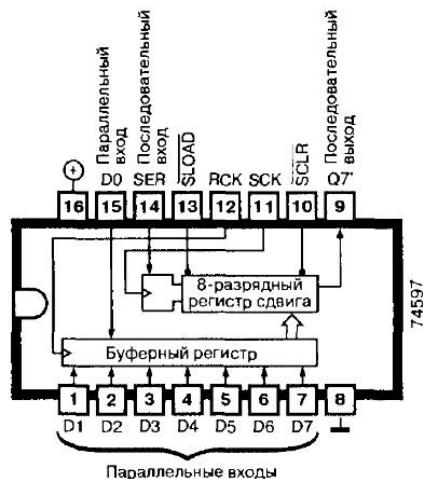
LS

Максимальная частота сдвига, МГц	20
Ток потребления, мА	38

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74597

8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНЫЙ ВВОД, ПОСЛЕДОВАТЕЛЬНЫЙ ВЫВОД ДАННЫХ) С ВХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательным и параллельным вводами данных и последовательным выводом данных. Параллельный ввод данных осуществляется через буферный регистр.

Работа схемы

Данные последовательно вводятся через вход SER. При каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига SCK данные с вывода 14 поступают в регистр сдвига, а уже находящиеся в регистре данные последовательно сдвигаются на один шаг. С вывода 9 (выход Q7') данные последовательно выводятся.

В нормальном режиме работы на асинхронный вход сброса SCLR подано напряжение высокого уровня. Если на этот вход поступает напряжение низкого уровня, то происходит сброс данных во всех ступенях регистра сдвига.

Данные могут параллельно загружаться в регистр сдвига через входной буферный регистр. Когда на входе тактовых импульсов RCK происходит перенад напряжения с низкого уровня на высокий, данные, находящиеся на входах D0 – D7, поступают в буферный регистр.

При подаче на вход загрузки SLOAD напряжения низкого уровня эти данные копируются в регистр сдвига.

Входы				Режим работы
RCK	SCK	SLOAD	SCLR	
—	X	X	X	Данные загружаются во входной буфер
—	X	L	H	Данные с входов загружаются в регистр сдвига
Нет фронта тактового импульса	X	L	H	Данные из буфера передаются в регистр сдвига
X	X	L	L	Ложное состояние: при снятии сигнала состояние регистра сдвига неопределено
X	X	L	L	Очистка регистра сдвига
X	X	—	L	Тактовой режим регистра сдвига; на регистре сдвига устанавливается тот же уровень напряжения, что сформирован на входе SER

Применение

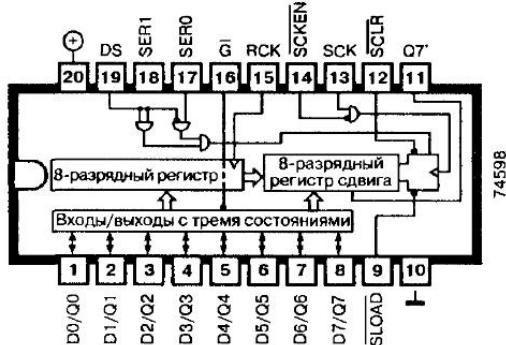
Последовательно-параллельное преобразование, буферные ЗУ.

Технические данные

Максимальная тактовая частота, МГц	120	20
Ток потребления, мА	45	36

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74598 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЙ ВВОД/ ВЫВОД ДАННЫХ) С ВХОДНЫМ БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема содержит 8-разрядный регистр сдвига с входным буферным регистром, а также переключаемые параллельные входы и выходы.

Работа схемы

Выводы 1–8 – это одновременно и входы 8-разрядного входного буферного регистра (входы D0 – D7) и параллельные выходы 8-разрядного регистра сдвига (выходы Q0 – Q7).

Параллельный ввод данных в регистр сдвига происходит через входы D0 – D7.

Данные с этих входов поступают в 8-разрядный буферный регистр при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига RCK. При этом на разрешающем входе G должно быть установлено напряжение высокого уровня. При подаче на вход загрузки регистра сдвига SLOAD напряжения низкого уровня данные из буферного регистра копируются в регистр сдвига.

При каждом перепаде напряжения с низкого уровня на высокий на входе тактовых импульсов регистра сдвига SCK данные в регистре сдвига последовательно сдвигаются на один шаг. При этом на входе разрешения тактовых импульсов регистра сдвига SCKEN должно быть напряжение низкого уровня. Если на этом входе напряжение высокого уровня, то подача тактовых импульсов в регистр сдвига блокируется.

По каждому фронту такового импульса данные, находящиеся на последовательных входах SER0 и SER1, поступают в регистр сдвига, а именно: когда на вход DS подано напряжение низкого уровня, данные поступают с входа SER0; когда на вход DS подано напряжение высокого уровня, данные поступают в регистр сдвига с входом SER1.

Данные из регистра сдвига могут передаваться на выход Q7' и последовательно выводиться с него. Параллельный вывод данных, находящихся в регистре сдвига, возможен через выводы 1–8, если на вход G подается напряжение низкого уровня.

При подаче на вход сброса $\overline{\text{SCLR}}$ напряжения низкого уровня возможна асинхронная очистка регистра сдвига.

Данная микросхема аналогична микросхеме 74597, однако, в отличие от последней, имеет входы и выходы с тремя состояниями, что позволяет осуществлять параллельный вывод данных из регистра сдвига. Кроме того, рассматриваемая микросхема имеет мультиплексные последовательные информационные входы.

Применение

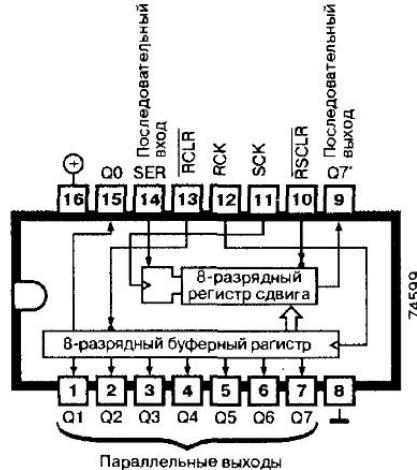
Последовательно-параллельное и параллельно-последовательное преобразование, буферные ЗУ.

Технические данные

	F	LS
Максимальная тактовая частота, МГц	120	20
Ток потребления, мА	75	52

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74599 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПОСЛЕДОВАТЕЛЬНЫЙ ВВОД, ПАРАЛЛЕЛЬНЫЙ ВЫВОД ДАННЫХ) С ВЫХОДНЫМ БУФЕРНЫМ ЗУ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательным вводом и параллельным и последовательным выводом данных. Параллельный вывод данных осуществляется через буферный регистр.

Работа схемы

Данные последовательно вводятся через вход SER. При каждом перепаде напряжения с низкого уровня на высокий (положительный фронт) на входе тактовых импульсов регистра сдвига SCK данные с вывода 14 поступают в регистр сдвига, а уже находящиеся в регистре данные последовательно сдвигаются на один шаг. С вывода 9 (выход Q7') данные последовательно выводятся. В нормальном режиме работы на асинхронный вход сброса SRCLR подается напряжение высокого уровня. При напряжении низкого уровня на этом входе происходит сброс данных во всех ступенях регистра сдвига.

Буферный регистр имеет отдельный вход сброса RCLR, с помощью которого можно его очищать.

Когда на входе RCK (вход тактовых импульсов буферного регистра) происходит перепад напряжения с низкого уровня на высокий, находящиеся в регистре сдвига данные передаются в 8-разрядный буферный регистр.

Входы тактовых импульсов SCK и RCK можно соединить друг с другом. В этом случае передача данных из регистра сдвига в буферный регистр всегда будет запаздывать на один тактовый импульс. Выход Q7' служит для каскадного включения нескольких микросхем.

Рассматриваемая микросхема аналогична схеме 74LS594, которая имеет выходы с тремя состояниями.

Входы					Режим работы
SRCLR	RCLR	SER	SCK	RCK	
L	X	X	X	X	Очистка содержимого регистра сдвига
X	L	X	X	X	Очистка содержимого буферного регистра
H	H	L	—	X	L сдвигает данные в регистре сдвига
H	H	H	—	X	H сдвигает данные в регистре сдвига
H	H	X	—	X	Регистр сдвига не изменяется
H	H	X	L	—	Данные регистра сдвига записываются в буфер
H	H	X	L	—	Буферный регистр не изменяется

Применение

Последовательно-параллельное преобразование, аналого-цифровые и цифро-аналоговые преобразователи.

Технические данные

LS

Максимальная частота сдвига, МГц

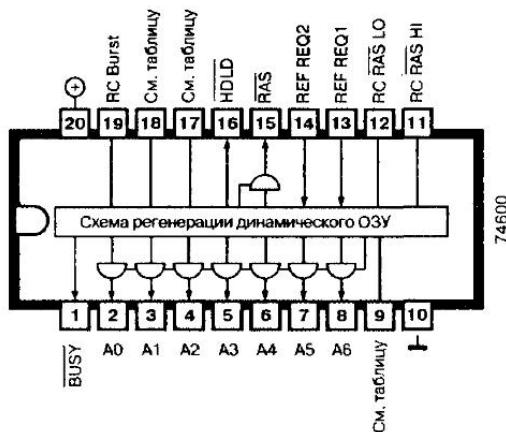
20

Ток потребления, мА

34

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74600 СХЕМА РЕГЕНЕРАЦИИ ДИНАМИЧЕСКИХ ЗУ С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ (4 КБ/16 КБ), РАБОТАЮЩИХ В ПРОЗРАЧНОМ РЕЖИМЕ И В РЕЖИМЕ ПАКЕТНОЙ ПЕРЕДАЧИ ДАННЫХ



Описание

Микросхема содержит схему регенерации динамических запоминающих устройств с произвольной выборкой.

Работа схемы

Микросхема содержит один 8-разрядный синхронный счетчик, девять буферных формирователей с выходами, которые имеют три состояния, четыре мультивибратора, а также другие элементы управляющей логики.

В прозрачном режиме работы возникают последовательные циклы регенерации (обновления) данных, когда центральный процессор находится в неактивном рабочем состоянии, так что процесс обновления прозрачен, то есть может происходить без прерывания работы центрального процессора.

В этом режиме работы на выводах REF REQ установлено напряжение высокого уровня. Напряжение низкого уровня на выходе сигнала занятости BUSY сигнализирует центральному процессору ожидать завершения цикла обновления данных. Постоянная константа времени, задаваемая RC-цепью, подключенной к входу RC

Схема	Режим работы	Объем памяти, Кб	Выходы		
			9	17	18
74LS600	Прозрачный, пакет	4 или 16	4 Кб/16 Кб	NC	NC
74LS601	Прозрачный, пакет	64	A7	NC	NC
74LS602	Захват цикла, пакет	4 или 16	4 Кб/16 Кб	READY	RC CYCLE STEAL
74LS603	Захват цикла, пакет	64	A7	READY	RC CYCLE STEAL

Burst определяет необходимое время подачи на выход HOLD напряжения низкого уровня для того, чтобы приостановить работу процессора и вновь начать процесс обновления данных.

Схема имеет адресные выходы A0 – A6 и выход строчного адресного строб-импульса RAS с тремя состояниями.

Применение

Регенерация данных в динамических запоминающих устройствах с произвольной выборкой (объем памяти 4 или 16 Кб).

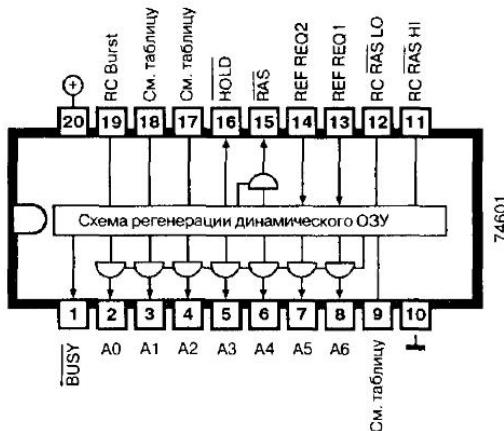
Технические данные

LS

Время задержки прохождения сигнала, нс	300
Ток потребления, мА	50

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74601 СХЕМА РЕГЕНЕРАЦИИ ДИНАМИЧЕСКИХ ЗУ С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ (64 КБ), РАБОТАЮЩИХ В ПРОЗРАЧНОМ РЕЖИМЕ И В РЕЖИМЕ ПАКЕТНОЙ ПЕРЕДАЧИ ДАННЫХ



Описание

Микросхема содержит логическую схему для регенерации динамических запоминающих устройств с произвольной выборкой.

Работа схемы

Микросхема содержит один 8-разрядный синхронный счетчик, девять буферных формирователей с выходами, которые имеют три состояния, четыре мультивибратора, а также другие элементы управляющей логики.

В прозрачном режиме работы возникают последовательные циклы регенерации (обновления) данных, когда центральный процессор находится в неактивном рабочем состоянии, так что процесс регенерации прозрачен, то есть может происходить без прерывания работы центрального процессора.

В этом режиме работы на выводах REF REQ установлено напряжение высокого уровня. Формирование на выводе сигнала занятости BUSY напряжения низкого уровня сигнализирует центральному процессору ожидать завершения цикла обновления данных. Постоянная константа времени, задаваемая RC-цепью, подключенной к входу RC Burst определяет необходимое время подачи на вывод HOLD напряжения низкого уровня для того, чтобы приостановить работу процессора и вновь начать процесс обновления данных.

Схема	Режим работы	Объем памяти, Кб	Выходы		
			9	17	18
74LS600	Прозрачный, пакет	4 или 16	4 Кб/16 Кб	NC	NC
74LS601	Прозрачный, пакет	64	A7	NC	NC
74LS602	Захват цикла, пакет	4 или 16	4 Кб/16 Кб	READY	RCC CYCLE STEAL
74LS603	Захват цикла, пакет	64	A7	READY	RCC CYCLE STEAL

Схема имеет адресные выходы A0 – A6 и выход строчного адресного строб-импульса RAS с тремя состояниями.

Применение

Регенерация данных в динамических запоминающих устройствах с произвольной выборкой (64 Кб).

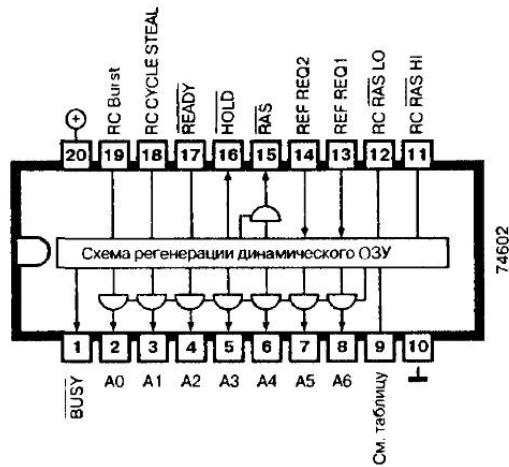
Технические данные

Время задержки прохождения сигнала, нс	LS
Ток потребления, мА	300 50

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74602

СХЕМА РЕГЕНЕРАЦИИ ДИНАМИЧЕСКИХ ЗУ С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ (4 КБ/16 КБ), РАБОТАЮЩИХ В РЕЖИМЕ ЗАХВАТА ЦИКЛА И В РЕЖИМЕ ПАКЕТНОЙ ПЕРЕДАЧИ ДАННЫХ



Описание

Микросхема содержит логическую схему для регенерации динамических запоминающих устройств с произвольной выборкой.

Работа схемы

Микросхема содержит один 8-разрядный синхронный счетчик, девять буферных формирователей с выходами, которые имеют три состояния, четыре мультивибратора, а также другие элементы управляющей логики.

В режиме захвата цикла необходимое для обновления данных время делится на одинаковые сегменты, и в каждом из этих сегментов происходит обновление информации. Общее время, которое требуется, чтобы обновить все данные, программируется с помощью постоянной времени, задаваемой RC-цепью на входе RC Burst, а время, необходимое для обновления сегмента данных, – цепью на входе захвата цикла RC CYCLE STEAL. Формирование на выводе READY напряжения низкого уровня сигнализирует центральному процессору о необходимости прервать свои операции, чтобы обновить данные, то есть цикл работы ЗУ захватывается.

Схема	Режим работы	Объем памяти, Кб	Выводы		
			9	17	18
74LS600	Прозрачный, пакет	4 или 16	4 Кб/16 Кб	NC	NC
74LS601	Прозрачный, пакет	64	A7	NC	NC
74LS602	Захват цикла, пакет	4 или 16	4 Кб/16 Кб	READY	RC CYCLE STEAL
74LS603	Захват цикла, пакет	64	A7	READY	RC CYCLE STEAL

Схема имеет адресные выходы A0 – A6 и выход строчного адресного строб-импульса RAS с тремя состояниями.

Применение

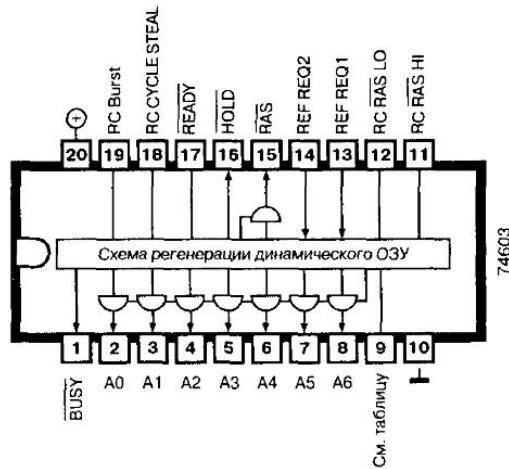
Регенерация данных в динамических запоминающих устройствах с произвольной выборкой (объем памяти 4 или 16 Кб).

Технические данные

Время задержки прохождения сигнала, нс	300
Ток потребления, мА	50

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74603 СХЕМА РЕГЕНЕРАЦИИ ДИНАМИЧЕСКИХ ЗУ С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ (64 КБ), РАБОТАЮЩИХ В РЕЖИМЕ ЗАХВАТА ЦИКЛА И В РЕЖИМЕ ПАКЕТНОЙ ПЕРЕДАЧИ ДАННЫХ



Описание

Микросхема содержит логическую схему для регенерации динамических запоминающих устройств с произвольной выборкой.

Работа схемы

Микросхема содержит один 8-разрядный синхронный счетчик, девять буферных формирователей с выходами, которые имеют три состояния, четыре мультивибратора, а также другие элементы управляющей логики.

В режиме захвата цикла необходимое для обновления данных время делится на одинаковые сегменты, и в каждом из этих сегментов происходит обновление определенной последовательности информации. Общее время, которое требуется, чтобы обновить все данные, программируется с помощью постоянной времени, задаваемой RC-цепью на входе RC Burst, а время, необходимое для обновления сегмента данных, – на входе захвата цикла RC CYCLE STEAL. Формирование на выходе READY напряжения низкого уровня сигнализирует центральному процессору о необходимости прервать свои операции, чтобы обновить определенную последовательность данных, то есть цикл работы ЗУ захватывается.

Схема	Режим работы	Объем памяти, Кб	Выходы		
			9	17	18
74LS600	Прозрачный, пакет	4 или 16	4 Кб/16 Кб	NC	NC
74LS601	Прозрачный, пакет	64	A7	NC	NC
74LS602	Захват цикла, пакет	4 или 16	4 Кб/16 Кб	READY	RC CYCLE STEAL
74LS603	Захват цикла, пакет	64	A7	READY	RC CYCLE STEAL

Схема имеет адресные выходы A0 – A6 и выход строчного адресного строб-импульса \overline{RAS} с тремя состояниями.

Применение

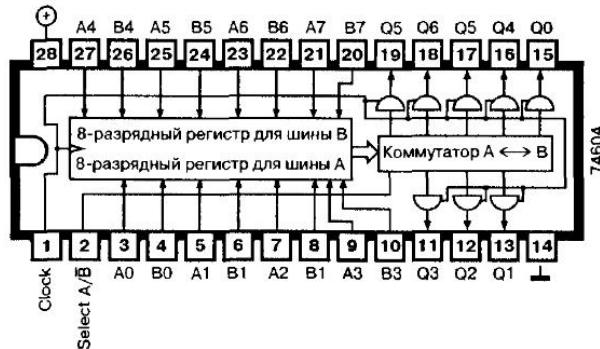
Регенерация данных в динамических запоминающих устройствах с произвольной выборкой (объем памяти 64 Кб).

Технические данные

Время задержки прохождения сигнала, нс	LS	300
Ток потребления, мА		50

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74604 ВОСЕМЬ МУЛЬТИПЛЕКСОРОВ 2–1 С БУФЕРНЫМ РЕГИСТРОМ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь мультиплексоров 2–1 с буферным регистром и выходами с тремя состояниями.

Работа схемы

В зависимости от логического уровня на входе выборки Select A/B (вывод 2) восемь информационных бит, поступающих на входы A0 – A7 или B0 – B7, при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) передаются в соответствующий регистр, а именно: при подаче на вывод 2 напряжения высокого уровня запоминаются данные, находящиеся на выводах A0 – A7, а при подаче на вывод 2 напряжения низкого уровня в регистр поступают данные с выводов B0 – B7.

Сразу же после перепада напряжения тактового импульса с низкого уровня на высокий выбранные входные данные поступают на выходы Q0 – Q7.

Логический уровень сигнала на входе тактовых импульсов Clock (вывод 1) одновременно управляет и выходами Q0 – Q7. Если на вывод 1 подается напряжение низкого уровня, то все выходы Q0 – Q7 переходят в высокоомное (третье) состояние. Если на вывод 1 подано напряжение высокого уровня, то все выходы отпираются.

При установлении на входе тактовых импульсов (вывод 1) напряжения высокого уровня на выходах Q0 – Q7 находятся данные, которые поступили на выходы до перепада напряжения на выводе 1 с низкого уровня на высокий в зависимости от состояния вывода выборки Select A/B или с шины A (выходы A0 – A7), или с шины B (выходы B0 – B7).

Рассматриваемая схема аналогична микросхеме 74605, которая, в отличие от схемы 74604, имеет выходы с открытым коллектором.

Микросхемы 74604 и 74605 – быстродействующие схемы. Аналогичные микросхемы 74606 и 74607 работают немного медленнее, однако позволяют при декодировании избежать образования пиков напряжений, мешающих работе схемы.

Входы				Выходы Q0 – Q7
A0 – A7	B0 – B7	A/̄B	Clock	
Данные на А	Данные на В	L	—	Данные на шине В
Данные на А	Данные на В	H	—	Данные на шине А
X	X	X	L	Z
X	X	L	H	Данные, хранящиеся в регистре В
X	X	H	H	Данные, хранящиеся в регистре А

Применение

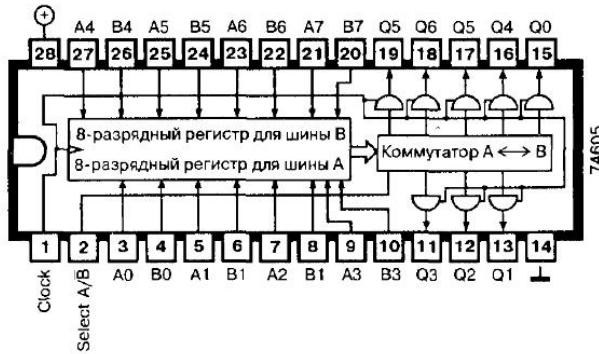
8-разрядные мультиплексоры, устройства сопряжения микропроцессоров с ЗУ.

Технические данные

	F	LS
Время задержки прохождения сигнала, нс	7	22
Ток потребления, мА	85	55

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74605 ВОСЕМЬ МУЛЬТИПЛЕКСОРОВ 2–1 С БУФЕРНЫМ РЕГИСТРОМ (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит восемь мультиплексоров 2–1 с буферным регистром и выходами с открытым коллектором.

Работа схемы

В зависимости от логического уровня на входе выборки Select A/B (вывод 2) восемь информационных бит, поступающих на входы A0 – A7 или B0 – B7, при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) передаются в соответствующий регистр, а именно: при подаче на вывод 2 напряжения высокого уровня запоминаются данные, находящиеся на выводах A0 – A7, а при подаче на вывод 2 напряжения низкого уровня в регистр поступают данные с выводов B0 – B7.

Сразу же после перепада напряжения тактового импульса с низкого уровня на высокий входные данные появляются на выходах Q0 – Q7.

Логический уровень на входе тактовых импульсов Clock (вывод 1) одновременно управляет и выходами Q0 – Q7. Когда на вывод 1 подано напряжение низкого уровня, то все выходы Q0 – Q7 отключаются (на них устанавливается напряжение высокого уровня, если выход через внешнее сопротивление соединен с линией питания +5 В). Когда на вывод 1 подается напряжение высокого уровня, то все выходы отпираются.

При подаче на вход тактовых импульсов (вывод 1) напряжения высокого уровня на выходах Q0 – Q7 находятся данные, которые поступили на входы до перепада напряжения на выводе 1 с низкого уровня на высокий в зависимости от состояния вывода выборки Select A/B или с шины A (выводы A0 – A7), или с шины B (выводы B0 – B7).

Рассматриваемая схема аналогична микросхеме 74604, которая, в отличие от схемы 74605, имеет выходы с тремя состояниями.

Микросхемы 74604 и 74605 – быстродействующие схемы. Аналогичные микросхемы 74606 и 74607 работают немного медленнее, однако позволяют при декодировании избежать образования пиков напряжений, мешающих работе схемы.

Входы				Выходы Q0 – Q7	
A0 – A7	B0 – B7	A/̄B	Clock		
Данные на А	Данные на В	L	—	Данные нашине В	
Данные на А	Данные на В	H	—	Данные нашине А	
X	X	X	L	Отключены	
X	X	L	H	Данные, хранящиеся в регистре В	
X	X	H	H	Данные, хранящиеся в регистре А	

Применение

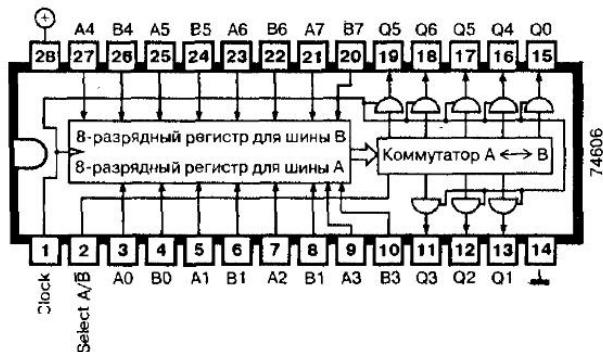
8-разрядные мультиплексоры, устройства сопряжения микропроцессоров с ЗУ.

Технические данные

	F	LS
Время задержки прохождения сигнала, нс	9	30
Ток потребления, мА	85	40

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74606 ВОСЕМЬ МУЛЬТИПЛЕКСОРОВ 2–1 С БУФЕРНЫМ РЕГИСТРОМ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь мультиплексоров 2–1 с буферным регистром и выходами с тремя состояниями.

Работа схемы

В зависимости от логического уровня на входе выборки Select A/Б (вывод 2) восемь информационных бит, поступающих на входы A0 – A7 или B0 – B7, при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) передаются в соответствующий регистр, а именно: при подаче на вывод 2 напряжения высокого уровня запоминаются данные, находящиеся на выводах A0 – A7, а при подаче на вывод 2 напряжения низкого уровня в регистр поступают данные с выводов B0 – B7.

Сразу же после перепада напряжения тактового импульса с низкого уровня на высокий выбранные входные данные поступают на выходы Q0 – Q7.

Логический уровень сигнала на входе тактовых импульсов Clock (вывод 1) одновременно управляет и выходами Q0 – Q7. Если на вывод 1 подается напряжение низкого уровня, то все выходы Q0 – Q7 переходят в высокоомное (третье) состояние. Если на вывод 1 подано напряжение высокого уровня, то все выходы отпираются.

При установлении на входе тактовых импульсов (вывод 1) напряжения высокого уровня на выходах Q0 – Q7 находятся данные, которые поступили на выходы до перепада напряжения на выводе 1 с низкого уровня на высокий в зависимости от состояния вывода выборки Select A/Б или с шиной A (выходы A0 – A7), или с шиной B (выходы B0 – B7).

Рассматриваемая схема аналогична микросхеме 74607, которая, в отличие от схемы 74606, имеет выходы с открытым коллектором.

Микросхемы 74604 и 74605 – быстродействующие схемы. Аналогичные микросхемы 74606 и 74607 работают немного медленнее, однако позволяют при декодировании избежать образования пиков напряжений, мешающих работе схемы.

Входы				Выходы Q0 – Q7
A0 – A7	B0 – B7	A/B	Clock	
Данные на А	Данные на В	L	—	Данные на шине В
Данные на А	Данные на В	H	—	Данные на шине А
X	X	X	L	Z
X	X	L	H	Данные, хранящиеся в регистре В
X	X	H	H	Данные, хранящиеся в регистре А

Применение

8-разрядные мультиплексоры, устройства сопряжения микропроцессоров с ЗУ.

Технические данные

LS

Время задержки прохождения сигнала, нс

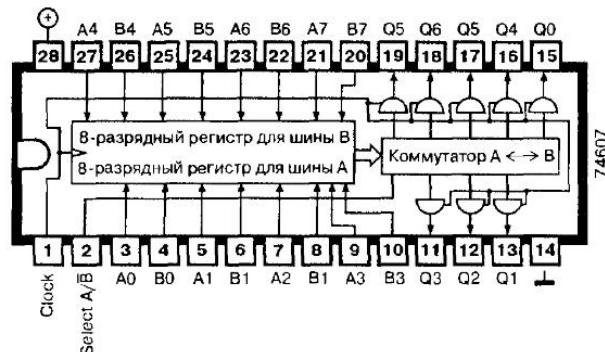
35

Ток потребления, мА

55

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74607 ВОСЕМЬ МУЛЬТИПЛЕКСОРОВ 2–1 С БУФЕРНЫМ РЕГИСТРОМ (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит восемь мультиплексоров 2–1 с буферным регистром и выходами с открытым коллектором.

Работа схемы

В зависимости от логического уровня на входе выборки Select A/ \bar{B} (вывод 2) восемь информационных бит, поступающих на входы A0 – A7 или B0 – B7, при перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) передаются в соответствующий регистр (D-триггер), а именно: при подаче на вывод 2 напряжения высокого уровня запоминаются данные, находящиеся на выводах A0 – A7, а при подаче на вывод 2 напряжения низкого уровня в регистр поступают данные с выводов B0 – B7.

Сразу же после перепада напряжения тактового импульса с низкого уровня на высокий выбранные входные данные поступают на выходы Q0 – Q7.

Логический уровень сигнала на входе тактовых импульсов Clock (вывод 1) одновременно управляет и выходами Q0 – Q7. Когда на вывод 1 подается напряжение низкого уровня, то все выходы Q0 – Q7 отключаются (на них устанавливается напряжение высокого уровня, если соответствующий выход через внешнее сопротивление подключен к линии питания +5 В). Когда на вывод 1 подано напряжение высокого уровня, то все выходы отпираются.

При установлении на входе тактовых импульсов (вывод 1) напряжения высокого уровня на выходах Q0 – Q7 находятся данные, которые поступали на выходы до перепада напряжения на выводе 1 с низкого уровня на высокий: в зависимости от состояния вывода выборки Select A/ \bar{B} или с шиной A (выводы A0 – A7), или с шиной B (выводы B0 – B7).

Рассматриваемая схема аналогична микросхеме 74606, которая в отличие от схемы 74607 имеет выходы с тремя состояниями.

Микросхемы 74604 и 74605 – быстродействующие схемы.

Аналогичные микросхемы 74606 и 74607 работают немного медленнее, однако позволяют при декодировании избежать образования пиков напряжений, меняющихся работе схемы.

Входы				Выходы Q0 – Q7
A0 – A7	B0 – B7	A/Ā	Clock	
Данные на А	Данные на В	L	—	Данные нашине В
Данные на А	Данные на В	H	—	Данные нашине А
X	X	X	L	Отключены
X	X	L	H	Данные, хранящиеся в регистре В
X	X	H	H	Данные, хранящиеся в регистре А

Применение

8-разрядные мультиплексоры, устройства сопряжения микропроцессоров с ЗУ.

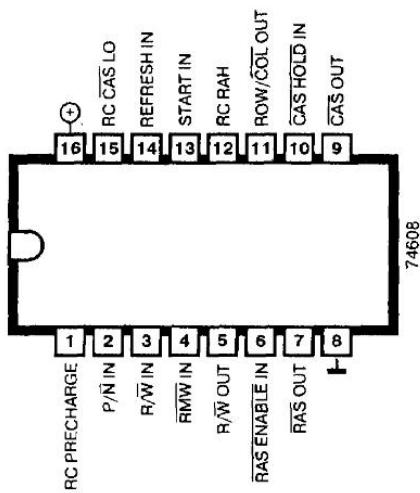
Технические данные

LS

Время задержки прохождения сигнала, нс	35
Ток потребления, мА	55

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74608 СХЕМА УПРАВЛЕНИЯ ДИНАМИЧЕСКИМ ОЗУ С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит в качестве интерфейса между микропроцессором и динамическими ЗУ с произвольной выборкой (ЗУПВ).

Работа схемы

Микросхема содержит шесть RS-триггеров, пять D-триггеров и свыше 50 логических элементов для управления процессами записи, считывания и обновления данных в динамических запоминающих устройствах с произвольной выборкой.

Программирование осуществляется через RC-цепи, подключаемые к соответствующим выводам. Обычно в управляющий модуль для запоминающих устройств входят одна из микросхем 74600–74603 и один из мультиплексоров 74604–74607, а также микросхема 74608.

После подключения RC-цепи к выводам 1, 12 и 15 микросхема вырабатывает соответствующий выходной сигнал для цикла работы ЗУ на выводах RAS, CAS и на выводе READ/WRITE.

Применение

Интерфейс между процессором и динамическими запоминающими устройствами с произвольной выборкой.

Технические данные

LS

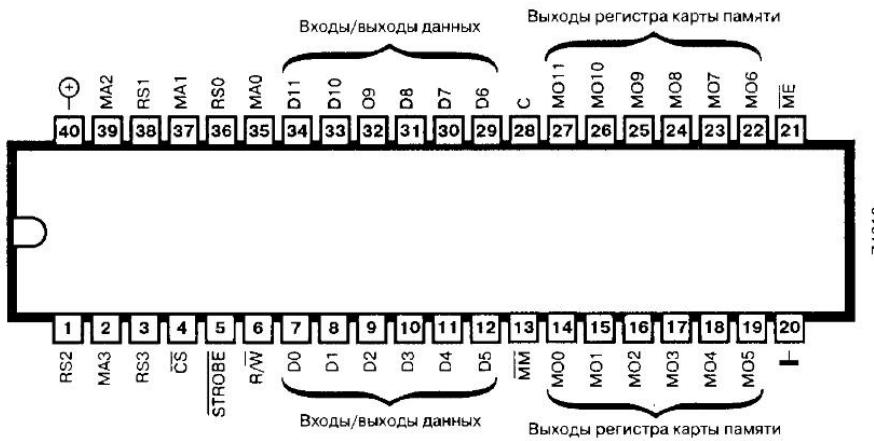
Время задержки прохождения сигнала, нс 400

Ток потребления, мА 45

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

Цикл работы ЗУ	Режим работы	Состояние входов						
		P/N	R/W	RMW	RAS	CAS	START	REFRESH
Считывание		IN	IN	IN	ENABLE	HOLD	IN	IN
Запись					IN	IN	L	L
Считывание-модификация-запись	Загрузка страницы	H	H	L	H	H	L	L
Считывание	Стандартный	H	L	L	H	H	L	L
Запись		L	H	L	H	L	L	L
Считывание-модификация-запись		L	H	L	H	L	L	L
Обновление	Обновление	X	X	X	L	H	H	H
Внешнее обновление		X	X	X	H	H	X	L

74610 СХЕМА УПРАВЛЕНИЯ КАРТОЙ ПАМЯТИ ДЛЯ РАСШИРЕНИЯ РАЗРЯДНОСТИ АДРЕСНЫХ ШИН ОТ 4 ДО 12 С ВЫХОДНЫМИ БУФЕРНЫМИ РЕГИСТРАМИ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для расширения разрядности адресных шин микропроцессора от 4 до 12. Схема имеет выходы с тремя состояниями.

Работа схемы

Микросхема содержит дешифратор 4–16, ЗУ с произвольной выборкой (объем памяти 16×12 бит), 16 мультиплексоров 2–1, а также другие логические элементы и 12 буферных регистров с управляющими входами.

Четыре разряда шины адреса ЗУ позволяют выбрать один из 16 регистров карты памяти, каждый из которых имеет 12 разрядов. Эти 12 бит вместе с неиспользуемыми битами шины адреса выводятся через выходной буферный регистр карты памяти на шину адреса ЗУ. Однако объем непосредственно адресуемой памяти без учета загрузки регистров карты памяти новыми данными остается таким же, что и без модуля карты памяти.

Емкость адресуемой области памяти ЗУ повышается лишь тогда, когда регистр карты памяти периодически загружается новой информацией с шины данных.

Микросхема работает в четырех режимах: считывание, запись, преобразование и передача данных. Выборка регистров карты памяти для считывания с них или загрузки в них данных осуществляется через входы выбора регистров RS0 – RS3, при этом на вход выбора кристалла CS подается напряжение низкого уровня. Считывание и запись происходит с помощью управляющего входа R/W, ввод и вывод данных – через шину данных D0 – D7. В режиме преобразования данных выводится содержимое регистров карты памяти, которые были выбраны через адресные входы MA0 – MA3. При этом на вход выбора кристалла CS подается напряжение высокого уровня, а на вход MM (режим преобразования данных) – низкого. Выходные буферные регистры в этом режиме прозрачны.

Если на входах \overline{CS} и \overline{MM} напряжение высокого уровня (режим передачи данных), то адресные разряды (биты) поступают с входов MA0 – MA3 на выходы M08 – M01. Если на входах \overline{CS} и \overline{MM} напряжение низкого уровня, то адресные разряды передаются на другие выходы карты памяти.

Применение

Расширение разрядности шин адреса в микропроцессорах.

Технические данные

LS

Время задержки прохождения сигнала, нс

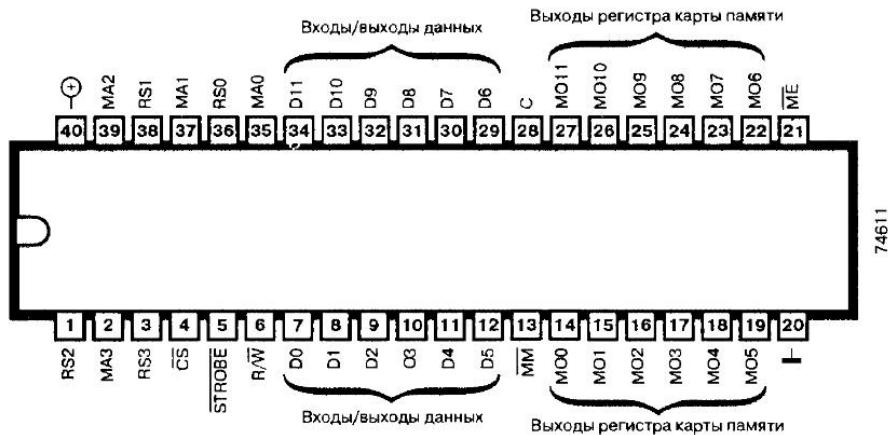
75

Ток потребления, мА

180

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74611 СХЕМА УПРАВЛЕНИЯ КАРТОЙ ПАМЯТИ ДЛЯ РАСШИРЕНИЯ РАЗРЯДНОСТИ АДРЕСНЫХ ШИН ОТ 4 ДО 12 С ВЫХОДНЫМИ БУФЕРНЫМИ РЕГИСТРАМИ (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема служит для расширения разрядности адресных шин микропроцессора от 4 до 12. Схема имеет выходы с открытым коллектором.

Работа схемы

Микросхема содержит дешифратор 4–16, ЗУ с произвольной выборкой (объем памяти 16×12 бит), 16 мультиплексоров 2–1, а также другие логические элементы и 12 буферных регистров с управляющими входами.

Четыре разряда шины адреса ЗУ позволяют выбрать один из 16 регистров карты памяти, каждый из которых имеет 12 разрядов. Эти 12 бит вместе с неиспользуемыми битами шины адреса выводятся через выходной буферный регистр карты памяти на шину адреса ЗУ. Однако объем непосредственно адресуемой памяти без учета загрузки регистров карты памяти новыми данными остается таким же, что и без модуля карты памяти.

Емкость адресуемой области памяти ЗУ повышается лишь тогда, когда регистр карты памяти периодически загружается новой информацией с шины данных.

Микросхема работает в четырех режимах: считывание, запись, преобразование и передача данных. Выборка регистров карты памяти для считывания с них или загрузки в них данных осуществляется через входы выбора регистров RS0 – RS3, при этом на вход выбора кристалла CS подается напряжение низкого уровня. Считывание и запись происходит с помощью управляющего входа R/W, ввод и вывод данных – через шину данных D0 – D7. В режиме преобразования данных выводится содержимое регистров карты памяти, которые были выбраны через адресные входы MA0 – MA3. При этом на вход выбора кристалла CS подается напряжение высокого уровня, а на вход MM (режим преобразования данных) – низкого. Выходные буферные регистры в этом режиме прозрачны.

Если на входах \overline{CS} и \overline{MM} напряжение высокого уровня (режим передачи данных), то адресные разряды (биты) поступают с входов MA0 – MA3 на выводы M08 – M01. Если на входах \overline{CS} и \overline{MM} напряжение низкого уровня, то адресные разряды передаются на другие выходы карты памяти.

Применение

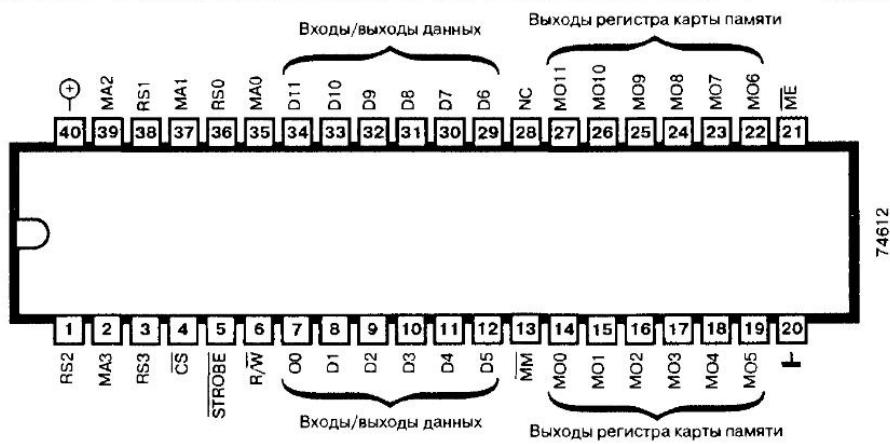
Расширение разрядности шин адреса в микропроцессорах.

Технические данные

Время задержки прохождения сигнала, нс	75
Ток потребления, мА	180

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74612 СХЕМА УПРАВЛЕНИЯ КАРТОЙ ПАМЯТИ ДЛЯ РАСШИРЕНИЯ РАЗРЯДНОСТИ АДРЕСНЫХ ШИН ОТ 4 ДО 12 (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для расширения разрядности адресных шин микропроцессора от 4 до 12. Схема имеет выходы с тремя состояниями.

Работа схемы

Микросхема содержит дешифратор 4–16, ЗУ с произвольной выборкой (объем памяти 16×12 бит), 16 мультиплексоров 2–1, а также другие логические элементы и 12 буферных регистров с управляющими входами.

Четыре разряда шины адреса ЗУ позволяют выбрать один из 16 регистров карты памяти, каждый из которых имеет 12 разрядов. Эти 12 бит вместе с неиспользуемыми битами шины адреса выводятся через выходной буферный регистр карты памяти на шину адреса ЗУ. Однако объем непосредственно адресуемой памяти без учета загрузки регистров карты памяти новыми данными остается таким же, что и без модуля карты памяти.

Емкость адресуемой области памяти ЗУ повышается лишь тогда, когда регистр карты памяти периодически загружается новой информацией с шины данных.

Микросхема работает в четырех режимах: считывание, запись, преобразование и передача данных. Выборка регистров карты памяти для считывания с них или загрузки в них данных осуществляется через входы выбора регистров RS0 – RS3, при этом на вход выбора кристалла CS подается напряжение низкого уровня. Считывание и запись происходит с помощью управляющего входа R/W, ввод и вывод данных – через шину данных D0 – D7. В режиме работы преобразования данных выводится содержимое регистров карты памяти, которые были выбраны через адресные входы MA0 – MA3. При этом на вход выбора кристалла CS подается напряжение высокого уровня, а на вход MM (режим преобразования данных) – низкого. Выходные буферные регистры в этом режиме прозрачны.

Если на входах CS и MM напряжение высокого уровня (режим передачи данных), то адресные разряды (биты) поступают с входов MA0 – MA3 на выходы M08 – M01. Если на входах CS и MM напряжение низкого уровня, то адресные разряды передаются на другие выходы карты памяти.

Применение

Расширение разрядности шин адреса в микропроцессорах.

Технические данные**LS**

Время задержки прохождения сигнала, нс

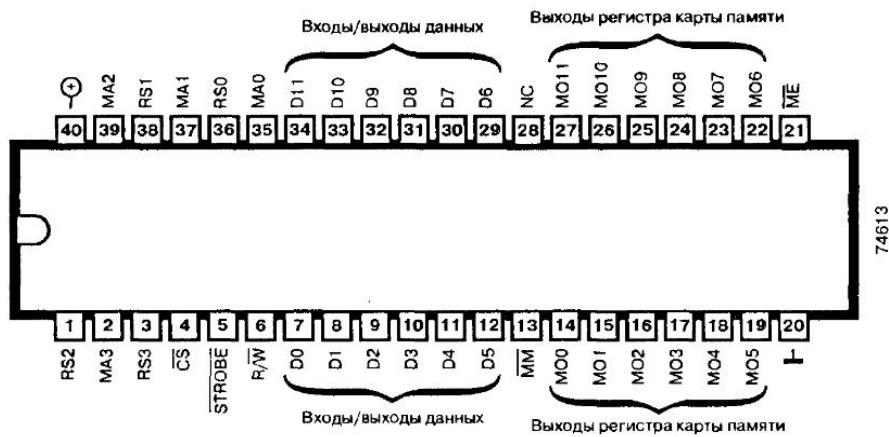
75

Ток потребления, мА

180

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74613 СХЕМА УПРАВЛЕНИЯ КАРТОЙ ПАМЯТИ ДЛЯ РАСШИРЕНИЯ РАЗРЯДНОСТИ АДРЕСНЫХ ШИН ОТ 4 ДО 12 (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема служит для расширения разрядности адресных шин микропроцессора от 4 до 12. Схема имеет выходы с открытым коллектором.

Работа схемы

Микросхема содержит дешифратор 4–16, ЗУ с произвольной выборкой (объем памяти 16×12 бит), 16 мультиплексоров 2–1, а также другие логические элементы и 12 буферных регистров с управляющими входами.

Четыре разряда шины адреса ЗУ позволяют выбрать один из 16 регистров карты памяти, каждый из которых имеет 12 разрядов. Эти 12 бит вместе с неиспользуемыми битами шины адреса выводятся через выходной буферный регистр карты памяти на шину адреса ЗУ. Однако объем непосредственно адресуемой памяти без учета загрузки регистров карты памяти новыми данными остается таким же, что и без модуля карты памяти.

Емкость адресуемой области памяти ЗУ повышается лишь тогда, когда регистр карты памяти периодически загружается новой информацией с шины данных.

Микросхема работает в четырех режимах: считывание, запись, преобразование и передача данных. Выборка регистров карты памяти для считывания с них или загрузки в них данных осуществляется через входы выбора регистров RS0 – RS3, при этом на вход выбора кристалла CS подается напряжение низкого уровня. Считывание и запись происходит с помощью управляющего входа R/W, ввод и вывод данных – через шину данных D0 – D7. В режиме работы преобразования данных выводится содержимое регистров карты памяти, которые были выбраны через адресные входы MA0 – MA3. При этом на вход выбора кристалла CS подается напряжение высокого уровня, а на вход MM (режим преобразования данных) – низкого. Выходные буферные регистры в этом режиме прозрачны.

Если на входах CS и MM напряжение высокого уровня (режим передачи данных), то адресные разряды (биты) поступают с входов MA0 – MA3 на выводы M08 – M01. Если на входах CS и MM напряжение низкого уровня, то адресные разряды передаются на другие выходы карты памяти.

Применение

Расширение разрядности шин адреса в микропроцессорах.

Технические данные

Время задержки прохождения сигнала, нс

LS

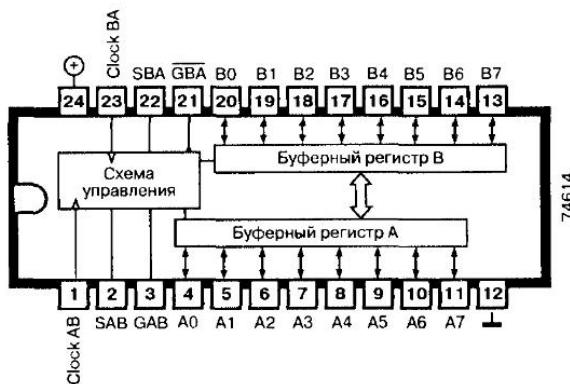
75

Ток потребления, мА

180

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74614 8-РАЗРЯДНЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С ДВУНАПРАВЛЕННЫМ БУФЕРНЫМ РЕГИСТРОМ (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит приемопередатчик шины, D-триггеры и логические элементы для передачи или хранения 8-разрядных данных двух шин.

Работа схемы

Кроме восьми выводов для подключения шин А и В, микросхема имеет два входа GBA и GAB, с помощью которых управляется приемопередатчик. Два других входа SAB и SBA определяют направление передачи данных между шинами А и В. Запись и хранение данных, находящихся на выводах шины, происходит при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входах тактовых Clock AB и Clock BA.

Применение

Двунаправленная передача данных и обмен данными между двумя 8-разрядными шинами.

Технические данные

ALS

Время задержки прохождения сигнала, нс

17

Выходной ток, мА:

при напряжении высокого уровня

-0,1

при напряжении низкого уровня (серия ALS 614-1; $I_{OL} = 48 \text{ mA}$)

24

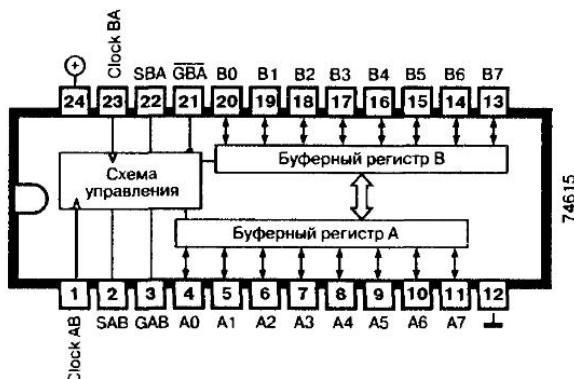
Ток потребления, мА

55

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

		Входы						Информационные входы/выходы		Режим работы	
GAB	GBA	CAB	CBA	SAB	SBA	A0 - A7	B0 - B7				
L	H	H или L	H или L	X	X	Вход	Выход	Шины А и В изолированы			
L	H	—	—	X	X	Вход	Выход	Данные запоминаются в регистрах А и В			
X	H	—	H или L	X	X	Вход	Заблокировано	Данные с А запоминаются, на В блокируются			
H	H	—	—	X	X	Вход	Выход	Данные с А запоминаются в обоих регистрах			
L	X	H или L	—	X	X	Заблокировано	Вход	Данные с А запоминаются, на В блокируются			
L	L	—	—	X	X	Выход	Вход	Данные с В запоминаются в обоих регистрах			
L	L	X	X	X	L	Выход	Вход	Передача данных с шиной В на шину А			
L	L	X	H или L	X	H	Выход	Вход	Передача данных из регистра В на шину А			
H	H	X	X	L	X	Вход	Выход	Передача данных с шинны А на шину В			
H	H	H или L	X	H	X	Вход	Выход	Передача данных из регистра А на шину В			
H	L	H или L	H или L	H	H	Выход	Выход	Передача данных из регистра А на шину В и данных из регистра В на шину А			

74615 8-РАЗРЯДНЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК С ДВУНАПРАВЛЕННЫМ БУФЕРНЫМ РЕГИСТРОМ (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема содержит приемопередатчик шины, D-триггеры и логические элементы для передачи или хранения 8-разрядных данных двух шин.

Работа схемы

Кроме восьми выводов для подключения шин А и В, микросхема имеет два входа GBA и GAB, с помощью которых управляется приемопередатчик. Два других входа SAB и SBA определяют направление передачи данных между шинами А и В. Запись и хранение данных, находящихся на выводах шины, происходит при перепаде напряжения с низкого уровня на высокий (положительный фронт) на входах тактовых Clock AB и Clock BA.

Применение

Двунаправленная передача данных и обмен данными между двумя 8-разряднымишинами.

Технические данные

ALS

Время задержки прохождения сигнала, нс

17

Выходной ток, мА:

при напряжении высокого уровня

-0,1

при напряжении низкого уровня (серия ALS 615-1: $I_{OL} = 48 \text{ mA}$)

24

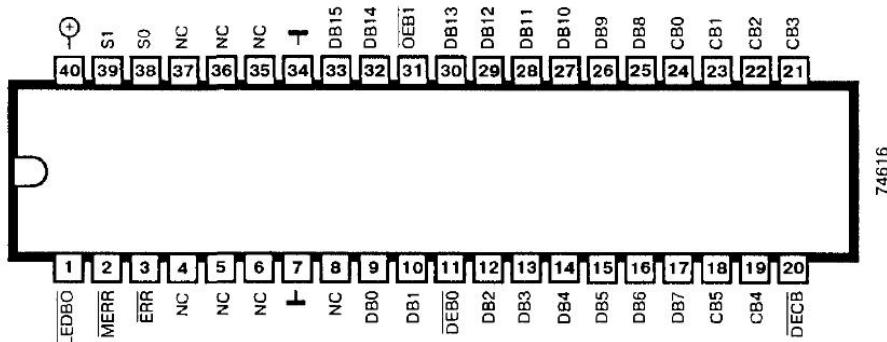
Ток потребления

56

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

Входы		Информационные входы/выходы						Режим работы	
GAB	GBA	CAB	CBA	SAB	SBA	A0 – A7	B0 – B7		
L	H	H или L	H или L	X	X	Вход	Выход	Шины А и В изолированы	
L	H	—	—	X	X	Вход	Выход	Данные запоминаются в регистрах А и В	
X	H	—	H или L	X	X	Вход	Заблокировано	Данные с А запоминаются, на В блокируются	
H	H	—	—	X	X	Вход	Выход	Данные с А запоминаются в обоих регистрах	
L	X	H или L	—	X	X	Заблокировано	Вход	Данные с А запоминаются, на В блокируются	
L	L	—	—	X	X	Выход	Вход	Данные с В запоминаются в обоих регистрах	
L	L	X	X	X	L	Выход	Вход	Передача данных с шины В на шину А	
L	L	X	H или L	X	H	Выход	Вход	Передача данных из регистра В на шину А	
H	H	X	X	L	X	Вход	Выход	Передача данных с шины А на шину В	
H	H	H или L	X	H	X	Вход	Выход	Передача данных из регистра А на шину В	
H	L	H или L	H или L	H	H	Выход	Выход	Передача данных из регистра А на шину В и данных из регистра В на шину А	

74616 16-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 16-разрядных словах. Микросхема имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 16-разрядного информационного слова 6-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя, когда на выводах S0 и S1 устанавливается напряжение низкого уровня.

При последующем считывании 22-разрядного слова (на выводах S0 и S1 устанавливается напряжение высокого уровня) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

Однобитовые ошибки выявляются и устраняются при подаче на вывод ERR напряжения низкого уровня. Однобитовая ошибка обнаруживается в 6-разрядном контрольном слове, однако само 16-разрядное информационное слово не корректируется. 6-разрядный код ошибки указывает на ее местонахождение.

Если проверяемое информационное слово содержит две ошибки, то на выходе MERR устанавливается напряжение низкого уровня. Однако ошибки при этом не устраняются.

Микросхема не в состоянии выявлять одновременно более двух ошибок в слове.

Операция «считывание—модификация—запись данных» осуществляется с помощью управляющих входов LEDBO, OEBO и OEB1.

Информационные биты подаются на выводы DB0 – DB15, биты контрольного кода – на выводы CB0 – CB5.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и по расположению выводов совместима с микросхемой 74617, которая, однако, имеет выходы с открытым коллектором.

Применение

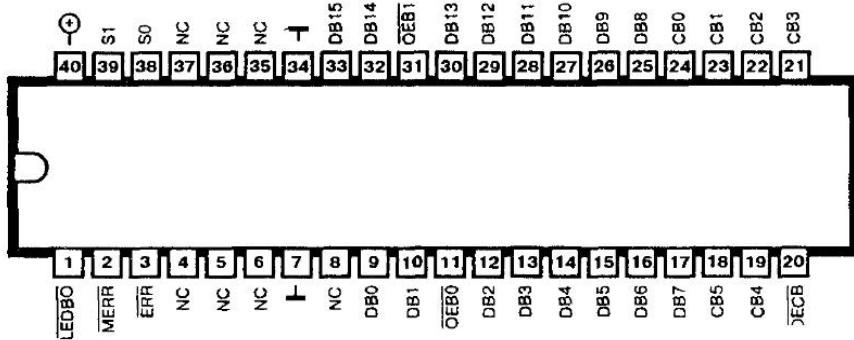
Обнаружение и устранение ошибок в 16-разрядных словах.

Технические данные

	ALS
Минимальное время коррекции, нс	65
Генерирование контрольного слова, нс	30
Максимальное время на определение однобитовых ошибок, нс	25
Максимальное время на определение двухбитовых ошибок, нс	35
Ток потребления, мА	110

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74617 16-РАЗРЯДНАЯ МИКРОСХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ВЫХОДЫ С ОТКРЫТЫМ КОЛЛЕКТОРОМ)



74617

Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 16-разрядных словах. Микросхема имеет выходы с открытым коллектором.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 16-разрядного информационного слова 6-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 22-разрядного слова (на выводах S0 и S1 устанавливается напряжение высокого уровня) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе ERR формируется напряжение низкого уровня. 6-разрядный код ошибки указывает на ее местонахождение.

Если проверяемое информационное слово содержит две ошибки, то на выходе MERR устанавливается напряжение низкого уровня. Однако ошибки при этом не устраняются.

Микросхема не в состоянии выявлять одновременно более двух ошибок в слове.

Операция «считывание-модификация-запись данных» осуществляется с помощью управляющего входов LEDBO, OEB0 и OEB1.

Информационные биты подаются на выводы DB0 – DB15, биты контрольного кода – на контрольные выводы CB0 – CB5.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Рассматриваемая микросхема по своему функциональному назначению и по расположению выводов совместима с микросхемой 74616, которая имеет выходы с тремя состояниями.

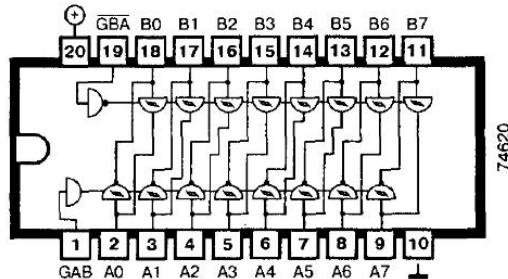
Применение

Обнаружение и устранение ошибок в 16-разрядных словах.

Технические данные	ALS
Минимальное время коррекции, нс	65
Генерирование контрольного слова, нс	40
Максимальное время на определение однобитовых ошибок, нс	26
Максимальное время на определение двухбитовых ошибок, нс	40
Ток потребления, мА	110

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74620 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ БУФЕР ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь двунаправленных инвертирующих буферных формирователей/приемных устройств с выходами, которые имеют три состояния.

Работа схемы

Буферные формирователи микросхемы служат для асинхронной передачи данных между двумя 8-разрядными шинами.

Все входы буферных формирователей имеют формирователи на триггерах Шмитта, поэтому микросхема может хорошо принимать сигналы с зашумленных шин.

Направление передачи данных определяется логическим уровнем управляющих входов GAB и GBA.

При установлении на входах GBA и GAB напряжения низкого уровня данные передаются от шины В к шине А в инвертированном виде. При подаче на входы GBA и GAB напряжения высокого уровня данные передаются в противоположном направлении, то есть от шины А к шине В (также в инвертированном виде).

При поступлении на управляющий вход GBA напряжения высокого уровня, а на вход GAB – напряжения низкого уровня обе шины изолируются друг от друга.

Интересная ситуация наблюдается, когда на входе GBA устанавливается напряжение низкого уровня, а на входе GAB – высокого. Если в этот момент все остальные выводы (источники данных) обеих шин переходят в высокоомное (третье) состояние, то на выводах A0 – A7 и B0 – B7 остаются данные, которые поступили туда самыми последними. В таком случае данные на шине А и на шине В имеют обратный (дополнительный) код относительно друг друга (дополняют друг друга).

Данная микросхема аналогична микросхеме 74623, которая, в отличие от первой, не инвертирует данные.

Управление		Режим работы
ГВА	ГАВ	
L	L	Передача данных В на шину А
H	H	Передача данных А на шину В
H	L	Шины А и В изолированы
L	H	Передача данных В на шину А, передача данных А на шину В

Применение

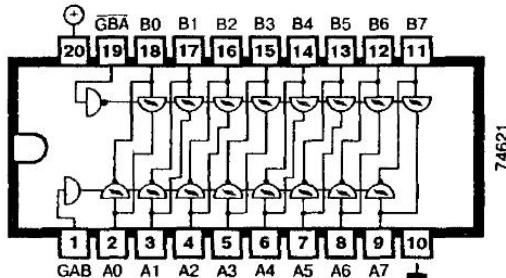
Двунаправленная передача данных между двумя 8-разрядными шинами и их сохранение в буфере.

Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	6	4	3,5	8
Ток потребления, мА	29	52	75	58

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●		

74621 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ БУФЕР ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь двунаправленных неинвертирующих буферных формирователей с выходами, которые имеют три состояния.

Работа схемы

Буферные формирователи микросхемы служат для асинхронной передачи данных между двумя 8-разрядными шинами.

Направление передачи данных определяется логическим уровнем управляющих входов GAB и GBA.

При установлении на входах GBA и GAB напряжения низкого уровня данные передаются от шины В к шине А в неинвертированном виде. При подаче на входы GBA и GAB напряжения высокого уровня данные передаются в противоположном направлении, то есть от шины А к шине В (данные при этом не инвертируются).

При поступлении на управляющий вход GBA напряжения высокого уровня, а на вход GAB – напряжения низкого уровня обе шины изолируются друг от друга.

Интересная ситуация наблюдается, когда на входе GBA устанавливается напряжение низкого уровня, а на входе GAB – высокого. Если в этот момент все остальные источники данных на обеих шинах переходят в высокоомное (третье) состояние, то на выводах A0 – A7 и B0 – B7 остаются данные, которые поступили туда самыми последними. В таком случае данные на шине А и на шине В имеют одинаковые коды.

Данная микросхема аналогична микросхеме 74622, которая, в отличие от первой, инвертирует данные.

Управление		Режим работы
ГВА	ГАВ	
L	L	Передача данных В на шину А
H	H	Передача данных А на шину В
H	L	Шины А и В изолированы
L	H	Передача данных В на шину А, передача данных А на шину В

Применение

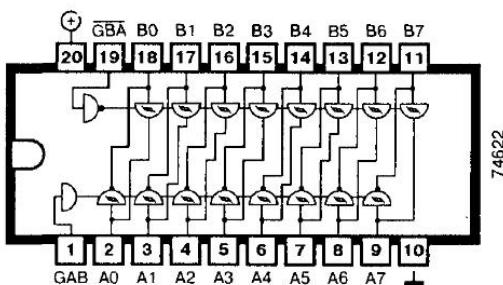
Двунаправленная передача данных между двумя 8-разрядными шинами и их сохранение в буфере.

Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	21	16,5	8	17
Ток потребления, мА	32	82	105	55

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

74622 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ БУФЕР ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь двунаправленных инвертирующих буферных формирователей с выходами, которые имеют три состояния.

Работа схемы

Буферные формирователи микросхемы служат для асинхронной передачи данных между двумя 8-разрядными шинами.

Направление передачи данных определяется логическим уровнем обоих управляющих входов GAB и GBA.

При установлении на входах GBA и GAB напряжения низкого уровня данные передаются от шины В к шине А в инвертированном виде. При подаче на входы GBA и GAB напряжения высокого уровня данные передаются в противоположном направлении, то есть от шины А к шине В (данные при этом инвертируются).

При поступлении на управляющий вход GBA напряжения высокого уровня, а на вход GAB – напряжения низкого уровня обе шины изолируются друг от друга.

Интересная ситуация наблюдается, когда на входе GBA устанавливается напряжение низкого уровня, а на входе GAB – высокого. Если в этот момент все остальные (источники данных на обеих шинах) переходят в высокоомное (третье) состояние, то на выводах A0 – A7 и B0 – B7 остаются данные, которые поступили туда самыми последними. В таком случае данные на шине А и на шине В имеют коды, которые дополняют друг друга.

Данная микросхема аналогична микросхеме 74621, которая, в отличие от первой, не инвертирует данные.

Управление		Режим работы
GBA	GAB	
L	L	Передача данных \bar{B} на шину А
H	H	Передача данных \bar{A} на шину В
H	L	Шины А и В изолированы
L	H	Передача данных \bar{B} на шину А, передача данных \bar{A} на шину В

Применение

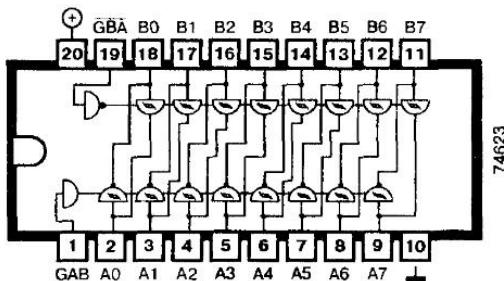
Двунаправленная передача данных между двумя 8-разрядными шинами и их сохранение в буфере.

Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	21	21	8,5	19
Ток потребления, мА	36	43	53	55

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●		

74623 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ БУФЕР ШИНЫ (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь двунаправленных неинвертирующих буферных формирователей с выходами, которые имеют три состояния.

Работа схемы

Буферные формирователи микросхемы служат для асинхронной передачи данных между двумя 8-разрядными шинами.

Направление передачи данных определяется логическим уровнем обоих управляющих входов GAB и \overline{GBA} .

При установлении на входах \overline{GBA} и GAB напряжения низкого уровня данные передаются от шины В к шине А в неинвертированном виде. При подаче на входы \overline{GBA} и GAB напряжения высокого уровня данные передаются в противоположном направлении, то есть от шины А к шине В (данные при этом не инвертируются).

При поступлении на управляющий вход \overline{GBA} напряжения высокого уровня, а на вход GAB – напряжения низкого уровня обе шины изолируются друг от друга.

Интересная ситуация наблюдается, когда на входе \overline{GBA} устанавливается напряжение низкого уровня, а на входе GAB – высокого. Если в этот момент все остальные источники данных на обеих шинах переходят в высокоомное (третье) состояние, то на выводах A0 – A7 и B0 – B7 остаются данные, которые поступили туда самыми последними. В таком случае данные на шине А и на шине В имеют одинаковые коды.

Данная микросхема аналогична микросхеме 74620, которая, в отличие от первой, инвертирует данные.

Управление		Режим работы
\overline{GBA}	GAB	
L	L	Передача данных В на шину А
H	H	Передача данных А на шину В
H	L	Шины А и В изолированы
L	H	Передача данных В на шину А, передача данных А на шину В

Применение

Двунаправленная передача данных между двумя 8-разрядными шинами и их хранение в буфере.

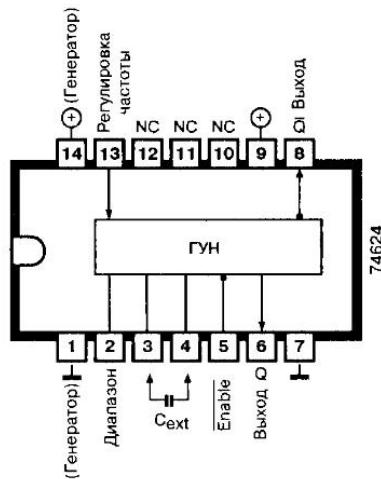
Технические данные

	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	7,5	5	4,5	8
Ток потребления, мА	38	80	105	58

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

74624

ГЕНЕРАТОР ИМПУЛЬСОВ, УПРАВЛЯЕМЫЙ НАПРЯЖЕНИЕМ, С РАЗРЕШАЮЩИМ ВХОДОМ И ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит генератор импульсов, управляемый напряжением (ГУН), с разрешающим входом и противофазными выходами.

Работа схемы

Частота колебаний на выходе генератора задается с помощью специального функционального элемента, конденсатора или кварца и двух входных устройств, управляемых напряжением: один вход – для регулирования частотного диапазона, а другой – для установки частоты.

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext},$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении 0 В на выводе 2 (частотный диапазон), напряжении 0–5 В на выводе 13 (регулирование частоты) частота на выходе может варьироваться в пределах от 2 до 12 МГц. При напряжении 5 В на выводе 2 диапазон изменений частоты составляет примерно 1–6 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на выводы 2 и 3 следует подать напряжение +5 В.

Генератор можно запустить, подавая на разрешающий вход (Enable) напряжение низкого уровня, и заблокировать, если на этот вход поступит напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет около 1:1.

Для генератора и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 15 и 8 – для генератора, выводы 16 и 9 – для схемы управления).

Данная микросхема – это улучшенный вариант микросхемы 74324 и отличается тем, что в схеме 74624 зависимость между управляющим напряжением и частотой носит строго линейный характер. Регулировка диапазона частоты и термокомпенсирующее устройство здесь также модернизированы.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

LS

Минимальное гарантированная частота генератора

1 Гц – 20 МГц

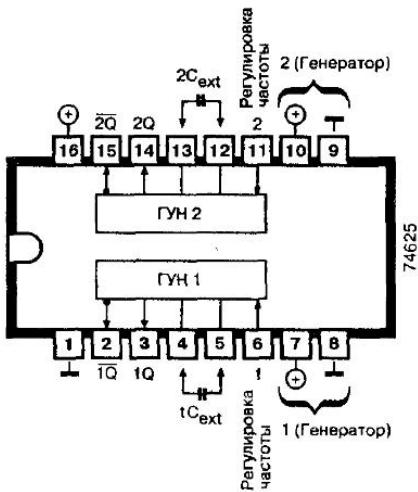
Ток потребления, мА

20

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74625

**ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ,
УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ,
С ПРОТИВОФАЗНЫМИ ВЫХОДАМИ**



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН) с противофазными выходами.

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, конденсатора или кварца и входного устройства, управляемого напряжением (для регулировки частоты).

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext},$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении 0–5 В на выводе 6 (или на выводе 11) частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для емкости 15 пФ – от 4 до 25 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на вывод 6 (или 11) следует подать напряжение +5 В.

Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно 1:1.

Для генераторов импульсов и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 7, 8 и 9, 10 – для генераторов, выводы 1 и 16 – для схем управления).

Данная микросхема – это улучшенный вариант микросхемы 74325 и отличается тем, что в схеме 74625 зависимость между управляющим напряжением и частотой носит строго линейный характер. Регулировка диапазона частоты и термокомпенсирующее устройство здесь также модернизированы.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

LS

Минимальное гарантированная частота генератора

1 Гц – 20 МГц

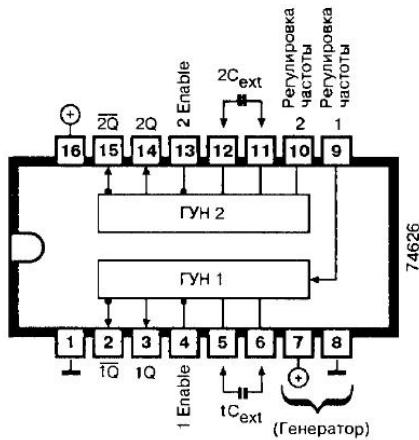
Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74626

ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ, С РАЗРЕШАЮЩИМИ ВХОДАМИ И ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН), с разрешающими входами и противофазными выходами.

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, конденсатора или кварца и входного устройства, управляемого напряжением (для регулировки частоты).

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext}$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении от 0 до +5 В на выводе 9 (или 10) частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для 15 пФ – от 4 до 25 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на выводе 9 (или 10) следует иметь напряжение +5 В.

Генератор можно запустить, подавая на разрешающий вход Enable напряжение низкого уровня, и заблокировать, если на этот вход поступит напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно 1:1.

Для генераторов импульсов и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 7 и 8 – для генераторов, выводы 16 и 1 – для схем управления).

Данная микросхема – это улучшенный вариант микросхемы 74326 и отличается тем, что в схеме 74626 зависимость между управляющим напряжением и частотой носит строго линейный характер. Регулировка диапазона частоты и термокомпенсирующее устройство здесь также модернизированы.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

LS

Диапазон частот генератора

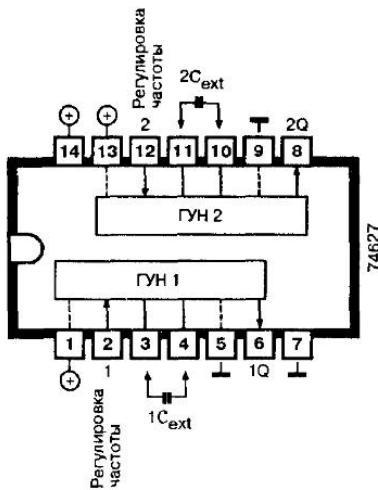
1 Гц – 20 МГц

Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74627 ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫХ НАПРЯЖЕНИЕМ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН).

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента, конденсатора или кварца и входного устройства, управляемого напряжением (для регулировки частоты).

Рабочий частотный диапазон генераторов колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext},$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении от 0 до +5 В на выводе 2 (или 12) частота на выходе может варьироваться в пределах от 1,5 до 9,5 МГц, а для емкости 15 пФ – от 4 до 25 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на вывод 2 (или 12) следует подать напряжение +5 В.

Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет приблизительно 1:1.

Для генератора импульсов и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 1 и 5 – для генератора ГУН 1, выводы 9 и 13 – для генератора ГУН 2).

Данная микросхема – это улучшенный вариант микросхемы 74326 и отличается тем, что в схеме 74627 зависимость между управляющим напряжением и частотой носит строго линейный характер. Термокомпенсирующее устройство в этой микросхеме также модернизировано.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

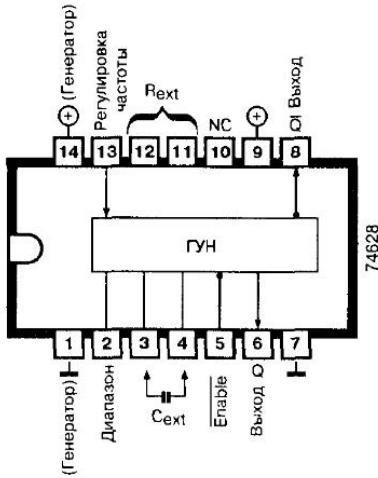
Технические данные

Диапазон частот генератора	LS	1 Гц – 20 МГц
Ток потребления, мА		35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74628

ГЕНЕРАТОР ИМПУЛЬСОВ, УПРАВЛЯЕМЫЙ НАПРЯЖЕНИЕМ, С РАЗРЕШАЮЩИМ ВХОДОМ И ПРОТИВОФАЗНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит генератор импульсов, управляемый напряжением (ГУН), с разрешающим входом и противофазными выходами.

Работа схемы

Частота колебаний на выходе генератора задается с помощью специального функционального элемента, конденсатора или кварца и двух входных устройств, управляемых напряжением: один вход – для регулирования частотного диапазона, а другой – для установки частоты.

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 0,12 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{ext}$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 нФ при напряжении 0 В на выводе 2 (частотный диапазон), напряжении 0–5 В на выводе 13 (регулирование частоты) частота на выходе может варьироваться в пределах от 2 до 12 МГц. При напряжении 5 В на выводе 2 диапазон изменений частоты составляет примерно 1–6 МГц.

При использовании вместо конденсатора кварца в качестве элемента, задающего частоту колебаний, на выводах 2 и 3 следует иметь напряжение +5 В.

Генератор можно запустить, подавая на разрешающий вход (Enable) напряжение низкого уровня, и заблокировать, если на этом входе будет напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет около 1:1.

Для генератора и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 15 и 8 – для генератора, выводы 16 и 9 – для схемы управления).

Данная микросхема – это улучшенный вариант микросхемы 74324 и отличается тем, что в схеме 74628 зависимость между управляемым напряжением и частотой носит строго линейный характер. Термокомпенсирующее устройство в этой микросхеме также модернизировано.

В отличие от аналогичной микросхемы 74624, данная микросхема имеет два дополнительных вывода R_{ext} , с помощью которых возможно осуществить термокомпенсацию.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

Диапазон частот генератора

LS

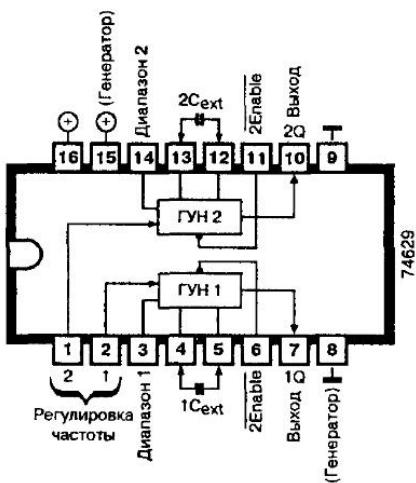
1 Гц – 20МГц

Ток потребления, мА

20

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74629 ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫЕ НАПРЯЖЕНИЕМ С РАЗРЕШАЮЩИМ ВХОДОМ



Описание

Микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН).

Работа схемы

Частота колебаний на выходе генератора задается с помощью специального функционального элемента, конденсатора или кварца и двух входных устройств, управляемых напряжением: один вход – для регулирования частотного диапазона, а другой – для установки частоты.

Рабочий частотный диапазон генератора колеблется в очень широких пределах: от 1 Гц до 20 МГц.

Частота колебаний на выходе генератора определяется формулой

$$f = (1 \times 10^{-4}) / C_{\text{ext}},$$

где f – частота, Гц;

C_{ext} – выходная емкость, Ф.

Например, для конденсатора емкостью 50 пФ при напряжении 0 В на выводе 3 (диапазон частот), напряжении 0–4,5 В на выводе 2 (регулирование частоты) частота на выходе может варьироваться в пределах от 4 до 30 МГц. При напряжении 5 В на выводе 3 частота на выходе лежит в диапазоне 2–8 МГц.

Генератор можно запустить, подавая на разрешающий вход (Enable) напряжение низкого уровня, и заблокировать, если на этот вход поступит напряжение высокого уровня. Благодаря внутренней синхронизации длина первого импульса на выходе остается всегда постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет около 1:1.

Для генератора импульсов и схемы управления предусмотрены раздельные выводы для напряжения питания и заземления (выводы 15 и 8 – для генератора, выводы 16 и 9 – для схемы управления).

Данная микросхема – это улучшенный вариант микросхемы 74124 и отличается тем, что в схеме 74629 зависимость между управляющим напряжением и частотой носит строго линейный характер. Термокомпенсирующее устройство в этой микросхеме также модернизировано.

Применение

Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

LS

Диапазон частот генератора

1 Гц – 20 МГц

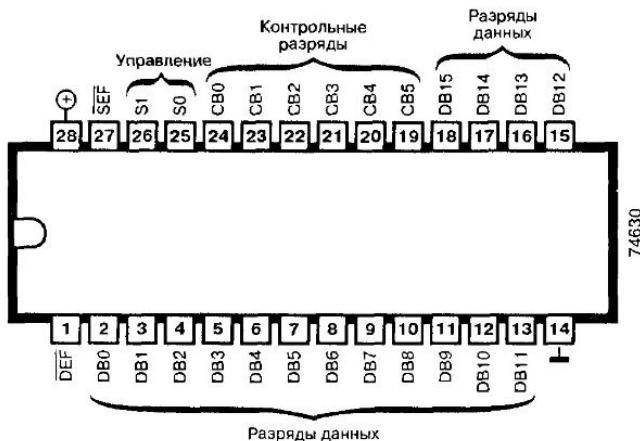
Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74630

16-РАЗРЯДНАЯ МИКРОСХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 16-разрядных словах. Микросхема имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 16-разрядного информационного слова 6-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 22-разрядного слова (на выводе S0 установлено напряжение низкого уровня, на выводе S1 – высокого) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе \overline{SEF} (флаг однобитовой ошибки) формируется напряжение низкого уровня. На выходе \overline{SEF} устанавливается напряжение низкого уровня также и тогда, когда однобитовые ошибки отсутствуют. В этом случае осуществляется лишь коррекция первоначального свободного от ошибок 16-разрядного информационного слова.

При обнаружении двухбитовой ошибки на выходе DEF (флаг двухбитовой ошибки) возникает напряжение низкого уровня.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Информационные биты подаются на выводы DB0 – DB15, биты контрольного кода – на выводы CB0 – CB5. Этот код используется для определения местонахождения ошибки в микросхеме накопителя.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74631, которая, в отличие от схемы 74630, имеет выходы с открытым коллектором.

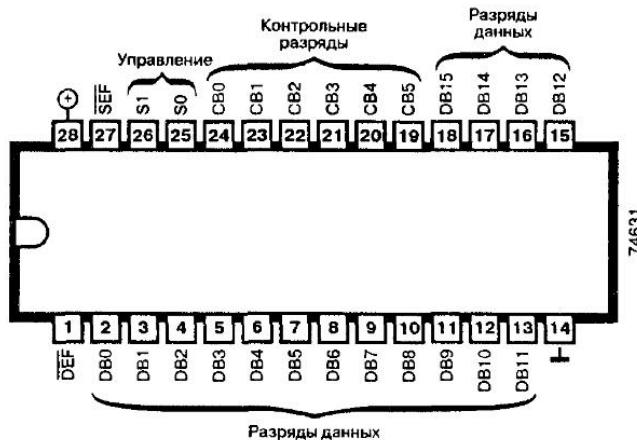
Применение

Обнаружение и устранение ошибок в 16-разрядных словах.

Технические данные					F	ALS
Время задержки прохождения сигнала, нс					17	45
Ток потребления, мА					120	143

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74631 16-РАЗРЯДНАЯ МИКРОСХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ВЫХОДЫ С ОТКРЫТЫМ КОЛЛЕКТОРОМ)



74631

Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 16-разрядных словах. Микросхема имеет выходы с открытым коллектором.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 16-разрядного информационного слова 6-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 22-разрядного слова (на выводе S0 установлено напряжение низкого уровня, на выводе S1 – высокого) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе SEF (флаг однобитовой ошибки) формируется напряжение низкого уровня. На выходе SEF устанавливается напряжение низкого уровня также и тогда, когда однобитовые ошибки отсутствуют. В этом случае осуществляется лишь коррекция первоначального свободного от ошибок 16-разрядного информационного слова.

При обнаружении двухбитовой ошибки на выходе DEF (флаг двухбитовой ошибки) возникает напряжение низкого уровня.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Информационные биты подаются на выводы DB0 – DB15, биты контрольного кода – на выводы CB0 – CB5. Этот код используется для определения местонахождения ошибки в микросхеме цакопителя.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74630.

Применение

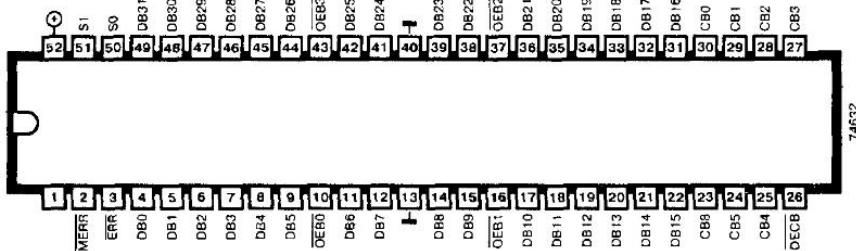
Обнаружение и устранение ошибок в 16-разрядных словах.

Технические данные

	F	ALS
Время задержки прохождения сигнала, нс	17	45
Ток потребления, мА	120	113

Серия	Std	ALS	AS	F	H	L	LS	S	
				●			●		

74632 32-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 32-разрядных словах. Микросхема имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 32-разрядного информационного слова 7-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (во время цикла записи на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 39-разрядного слова (на выводе S0 устанавливается напряжение низкого уровня и на выводе S1 – высокого уровня во время цикла считывания) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе ERR (флаг однобитовой ошибки) формируется напряжение низкого уровня.

При обнаружении двухбитовой ошибки дополнительно на выходе MERR (флаг двухбитовой ошибки) возникает напряжение низкого уровня.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Информационные биты подаются на выводы DB0 – DB31, биты контрольного кода – на выводы CB0 – CB6. Код ошибки используется для определения местонахождения ошибки в микросхеме накопителя.

Операция «считывание–модификация–запись данных» осуществляется с помощью управляющих входов LEDBO, OEBO и OEBO3.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74633, которая имеет выходы с открытым коллектором.

Применение

Обнаружение и устранение ошибок в 32-разрядных словах.

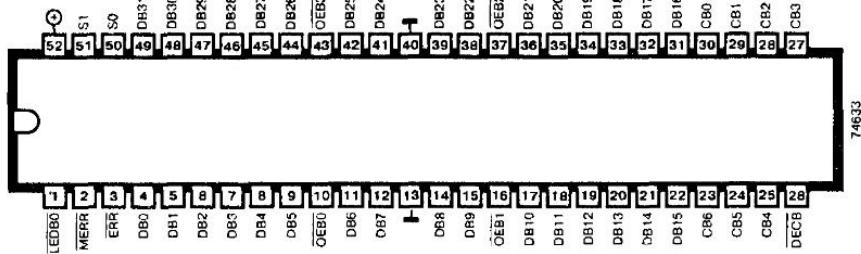
Технические данные

ALS AS F

Минимальное время коррекции, нс	58	58	35
Ток потребления, мА	160	150	200

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●						

74633 32-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 32-разрядных словах. Микросхема имеет выходы с открытым коллектором.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 32-разрядного информационного слова 7-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (во время цикла записи на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 39-разрядного слова (на выводе S0 устанавливается напряжение низкого уровня, а на выводе S1 – высокого уровня во время цикла считывания) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе ERR (флаг однобитовой ошибки) формируется напряжение низкого уровня.

При обнаружении двухбитовой ошибки дополнительно на выходе MERR (флаг двухбитовой ошибки) возникает напряжение низкого уровня.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Информационные биты подаются на выводы DB0 – DB31, биты контрольного кода – на выводы CB0 – CB6. Этот код используется для определения местонахождения ошибки в микросхеме накопителя.

Операция «считывание–модификация–запись данных» осуществляется с помощью управляющих входов LEDBO, OE_{B0} и OE_{B3}.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74632, которая, в отличие от данной, имеет выходы с тремя состояниями.

Применение

Обнаружение и устранение ошибок в 32-разрядных словах.

Технические данные**ALS**

Минимальное время коррекции, нс

58

Ток потребления, мА

150

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74634 32-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



74634

Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 32-разрядных словах. Микросхема имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 32-разрядного информационного слова 7-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (во время цикла записи на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 39-разрядного слова (на выводе S0 устанавливается напряжение низкого уровня, а на выводе S1 – высокого уровня во время цикла считывания) происходит обнаружение и корректировка каждой однобитовой ошибки и выявление каждой двухбитовой ошибки.

При обнаружении однобитовой ошибки на выходе ERR (флаг однобитовой ошибки) формируется напряжение низкого уровня.

При обнаружении двухбитовой ошибки дополнительно на выходе MERR (флаг двухбитовой ошибки) возникает напряжение низкого уровня.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Информационные биты подаются на выводы DB0 – DB31, биты контрольного кода – на выводы CB0 – CB6. Этот код используется для определения местонахождения ошибки в микросхеме накопителя.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74635, которая, в отличие от данной, имеет выходы с открытым коллектором.

Применение

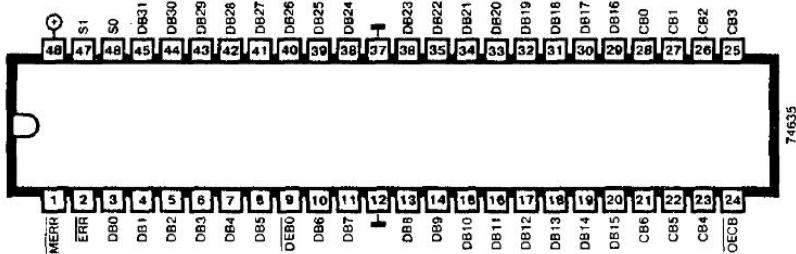
Обнаружение и устранение ошибок в 32-разрядных словах.

Технические данные

	ALS	AS
Минимальное время коррекции, нс	58	58
Ток потребления, мА	160	150

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●						

74635 32-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ)



Применение

Обнаружение и устранение ошибок в 32-разрядных словах.

Технические данные**ALS**

Минимальное время коррекции, нс

58

Ток потребления, мА

150

Серия	Std	ALS	AS	F	H	L	LS	S	
		●							

74636 8-РАЗРЯДНАЯ СХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 8-разрядных словах. Микросхема имеет выходы с тремя состояниями.

Работа схемы

Схема обнаружения и устраниния ошибок использует видоизмененный код Хемминга для формирования из 8-разрядного информационного слова 5-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (во время цикла записи на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 13-разрядного слова (на выводе S0 устанавливается напряжение низкого уровня, а на выводе S1 – высокого уровня во время цикла считывания) происходит выявление ошибок.

Однобитовые ошибки в 8-разрядном информационном слове выявляются и устраняются.

Однобитовые ошибки в 5-разрядном контрольном слове выявляются, и центральный процессор посыпает код обнаружения и исправления ошибок во время цикла коррекции также и тогда, когда 8-разрядное информационное слово не содержит ошибки. В этом случае на всех выводах CB0 – CB4, на которых находится код ошибки, устанавливается напряжение высокого уровня.

Двухбитовые ошибки выявляются, но не исправляются. Такие ошибки могут встречаться в 13-разрядных словах, находящихся в накопителе (две ошибки в 8-разрядном информационном слове, две ошибки в 5-разрядном контрольном слове или одна ошибка в каждом из этих двух слов).

Суммарные ошибки (на всех разрядах накопителя формируется напряжение высокого уровня) устанавливаются и идентифицируются как двухбитовые.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.

Более подробную информацию об этой сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74637, которая, в отличие от первой, имеет выходы с открытым коллектором.

Применение

Обнаружение и устранение ошибок в 13-разрядных словах.

Технические данные

Стандартное время до генерирования контрольного слова, нс	LS
Стандартное время до индикации ошибки, нс	45
Ток потребления, мА	27

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74637 8-РАЗРЯДНАЯ МИКРОСХЕМА ДЛЯ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ ОШИБОК (ВЫХОДЫ С ОТКРЫТЫМ КОЛЛЕКТОРОМ)



Описание

Микросхема служит для обнаружения и устранения однобитовых ошибок и для обнаружения двухбитовых ошибок в 8-разрядных словах. Микросхема имеет выходы с открытым коллектором.

Работа схемы

Схема обнаружения и устранения ошибок использует видоизмененный код Хемминга для формирования из 8-разрядного информационного слова 5-разрядного контрольного кода. Информационное слово вместе с контрольным кодом записываются в память накопителя (во время цикла записи на выводах S0 и S1 устанавливается напряжение низкого уровня).

При последующем считывании 13-разрядного слова (на выводе S0 устанавливается напряжение низкого уровня, а на выводе S1 – высокого уровня во время цикла считывания) происходит выявление ошибок.

Однобитовые ошибки в 8-разрядном информационном слове выявляются и устраняются.

Однобитовые ошибки в 5-разрядном контрольном слове выявляются, и центральный процессор посылает код обнаружения и исправления ошибок во время цикла коррекции также и тогда, когда 8-разрядное информационное слово не содержит ошибки. В этом случае на всех выводах CB0 – CB4, на которых находится код ошибки, устанавливается только лишь напряжение высокого уровня.

Двухбитовые ошибки выявляются, но не исправляются. Такие ошибки могут встречаться в 13-разрядных словах, находящихся в накопителе (две ошибки в 8-разрядном информационном слове, две ошибки в 5-разрядном контрольном слове или одна ошибка в каждом из этих двух слов).

Суммарные ошибки (на всех разрядах накопителя формируется напряжение высокого уровня) устанавливаются и идентифицируются как двухбитовые.

Микросхема не позволяет обнаруживать одновременно более двух ошибок.
Более подробную информацию об этой очень сложной микросхеме можно получить из специальной литературы.

Данная микросхема по своему функциональному назначению и расположению выводов совместима с микросхемой 74636, которая, в отличие от данной, имеет выходы с тремя состояниями.

Применение

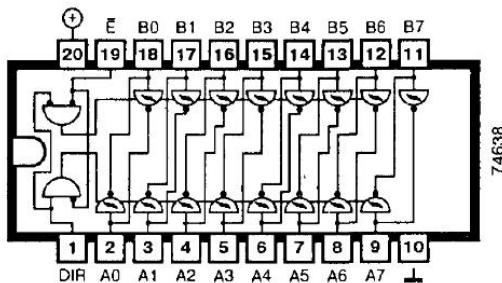
Обнаружение и устранение ошибок в 13-разрядных словах.

Технические данные

Стандартное время до генерирования контрольного слова, нс	45
Стандартное время до индикации ошибки, нс	27
Ток потребления, мА	90

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74638 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ/ ТРЕМЯ СОСТОЯНИЯМИ)



74638

Описание

Микросхема содержит восемь двунаправленных инвертирующих буферных формирователей.

Работа схемы

Микросхема позволяет осуществить асинхронный двунаправленный обмен информацией между двумя 8-разрядными шинами данных.

С помощью входа направления передачи данных DIR можно передавать информацию с шины А на шину В (на входе DIR установлено напряжение высокого уровня) или с шины В на шину А (на входе DIR установлено напряжение низкого уровня).

При передаче данных на входе \bar{E} должно быть напряжение низкого уровня. Если на вход \bar{E} поступает напряжение высокого уровня (на входе DIR может быть напряжение любого уровня), то обе шины изолируются друг от друга.

Шина А имеет выходы с открытым коллектором, а шина В – выходы с тремя состояниями. Данные при передаче от одной шины на другую инвертируются.

На всех информационных входах есть формирователи на триггерах Шmittа, у которых гистерезис около 0,4 В, поэтому микросхема хорошо подходит для приема зашумленного сигнала с шин (только для серии LS).

Данная микросхема аналогична микросхеме 74639, которая, в отличие от схемы 74638, не инвертирует данные. Для микросхемы 74ALS638-1 величина выходного тока I_{OL} составляет 48 мА.

Управляющие входы		Режим работы
\bar{E}	DIR	
L	L	Передача данных \bar{B} на шину А
L	H	Передача данных \bar{A} на шину В
H	X	Шины изолированы друг от друга (Z)

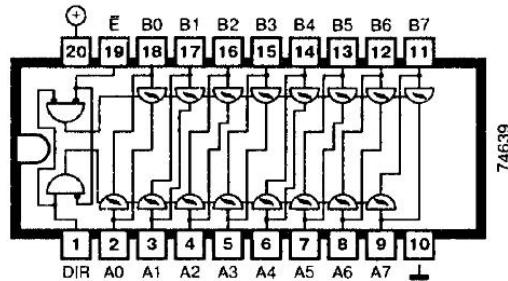
Применение

Двунаправленная передача данных между 8-разрядными шинами данных и адресными шинами.

Технические данные	ALS	AS	LS
Время задержки прохождения сигнала, нс	7	4,5	6
Выходной ток, мА:			
при напряжении высокого уровня нашине В	-15	-15	-3
при напряжении низкого уровня нашине В	24	64	24
Ток потребления, мА	20	45	58

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●					●		

74639 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ НЕИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК (ВЫХОДЫ С ОТКРЫтыМ КОЛЛЕКТОРОМ/ ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит восемь двунаправленных неинвертирующих буферных формирователей.

Работа схемы

Микросхема позволяет осуществить асинхронный двунаправленный обмен информацией между двумя 8-разрядными шинами данных.

С помощью входа направления передачи данных DIR можно передавать информацию с шины А на шину В (на входе DIR установлено напряжение высокого уровня) или с шины В на шину А (на входе DIR установлено напряжение низкого уровня).

При передаче данных на входе \bar{E} должно быть напряжение низкого уровня. Если на вход \bar{E} поступает напряжение высокого уровня (на входе DIR может быть напряжение любого уровня), то обе шинны изолируются друг от друга.

Шина А имеет выходы с открытым коллектором, а шина В – выходы с тремя состояниями. Данные при передаче от одной шинны на другую не инвертируются.

На всех информационных входах есть формирователи на триггерах Шмитта, у которых гистерезис около 0,4 В, поэтому микросхема хорошо подходит для приема зашумленного сигнала с шин (только для серии LS).

Данная микросхема аналогична микросхеме 74638, которая, в отличие от схемы 74639, инвертирует данные. Для микросхемы 74ALS639-1 величина выходного тока I_{OL} составляет 48 мА.

Управляющие входы		Режим работы
\bar{E}	DIR	
L	L	Передача данных В на шину А
L	H	Передача данных А на шину В
H	X	Шинны изолированы друг от друга (Z)

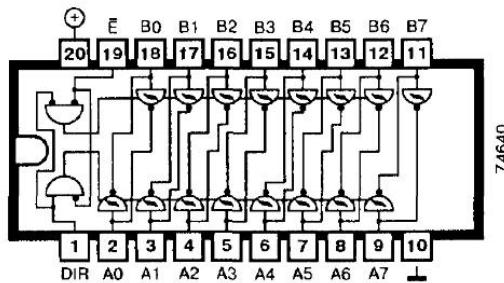
Применение

Двунаправленная передача данных между 8-разрядными шинами данных и адресными шинами.

Технические данные	ALS	AS	LS
Время задержки прохождения сигнала, нс	7	5,5	8
Выходной ток, мА:			
при напряжении высокого уровня на шине В	-15	-15	-3
при напряжении низкого уровня на шине В	24	64	24
Ток потребления, мА	28	66	58

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●				●		

74640 8-РАЗРЯДНЫЙ ДВУНАПРАВЛЕННЫЙ ИНВЕРТИРУЮЩИЙ ПРИЕМОПЕРЕДАТЧИК (ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит восемь двунаправленных инвертирующих буферных формирователей.

Работа схемы

Микросхема позволяет осуществить асинхронный двунаправленный обмен информацией между двумя 8-разрядными шинами данных.

С помощью входа направления передачи данных DIR можно передавать информацией с шины А на шину В (на входе DIR установлено напряжение высокого уровня) или с шины В на шину А (на входе DIR установлено напряжение низкого уровня).

При передаче данных на входе Є должно быть установлено напряжение низкого уровня. Если на входе Є поступает напряжение высокого уровня (на входе DIR может быть напряжение любого уровня), то обе шины изолируются друг от друга. Микросхема имеет выходы с тремя состояниями.

Данные при передаче от одной шины к другой инвертируются.

На всех информационных входах есть формирователи на триггерах Шмитта, у которых гистерезис около 0,4 В, поэтому микросхема хорошо подходит для приема зашумленного сигнала с шин (только для серии LS).

Максимальный выходной ток микросхем 74ALS640-1 и 74LS640-1 при напряжении низкого уровня на выходе составляет 48 мА. Выходной ток схемы 74F640 при напряжении высокого и низкого уровня на выходах В равен соответственно $I_{OH} = -15$ мА и $I_{OL} = 64$ мА.

Микросхемы 8-разрядных приемопередатчиков шинны серий 74640–74645 существуют в различном конструктивном исполнении (см. таблицу).

Управляющие входы		Режим работы
\bar{E}	DIR	
L	L	Передача данных \bar{B} на шину A
L	H	Передача данных \bar{A} на шину B
H	X	Шины изолированы друг от друга (Z)

Схема	Выходы	Логика
74LS640	Три состояния	Инвертирующая
74LS641	Открытый коллектор	Неинвертирующая
74LS642	Открытый коллектор	Инвертирующая
74LS643	Три состояния	Инвертирующая и неинвертирующая
74LS644	Открытый коллектор	Инвертирующая и неинвертирующая
74LS645	Три состояния	Неинвертирующая

Применение

Двунаправленная передача данных между 8-разрядными шинами данных и адресными шинами.

Технические данные	ALS	AS	F	LS
Время задержки прохождения сигнала, нс	6,5	4,5	3,5	6
Выходной ток , мА:				
при напряжении высокого уровня	-15	-15	-3	-3
при напряжении низкого уровня	24	64	24	24
Ток потребления, мА	24	56	78	58

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●		

ТАБЛИЦА АНАЛОГОВ

Ниже приводится таблица соответствия ИС отечественных серий 155, 531, 555, 1531 и 1533 ТТЛ микросхемам зарубежных фирм, выполненных в пластмассовых корпусах типа DIP. Искомая отечественная ИС находится на пересечении столбца с указанием серии и строки с порядковым номером оригинала. При отсутствии аналога в пластмассовом корпусе типа DIP следует иметь в виду, что в ряде случаев есть аналоги, выполненные в других корпусах.

	K155	K531	K555	K1531	K1533
74221			K555АГ4		
74224			K555РУ12		
74240		K531АП3	K555АП3	K1531АП3	K1533АП3
74241		K531АП4	K555АП4	K1531АП4	K1533АП4
74242			K555ИП6		K1533ИП6
74243			K555ИП7		K1533ИП7
74244			K555АП5	K1531АП5	K1533АП5
74245			K555АП6	K1531АП6	K1533АП6
74247			K555ИД18		
74251		K531КП15	K555КП15	K1531КП15	K1533КП15
74253		K531КП12	K555КП12	K1531КП12	K1533КП12
74257		K531КП11	K555КП11	K1531КП11	K1533КП11
74258		K531КП14	K555КП14	K1531КП14	K1533КП14
74259			K555ИР30		K1533ИР30
74260		K531ЛЕ7			
74261			K555ИП8		
74273			K555ИР35		K1533ИР35
74279			K555TP2		K1533TP2
74280		K531ИП5	K555ИП5	K1531ИП5	K1533ИП5
74283			K555ИМ6	K1531ИМ6	
74292			K555ПЦ1		

74295			K555ИР16		K1533ИР16
74298			K555КП13		K1533КП13
74299		K531ИР24	K555ИР24		K1533ИР24
74322			K555ИР28		
74323					K1533ИР29
74350				K1531ИР42	
74352			K555КП17	K1531КП17	K1533КП17
74353			K555КП19	K1531КП19	K1533КП19
74365	K155ЛП10				
74366	K155АП6				
74367	K155АП11				
74368					K1533ЛН7
74373		K531ИР22	K555ИР22	K1531ИР22	K1533ИР22
74374		K531ИР23	K555ИР23	K1531ИР23	K1533ИР23
74375			K555TM10		
74377			K555ИР27		K1533ИР27
74381		K531ИК2			
74384			K555ИП9		
74385			K555ИМ7		
74390			K555ИЕ20		
74393			K555ИЕ19		K1533ИЕ19
74395			K555ИР25		
74396			K555ИР43		
74399			K555КП20		
74465					K1533АП14
74466					K1533АП15
74481		K531ВС1			
74482		K531ВГ1			
74521				K1533СП2	
74533				K1531ИР40	
74534				K1531ИР41	

74534			K1531ИР41	
74537			K1531ИД22	
74540		K555АП12		
74541		K555АП13		
74573				K1533ИР33
74574				K1533ИР37
74593		K555ИЕ21		
74626		K555ГГ1		
74630		K555ВЖ1		
74640		K555АП9		K1533АП9

ФИРМЫ-ПРОИЗВОДИТЕЛИ

AMD	Advanced Micro Devices
FA	Fairchild
HIT	Hitachi
MMI	Monolithic Memories
MOT	Motorola
NS	National Semiconductors
SGS	SGS
SIE	Siemens
TI	Texas Instruments
TOS	Toshiba
VA	Valvo

Микросхемы ТТЛ

Том 2

Главный редактор	<i>Захаров И. М.</i>
Переводчик	<i>Силяев В. А.</i>
Научный редактор	<i>Королев А. Г.</i>
Литературный редактор	<i>Готлиб О. В.</i>
Технический редактор	<i>Кукушкина А. А.</i>
Верстка	<i>Тарасов С. А.</i>
Графика	<i>Бахарев А. А.</i>
Дизайн обложки	<i>Панкусова Е. Н.</i>

ИД № 01903 от 30.05.2000

Подписано в печать 31.01.2001. Формат 70×100¹/₁₆.

Гарнитура «Петербург». Печать офсетная.

Усл. печ. л. 34. Тираж 3000. Зак. № 221

Издательство «ДМК Пресс», 105023, Москва, пл. Журавлева, д. 2/8.

Отпечатано в типографии № 9. Волочаевская, 40.