

МИКРОСХЕМЫ ТТЛ

**Функциональные схемы
и назначение выводов**

**Технические характеристики,
описание принципов работы**

**Таблица аналогов
и данные о возможной замене**

**Рекомендации
по использованию микросхем**



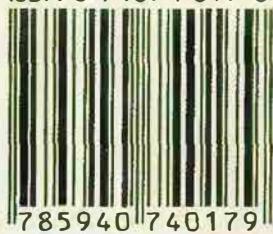
МИКРОСХЕМЫ ТТЛ

1

Справочник содержит подборку общеупотребительных интегральных схем ТТЛ. Сюда вошли микросхемы ТТЛ, выпускаемые всеми известными фирмами-производителями. Представлены такие популярные серии, как Standard-TTL, Low-Power-TTL, Schottky-TTL, Low-Power-Schottky-TTL, Advanced-Schottky-TTL, Advanced-Low-Power-Schottky-TTL, High-Speed-TTL и Fast-Schottky-TTL.

В начале каждой страницы изображена принципиальная коммутационная схема с логическими связями, сопровождаемая кратким описанием микросхемы. Ниже подробно рассматривается работа микросхемы; указаны сигналы, подводимые к отдельным выводам, или логические уровни напряжения на них. Затем кратко перечисляются области использования данной микросхемы, приводятся основные технические данные, а также указываются тип и серийный номер для быстрого поиска необходимой схемы.

ISBN 5-94074-017-0



9 785940 740179



DMK Press

КОМПЬЮТЕРНАЯ
РАДИОТЕХНИЧЕСКАЯ
ЛИТЕРАТУРА



С НАМИ ИНТЕРЕСНЕЙ

WWW.DMK.RU

По вопросам рекламы в книгах издательства «ДМК Пресс»
звоните по тел.: 369-33-60, 369-78-74. e-mail: ads@dmk.ru

Справочник

TTL-TASCHENBUCH

Teil 1

МИКРОСХЕМЫ ТТЛ

ТОМ 1

ББК 32.852

M59

M59 Микросхемы ТТЛ. Том 1 = TTL Taschenbuch. Teil 1: Пер. с нем. — М.: ДМК Пресс, 2001. — 384 с.: ил. (Справочник).

ISBN 5-94074-017-0

Справочник содержит подборку общеупотребительных интегральных схем ТТЛ. Сюда вошли микросхемы ТТЛ, выпускаемые всеми известными фирмами-производителями. Представлены такие известные серии, как Standard-TTL, Low-Power-TTL, Schottky-TTL, Low-Power-Schottky-TTL, Advanced-Schottky-TTL, Advanced-Low-Power-Schottky-TTL, High-Power-TTL и Fast-Schottky-TTL.

В начале каждой страницы приведено изображение принципиальной коммутационной схемы с логическими связями, сопровождаемое кратким описанием микросхемы. Ниже подробно рассматривается работа микросхемы; при этом указаны сигналы, подводимые к отдельным выводам, или логические уровни напряжения на них. Затем кратко перечисляются области использования данной микросхемы, приводятся основные технические данные. В конце каждого раздела указываются тип и серийный номер для быстрого поиска необходимой схемы.

ББК 32.852

Все права защищены. Любая часть этой книги не может быть воспроизведена в какой бы то ни было форме и какими бы то ни было средствами без письменного разрешения владельца авторских прав.

Материал, изложенный в данной книге, многократно проверен. Но, поскольку вероятность наличия технических ошибок все равно существует, издательство не может гарантировать абсолютную точность и правильность приводимых сведений. В связи с этим издательство не несет ответственности за возможный ущерб любого вида, связанный с применением или неприменимостью любых материалов данной книги.

ISBN 3-88322-191-0

© Copyright 1998 by MITP-Verlag GmbH, Bonn

ISBN 5-94074-017-0

© ДМК Пресс, 2001

Краткое содержание

ПЕРЕЧЕНЬ СЕРИЙНЫХ НОМЕРОВ И ТИПОВ МИКРОСХЕМ	7
ПЕРЕЧЕНЬ ТИПОВ МИКРОСХЕМ ПО ФУНКЦИОНАЛЬНЫМ ГРУППАМ	15
ПРЕДИСЛОВИЕ	25
ОБЩИЕ СВЕДЕНИЯ О СЕРИИ ТТЛ	25
ОБОЗНАЧЕНИЯ МИКРОСХЕМ ТТЛ	28
ПЕРЕЧЕНЬ ПРОИЗВОДИТЕЛЕЙ СХЕМ	29
УСЛОВНЫЕ ОБОЗНАЧЕНИЯ	30
ОПИСАНИЕ МИКРОСХЕМ 7400–74200	32
ТАБЛИЦА АНАЛОГОВ	380

Перечень серийных номеров и типов микросхем

7400	Четыре логических элемента 2И-НЕ	32
7400-S6	Четыре логических элемента 2И-НЕ	33
7401	Четыре логических элемента 2И-НЕ (открытый коллектор)	34
7401-S1	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	35
7401-S3	Четыре логических элемента 2И-НЕ (открытый коллектор, 50 мкА)	36
7402	Четыре логических элемента 2ИЛИ-НЕ	37
7402-S1	Четыре логических элемента 2ИЛИ-НЕ	38
7403	Четыре логических элемента 2И-НЕ (открытый коллектор)	39
7403-S1	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	40
7403-S3	Четыре логических элемента 2И-НЕ (открытый коллектор, 50 мкА)	41
7404	Шесть инверторов	42
7404-S6	Шесть инверторов	43
7405	Шесть инверторов (открытый коллектор)	44
7405-S1	Шесть инверторов (открытый коллектор, 15 В)	45
7405-S3	Шесть инверторов (открытый коллектор, 50 мкА)	46
7406	Шесть инвертирующих буферных формирователей (открытый коллектор, 30 В)	47
7407	Шесть буферных формирователей (открытый коллектор, 30 В)	48
7408	Четыре логических элемента 2И	49
7409	Четыре логических элемента 2И (открытый коллектор)	50
7409-S1	Четыре логических элемента 2И (открытый коллектор, 15 В)	51
7410	Три логических элемента 3И-НЕ	51
7411	Три логических элемента 3И	53
7412	Три логических элемента 3И-НЕ (открытый коллектор)	54
7413	Два логических элемента 4И-НЕ на триггерах Шмитта	55
7414	Шесть инвертирующих триггеров Шмитта	56
7415	Три логических элемента 3И (открытый коллектор)	57
7416	Шесть инвертирующих буферных формирователей (открытый коллектор, 15 В)	58

7417	Шесть буферных формирователей (открытый коллектор, 15 В)	59
7418	Два логических элемента 4И-НЕ на триггерах Шмитта	60
7419	Шесть инвертирующих триггеров Шмитта	61
7420	Два логических элемента 4И-НЕ	62
7421	Два логических элемента 4И	63
7422	Два логических элемента 4И-НЕ (открытый коллектор)	64
7423	Два логических элемента 4ИЛИ-НЕ со стробирующими входами	65
7424	Четыре логических элемента 2И-НЕ на триггерах Шмитта	66
7425	Два логических элемента 4ИЛИ-НЕ со стробирующими входами	67
7426	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	68
7427	Три логических элемента ЗИЛИ-НЕ	69
7428	Четыре мощных логических элемента 2ИЛИ-НЕ	70
7430	Логический элемент 8И-НЕ	71
7431	Элементы задержки	72
7432	Четыре логических элемента 2ИЛИ	73
7433	Четыре мощных логических элемента 2ИЛИ-НЕ (открытый коллектор)	74
7434	Шесть буферных формирователей	75
7435	Шесть буферных формирователей (открытый коллектор)	76
7436	Четыре логических элемента 2ИЛИ-НЕ	77
7437	Четыре мощных логических элемента 2И-НЕ	78
7438	Четыре мощных логических элемента 2И-НЕ (открытый коллектор)	79
7439	Четыре мощных логических элемента 2И-НЕ (открытый коллектор)	80
7440	Два мощных логических элемента 4И-НЕ	81
7441	Дешифратор двоично-десятичного кода (70 В, открытый коллектор)	82
7442	Дешифратор двоично-десятичного кода	84
7443	Дешифратор кода с избытком три	86
7444	Дешифратор кода Грея с избытком три	88
7445	Дешифратор двоично-десятичного кода/ схема управления индикаторами (открытый коллектор, 30 В, 80 мА)	90
7446	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 30 В)	92

7447	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 15 В)	94
7448	Дешифратор для управления 7-сегментным индикатором	95
7449	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 5,5 В)	97
7450	Два логических элемента 2-ИИ-ИЛИ-НЕ	99
7451	Логические элементы 2-ИИ-ИЛИ-НЕ и 3-ЗИ-ИЛИ-НЕ	100
7452	Логический элемент 2-2-2-ЗИ-ИЛИ с входом расширения	101
7453	Логический элемент 2-2-2-2И-ИЛИ-НЕ (2-2-2-ЗИ-ИЛИ-НЕ)	102
7454/1	Логический элемент 2-2-2-2И-ИЛИ-НЕ (2-2-3-ЗИ-ИЛИ-НЕ)	103
7454/2	Логический элемент 2-2-2-ЗИ-ИЛИ-НЕ	104
7455	Логический элемент 4-ИИ-ИЛИ-НЕ	105
7456	Делитель частоты 50:1	106
7457	Делитель частоты 60:1	107
7460	Два расширителя И с четырьмя входами каждый (открытый коллектор)	108
7461	Три расширителя И с тремя входами каждый (открытый коллектор)	109
7462	Расширитель 2-2-3-ЗИ-ИЛИ (открытый коллектор)	110
7463	Шесть преобразователей тока	111
7464	Логический элемент 2-2-3-ИИ-ИЛИ-НЕ	112
7465	Логический элемент 2-2-3-ИИ-ИЛИ-НЕ (открытый коллектор)	113
7468	Два асинхронных десятичных счетчика	114
7469	Два асинхронных 4-разрядных двоичных счетчика	116
7470	JK-триггер с 3-канальными входами, входом установки и входом сброса	118
74H71	JK-триггер с многоканальными входами и входом установки	120
74L71	RS-триггер с многоканальными входами, входом установки и входом сброса	122
7472	JK-триггер с многоканальными входами, входом установки и входом сброса	124
7473	Два JK-триггера с входами сброса	126
7474	Два D-триггера с входами установки и сброса	128

7475	Четыре D-триггера с прямым и инверсным выходами	130
7476	Два JK-триггера с входами установки и сброса	131
7477	Четыре D-триггера с прямыми выходами.....	133
7478	Два JK-триггера с входами установки, общим входом сброса и общим входом тактовых импульсов	134
7480	Одноразрядный полный сумматор	136
7481	ОЗУ, 16 бит (16×1)	137
7482	2-разрядный полный сумматор	138
7483	4-разрядный полный сумматор	140
7484	ОЗУ, 16 бит (16×1), с двумя дополнительными входами записи	141
7485	4-разрядный компаратор	143
7486	Четыре 2-входовых элемента ИСКЛЮЧАЮЩЕЕ ИЛИ	145
7487	4-разрядный формирователь дополнительного кода	146
7489	ОЗУ, 64 бита (16×4)	147
7490	Десятичный счетчик	149
7491	8-разрядный регистр сдвига (последовательный вход, последовательный выход)	151
7492	Счетчик-делитель на 12	152
7493	4-разрядный двоичный счетчик	153
7494	4-разрядный регистр сдвига с входом сброса (параллельный/последовательный вход, последовательный выход)	154
7495	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный/последовательный выход)	155
7496	5-разрядный регистр сдвига (параллельный/последовательный вход, параллельный/последовательный выход)	157
7497	Синхронный программируемый 6-разрядный двоичный делитель частоты	159
7498	Четыре 2-канальных селектора данных/ мультиплексора с буферным регистром	161
7499	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход)	162
74100	Два 4-разрядных D-триггера	164
74101	JK-триггер с элементами 2-И-ИЛИ на входах и с входом установки	165
74102	JK-триггер с логическими элементами ЗИ на входах, входами установки и сброса	167
74103	Два JK-триггера с входами сброса	169

74104	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	170
74105	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	172
74106	Два JK-триггера с входами предварительной установки и сброса	174
74107	Два JK-триггера с входами сброса	175
74108	Два JK-триггера с входами предварительной установки, общим входом тактовых импульсов и общим входом сброса	176
74109	Два JK-триггера с входами предварительной установки и сброса	178
74110	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	180
74111	Два JK-триггера с входами установки и сброса	182
74112	Два JK-триггера с входами предварительной установки и сброса	184
74113	Два JK-триггера с входами установки	186
74114	Два JK-триггера с входами предварительной установки, общим входом тактовых импульсов и общим входом сброса	187
74115	Два JK-триггера с входами сброса	189
74116	Два 4-разрядных регистра с разрешающими входами и входами сброса	191
74118	Шесть RS-триггеров с общим входом сброса	193
74119	Шесть RS-триггеров с дополнительным общим входом сброса	194
74120	Два формирователя синхронизирующих импульсов	196
74121	Одновибратор с логическим элементом на триггере Шмитта на входе	198
74122	Одновибратор с входом сброса и возможностью перезапуска	200
74123	Два одновибратора с входами сброса и возможностью перезапуска	202
74124	Два генератора импульсов, управляемые напряжением	204
74125	Четыре буфера шины (выходы с тремя состояниями)	206
74126	Четыре буфера шины (выходы с тремя состояниями)	207
74128	Четыре 50-омных буферных формирователя с двумя входами и логической схемой ИЛИ-НЕ	208
74131	3-разрядный дешифратор/демультиплексор 3-8 с буферным регистром	209

74132	Четыре логических элемента 2И-НЕ на триггерах Шмитта	211
74133	Логический элемент И-НЕ с тринадцатью входами	212
74134	Логический элемент И-НЕ с двенадцатью входами (выход с тремя состояниями)	213
74135	Четыре схемы из логических элементов ИСКЛЮЧАЮЩЕЕ ИЛИ	214
74136	Четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с двумя входами каждый (открытый коллектор)	215
74137	3-разрядный дешифратор/демультиплексор 3-8 с буферным регистром (инверсные выходы)	217
74138	3-разрядный дешифратор/демультиплексор 3-8 с инверсными выходами	219
74139	Два 2-разрядных дешифратора/ демультиплексора 2-4 с инверсными выходами	221
74140	Два 50-омных буферных формирователя с четырьмя входами и логическим элементом И-НЕ	223
74141	Дешифратор двоично-десятичного кода/ схема управления индикаторами (открытый коллектор, 60 В)	224
74142	Десятичный счетчик/регистр/декодатор/схема управления индикатором (открытый коллектор, 60 В)	226
74143	Десятичный счетчик/регистр/декодатор для 7-сегментного индикатора (15 мА)	228
74144	Десятичный счетчик/регистр/декодатор для 7-сегментного индикатора (открытый коллектор, 15 В/25 мА)	230
74145	Дешифратор двоично-десятичного кода/ схема управления индикаторами (открытый коллектор, 15 В)	231
74147	Шифратор для преобразования десятичных чисел в двоично-десятичный код с приоритетом	233
74148	Приоритетный двоичный шифратор 8-3	235
74150	16-канальный селектор данных/мультиплексор с инверсным выходом	237
74151	8-канальный селектор данных/мультиплексор	239
74152	8-канальный селектор данных/мультиплексор с инверсным выходом	241
74153	Два 4-канальных селектора данных/мультиплексора	242
74154	4-разрядный дешифратор/демультиплексор 4-16	244
74155	Два 2-разрядных дешифратора/демультиплексора	246
74156	Два 2-разрядных дешифратора/демультиплексора (открытый коллектор)	248

74157	Четыре селектора данных на 2 входа и 1 выход	249
74158	Четыре селектора данных на 2 входа и 1 выход с инверсными выходами	251
74159	4-разрядный дешифратор/демультиплексор 4–16 (открытый коллектор, 50 мкА)	252
74160	Синхронный программируемый десятичный счетчик с асинхронным сбросом	254
74161	Синхронный программируемый 4-разрядный двоичный счетчик с асинхронным сбросом	256
74162	Синхронный программируемый десятичный счетчик с синхронным сбросом	258
74163	Синхронный программируемый 4-разрядный двоичный счетчик с синхронным сбросом	260
74164	8-разрядный регистр сдвига (последовательный вход, параллельный/последовательный выход) с входом сброса	262
74165	8-разрядный регистр сдвига (параллельный/последовательный вход, последовательный выход)	264
74166	8-разрядный регистр сдвига (параллельный/ последовательный вход, последовательный выход), с входом сброса	266
74167	Синхронный программируемый десятичный делитель частоты	268
74168	Синхронный реверсивный программируемый десятичный счетчик	270
74169	Синхронный программируемый реверсивный 4-разрядный двоичный счетчик	272
74170	ОЗУ, 16 бит (4×4, открытый коллектор)	274
74171	Четыре D-триггера с входом сброса	276
74172	ОЗУ, 16 бит (8×2, три состояния)	277
74173	4-разрядный регистр с входами разрешения и сброса	279
74174	6-разрядный регистр с входом сброса	281
74175	4-разрядный регистр с входом сброса	282
74176	Программируемый десятичный счетчик с входом сброса	283
74177	Программируемый 4-разрядный двоичный счетчик с входом сброса	285
74178	4-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный выход)	287
74179	4-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный выход) с входом сброса	289

74180	Схема проверки четности	291
74181	4-разрядное арифметико-логическое устройство	293
74182	Модуль переноса для арифметико-логических устройств	296
74183	Два одноразрядных полных сумматора	298
74184	Преобразователь двоично-десятичного кода в двоичный (открытый коллектор)	299
74185	Преобразователь двоичного кода в двоично-десятичный код (открытый коллектор)	301
74186	Программируемое постоянное запоминающее устройство, 512 бит (64×8) (открытый коллектор)	303
74188	Программируемое постоянное запоминающее устройство, 256 бит (32×8) (открытый коллектор)	304
74189	ОЗУ, 64 бита (16×4 , выходы с тремя состояниями)	306
74190	Синхронный программируемый реверсивный десятичный счетчик	308
74191	Синхронный реверсивный программируемый 4-разрядный двоичный счетчик	310
74192	Синхронный реверсивный программируемый десятичный счетчик с входом сброса	312
74193	Синхронный реверсивный программируемый 4-разрядный двоичный счетчик с входом сброса	314
74194	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход) с входом сброса	316
74195	4-разрядный регистр сдвига (параллельный/последовательный вход, параллельный/последовательный выход) с входом сброса	318
74196	Программируемый десятичный счетчик с входом сброса	321
74197	Программируемый 4-разрядный двоичный счетчик с входом сброса	323
74198	8-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход) с входом сброса	325
74199	8-разрядный регистр сдвига (параллельный/последовательный вход, параллельный/последовательный выход) с входом сброса	327
74200	ОЗУ, 256 бит (256×1 , выход с тремя состояниями)	329

Перечень типов микросхем по функциональным группам

Арифметические функции

7480	Одноразрядный полный сумматор	136
7482	2-разрядный полный сумматор	138
7483	4-разрядный полный сумматор	140
7487	4-разрядный формирователь дополнительного кода	146
74181	4-разрядное арифметико-логическое устройство	293
74182	Модуль переноса для арифметико-логических устройств	296
74183	Два одноразрядных полных сумматора	298

Буферы шин

74125	Четыре буфера шины (выходы с тремя состояниями)	206
74126	Четыре буфера шины (выходы с тремя состояниями)	207

Селекторы данных/мультиплексоры

7498	Четыре 2-канальных селектора данных/мультиплексора с буферным регистром	161
74150	16-канальный селектор данных/мультиплексор с инверсным выходом	237
74151	8-канальный селектор данных/мультиплексор	239
74152	8-канальный селектор данных/мультиплексор с инверсным выходом	241
74153	Два 4-канальных селектора данных/мультиплексора	242
74157	Четыре селектора данных на 2 входа и 1 выход	249
74158	Четыре селектора данных на 2 входа и 1 выход с инверсными выходами	251

Дешифраторы

Дешифраторы общего назначения

7441	Дешифратор двоично-десятичного кода (70 В, открытый коллектор)	82
7442	Дешифратор двоично-десятичного кода	84
7443	Дешифратор кода с избытком три	86
7444	Дешифратор кода Грэя с избытком три	88
74131	3-разрядный дешифратор/ демультиплексор (3–8) с буферным регистром	209

74137	3-разрядный дешифратор/демультиплексор 3–8 с буферным регистром (инверсные выходы)	217
74138	3-разрядный дешифратор/демультиплексор 3–8 с инверсными выходами	219
74139	Два 2-разрядных дешифратора/демультиплексора 2–4 с инверсными выходами	221
74154	4-разрядный дешифратор/демультиплексор 4–16	244
74155	Два 2-разрядных дешифратора/демультиплексора	246
74156	Два 2-разрядных дешифратора/демультиплексора (открытый коллектор)	248
74159	4-разрядный дешифратор/демультиплексор 4–16 (открытый коллектор, 50 мА)	252
74184	Преобразователь двоично-десятичного кода в двоичный (открытый коллектор)	299
74185	Преобразователь двоичного кода в двоично-десятичный код (открытый коллектор)	301

Дешифратор со схемой управления индикатором

7445	Дешифратор двоично-десятичного кода/схема управления индикаторами (открытый коллектор, 30 В, 80 мА)	90
7446	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 30 В)	92
7447	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 15 В)	94
7448	Дешифратор для управления 7-сегментным индикатором	95
7449	Дешифратор для управления 7-сегментным индикатором (открытый коллектор, 5,5 В)	97
74141	Дешифратор двоично-десятичного кода/схема управления индикаторами (открытый коллектор, 60 В)	226
74145	Дешифратор двоично-десятичного кода/схема управления индикаторами (открытый коллектор, 15 В)	231

Шифраторы приоритета

74147	Шифратор для преобразования десятичных чисел в двоично-десятичный код с приоритетом	233
74148	Приоритетный двоичный шифратор 8–3	235

Модули распознавания ошибок

74180	Схема проверки четности	291
-------	-------------------------------	-----

Триггеры

7470	JK-триггер с 3-канальными входами, входом установки и входом сброса	118
74H71	JK-триггер с многоканальными входами и входом установки	120
74L71	RS-триггер с многоканальными входами, входом установки и входом сброса	122
7472	JK-триггер с многоканальными входами, входом установки и входом сброса	124
7473	Два JK-триггера с входами сброса	126
7474	Два D-триггера с входами установки и сброса	128
7476	Два JK-триггера с входами установки и сброса	131
7478	Два JK-триггера с входами предварительной установки, общим входом сброса и общим входом тактовых импульсов	134
74101	JK-триггер с элементами 2-И-2ИЛИ на входах и с входом установки	165
74102	JK-триггер с логическими элементами ЗИ на входах, входами установки и сброса	167
74103	Два JK-триггера с входами сброса	169
74104	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	170
74105	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	172
74106	Два JK-триггера с входами предварительной установки и сброса	174
74107	Два JK-триггера с входами сброса	175
74108	Два JK-триггера с входами предварительной установки, общим входом тактовых импульсов и общим входом сброса	176
74109	Два JK-триггера с входами предварительной установки и сброса	178
74110	JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса	180
74111	Два JK-триггера с входами установки и сброса	182
74112	Два JK-триггера с входами предварительной установки и сброса	184
74113	Два JK-триггера с входами установки	186

74114	Два JK-триггера с входами предварительной установки, общим входом тактовых импульсов и общим входом сброса	187
74115	Два JK-триггера с входами сброса	189
74171	Четыре D-триггера с входом сброса	276

Делители частоты

7456	Делитель частоты 50:1	106
7457	Делитель частоты 60:1	107
7497	Синхронный программируемый 6-разрядный двоичный делитель частоты	159
74167	Синхронный программируемый десятичный делитель частоты	268

Логические элементы (вентили)

ИСКЛЮЧАЮЩЕЕ ИЛИ

7486	Четыре 2-входовые схемы ИСКЛЮЧАЮЩЕЕ ИЛИ	145
74135	Четыре схемы из логических элементов ИСКЛЮЧАЮЩЕЕ ИЛИ	214
74136	Четыре логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с двумя входами каждый (открытый коллектор)	215

И-НЕ

7400	Четыре логических элемента 2И-НЕ	32
7400-S6	Четыре логических элемента 2И-НЕ	33
7401	Четыре логических элемента 2И-НЕ (открытый коллектор)	34
7401-S1	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	35
7401-S3	Четыре логических элемента 2И-НЕ (открытый коллектор, 50 мкА)	36
7403	Четыре логических элемента 2И-НЕ (открытый коллектор)	39
7403-S1	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	40
7403-S3	Четыре логических элемента 2И-НЕ (открытый коллектор, 50 мкА)	41
7410	Три логических элемента ЗИ-НЕ	52
7412	Три логических элемента ЗИ-НЕ (открытый коллектор)	54
7413	Два логических элемента 4И-НЕ на триггерах Шмитта	55
7418	Два логических элемента 4И-НЕ на триггерах Шмитта	60

7420	Два логических элемента 4И-НЕ	62
7422	Два логических элемента 4И-НЕ (открытый коллектор)	64
7424	Четыре логических элемента 2И-НЕ на триггерах Шмитта	66
7426	Четыре логических элемента 2И-НЕ (открытый коллектор, 15 В)	68
7430	Логический элемент 8И-НЕ	71
7437	Четыре мощных логических элемента 2И-НЕ	78
7438	Четыре мощных логических элемента 2И-НЕ (открытый коллектор)	79
7439	Четыре мощных логических элемента 2И-НЕ (открытый коллектор)	80
7440	Два мощных логических элемента 4И-НЕ	81
74132	Четыре логических элемента 2И-НЕ на триггерах Шмитта	211
74133	Логический элемент НЕ-И с тринадцатью входами	212
74134	Логический элемент НЕ-И с двенадцатью входами (выход с тремя состояниями)	213
74140	Два 50-омных драйвера шины с четырьмя входами и логическим элементом И-НЕ	223

ИЛИ-НЕ

7402	Четыре логических элемента 2ИЛИ-НЕ	37
7403	Четыре логических элемента 2ИЛИ-НЕ	39
7423	Два логических элемента 4ИЛИ-НЕ со стробирующими входами	65
7425	Два логических элемента 4ИЛИ-НЕ со стробирующими входами	67
7427	Три логических элемента ЗИЛИ-НЕ	69
7428	Четыре мощных логических элемента 2ИЛИ-НЕ	70
7433	Четыре мощных логических элемента 2ИЛИ-НЕ (открытый коллектор)	74
7436	Четыре логических элемента 2ИЛИ-НЕ	77
74128	Четыре 50-омных буферных формирователя с двумя входами и логической схемой ИЛИ-НЕ	208

ИЛИ

7432	Четыре логических элемента 2ИЛИ	73
------	---------------------------------------	----

И

7408	Четыре логических элемента 2И	49
7409	Четыре логических элемента 2И (открытый коллектор)	50

7409-S1	Четыре логических элемента 2И (открытый коллектор, 15 В)	51
7411	Три логических элемента 3И	53
7415	Три логических элемента 3И (открытый коллектор)	57
7421	Два логических элемента 4И	63

И-ИЛИ-НЕ

7450	Два логических элемента 2-2И-2ИЛИ-НЕ.....	99
7451	Логические элементы 2-2И-2ИЛИ-НЕ и 3-3И-2ИЛИ-НЕ	100
7453	Логический элемент 2-2-2-2И-4ИЛИ-НЕ (2-2-2-3И-4ИЛИ-НЕ)	102
7454/1	Логический элемент 2-2-2-2И-4ИЛИ-НЕ (2-2-3-3И-4ИЛИ-НЕ)	103
7454/2	Логический элемент 2-2-2-3И-4ИЛИ-НЕ	104
7455	Логический элемент 4-4И-2ИЛИ-НЕ	105
7464	Логический элемент 2-2-3-4И-4ИЛИ-НЕ	112
7465	Логический элемент 2-2-3-4И-4ИЛИ-НЕ (открытый коллектор)	113

Остальные типы логических элементов, расширители входов

7452	Логический элемент 2-2-2-3И-4ИЛИ с входом расширения	101
7460	Два расширителя И с четырьмя входами каждый (открытый коллектор)	108
7461	Три расширителя И с тремя входами каждый (открытый коллектор)	109
7462	Расширитель 2-2-3-3И-4ИЛИ (открытый коллектор)	110

Компараторы

7485	4-разрядный компаратор	143
------	------------------------------	-----

Ждущие мультивибраторы

74121	Одновибратор с логическим элементом на триггере Шмитта на входе	198
74122	Одновибратор с входом сброса и возможностью перезапуска	200
74123	Два одновибратора с входами сброса и возможностью перезапуска	202

Генераторы импульсов

74124	Два генератора импульсов, управляемые напряжением	204
-------	--------------------------------------------------------	-----

Буферные формирователи

Неинвертирующие

7407	Шесть буферных формирователей (открытый коллектор, 30 В)	48
7417	Шесть буферных формирователей (открытый коллектор, 15 В)	59
7434	Шесть буферных формирователей	75
7435	Шесть буферных формирователей (открытый коллектор)	76

Инвертирующие

7404	Шесть инверторов	42
7404-S6	Шесть инверторов	43
7405	Шесть инверторов (открытый коллектор)	44
7405-S1	Шесть инверторов (открытый коллектор, 15 В)	45
7405-S3	Шесть инверторов (открытый коллектор, 50 мА)	46
7406	Шесть инвертирующих буферных формирователей (открытый коллектор, 30 В)	47
7416	Шесть инвертирующих буферных формирователей (открытый коллектор, 15 В)	58

Буферные регистры

7475	Четыре D-триггера с прямыми и инверсными выходами ...	130
7477	Четыре D-триггера с прямыми выходами	133
74100	Два 4-разрядных D-триггера	164
74116	Два 4-разрядных регистра с разрешающими входами и входом сброса	191
74118	Шесть RS-триггеров с общим входом сброса	193
74119	Шесть RS-триггеров с дополнительным общим входом сброса	194
74173	4-разрядный регистр с входами разрешения и сброса	279
74174	6-разрядный регистр с входом сброса	281
74175	4-разрядный регистр с входом сброса	282

Регистры сдвига

7491	8-разрядный регистр сдвига (последовательный вход, последовательный выход)	151
7494	4-разрядный регистр сдвига с входом сброса (параллельный/последовательный вход, последовательный выход)	154

7495	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный/последовательный выход)	155
7496	5-разрядный регистр сдвига (параллельный/последовательный вход, параллельный/последовательный выход)	157
7499	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход)	162
74164	8-разрядный регистр сдвига (последовательный вход, параллельный/последовательный выход) с входом сброса	262
74165	8-разрядный регистр сдвига (параллельный/ последовательный вход, последовательный выход)	264
74166	8-разрядный регистр сдвига (параллельный/ последовательный вход, последовательный выход) с входом сброса	266
74178	4-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный выход)	287
74179	4-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный выход) с входом сброса	289
74194	4-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход) с входом сброса	316
74195	4-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный/ последовательный выход) с входом сброса	318
74198	8-разрядный регистр сдвига вправо/влево (параллельный/последовательный вход, параллельный выход) с входом сброса	325
74199	8-разрядный регистр сдвига (параллельный/ последовательный вход, параллельный/ последовательный выход) с входом сброса	327

Триггеры Шмитта

7414	Шесть инвертирующих триггеров Шмитта	56
7419	Шесть инвертирующих триггеров Шмитта	61

Запоминающие устройства

7481	ОЗУ, 16 бит (16x1)	137
7484	ОЗУ, 16 бит (16x1), с двумя дополнительными входами записи	141

7489	ОЗУ, 64 бита (16×4)	147
74170	ОЗУ, 16 бит (4×4 , открытый коллектор)	274
74172	ОЗУ, 16 бит (8×2 , три состояния)	277
74186	Программируемое постоянное запоминающее устройство, 512 бит (64×8) (открытый коллектор)	303
74188	Программируемое постоянное запоминающее устройство, 256 бит (32×8) (открытый коллектор)	304
74189	ОЗУ, 64 бита (16×4 , три состояния)	306

Счетчики

Двоичные счетчики (суммирующие)

7469	Два асинхронных 4-разрядных двоичных счетчика	116
7492	Счетчик-делитель на 12	152
7493	4-разрядный двоичный счетчик	153

Десятичные счетчики (суммирующие)

7468	Два асинхронных десятичных счетчика	114
7490	Десятичный счетчик	149

Десятичные счетчики/регистры/

схемы управления индикаторами

74142	Десятичный счетчик/регистр/декодатор/ схема управления индикаторами (открытый коллектор, 60 В)	226
74143	Десятичный счетчик/регистр/декодатор для 7-сегментного индикатора (15 мА)	228
74144	Десятичный счетчик/регистр/декодатор для 7-сегментного индикатора (открытый коллектор, 15 В/25 мА)	230

Программируемые двоичные счетчики

74161	Синхронный программируемый 4-разрядный двоичный счетчик с асинхронным сбросом	256
74163	Синхронный программируемый 4-разрядный двоичный счетчик с синхронным сбросом	260
74169	Синхронный программируемый реверсивный 4-разрядный двоичный счетчик	272
74177	Программируемый 4-разрядный двоичный счетчик с входом сброса	285
74191	Синхронный программируемый реверсивный 4-разрядный двоичный счетчик	310

74192	Синхронный программируемый реверсивный десятичный счетчик с входом сброса	312
74193	Синхронный программируемый реверсивный 4-разрядный двоичный счетчик с входом сброса	314
74197	Программируемый 4-разрядный двоичный счетчик с входом сброса	323

Программируемые десятичные счетчики

74160	Синхронный программируемый десятичный счетчик с асинхронным сбросом	254
74162	Синхронный программируемый десятичный счетчик с синхронным сбросом	258
74168	Синхронный программируемый реверсивный десятичный счетчик	270
74176	Программируемый десятичный счетчик с входом сброса	283
74190	Синхронный программируемый реверсивный десятичный счетчик	308
74192	Синхронный программируемый реверсивный десятичный счетчик с входом сброса	312
74196	Программируемый десятичный счетчик с входом сброса	321

Различные модули

7431	Элементы задержки	72
7463	Шесть преобразователей тока	111

Предисловие

Настоящий справочник содержит подробное описание микросхем ТТЛ, однако не может заменить специальные справочные издания, выпускаемые фирмами-изготовителями микросхем. Он предназначен для ежедневной работы при сборе необходимой информации, поможет выбрать схему и быстро найти важнейшие параметры.

Справочник разделен на три части, так как в нем приведено большое количество новых микросхем ТТЛ.

Схемы на рисунках представлены упрощенно и наглядно, вследствие чего не всегда используются соответствующие стандарту условные обозначения.

Общие сведения о серии ТТЛ

Интегральные микросхемы ТТЛ подробно описаны в многочисленных публикациях.

В данном справочнике кратко перечислены лишь важнейшие свойства схем ТТЛ и их различных модификаций; приведена также некоторая дополнительная информация о принципах работы.

В настоящее время известно в общей сложности 8 серий ТТЛ-микросхем (включая серию Standard):

- **микросхемы ТТЛ с малым энергопотреблением (L-TTL):**
стандартное время задержки прохождения сигнала, нс 33
потребляемая мощность, мВт/логич. элемент 1
- **микросхемы ТТЛ с малым энергопотреблением на диодах Шоттки (LS-TTL):**
стандартное время задержки прохождения сигнала, нс 9
потребляемая мощность, мВт/логич. элемент 2
- **микросхемы ТТЛ на диодах Шоттки (S-TTL):**
стандартное время задержки прохождения сигнала, нс 5
потребляемая мощность, мВт/логич. элемент 20

Если расположить серии в порядке увеличения времени задержки прохождения сигнала, то можно получить такую последовательность:

1	AS	1,5 нс
2	F	2 нс
3	S	3 нс
4	ALS	4 нс
5	H	6 нс
6	LS	9 нс
7	Std	10 нс
8	L	33 нс

Нагрузка: $C_L = 15 \text{ пФ}$, $R_L = 280 \Omega$

Расположив серии в порядке уменьшения потребляемой мощности, можно получить такую последовательность:

1	H	22,5 мВт/Лэ
2	AS	22 мВт/Лэ
3	S	20 мВт/Лэ
4	Std	10 мВт/Лэ
5	F	4 мВт/Лэ
6	LS	2 мВт/Лэ
7	L	1 мВт/Лэ
8	ALS	1 мВт/Лэ

Лэ – логический элемент

Данные для выходов без нагрузки,
частота сигнала 1 кГц, скважность 50%

Выходные (оконечные каскады) схем ТТЛ

- **двуухтактный оконечный каскад**, называемый также оконечным каскадным выходом или двухтактным выходом. Такой

вид выходной ступени является типичным для микросхем ТТЛ. Здесь время нарастания и время спада импульса практически одинаковы. Двухтактные выходы нельзя включать параллельно. Для работы схемы не требуются внешние функциональные элементы;

- *выход с открытым коллектором (о.к.).* Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания $+U_B$, при этом может реализоваться функция монтажного И;
- *выход с тремя состояниями.* Имеет два активных логических состояния: логический 0 и логическую 1, работает так же, как и двухтактный выход. Находясь в третьем логическом состоянии (обозначаем буквой Z), выход имеет очень высокое сопротивление и поэтому не создает нагрузки на подключенные к нему схемы, особенно шины. При этом логический уровень выхода согласуется с логическим уровнем шины.

Нагрузочная способность по выходу

Нагрузочная способность по выходу (коэффициент разветвления) показывает, какое число входов может быть подключено к выходу микросхемы непосредственно, без применения дополнительных элементов.

Например, каждый выход схемы серии Std может запускать десять входов серии Std (Standard), а выход серии L (Low-Power) – лишь один вход серии S (Schottky). В таблице, представленной ниже, приведены данные о нагрузочной способности для остальных серий схем.

Выход ТТЛ-микросхемы	ТТЛ-нагрузка (нагрузочная схема)							
	Std	ALS	AS	F	H	L	LS	S
Std	10	20	8	20	8	40	20	8
ALS	10	20	10	20	4	40	20	10
AS	10	50	10	50	10	100	50	10
F	12	25	10	25	10	48	25	10
H	12	25	10	25	10	50	25	10
L	2	10	1	10	1	20	10	1
LS	5	20	8	50	4	40	50	10
S	12	50	10	50	10	100	50	10

Общие параметры схем ТТЛ

			Std	ALS	AS	F	H	L	LS	S
Рабочее напряжение	U_B	мин.	4,75	4,75	4,75	4,75	4,75	4,75	4,75	4,75
		тип.	5,0	5,0	5,0	5,0	5,0	5,0	5,0	5,0
Входное напряжение	U_{il}	макс.	5,25	5,25	5,25	5,25	5,25	5,25	5,25	5,25
		мин.	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8
Входной ток	I_{il}	макс.	2,0	2,0	2,0	2,0	2,0	2,0	2,0	2,0
		мин.	-1,6	-0,2	-1,0	-1,2	-2,0	-0,18	-0,36	-2,0
Выходное напряжение	U_{ol}	Макс. ¹⁾	40	20	20	40	50	10	20	20
		мин.	2,4	3,2	3,2	3,4	3,4	3,4	2,7	2,7
Выходной ток ²⁾	I_{ot}	макс.	16	8 ³⁾	20	20	20	4	8 ³⁾	20
		тип.	10	1	22	4	22,5	1	2	20
Потребляемая мощность/Лэ										мВт
Время задержки/Лэ	t_p	тип.	10	4	1,5	2	6	33	9	3
										нс

- 1) при I_{ol} макс.
2) при U_{ol} макс.

3) при буферизованных выходах 40 мА

Обозначение микросхем ТТЛ

В разделах «Перечень серийных номеров и типов микросхем», «Перечень типов микросхем по функциональным группам» и в других отдельных описаниях микросхемы ТТЛ обозначаются лишь с помощью серийных номеров, состоящих из 4, 5, 6 или 7 цифр.

Некоторые фирмы-производители маркируют свою продукцию, используя дополнительные буквы перед серийными номерами. Известны следующие фирменные обозначения схем:

- фирма Advanced Micro Devices (AMD) – перед серийным номером ставятся буквы Am (таким образом, фирменное обозначение схемы имеет вид Am XXXX);
- Fairchild (FA) – в большинстве случаев не используется никаких дополнительных букв перед серийными номерами (фирменное обозначение схемы: XXXX);
- Hitachi – перед серийным номером схемы ставятся буквы HD (HD XXXX);
- Monolithic Memories (MMI) – буквы SN (SN XXXX);
- Motorola (MOT) – буквы SN (SN XXXX) или MC (MC XXXX);
- National Semiconductor (NS) – буквы DM (DM XXXX);
- SGS-Ates (SGS) – перед серийным номером пишется буква T (T XXXX);

- Siemens – используется фирменное обозначение FLH 101 и т.д., также применяется обозначение, которое имеют стандартные схемы (Std) – 74XX;
- Texas Instruments (TI) – перед серийным номером ставятся буквы SN (SN XXXX);
- Toshiba – буквы TC (TC XXXX);
- Valvo – иногда серийному номеру предшествует буква N (таким образом, схема имеет обозначение N XXXX).

Все фирмы-производители традиционно обозначают отдельные серии схем ТТЛ следующим образом:

Стандартные ТТЛ	74XX
Быстродействующие на диодах Шоттки с низким энергопотреблением	74ALSXX
Быстродействующие на диодах Шоттки	74ASXX
Сверхбыстродействующие на диодах Шоттки	74FXX
Микросхемы с высоким энергопотреблением	74HXX
Микросхемы с низким энергопотреблением	74LXX
Микросхемы с низким энергопотреблением на диодах Шоттки	74LSXX
Микросхемы ТТЛ на диодах Шоттки	74SXX

Перечень производителей схем

Ниже приводятся адреса сайтов некоторых фирм-производителей. Перечень всех дистрибуторов занял бы много места, поэтому за подробной информацией о них следует обратиться к соответствующим справочникам или другим источникам).

Фирма Advanced Micro Devices

Главный сайт www.amd.com

Российское представительство www.amd.ru

Фирма Philips Components

Главный сайт www.philips.com

Фирма Fairchild Semiconductor

Главный сайт www.fairchildsemi.com

Фирма Harris Semiconductor

Главный сайт www.intersil.com

Фирма SGS-Thomson Microelectronics

Главный сайт www.us.st.com

Фирма Hitachi	
Главный сайт	www.hitachi.com
Фирма Siemens AG	
Главный сайт	www.siemens.de
Фирма Motorola	
Главный сайт	www.motorola.com
Фирма Texas Instruments	
Главный сайт	www.ti.com
Фирма National Semiconductor	
Главный сайт	www.national.com
Фирма Toshiba Electronics	
Главный сайт	www.toshiba.com

Условные обозначения

Все данные относятся к интегральным микросхемам ТТЛ в пластмассовых плоских корпусах с двухрядным расположением выводов (типа DIP), работающих при температурах 0–70 °С. Данные схем с другими типами корпусов, работающих в ином температурном диапазоне, можно получить из технической документации фирм-изготовителей.

Схема расположения выводов выполнена в горизонтальной плоскости (вид сверху).

Условные обозначения логических уровней

H	Напряжение высокого логического уровня Логическая 1 при положительной логике
L	Напряжение низкого логического уровня Логический 0 при положительной логике
LH-фронт	Переход напряжения с низкого логического уровня на высокий (положительный или нарастающий фронт импульса)
HL-фронт	Переход напряжения с высокого логического уровня на низкий (отрицательный или спадающий фронт импульса)

Символы и сокращения

⊥	Общий провод питания
⊕	Положительное напряжение питания (обычно +5 В)

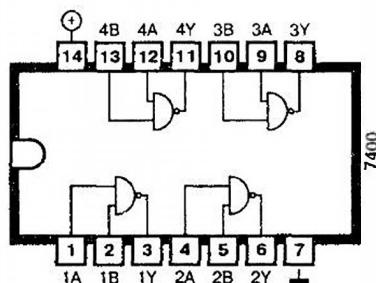
NC	Этот вывод не подключен и поэтому может использоваться в качестве точки пайки
A	Адресный вход (или вход логического элемента)
C	Перенос (Carry)
CI	Вход переноса (Carry Input)
CO	Выход переноса (Carry Output)
Clear	Очистка, сброс (или Reset)
Clock	Тактовый импульс
E, G	Разрешение (Enable)
J, K, D	Информационные входы в регистрах
Load	Вход сигнала загрузки
OE	Вход сигнала разрешения формирования выходных сигналов (Output Enable)
P	Параллельные данные
Preset	Вход сигнала предварительной установки
Q	Выход
Reset	Сброс, установка на 0 (или Clear)
Shift	Вход сигнала сдвига
TS	Три состояния (высокоомное состояние)
Y	Выход (в основном для логических элементов)

Остальные обозначения выводов можно узнать из соответствующих описаний схем. Несмотря на некоторую унификацию обозначений выводов, по возможности учитывались также обозначения, которые фирмы-производители используют в своих схемах. Поэтому нетрудно получить необходимую информацию по микросхемам из соответствующих справочников.

Таблицы истинности

L	Низкий уровень
H	Высокий уровень
X	Любой
Z	Высокоомное (третье) состояние
↑	Перепад напряжения с низкого уровня на высокий (положительный фронт)
↓	Перепад напряжения с высокого уровня на низкий (отрицательный фронт)
↔	Положительный импульс ($L \rightarrow H \rightarrow L$)
↙	Отрицательный импульс ($H \rightarrow L \rightarrow H$)

7400 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами на каждом.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня.

Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

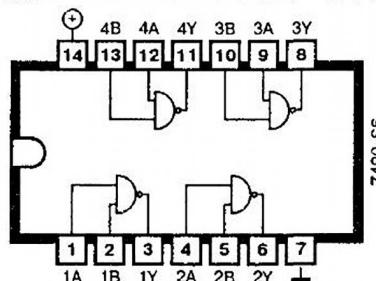
Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

Время задержки прохождения сигнала, нс 10 6 2,6 3,4 9,5 3
 Ток потребления, мА 8 1 4 4,4 2 15

7400-S6 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ



Описание

Микросхема содержит четыре логических элемента И-НЕ с двумя входами на каждом, причем входное напряжение может достигать 15 В.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

По расположению контактов данная схема совместима с микросхемой 7400, однако в отличие от нее выдерживает входное напряжение до +15 В.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов, сопряжение схем КМОП со схемами ТТЛ.

Технические данные

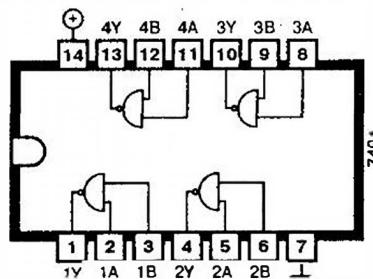
LS

Максимальное входное напряжение, В 15
Время задержки прохождения сигнала, нс 10
Ток потребления, мА 2

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7401

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление (обычно 2,2 кОм) между используемым выходом и цепью питания +5 В.

Обратите внимание на отличия от микросхемы 7400 по расположению выводов.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

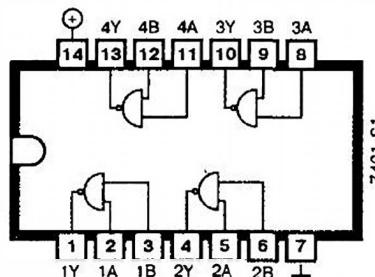
Реализация логических функций И, И-НЕ, инвертирование сигналов, сопряжение схем TTL со схемами КМОП.

Технические данные

	Std	ALS	LS
Максимальное выходное напряжение, В	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	22	28,5	16
Ток потребления, мА	8	1	2

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●			●	●	●		

7401-S1 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе. Максимальное выходное напряжение +15 В.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе устанавливается напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление (обычно 2,2 кОм) между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Эту микросхему можно использовать для сопряжения схем ТТЛ со схемами КМОП. Обратите внимание на отличия от микросхемы 7400 по расположению выводов.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

Std

Максимальное выходное напряжение, В 15

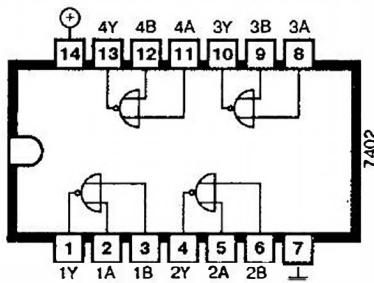
Время задержки прохождения сигнала, нс 22

Ток потребления, мА 8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7402

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ

**Описание**

Микросхема содержит четыре отдельных логических элемента ИЛИ-НЕ с двумя входами каждый.

Работа схемы

Все четыре логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе устанавливается напряжение высокого уровня.

Входы		Выход
A	B	Y
H	X	L
X	H	L
L	L	H

Применение

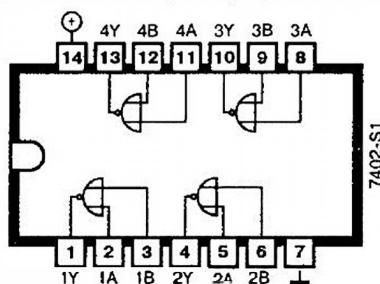
Реализация логической функции ИЛИ-НЕ.

Технические данные

	Std	ALS	AS	F	L	LS	S
Время задержки прохождения сигнала, нс	12	7	2,75	4,4	10	3,5	
Ток потребления, мА	12	1,5	8	3,4	2	23	

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7402-S1 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ



Описание

Микросхема содержит четыре отдельных логических элемента ИЛИ-НЕ с двумя входами каждый.

Работа схемы

Все четыре логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе будет напряжение высокого уровня.

Напряжение высокого уровня на выходе может достигать значения 6,5 В. При этом внешний резистор, подключаемый между выходом и цепью питания с повышенным номиналом, должен быть подобран по номиналу так, чтобы выходной ток при низком уровне напряжения не превышал 16 мА, а при высоком уровне напряжения – 500 мкА (при напряжении в цепи питания с повышенным номиналом 6,5 В). Напряжение питания микросхемы должно составлять +5 В.

Входы		Выход
A	B	Y
H	X	L
X	H	L
L	L	H

Применение

Реализация логической функции ИЛИ-НЕ.

Технические данные

Std

Максимальное выходное напряжение, В

6,5

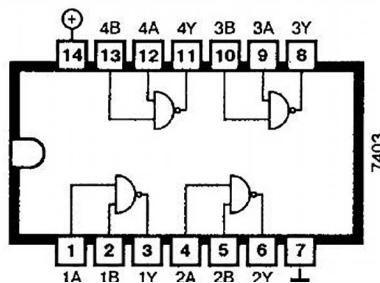
Время задержки прохождения сигнала, нс

10

Ток потребления, мА

11

Серия	Std	ALS	AS	F	H	L	LS	S	
●									

7403**ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ
(ОТКРЫТЫЙ КОЛЛЕКТОР)****Описание**

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе.

Работа схемы

Всехчетыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление (обычно 2,2 кОм для серии Std и 2,8 кОм для серии S) между используемым выходом и цепью питания +5 В.

Микросхема 7403 по расположению выводов аналогична микросхеме 7400, а по функциональным возможностям – схеме 7401.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

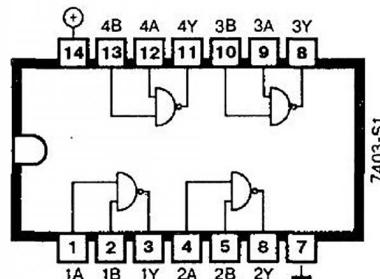
Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

	Std	ALS	LS	S
Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	22	25	16	5
Ток потребления, мА	8	1	2	12

Серия	Std	ALS	AS	F	H	L	LS	S	.
	●	●		●		●	●	●	

7403-S1 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе. Максимальное выходное напряжение равно +15 В.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Эту микросхему можно использовать для сопряжения схем ТТЛ со схемами КМОП.

Микросхема по расположению выводов аналогична 7400, по функциональным возможностям – схеме 7401-S1.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

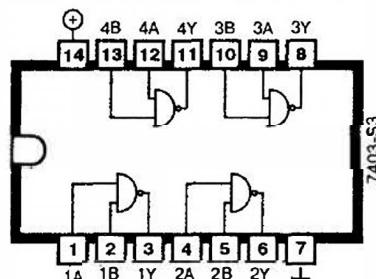
Реализация логических функций И, И-НЕ, инвертирование сигналов, сопряжение схем ТТЛ со схемами КМОП.

Технические данные

Максимальное выходное напряжение, В	15
Время задержки прохождения сигнала, нс	22
Ток потребления, мА	8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7403-S3 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР, 50 мА)



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе. От других она отличается низким значением остаточного тока.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или на оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается такое напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

По расположению выводов данная микросхема совместима со схемой 7401, но в отличие от последней имеет низкое значение максимального остаточного тока (50 мА) при высоком уровне выходного напряжения V_{OH} .

Микросхема по расположению выводов аналогична 7400, по функциональным возможностям – схеме 7401-S3.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

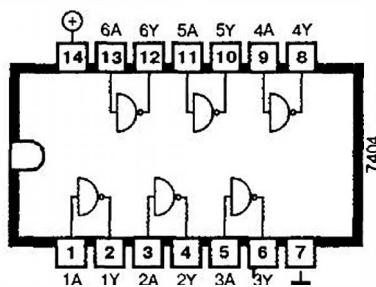
Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

Максимальное выходное напряжение, В	5,5
Время задержки прохождения сигнала, нс	22
Ток потребления, мА	8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7404 ШЕСТЬ ИНВЕРТОРОВ



Описание

Микросхема содержит шесть отдельных инверторов.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Микросхема 7414 содержит шесть инверторов на триггерах Шмитта и имеет такое же расположение выводов, что и данная схема.

Применение

Логическая инверсия, формирование импульсов, генерирование импульсов.

Технические данные

Время задержки прохождения сигнала, нс

Std **ALS** **AS** **F** **LS** **S**

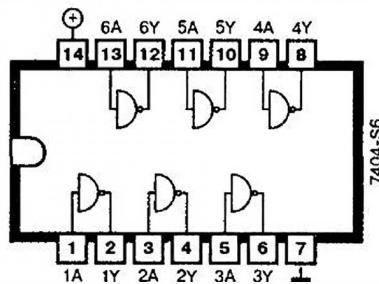
Ток потребления, мА

10 6 2,75 3,5 9,5 3

12 2 8 6,9 3 23

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7404-S6 ШЕСТЬ ИНВЕРТОРОВ



Описание

Микросхема содержит шесть отдельных инверторов, причем максимальное входное напряжение +15 В.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Благодаря максимально допустимому входному напряжению +15 В эту микросхему используют для сопряжения схем КМОП с схемами ТТЛ.

Применение

Логическая инверсия, формирование импульсов, генерирование импульсов, преобразование уровня сигналов для сопряжения схем КМОП со схемами ТТЛ.

Технические данные

LS

Максимальное входное напряжение, В

15

Время задержки прохождения сигнала, нс

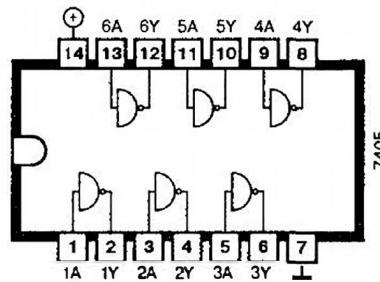
10

Ток потребления, мА

3

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7405 ШЕСТЬ ИНВЕРТОРОВ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит шесть отдельных инверторов с открытым коллектором на выходе.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Применение

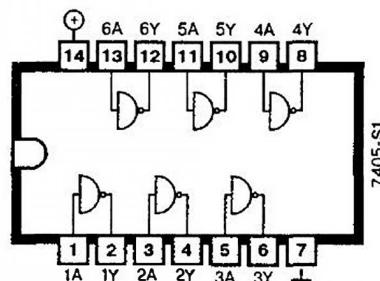
Логическая инверсия, формирование импульсов, генерирование импульсов.

Технические данные

	Std	ALS	AS	LS	S
Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	22	23	20	16	5
Ток потребления, мА	12	2	8	2,5	21

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●		●	●	●	●	

7405-S1 ШЕСТЬ ИНВЕРТОРОВ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит шесть отдельных инверторов с открытым коллектором, максимальное выходное напряжение равно +15 В.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Применение

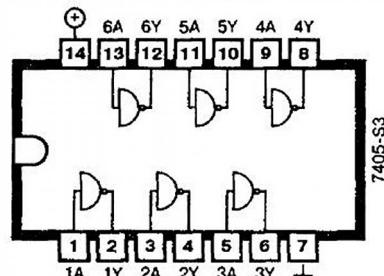
Логическая инверсия, формирование импульсов, генерирование импульсов, преобразование уровня сигналов для сопряжения схем КМОП со схемами ТТЛ.

Технические данные

	Std
Максимальное выходное напряжение, В	15
Время задержки прохождения сигнала, нс	22
Ток потребления, мА	12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7405-S3 ШЕСТЬ ИНВЕРТОРОВ (ОТКРЫТЫЙ КОЛЛЕКТОР, 50 мкА)



Описание

Микросхема содержит шесть отдельных инверторов с открытым коллектором и низким значением остаточного тока.

Работа схемы

Все инверторы можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

По расположению выводов схема 7405-S3 совместима со схемой 7405, но в отличие от последней имеет малую величину максимального остаточного тока (50 мкА) при высоком уровне выходного напряжения V_{OHI} .

Применение

Логическая инверсия, формирование импульсов, генерирование импульсов.

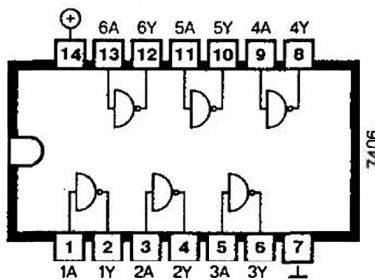
Технические данные

	Std	ALS	AS	F	H	L	LS	S	
Максимальное выходное напряжение, В	5,5								
Время задержки прохождения сигнала, нс	22								
Ток потребления, мА	12								

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7406

ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ (ОТКРЫТЫЙ КОЛЛЕКТОР, 30 В)



Описание

Микросхема содержит шесть отдельных инвертирующих буферных формирователей с открытым коллектором на выходе, максимальное выходное напряжение +30 В.

Работа схемы

Все буферные формирователи можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается напряжение высокого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания (максимум +30 В). Напряжение питания микросхемы при этом должно составлять +5 В.

Схема 7406 аналогична 7405, но в отличие от последней имеет максимальное выходное напряжение 30 В.

Применение

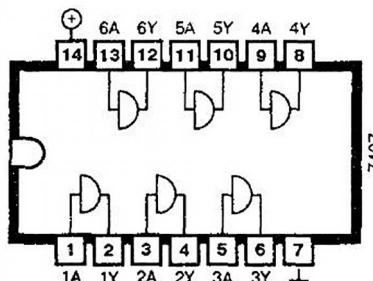
Логическая инверсия, формирование импульсов, генерирование импульсов, управление модулями с повышенным рабочим напряжением.

Технические данные

	Std	LS
Максимальное выходное напряжение, В	30	30
Время задержки прохождения сигнала, нс	12,5	12,5
Максимальный ток потребления для каждого инвертора (низкий уровень напряжения), мА	40	40
Средний ток потребления для каждого элемента, мА	32	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7407 ШЕСТЬ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ (ОТКРЫТЫЙ КОЛЛЕКТОР, 30 В)



Описание

Микросхема содержит шесть отдельных буферных формирователей с открытым коллектором на выходе и максимальным выходным напряжением +30 В.

Работа схемы

Все буферные формирователи можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход каждого из них на выходе устанавливается такое же напряжение. При подаче на вход напряжения высокого уровня выход становится высокоомным. Максимальный ток потребления при низком уровне напряжения на выходе составляет 40 мА.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания (максимум +30 В). Напряжение питания микросхемы при этом должно составлять +5 В.

Расположение выводов микросхемы такое же, как и в схеме 7406, где входной сигнал инвертируется.

Применение

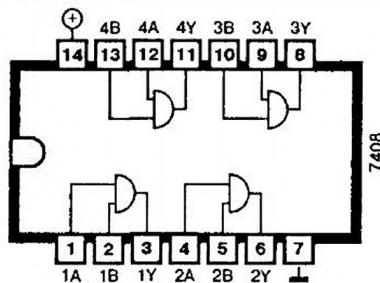
Формирование импульсов, генерирование импульсов, управление модулями с повышенным рабочим напряжением.

Технические данные	Std	LS
Максимальное выходное напряжение, В	30	30
Время задержки прохождения сигнала, нс	12	12
Максимальный ток потребления для каждого элемента (низкий уровень напряжения), мА	40	40
Средний ток потребления для каждого элемента, мА	31	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7408

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И



Описание

Микросхема содержит четыре отдельных логических элемента И с двумя входами каждый.

Работа схемы

Все четыре логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Входы		Выход
A	B	Y
L	X	L
X	L	L
H	H	H

Применение

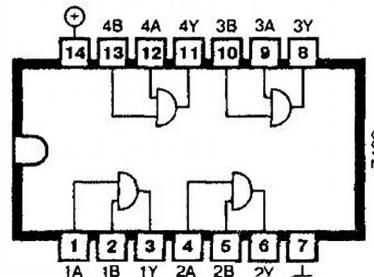
Реализация логической функции И, неинвертирующий буфер.

Технические данные

Время задержки прохождения сигнала, нс	17,5	9	3,25	4,1	8	4,5
Ток потребления, мА	15	2	10	7,1	3	25

7409

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИИ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит четыре отдельных логических элемента И с двумя входами и открытым коллектором на выходе.

Работа схемы

Все четыре логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или на оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Входы		Выход
A	B	Y
L	X	L
X	L	L
H	H	H

Применение

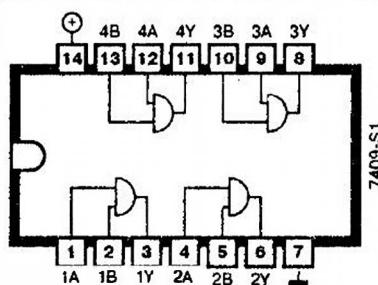
Реализация логической функции И, неинвертирующий буфер.

Технические данные

Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	18	24	5	18	6,5
Ток потребления, мА	15	2	5	3	2,5

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●	●	●	●	●	

7409-S1 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит четыре отдельных логических элемента И с двумя входами и открытым коллектором на выходе. Максимальное выходное напряжение +15 В.

Работа схемы

Все четыре логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Микросхему можно использовать для сопряжения схем ТТЛ и КМОП.

Входы	Выход	
A	B	Y
L	X	L
X	L	L
H	H	H

Применение

Реализация логической функции И, неинвертирующий буфер, преобразование уровня сигналов для сопряжения схем КМОП и ТТЛ.

Технические данные

Std

Максимальное выходное напряжение. В

15

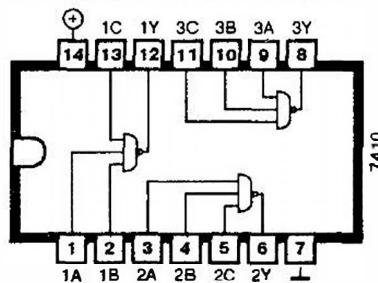
Время задержки прохождения сигнала, ис-

18

Время задержки проекции
Ток потребления, мА

15

7410 ТРИ ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ



Описание

Микросхема содержит три отдельных логических элемента И-НЕ, у каждого из которых по три входа.

Работа схемы

Все три логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение высокого уровня.

Если на все входы подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Входы			Выход
A	B	C	Y
L	X	X	H
X	L	X	H
X	X	L	H
H	H	H	L

Применение

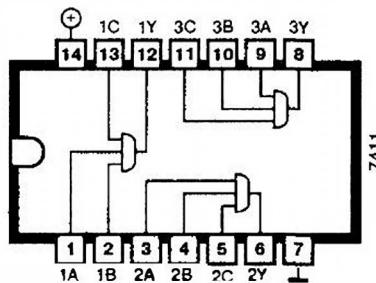
Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

Время задержки прохождения сигнала, нс Std ALS AS F LS S
Ток потребления, мА 8 6,3 2,75 3,3 9,5 3
 6 0,8 5 3,5 1,2 11

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7411 ТРИ ЛОГИЧЕСКИХ ЭЛЕМЕНТА И



Описание

Микросхема содержит три отдельных логических элемента И, у каждого из которых по три входа.

Работа схемы

Все три логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение низкого уровня.

Если на все входы подается напряжение высокого уровня, то и на выходе формируется напряжение высокого уровня.

Входы			Выход
A	B	C	Y
L	X	X	L
X	L	X	L
X	X	L	L
H	H	H	H

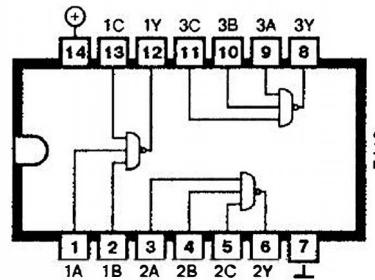
Применение

Реализация логической функции И.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	12	6,75	3,3	4,2	9	4,75
Ток потребления, мА	6	1,3	8	5,3	2,5	19

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7412 ТРИ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ЗИ-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит три отдельных логических элемента И-НЕ с тремя входами и открытым коллектором на выходе.

Работа схемы

Все три логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все входы поступает напряжение высокого уровня, то на выходе устанавливается напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление (обычно 2,2 кОм) между используемым выходом и цепью питания +5 В.

Входы			Выход
A	B	C	Y
L	X	X	H
X	L	X	H
X	X	L	H
H	H	H	L

Применение

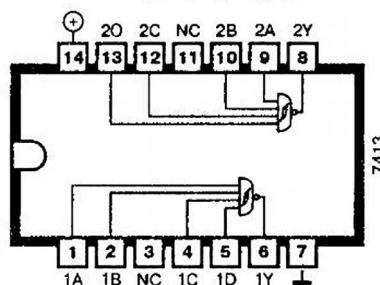
Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

	Std	ALS	LS	S
Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	20	25	16	16
Ток потребления, мА	6	0,8	1,2	18

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●					●	●	

7413 ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ НА ТРИГГЕРАХ ШМИТТА



Описание

Микросхема содержит два отдельных логических элемента И-НЕ на триггерах Шмитта с четырьмя входами каждый.

Работа схемы

Оба логических элемента И-НЕ на триггерах Шмитта можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все входы каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все входы подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Эта схема в качестве обычного логического элемента И-НЕ с четырьмя входами, имеющими внутренний гистерезис, идеально подходит для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения. Кроме того, данную схему можно применять для нестабильных или моностабильных (с одним устойчивым положением) сигналов.

Напряжение срабатывания логического элемента составляет 1,7 В, а напряжение отпускания – 0,9 В.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

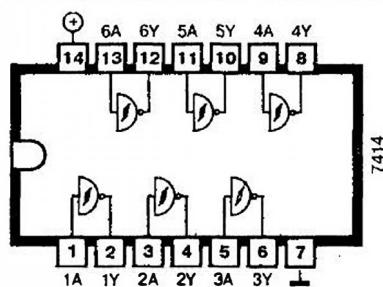
Применение

Формирователи напряжений и импульсов, системы с зашумленными сигналами, моностабильные и нестабильные мультивибраторы, реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные	Std	ALS	F	LS
Время задержки прохождения сигнала, нс	16	10	7,8	16,5
Гистерезис, В	0,8	0,8	0,8	0,8
Ток потребления, мА	17	4	5,5	3,5

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

7414 ШЕСТЬ ИНВЕРТИРУЮЩИХ ТРИГГЕРОВ ШМИТТА



Описание

Микросхема содержит шесть отдельных инвертирующих триггерных схем.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче на вход триггера напряжения низкого уровня на его выходе устанавливается напряжение высокого уровня, и наоборот.

Эта схема в качестве обычного инвертора, имеющего внутренний гистерезис, идеально подходит для принятия защумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения, а также может быть использована для улучшения стыковки узлов (устраняет негативный эффект дребезга контактов) в неустойчивых и моностабильных коммутациях.

Напряжение срабатывания логического элемента составляет 1,7 В, а напряжение отпускания – 0,9 В.

По расположению выводов данная микросхема идентична 7404.

Применение

Инвертирование сигналов, формирователи напряжений и импульсов, системы с зашумленными сигналами, моностабильные и нестабильные мультивибраторы.

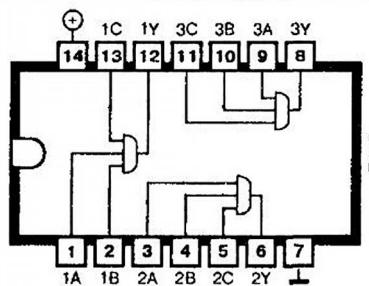
Технические данные

	Std	ALS	F	LS
Время задержки прохождения сигнала, нс	15	8	5	15
Гистерезис, В	0,8	0,8	0,8	0,8
Ток потребления, мА	30	12	18	10

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

7415

ТРИ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИИ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит три отдельных логических элемента И с тремя входами и открытым коллектором на выходе.

Работа схемы

Все три логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение низкого уровня. Если на все входы подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Входы			Выход
A	B	C	Y
L	X	X	L
X	L	X	L
X	X	L	L
H	H	H	H

Применение

Реализация логической функции И.

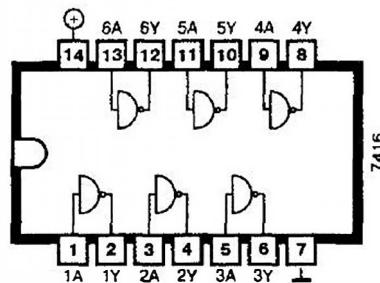
Технические данные

Максимальное выходное напряжение, В	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	24	18	5,5
Ток потребления, мА	1,3	2,5	15

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●		●	●	●	

7416

ШЕСТЬ ИНВЕРТИРУЮЩИХ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит шесть отдельных инвертирующих буферных формирователей с открытым коллектором, максимальное выходное напряжение +15 В.

Работа схемы

При подаче напряжения низкого уровня на вход каждого из буферных формирователей на выходе устанавливается напряжение высокого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Если на выходе низкий уровень напряжения, то потребляемый буферным формирователем максимальный ток – 40 мА.

Применение

Преобразователь уровня сигнала, инвертор сигналов, управление внешними функциональными элементами, реле и т.п.

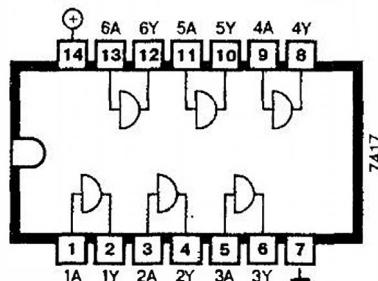
Технические данные

	Std	LS
Максимальное выходное напряжение, В	15	15
Время задержки прохождения сигнала, нс	12,5	12,5
Максимальный ток потребления (низкий уровень напряжения на выходе), мА	40	40
Ток потребления (среднее значение), мА	31	10

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7417

ШЕСТЬ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема содержит шесть отдельных буферных формирователей с открытым коллектором, максимальное выходное напряжение составляет +15 В.

Работа схемы

При подаче напряжения низкого уровня на вход каждого из буферных формирователей на выходе устанавливается напряжение низкого уровня, и наоборот.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Если на выходе низкий уровень напряжения, то потребляемый буферным формирователем максимальный ток – 40 мА.

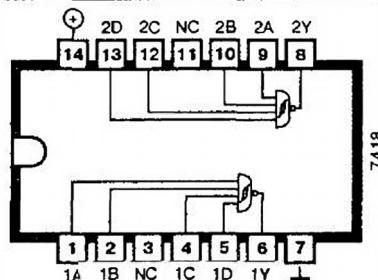
Применение

Преобразователь уровня без инвертирования сигналов, управление внешними функциональными элементами, реле и т.п.

Технические данные	Std	LS
Максимальное выходное напряжение, В	15	15
Время задержки прохождения сигнала, нс	13	12
Максимальный ток потребления (низкий уровень напряжения на выходе), мА	40	40
Ток потребления (среднее значение), мА	25	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7418 ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ НА ТРИГГЕРАХ ШМИТТА



Описание

Микросхема содержит два отдельных логических элемента И-НЕ на триггерах Шмитта с четырьмя входами на каждом.

Работа схемы

Оба логических элемента И-НЕ на триггерах Шмитта можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все четыре входа поступает напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Эта схема в качестве обычного логического элемента И-НЕ с четырьмя входами, имеющего внутренний гистерезис, идеально подходит для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения. Кроме того, данную схему можно применять для нестабильных или моностабильных (с одним устойчивым положением) сигналов.

Напряжение срабатывания логического элемента составляет 1,8 В, а напряжение отпускания – 1,0 В.

По расположению выводов данная схема совместима с 74LS13 (7413) и отличается от последней тем, что создает меньшую нагрузку на подключаемые к ней выходы других микросхем.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

Применение

Формирователи напряжений и импульсов, системы с зашумленными сигналами, моностабильные и нестабильные мультивибраторы, реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные

LS

Время задержки прохождения сигнала, нс

20

Гистерезис, В

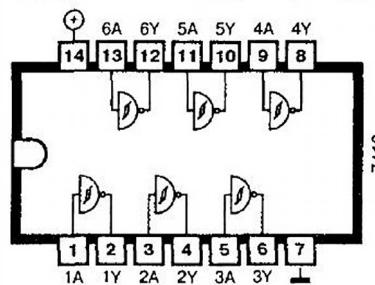
0,8

Ток потребления, мА

9

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7419 ШЕСТЬ ИНВЕРТИРУЮЩИХ ТРИГГЕРОВ ШМИТТА



Описание

Микросхема содержит шесть отдельных инверторов на триггерах Шмитта.

Работа схемы

Все шесть инверторов можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на вход триггера на его выходе устанавливается напряжение высокого уровня, и наоборот.

Эта схема в качестве обычного инвертора, имеющего внутренний гистерезис, идеально подходит для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения. Она также используется для улучшения стыковки узлов (устраняет негативный эффект дребезга контактов) в неустойчивых и моностабильных коммутациях.

Напряжение срабатывания логического элемента составляет 1,8 В, а напряжение отпускания ~ 1,0 В.

По расположению контактов данная схема аналогична 74LS14 (7414), но отличается от последней тем, что создает меньшую нагрузку на подключаемые к ней выходы других логических элементов.

Применение

Инвертирование сигналов, формирователи напряжений и импульсов, системы с запущленными сигналами, моностабильные и нестабильные мультивибраторы.

Технические данные

LS

Время задержки прохождения сигнала, нс

20

Гистерезис, В

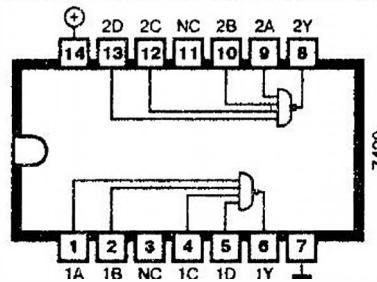
0.8

Ток потребления, мА

15

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7420 ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ



7420

Описание

Микросхема содержит два отдельных логических элемента И-НЕ с четырьмя входами на каждом.

Работа схемы

Оба логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все входы каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все четыре входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

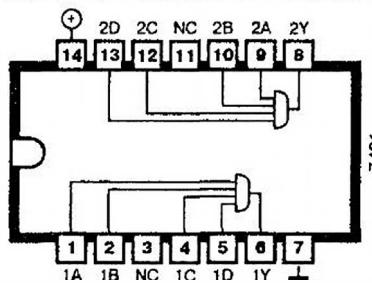
Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	10	6,8	2,9	3,5	9,5	3
Ток потребления, мА	4	0,5	3,2	2,2	0,8	8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7421 ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА 4И



7421

Описание

Микросхема содержит два отдельных логических элемента И с четырьмя входами на каждом.

Работа схемы

Оба логических элемента И можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все входы каждого элемента на выходе устанавливается напряжение низкого уровня. Если на все четыре входа подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Входы				Выход
A	B	C	D	Y
L	X	X	X	L
X	L	X	X	L
X	X	L	X	L
X	X	X	L	L
H	H	H	H	H

Применение

Реализация логической функции И, неинвертирующий буфер.

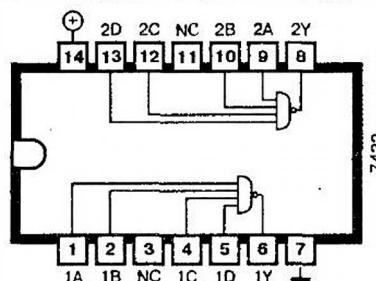
Технические данные

Время задержки прохождения сигнала, нс	12	11	3,5	4	9
Ток потребления, мА	8	0,9	5	4	1,7

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●		●		

7422

ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит два отдельных логических элемента И-НЕ с четырьмя входами и открытым коллектором на выходе. Максимальное выходное напряжение равно +5,5 В.

Работа схемы

Оба логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все четыре входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все четыре входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов.

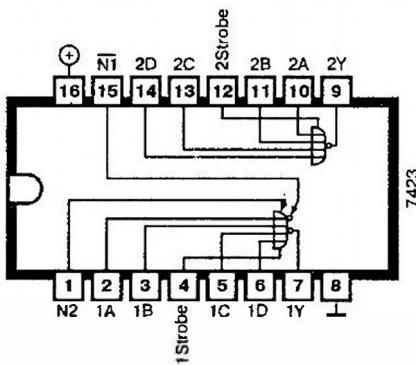
Технические данные

	Std	ALS	LS	S
Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	21	25	16	4,8
Ток потребления, мА	4	0,7	0,8	7

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●			●		●	●	

7423

ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ СО СТРОБИРУЮЩИМИ ВХОДАМИ



Описание

Микросхема содержит два отдельных логических элемента ИЛИ-НЕ с четырьмя информационными и одним стробирующим входами на каждом. Кроме того, один элемент содержит еще два дополнительных входа.

Работа схемы

Оба логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один, несколько или на все четыре входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на все четыре входа подается напряжение низкого уровня, то на выходе формируется напряжение высокого уровня.

Каждый элемент имеет один вход для стробирующих импульсов (выводы 4 и 12). Когда на стробирующий вход подается напряжение низкого уровня, на выходе соответствующего элемента устанавливается напряжение высокого уровня независимо от состояния остальных входов.

Если на стробирующий вход подается напряжение высокого уровня, то элемент работает как обычный логический элемент ИЛИ-НЕ. Напряжение высокого уровня на выходе устанавливается, если на все четыре входа поступает напряжение низкого уровня.

Кроме того, один из двух элементов имеет еще два дополнительных входа (входы расширения) – N1 и N2 которые используются одновременно для расширения по ИЛИ. Если входы N1 и N2 не применяются, то оба вывода не соединяют друг с другом.

Строб	Входы				Выход
	A	B	C	D	
H	H	X	X	X	L
H	X	H	X	X	L
H	X	X	H	X	L
H	X	X	X	H	L
X	L	L	L	L	H
L	X	X	X	X	H

Применение

Реализация логических функций ИЛИ-НЕ с использованием стробирующих импульсов.

Технические данные

Std

Время задержки прохождения сигнала, нс

10

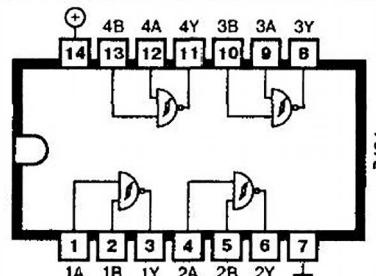
Ток потребления, мА

8

Серия	Std	ALS	AS	F	H	L	LS	S	...
	●								

7424

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ НА ТРИГГЕРАХ ШМИТТА



7424

Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ на триггерах Шмитта каждый с двумя входами.

Работа схемы

Все четыре логических элемента И-НЕ на триггерах Шмитта можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Эта схема в качестве обычного логического элемента И-НЕ с двумя входами, имеющего внутренний гистерезис, идеально подходит для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения. Кроме того, данную схему можно применять для нестабильных или моностабильных сигналов (сигналов с одним устойчивым положением).

Напряжение срабатывания логического элемента составляет 1,8 В, а напряжение отпускания – 1,0 В.

По расположению выводов данная схема совместима с 74LS132 (74132) и отличается от последней тем, что создает меньшую нагрузку на подключенные к ней выходы других микросхем.

Применение

Реализация логических функций И, И-НЕ, инвертирование, особенно в системах с зашумленными или медленно меняющимися сигналами.

Технические данные

LS

Время задержки прохождения сигнала, ис

20

Гистерезис, В

0,8

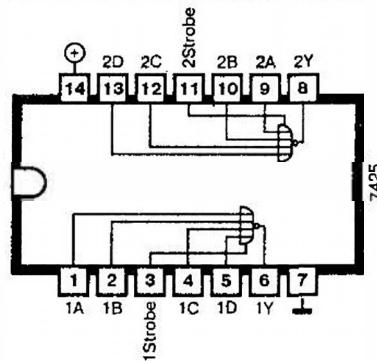
Ток потребления, мА

10

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7425

ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ СО СТРОБИРУЮЩИМИ ВХОДАМИ



7425

Описание

Микросхема содержит два отдельных логических элемента ИЛИ-НЕ с четырьмя информационными и одним стробирующим входами.

Работа схемы

Оба элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один, несколько или на все четыре входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на все четыре входа подается напряжение низкого уровня, то на выходе формируется напряжение высокого уровня.

Строб	Входы				Выход
	A	B	C	D	
H	H	X	X	X	L
H	X	H	X	X	L
H	X	X	H	X	L
H	X	X	X	H	L
X	L	L	L	L	H
L	X	X	X	X	H

Каждый элемент имеет один вход для стробирующих импульсов (выводы 3 и 11). Когда на стробирующий вход подается напряжение низкого уровня, на выходе соответствующего элемента устанавливается напряжение высокого уровня независимо от состояния остальных входов.

Если на стробирующий вход подается напряжение высокого уровня, то элемент работает как обычная логическая схема ИЛИ-НЕ.

Применение

Реализация логических функций ИЛИ-НЕ с использованием стробирующих импульсов.

Технические данные

Std

Время задержки прохождения сигнала, нс

10

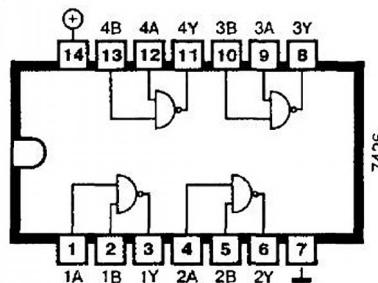
Ток потребления, мА

9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7426

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



7426

Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами и открытым коллектором на выходе. Максимальное выходное напряжение составляет +15 В.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Расположение выводов схемы такое же, как и у 7400.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

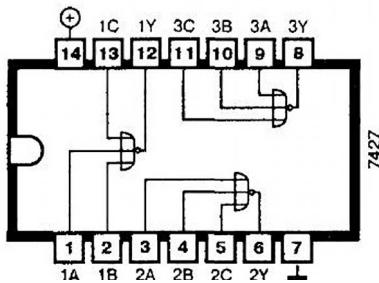
Реализация логических функций И, И-НЕ, инвертирование сигналов, преобразователь уровня сигналов (сопряжение схем ТТЛ со схемами КМОП), управление функциональными элементами с высоким рабочим напряжением.

Технические данные

	Std	LS
Максимальное выходное напряжение, В	15	15
Время задержки прохождения сигнала, нс	13	16
Ток потребления, мА	8	1,6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7427 ТРИ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ



Описание

Микросхема содержит три отдельных логических элемента ИЛИ-НЕ с тремя входами на каждом.

Работа схемы

Все три логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или несколько входов каждого элемента на выходе устанавливается напряжение низкого уровня. Если на все входы подается напряжение высокого уровня, то на выходе формируется напряжение высокого уровня.

Входы			Выход
A	B	C	Y
H	X	X	L
X	H	X	L
X	X	H	L
L	L	L	H

Применение

Реализация логических функций ИЛИ, ИЛИ-НЕ, инвертирование.

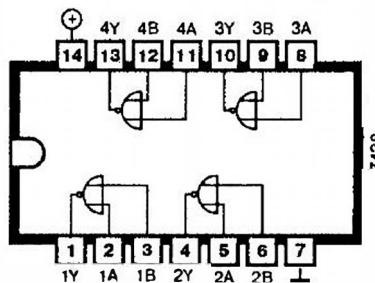
Технические данные

Время задержки прохождения сигнала, нс ALS AS AS F LS
Ток потребления, мА 7 4,75 8 3 12
 23 3,6 15 6,5 4,4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●		

7428

ЧЕТЫРЕ МОЩНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ



7428

Описание

Микросхема содержит четыре отдельных логических элемента ИЛИ-НЕ с двумя входами и высоким коэффициентом разветвления по выходу.

Работа схемы

Все четыре логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого из них на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе формируется напряжение высокого уровня.

Выходы обладают высоким коэффициентом разветвления: при высоком уровне напряжения на выходе он равняется 60, а при низком – 30 (то есть в 3–6 раз больше, чем в микросхеме 7402).

Входы		Выход
A	B	Y
H	X	L
X	H	L
L	L	H

Применение

Реализация логической функции ИЛИ-НЕ и инвертирование сигналов.

Технические данные

Время задержки прохождения сигнала, нс

Std

ALS

LS

Ток потребления, мА

7

4,75

12

23

3,6

4,4

Серия

Std

ALS

AS

F

H

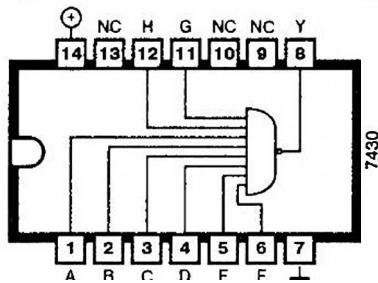
L

LS

S



7430 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ И-НЕ



7430

Описание

Микросхема содержит логический элемент И-НЕ с восемью входами.

Работа схемы

При подаче на один или несколько входов напряжения низкого уровня на выходе устанавливается напряжение высокого уровня. Если на все восемь входов подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Входы	Выход
Один или несколько входов L	H
Все входы H	L

Применение

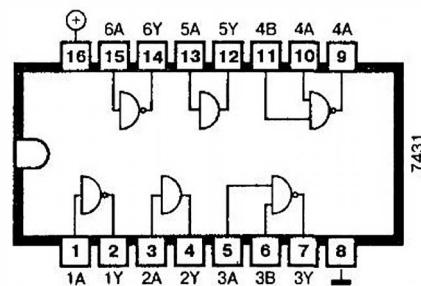
Реализация логической функции И-НЕ.

Технические данные

	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	10	7	2,8	3,5	10	4,25
Ток потребления, мА	2	0,4	2	6	0,4	4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7431 ЭЛЕМЕНТЫ ЗАДЕРЖКИ



Описание

Микросхема содержит элементы для получения определенной временной задержки входного сигнала: два неинвертирующих и два инвертирующих буфера, а также два логических элемента И-НЕ, каждый с двумя входами.

Работа схемы

С помощью этой микросхемы можно получить время задержки в пределах от 6 до 162 нс, которое почти не зависит от изменений температуры и рабочего напряжения. Микросхема включает в себя два инвертирующих буфера, два неинвертирующих буфера и два логических элемента И-НЕ с двумя входами на каждом.

И-НЕ

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

Получение заданных значений времени задержки сигнала в диапазоне наносекунд.

Технические данные

LS

Инвертирующие буфера

28

Время задержки сигнала (стандартное значение), нс

Неинвертирующие буфера

48

Время задержки сигнала (стандартное значение), нс

Логические элементы И-НЕ

6

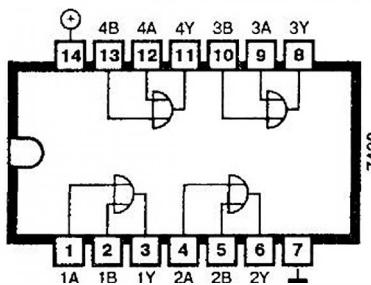
Время задержки сигнала (стандартное значение), нс

Ток потребления, мА

13

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7432 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ



Описание

Микросхема содержит четыре отдельных логических элемента ИЛИ с двумя входами на каждом.

Работа схемы

Все четыре логических элемента ИЛИ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе формируется напряжение низкого уровня.

Входы		Выход
A	B	Y
H	X	H
X	H	H
L	L	L

Применение

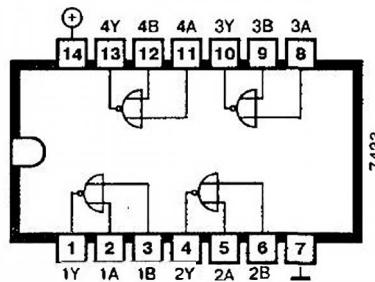
Реализация логической функции ИЛИ.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	12	8	3,4	4,1	14	4
Ток потребления, мА	19	2,2	12	8,2	5	28

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

7433

ЧЕТЫРЕ МОЩНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



7433

Описание

Микросхема содержит четыре отдельных логических элемента ИЛИ-НЕ с двумя входами и открытым коллектором на выходе. Микросхема отличается от других высоким коэффициентом разветвления по выходу.

Работа схемы

Все четыре логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе формируется напряжение высокого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

При низком уровне напряжения на выходе коэффициент разветвления по выходу для схем серии Std составляет 30, а для серии LS – 60.

Входы		Выход
A	B	Y
H	X	L
X	H	L
L	L	H

Применение

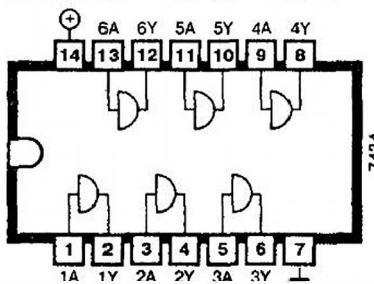
Реализация логической функции ИЛИ-НЕ.

Технические данные

	Std	ALS	LS
Максимальное выходное напряжение, В	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	11	14	19
Ток потребления, мА	22	3,6	4,6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●					●		

7434 ШЕСТЬ БУФЕРНЫХ ФОРМИРОВАТЕЛЕЙ



Описание

Микросхема содержит шесть отдельных буферных формирователей.

Работа схемы

Все буферные формирователи можно использовать независимо друг от друга.

Входные сигналы не инвертируются.

Расположение контактов такое же, как у микросхем 7406 и 7407.

Применение

Быстродействующий буфер, особенно для шин.

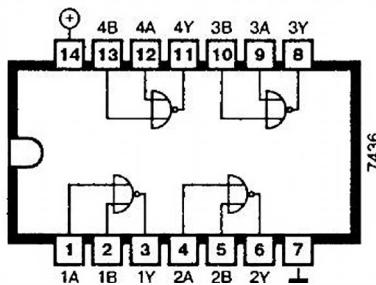
Технические данные

	ALS	LS
Время задержки прохождения сигнала, нс	7	3,5
Максимальный выходной ток (I_{OL}), мА	8	20
Ток потребления, мА	2	14

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●						

7436

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИЛИ-НЕ

**Описание**

Микросхема содержит четыре отдельных логических элемента ИЛИ-НЕ с двумя входами каждый.

Работа схемы

Все четыре элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе формируется напряжение высокого уровня.

Данная микросхема по функциональному назначению аналогична 7402 и отличается от нее расположением выводов.

Входы		Выход
A	B	Y
H	X	L
X	H	L
L	L	H

Применение

Реализация логической функции ИЛИ-НЕ.

Технические данные

F

Время задержки прохождения сигнала, нс

3,4

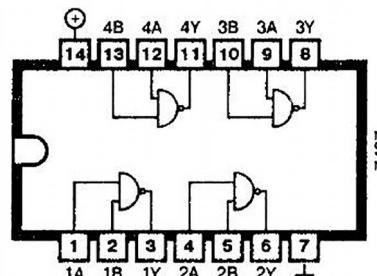
Ток потребления, мА

4,4

Серия	Std	ALS	AS	F	H	L	LS	S	
				●					

7437

ЧЕТЫРЕ МОЩНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ с двумя входами каждый и высоким коэффициентом разветвления по выходу.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Выходы имеют высокий коэффициент разветвления: 30 – для схем ТТЛ серии Std и 60 – для серии LS.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов.

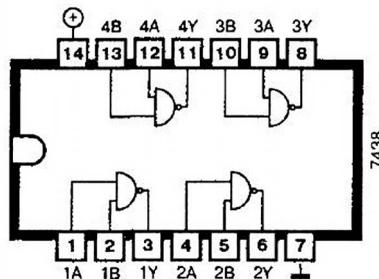
Технические данные

	Std	ALS	F	LS	S
Время задержки прохождения сигнала, нс	11	4,75	3,5	12	4
Ток потребления, мА:					
на всех выходах высокий уровень H	5	0,8	3	2	18
на всех выходах низкий уровень L	34	4,8	23	12	44

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●	●	

7438

ЧЕТЫРЕ МОЩНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит четыре логических элемента И-НЕ с двумя входами каждый и открытым коллектором на выходе. Микросхема отличается высоким коэффициентом разветвления по выходу.

Работа схемы

Все четыре логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Выходы имеют высокий коэффициент разветвления: 30 – для схем ТТЛ серии Std и 60 – для серии LS.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

Применение

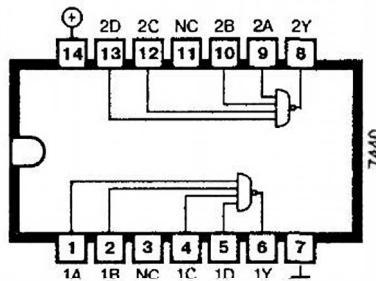
Реализация логических функций И, И-НЕ, инвертирование.

Технические данные

Максимальное выходное напряжение, В	5,5	5,5	5,5	5,5	5,5
Время задержки прохождения сигнала, нс	13	14	7	19	6,5
Ток потребления, мА	20	3	13	3,4	33

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●	●	

7440 ДВА МОЩНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТА И-НЕ



7440

Описание

Микросхема содержит два отдельных логических элемента И-НЕ с четырьмя входами каждый и высоким коэффициентом разветвления по выходу.

Работа схемы

Оба логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все четыре входа каждого элемента на выходе устанавливается напряжение высокого уровня. Если на все четыре входа подается напряжение высокого уровня, то на выходе формируется напряжение низкого уровня.

Коэффициент разветвления по выходу этой микросхемы равен 30, что в 3 раза больше, чем у 7420. Расположение выводов у этих схем одинаковые.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

Применение

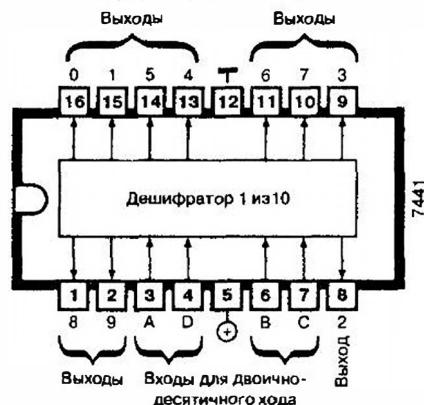
Реализация логических функций И, И-НЕ, инвертирование.

Технические данные	Std	ALS	F	LS	S
Время задержки прохождения сигнала, нс	10	4,75	3,5	12	6
Ток потребления, мА	10	1,4	6	1,7	8,4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●	●		●	●	

7441

ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА (70 В, ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема декодирует стандартный 4-разрядный двоичный код в сигнал на одном из десяти выходов. Благодаря высокому значению максимально допустимого выходного напряжения схема используется для управления электронными лампами с холодным катодом.

Работа схемы

Данные, зашифрованные в двоично-десятичном коде, поступают на выводы 3, 4, 6 и 7: младший двоичный разряд $2^0 = 1$ – на вход А, разряд $2^1 = 2$ – на вход В, разряд $2^2 = 4$ – на вход С и разряд $2^3 = 8$ – на вход D. При поступлении кода на эти входы на соответствующем выходе устанавливается напряжение низкого уровня, при этом на остальных выходах формируется напряжение высокого уровня. Максимальное напряжение на выходе составляет 70 В, что позволяет управлять всеми известными

	Входы				Выходы									
	A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	H	L	L	L	H	L	H	H	H	H	H	H	H	H
2	L	H	L	L	H	H	L	H	H	H	H	H	H	H
3	H	H	L	L	H	H	H	L	H	H	H	H	H	H
4	L	L	H	L	H	H	H	H	L	H	H	H	H	H
5	H	L	H	L	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	H	H	H	L	H	H	H	H	H	H	H	L	H	H
8	L	L	L	H	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
10	L	H	L	H	H	H	L	H	H	H	H	H	H	L
11	H	H	L	H	H	H	H	L	H	H	H	H	H	L
12	L	L	H	H	H	H	H	H	H	H	H	H	H	H
13	H	L	H	H	H	H	H	H	H	H	H	H	H	H
14	L	H	H	H	H	H	H	H	H	H	H	L	H	H
15	H	H	H	H	H	H	H	H	H	H	H	L	H	H

видами ламп с холодным катодом с помощью катодного тока, максимальная величина которого составляет 7,0 мА.

Ложные двоично-десятичные коды (больше 1001) декодируются неправильно и не могут быть использованы.

Данную микросхему выпускают фирмы Fairchild (серия 9315) и Toshiba (серия TD3441AP).

Применение

Преобразование кода, управление электронными лампами с холодным катодом.

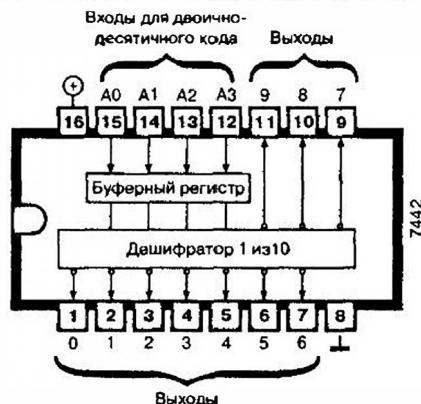
Технические данные

Максимальное выходное напряжение, В	Std 70
Максимальный выходной ток, мА	7,0

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7442

ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА

**Описание**

Микросхема декодирует стандартный 4-разрядный двоично-десятичный код в сигнал низкого уровня на одном из десяти выходов. Она также позволяет преобразовать 3-разрядный двоичный код в сигнал на одном из восьми выходов.

Работа схемы

Данные, зашифрованные в двоично-десятичном коде, поступают на выводы 12–15: младший разряд $2^0 = 1$ – на вход A0, разряд $2^1 = 2$ – на вход A1, разряд $2^2 = 4$ – на вход A2 и разряд $2^3 = 8$ – на вход A3. При поступлении сигнала на указанные входы, на соответствующем выходе устанавливается напряжение низкого уровня, при этом на остальных выходах формируется напряжение высокого уровня. Если, например, входы A0 = 1, A1 = 1, A2 = 1 (логическая 1 представляется сигналом высокого уровня напряжения H) и вход A3 = 0 (логический 0 эквивалентен сигналу низкого уровня L), то на выходе 7 (вывод 9) устанавливается напряжение низкого уровня, а на остальных выходах – напряжение высокого уровня. Если на вход поступает ложный двоично-десятичный код (больше 1001), то на всех выходах формируется напряжение высокого уровня.

При использовании микросхемы в качестве дешифратора 1 из 8 вход A3 (вывод 12) подключают к общему проводу.

Максимальный ток при напряжении низкого уровня на выходе составляет 16 мА. Для получения более высоких значений выходного тока используется микросхема 7445.

Число	Входы				Выходы									
	A3	A2	A1	A0	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
Ложные коды (10-15)	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Применение

Преобразование кода, дешифрование адреса, избирательное управление памятью.

Технические данные

Время задержки сигнала, нс

Std**LS**

17

17

Ток потребления, мА

28

7

Серия

Std

ALS

AS

F

H

L

LS

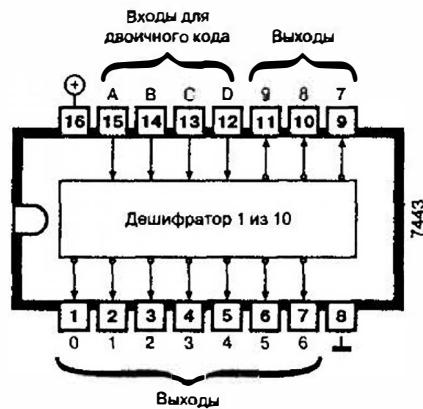
S

●

●

●

7443 ДЕШИФРАТОР КОДА С ИЗБЫТКОМ ТРИ



Описание

Микросхема преобразует 4-разрядный код с избытком три в сигнал низкого уровня на одном из десяти выходов.

Работа схемы

Данные, зашифрованные в коде с избытком три, подаются на выводы 12–15. При поступлении сигнала на вход на соответствующем выходе устанавливается напряжение низкого уровня (см. таблицу истинности), на остальных выходах формируется напряжение высокого уровня. Начиная с кода 1101 на всех выходах устанавливается высокий уровень напряжения.

Код с избытком три широко используется в арифметических устройствах ЭВМ, поскольку поразрядный дополнительный код числа представляет собой код с дополнением до девяти, что упрощает операцию вычитания.

Входы кода с избытком три				Выходы десятичного кода									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
L	L	H	H	L	H	H	H	H	H	H	H	H	
L	H	L	L	H	L	H	H	H	H	H	H	H	
L	H	L	H	H	H	L	H	H	H	H	H	H	
L	H	H	L	H	H	H	L	H	H	H	H	H	
L	H	H	H	H	H	H	H	L	H	H	H	H	
H	L	L	L	H	H	H	H	H	L	H	H	H	
H	L	L	H	H	H	H	H	H	L	H	H	H	
H	L	H	L	H	H	H	H	H	H	L	H	H	
H	L	H	H	H	H	H	H	H	H	H	L	H	
H	H	L	L	H	H	H	H	H	H	H	H	L	
H	H	L	H	H	H	H	H	H	H	H	H	H	
H	H	H	L	H	H	H	H	H	H	H	H	H	
H	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	
L	L	L	H	H	H	H	H	H	H	H	H	H	
L	L	H	L	H	H	H	H	H	H	H	H	H	

Применение

Преобразование кода.

Технические данные**Std**

Время задержки сигнала, нс

17

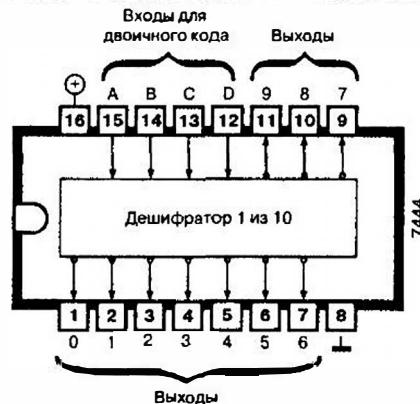
Ток потребления, мА

28

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7444

ДЕШИФРАТОР КОДА ГРЕЯ С ИЗБЫТКОМ ТРИ



Описание

Микросхема преобразует код Грея с избытком три в сигнал низкого уровня на одном из десяти выходов.

Работа схемы

Данные, зашифрованные в коде Грэя с избыtkом три, подаются на выводы 12–15. При поступлении сигнала на данные входы на соответствующем выходе устанавливается напряжение низкого уровня (см. табл.), при этом на остальных выходах – напряжение высокого уровня. Начиная с кода 1101, на всех выходах будет высокий уровень напряжения.

Код Грея с избыtkом три (двоичный циклический код) используется в устройствах для преобразования угла поворота в код или в чувствительных элементах измерительных датчиков. Данный код характерен тем, что два следующих одно за другим числа отличаются друг от друга лишь на один бит даже при переходе между такими числами, как 9 и 0. Поэтому он называется одношаговым кодом.

Применение

Преобразование кода.

Технические данные

Std

Время задержки сигнала, нс

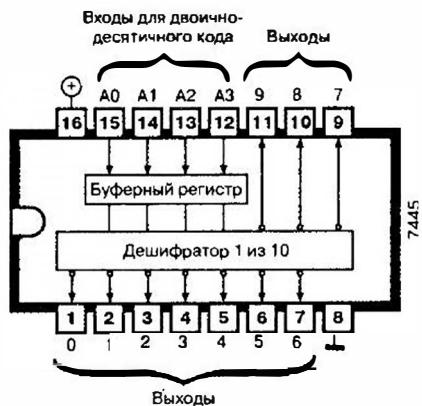
17

Ток потребления, мА

28

7445

ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА/ СХЕМА УПРАВЛЕНИЯ ИНДИКАТОРАМИ (ОТКРЫТЫЙ КОЛЛЕКТОР, 30 В, 80 мА)



Описание

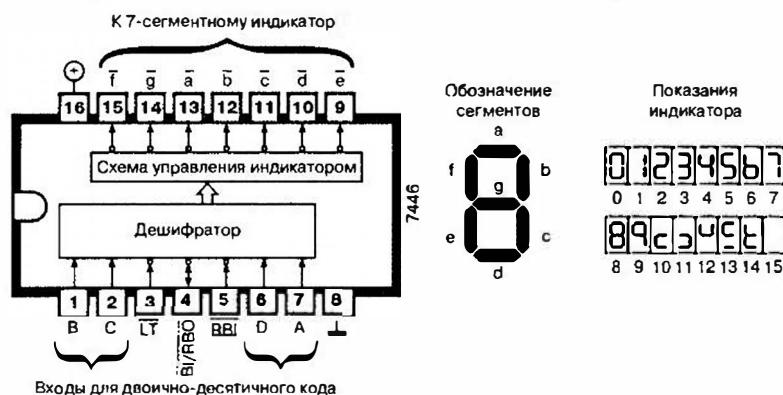
Микросхема декодирует стандартный 4-разрядный двоично-десятичный код в сигнал низкого уровня на одном из десяти выходов. Она также позволяет преобразовать 3-разрядный код в сигнал на одном из восьми выходов.

Работа схемы

Данные, зашифрованные в двоично-десятичном коде, поступают на выводы 12–15: младший разряд $2^0 = 1$ – на вход A0, разряд $2^1 = 2$ – на вход A1, разряд $2^2 = 4$ – на вход A2 и разряд $2^3 = 8$ – на вход A3. При поступлении сигнала на указанные входы, на соответствующем выходе устанавливается напряжение низкого уровня, при этом на остальных выходах формируется напряжение высокого уровня. Если, например,

7446

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 30 В)



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Двоично-десятичный код на входах А, В, С и D после декодирования в ИС преобразуется в сигналы, которые поступают на 7-сегментный индикатор. Микросхема не содержит буферного запоминающего устройства.

При использовании индикатора на светодиодах для ограничения тока следует предусмотреть сопротивление между выходом микросхемы и входом индикатора (обычно 330 Ом).

При изображении на индикаторе цифры 6 верхняя (а), а при изображении цифры 9 нижняя (d) поперечные полоски не показываются.

В нормальном режиме работы на входы LT (контроль индикатора, вывод 3) и BI/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход RBI (входной сигнал схемы последовательного гашения) может подаваться напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход LT подается напряжение низкого уровня. В этом случае включаются все сегменты, индикатор показывает цифру 8.

Стирание незначащих нулей в многопозиционном индикаторе происходит с помощью соединения выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Так как гашение нуля в самом младшем разряде нежелательно, то вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах на индикаторе.

Поскольку яркость всех сегментов индикатора меняется, когда на вход BI/RBO подается сигнал низкого уровня, то при подаче на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

Управление 7-сегментными индикаторами.

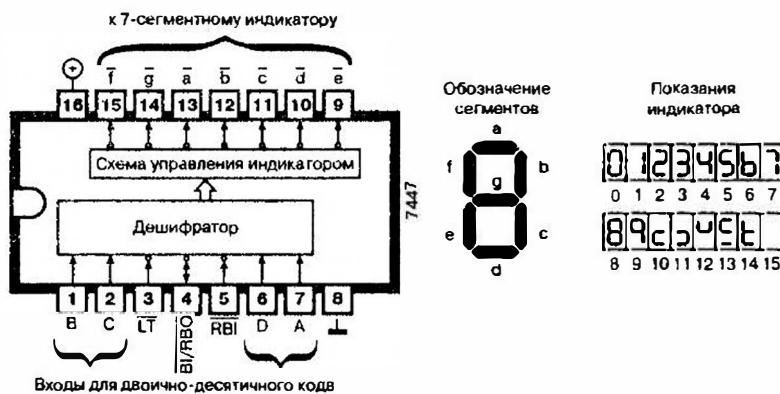
Технические данные

	Std	L
Время задержки прохождения сигнала, нс	100	200
Максимальное выходное напряжение, В	30	
Максимальный ток коллектора, мА	40	20
Ток потребления, мА	64	32

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●			

7447

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Работа и расположение выводов данной микросхемы аналогично 7446А. Схема 7447 отличается от нее лишь меньшей величиной максимального выходного напряжения, которое составляет +15 В.

Применение

Управление 7-сегментными индикаторами.

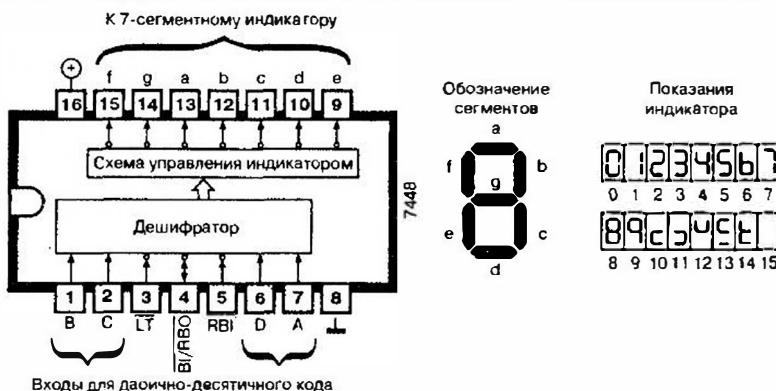
Технические данные

	Std	L	LS
Время задержки прохождения сигнала, нс	100	200	100
Максимальное выходное напряжение, В	15	15	15
Максимальный ток коллектора, мА	40	24	20
Ток потребления, мА	64	32	7

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7448

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора.

Работа схемы

Двоично-десятичный код на входах А, В, С и D после декодирования в ИС преобразуется в сигналы, которые поступают на 7-сегментный индикатор.

У выходов микросхемы нет открытого коллектора, а есть внутренний резистор 2 кОм, подключенный между выходом и линией питания. Активный уровень напряжения на выходе – высокий. При наличии на выходе напряжения низкого уровня максимальный ток должен составлять 6 мА. Для получения больших токов, особенно в мультиплексном режиме передачи сигналов, к схеме дополнительно подключают внешние транзисторы.

Микросхема не содержит буферного запоминающего устройства.

В нормальном режиме работы на входы LT (контроль индикатора, вывод 3) и BI/RBO (выходной сигнал схемы последовательного гашения, вывод 4) подается напряжение высокого уровня. На вход RBI (входной сигнал схемы последовательного гашения) может подаваться напряжение любого уровня.

Проверка всех семи сегментов индикатора происходит, когда на вход LT подается напряжение низкого уровня. В этом случае включаются все сегменты, то есть индикатор показывает цифру 8.

Стирание незначащих нулей в многопозиционном индикаторе происходит с помощью соединения выхода BI/RBO одного разряда с входом RBI ближайшего младшего разряда. При этом вход RBI самого старшего разряда должен быть соединен с общим проводом. Так как гашение нуля в самом младшем разряде, в общем, нежелательно, то вход RBI этого разряда оставляют открытым. Подобным образом можно стирать незначащие нули в десятичных числах, показанных на индикаторе.

Поскольку яркость всех сегментов индикатора меняется, когда на вход BI/RBO подается сигнал низкого уровня, то с помощью подачи на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

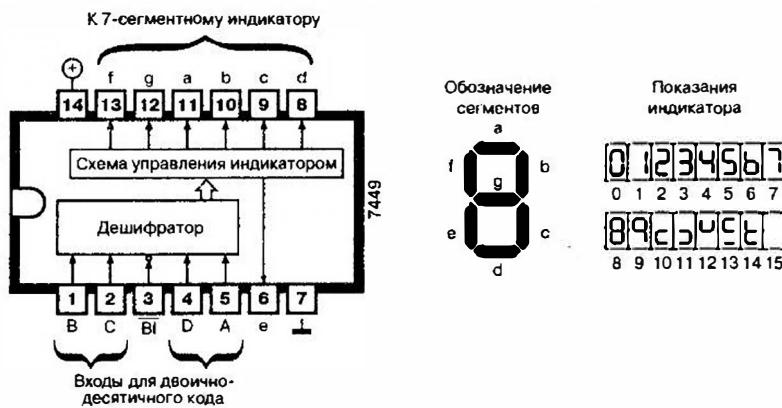
Управление 7-сегментными индикаторами, особенно в мультиплексном режиме.

Технические данные		Std	LS
Время задержки прохождения сигнала, нс		100	100
Ток потребления, мА		55	25

Серия	Std	ALS	AS	F	H	L	LS	S
	●						●	

7449

ДЕШИФРАТОР ДЛЯ УПРАВЛЕНИЯ 7-СЕГМЕНТНЫМ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 5,5 В)



Описание

Микросхема декодирует входной двоично-десятичный код в управляющие сигналы для 7-сегментного индикатора. Выходы схемы имеют открытый коллектор.

Работа схемы

Двоично-десятичный код на входах A, B, C и D после декодирования в ИС преобразуется в сигналы, которые поступают на 7-сегментный индикатор.

Активный уровень напряжения на выходе – высокий. Микросхема не содержит буферного запоминающего устройства. При изображении на индикаторе цифры 6 верхняя (a), а при изображении цифры 9 нижняя (d) попечерные полоски не показываются.

В нормальном режиме работы на вход $\overline{B1}$ (входной сигнал схемы гашения) подается напряжение высокого уровня. При подаче на вход $\overline{B1}$ напряжения низкого уровня меняется яркость индикатора. Поэтому при подаче на этот вход сигнала с широтно-импульсной модуляцией можно осуществить регулировку яркости индикатора.

Применение

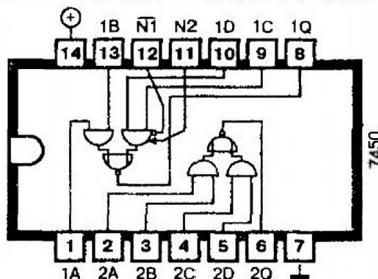
Управление 7-сегментными индикаторами.

Технические данные

	Std	LS
Максимальное выходное напряжение, В	5,5	5,5
Время задержки прохождения сигнала, нс	100	100
Максимальный ток коллектора, мА	10	8

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7450

ДВА ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2-И-ИЛИ-НЕ**Описание**

Микросхема содержит два отдельных логических элемента 2-И-ИЛИ-НЕ, один из которых имеет входы для расширения по ИЛИ.

Работа схемы

Схема состоит из двух логических элементов И с двумя входами каждый, выходы которых подключены ко входам логического элемента ИЛИ-НЕ. Выходы 11 и 12 служат в качестве расширяющих входов.

На выходе 1Q формируется напряжение низкого уровня лишь тогда, когда на входы 1A и 1B или на входы 1D и 1C подается напряжение высокого уровня.

Число логических элементов И на входе можно увеличить с помощью расширителя 7460. Для этого следует соединить выводы 11 и 12 расширителя с выводами 11 и 12 микросхемы 7450, благодаря чему схема 7450 увеличивается на один логический элемент И с четырьмя входами. К одному элементу схемы 7450 можно подключить до четырех расширителей.

Аналогичной схемой без входов расширения является 7451.

Входы				Выход
A	B	C	D	Q
H	H	X	X	L
X	X	H	H	L
Все другие комбинации				H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Std

Время задержки прохождения сигнала, нс

10

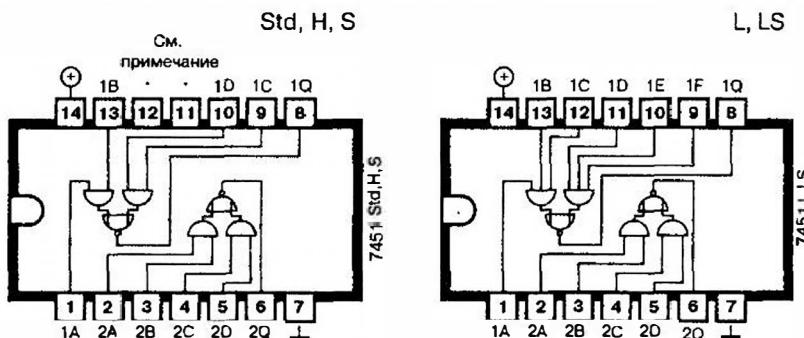
Ток потребления, мА

6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●				●				

7451

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ 2-2И-2ИЛИ-НЕ И 3-ЗИ-2ИЛИ-НЕ



Примечание:
выводы 11 и 12 подключать нельзя

Описание

Микросхема содержит два отдельных логических элемента 2-2И-2ИЛИ-НЕ.

Работа схемы

Логические элементы можно использовать независимо друг от друга.

Они состоят из двух элементов И с двумя входами на каждом, выходы которых подключены ко входам 2ИЛИ-НЕ.

На выходе 1Q формируется напряжение низкого уровня лишь тогда, когда на входы 1A и 1B или на входы 1D и 1C подается напряжение высокого уровня.

Это относится только к микросхемам серий Std, H и S.

В микросхемах серий L и LS один из двух логических элементов аналогичен элементам микросхем серий Std, H и S. У второго логического элемента два элемента И имеют по три входа каждый. В этом случае на выходе 1Q формируется напряжение низкого уровня, когда на входы 1A, 1B и 1C или на входы 1D, 1E и 1F подается напряжение высокого уровня.

74L51, 74LS51

Входы					Выход	
1A	1B	1C	1D	1E	1F	1Q
H	H	H	X	X	X	L
X	X	X	H	H	H	L
Все другие комбинации						H

7451, 74S51, 74H51

Входы				Выход
A	B	C	D	Q
H	H	X	X	L
X	X	H	H	L
Все другие комбинации				H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Время задержки прохождения сигнала, нс

Ток потребления, мА

Std

F

LS

S

3

12,5

3,5

10

3,5

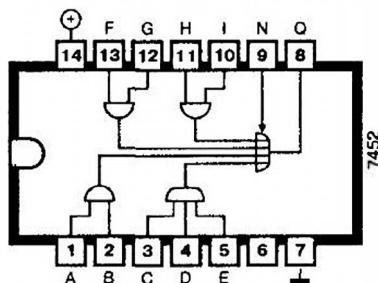
1,1

11

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●	●	●	●	●	

7452

ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-2-ЗИ-4ИЛИ С ВХОДОМ РАСШИРЕНИЯ



Описание

Микросхема содержит три двухходовых логических элемента И, а также один трехходовой И. Их выходы подключены к входам логического элемента 4ИЛИ с одним входом расширения.

Работа схемы

На выходе Q формируется напряжение высокого уровня лишь в том случае, когда на входы A и B, или C, D и E, или F и G, или H и I подается высокий уровень напряжения.

Расширяющий вход N должен оставаться открытым, если он не используется. Выпускается лишь одна серия данной микросхемы – Н.

Входы									Выход
A	B	C	D	E	F	G	H	I	Q
H	H	X	X	X	X	X	X	X	H
X	X	H	H	H	X	X	X	X	H
X	X	X	X	X	H	H	X	X	H
X	X	X	X	X	X	X	X	H	H
Все остальные комбинации									L

Применение

Реализация логических функций ИЛИ, И.

Технические данные

Н

Время задержки прохождения сигнала, нс

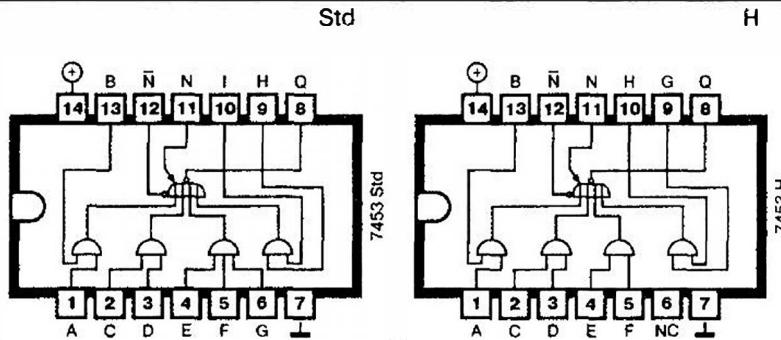
10

Ток потребления, мА

18

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

7453 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-2-2И-4ИЛИ-НЕ (2-2-2-ЗИ-4ИЛИ-НЕ)



Описание

Микросхема содержит логический элемент 4ИЛИ-НЕ с расширяющими входами. Входы этого элемента соединены с выходами четырех двухвходовых элементов И (серия Std) или трех двухвходовых и одного трехвходового элементов И (серия H).

Работа схемы

На выходе Q (серия Std) формируется напряжение низкого уровня лишь в том случае, когда на входы A и B, или C и D, или E и F, или G и H подается напряжение высокого уровня.

Расширяющие входы должны оставаться открытыми, если они не используются.

Интегральная микросхема серии H содержит один логический элемент И с тремя входами, а также три логических элемента И с двумя входами.

В технической литературе эти логические микросхемы иногда обозначаются как схемы AOI (И-ИЛИ с инвертированием). Такое обозначение не очень удачно, поскольку логический элемент ИЛИ и инвертор вместе образуют логический элемент ИЛИ-НЕ. Так как в данной схеме выход логического элемента ИЛИ не выведен отдельно, его выходной сигнал всегда инвертируется, то есть в каждом случае реализуется функция ИЛИ-НЕ.

7453

Входы								Выход
A	B	C	D	E	F	G	H	Q
H	H	X	X	X	X	X	X	L
X	X	H	H	X	X	X	X	L
X	X	X	X	H	H	X	X	L
X	X	X	X	X	X	H	H	L
Все остальные комбинации								H

74H53

Входы									Выход
A	B	C	D	E	F	G	H	I	Q
H	H	X	X	X	X	X	X	X	L
X	X	H	H	X	X	X	X	X	L
X	X	X	X	H	H	H	H	X	L
X	X	X	X	X	X	X	H	H	L
Все остальные комбинации									H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Время задержки прохождения сигнала, нс

Std

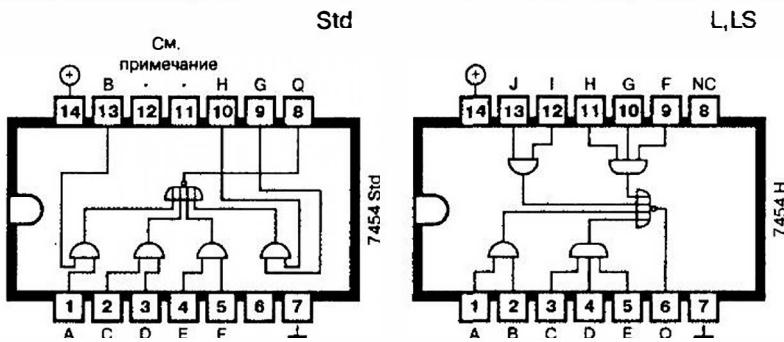
10,5

Ток потребления, мА

5

Серия	Std	ALS	AS	F	H	L	LS	S	
	●				●				

7454/1 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-2-2И-4ИЛИ-НЕ (2-2-3-ЗИ-4ИЛИ-НЕ)



Примечание:
выходы 11 и 12 подключать нельзя

Описание

Микросхема содержит логический элемент ИЛИ-НЕ с четырьмя входами, которые подключены к выходам четырех логических элементов И. В микросхеме серии Std четыре логических элемента И имеют по два входа каждый. В микросхемах серий L и LS два логических элемента И также имеют по два входа, а остальные два элемента И – по три входа.

Работа схемы

Для каждой серии схемы на выходе Q формируется напряжение низкого уровня лишь тогда, когда на все входы любого из четырех логических элементов И подается напряжение высокого уровня, то есть для серии Std это входы A и B, или C и D, или G и H; для серий L и LS – входы A и B, или C, D и E, или F, G и H, или I и J.

Описание микросхемы 74H54 см. на следующей странице.

7454

Входы								Выход
A	B	C	D	E	F	G	H	Q
H	H	X	X	X	X	X	X	L
X	X	H	H	X	X	X	X	L
X	X	X	X	H	H	X	X	L
X	X	X	X	X	X	H	H	L
Все остальные комбинации								H

74L54, 74LS54

Входы										Выход
A	B	C	D	E	F	G	H	I	J	Q
H	H	X	X	X	X	X	X	X	X	L
X	X	H	H	H	X	X	X	X	X	L
X	X	X	X	X	H	H	H	H	X	L
X	X	X	X	X	X	X	X	H	H	L
Все остальные комбинации										H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Время задержки прохождения сигнала, нс

Std

LS

Ток потребления, мА

10

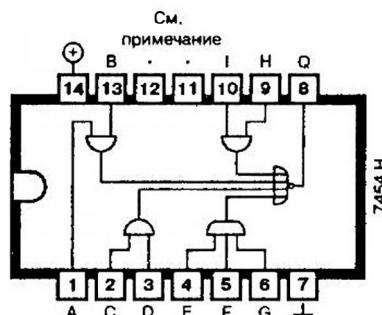
12,5

4

0,9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7454/2 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-2-ЗИ-4ИЛИ-НЕ



Примечание:
выводы 11 и 12 подключать нельзя

Описание

Микросхема содержит логический элемент ИЛИ-НЕ с четырьмя входами, которые соединены с выходами четырех логических элементов И, три из которых имеют по два входа каждый, а четвертый – три входа.

Работа схемы

В этой схеме на выходе Q формируется напряжение низкого уровня лишь в том случае, когда на входы A и B, или C и D, или E, F и G, или I и H подается напряжение высокого уровня.

К выводам 11 и 12 не должно быть подключено никаких внешних цепей.

Входы									Выход
A	B	C	D	E	F	G	H	I	Q
H	H	X	X	X	X	X	X	X	L
X	X	H	H	X	X	X	X	X	L
X	X	X	X	H	H	H	X	X	L
X	X	X	X	X	X	X	H	H	L
Все остальные комбинации									H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Н

Время задержки прохождения сигнала, нс

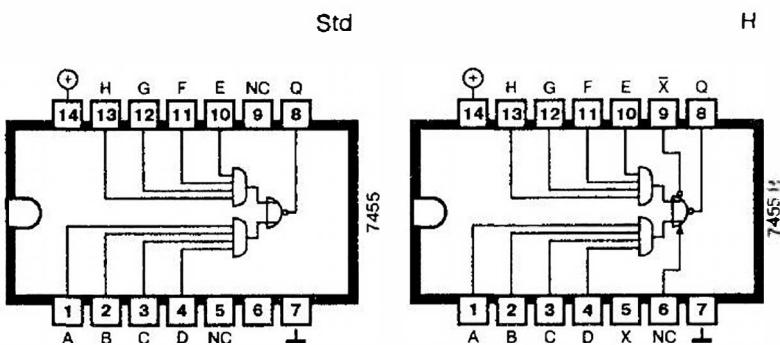
6,5

Ток потребления, мА

8

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

7455 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 4-ИЛИ-НЕ



Описание

Микросхема содержит логический элемент ИЛИ-НЕ с двумя входами, подключенными к выходам двух логических элементов И с четырьмя входами каждый.

Работа схемы

На выходе Q формируется напряжение низкого уровня лишь тогда, когда на входы A, B, C и D одного из двух логических элементов И или входы E, F, G и H другого логического элемента И подается напряжение высокого уровня.

Микросхема серии Н имеет расширяющие входы X и X-bar, которые должны быть открыты, если они не используются.

Входы								Выход
A	B	C	D	E	F	G	H	Q
H	H	H	H	X	X	X	X	L
X	X	X	X	H	H	H	H	L
Все остальные комбинации								H

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

LS

Время задержки прохождения сигнала, нс

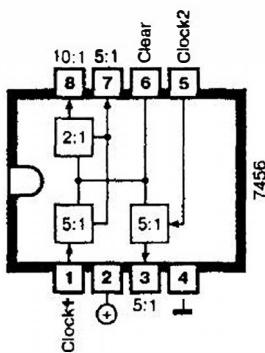
12

Ток потребления, мА

1

Серия	Std	ALS	AS	F	H	L	LS	S	
					●	●	●		

7456 ДЕЛИТЕЛЬ ЧАСТОТЫ 50:1



Описание

Микросхема содержит делитель частоты 2:1 и два делителя частоты 5:1.

Работа схемы

Поскольку в данной микросхеме три отдельных делителя частоты, можно получить четыре различных коэффициента деления, а именно: 5:1, 10:1, 25:1 и 50:1.

Схема имеет два отдельных входа тактовых импульсов: Clock 1 и Clock 2.

Схема включается при переходе тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт импульса).

Установка в исходное положение происходит при подаче напряжения высокого уровня на вход Clear и не зависит от состояния входов тактовых импульсов.

Микросхема выпускается также под серийным номером 49710, серия Std.

При использовании нескольких микросхем достигаются различные коэффициенты деления частоты. Например, применяя две схемы 7456, можно получить коэффициенты деления 2500:1, 625:1 или 100:1.

Применение

Делитель частоты, таймер.

Технические данные

Максимальная рабочая частота, МГц

LS

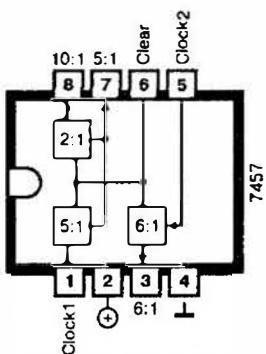
25

Ток потребления, мА

11

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7457 ДЕЛИТЕЛЬ ЧАСТОТЫ 60:1



Описание

Микросхема содержит делители частоты 2:1, 5:1 и 6:1.

Работа схемы

Поскольку в данной микросхеме три отдельных делителя частоты с различными коэффициентами деления, можно получить пять различных коэффициентов, а именно: 5:1, 6:1, 10:1, 30:1 и 60:1.

Схема имеет два отдельных входа тактовых импульсов: Clock 1 и Clock 2.

Схема включается при переходе тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт импульса).

Установка в исходное положение осуществляется при подаче напряжения высокого уровня на вход Clear и не зависит от состояния входов тактовых импульсов.

Микросхема выпускается также под серийным номером 49711, серия Std.

Применение

Делитель частоты, таймер.

Технические данные

LS

Максимальная рабочая частота, МГц

25

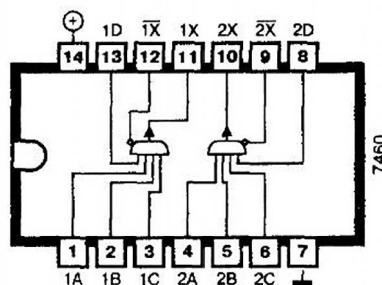
Ток потребления, мА

11

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7460

ДВА РАСШИРИТЕЛЯ И С ЧЕТЫРЬМЯ ВХОДАМИ КАЖДЫЙ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Данная микросхема содержит два расширителя с четырьмя входами каждый.

Работа схемы

Микросхема служит для расширения схем 7423, 7450 и 7453, а также схем 74H50, 74H53 и 74H55. При этом можно подключать до четырех микросхем 7460, соединяя между собой соответствующие входы X и \bar{X} . Таким образом, число логических элементов И на входе вышеперечисленных микросхем увеличивается.

Применение

Расширение входов микросхем 7423, 7450, 7453, а также 74H50, 74H53 и 74H55.

Технические данные

Время задержки прохождения сигнала, нс
Ток потребления, мА

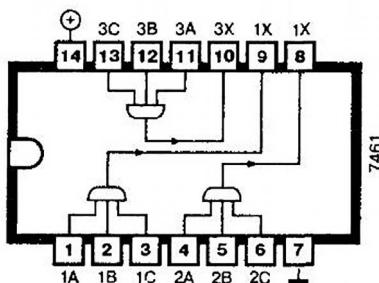
Std

25
2

Серия	Std	ALS	AS	F	H	L	LS	S	
●					●				

7461

ТРИ РАСШИРИТЕЛЯ И С ТРЕМЯ ВХОДАМИ КАЖДЫЙ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Данная микросхема содержит три отдельных расширителя с тремя входами каждый.

Работа схемы

Каждый из трех расширителей можно использовать отдельно от других. Они служат для расширения входов логического элемента И микросхемы 74H52, с которой можно применять до шести микросхем 74H61.

Применение

Расширение входов логического элемента И микросхемы 74H52.

Технические данные

H

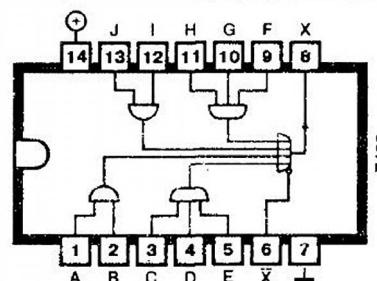
Максимальный ток потребления, мА

16

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

7462

РАСШИРИТЕЛЬ 2-2-3-ЗИ-4ИЛИ (ОТКРЫТЫЙ КОЛЛЕКТОР)



7462

Описание

Данная микросхема содержит расширитель 2-2-3-ЗИ-4ИЛИ.

Работа схемы

Микросхема служит для расширения входов схем 74H50, 74H53 и 74H55, причем с ними используется лишь микросхема 74H62.

Применение

Расширение входов микросхем 74H50, 74H53 и 74H55.

Технические данные

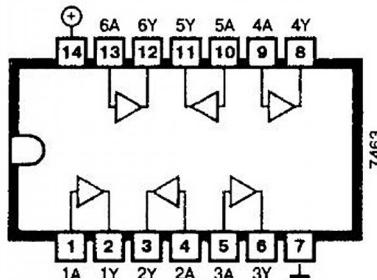
H

Ток потребления, мА

9

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

7463 ШЕСТЬ ПРЕОБРАЗОВАТЕЛЕЙ ТОКА



Описание

Данная микросхема содержит шесть отдельных преобразователей тока.

Работа схемы

Микросхема служит для преобразования тока в соответствующий уровень напряжения. Если входной ток преобразователя $\leq 50 \text{ мкА}$, то на его выходе формируется напряжение низкого уровня. Если входной ток $\geq 200 \text{ мкА}$, то на выходе преобразователя формируется напряжение высокого уровня.

Прежде всего, схема служит в качестве устройства сопряжения для программируемых логических матриц (ПЛМ) или других логических узлов, которые не могут непосредственно принимать сигналы, задаваемые величиной тока в цепи.

Применение

Преобразование уровня тока в уровень напряжения в схемах ТТЛ.

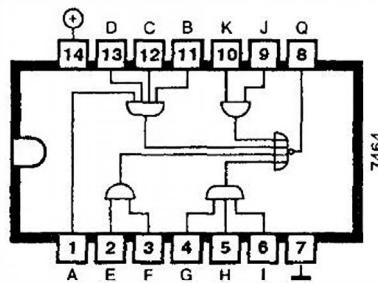
Технические данные

	LS
Время задержки прохождения сигнала, нс	21
Входное сопротивление, Ом	610
Ток потребления, мА	8

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7464

ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-3-4И-4ИЛИ-НЕ



7464

Описание

Микросхема содержит один логический элемент ИЛИ-НЕ с четырьмя входами, которые соединены с выходами двух логических элементов И с двумя входами на каждом, одного логического элемента И с тремя входами, а также одного логического элемента И с четырьмя входами.

Работа схемы

На выходе Q формируется напряжение низкого уровня лишь в том случае, когда на входы A, B, C и D, или E и F, или G, H и I, или J и K подается напряжение высокого уровня.

Входы										Выход	
A	B	C	D	E	F	G	H	I	J	K	Q
H	H	H	H	X	X	X	X	X	X	X	L
X	X	X	X	H	H	X	X	X	X	X	L
X	X	X	X	X	X	H	H	H	X	X	L
X	X	X	X	X	X	X	X	X	H	H	L
Все остальные комбинации										H	

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

Время задержки прохождения сигнала, нс

Std

S

4

3,5

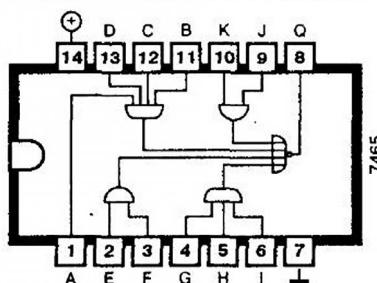
Ток потребления, мА

2,5

7

Серия	Std	ALS	AS	F	H	L	LS	S	
				●	●			●	

**7465 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ 2-2-3-4И-4ИЛИ-НЕ
(ОТКРЫТЫЙ КОЛЛЕКТОР)**



Описание

Микросхема содержит один логический элемент ИЛИ-НЕ с четырьмя входами, которые соединены с выходами двух логических элементов И (у каждого по два входа), одного логического элемента И (три входа), а также одного логического элемента И (четыре входа). Выход логического элемента ИЛИ-НЕ имеет открытый коллектор.

Работа схемы

На выходе Q формируется напряжение низкого уровня лишь в том случае, когда на входы A, B, C и D, или E и F, или G, H и I, или J и K подается напряжение высокого уровня. В остальных случаях на выходе будет высокий уровень напряжения.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания +5 В.

Применение

Реализация логических функций И-НЕ, ИЛИ-НЕ.

Технические данные

5

Время задержки прохождения сигнала, нс

5.5

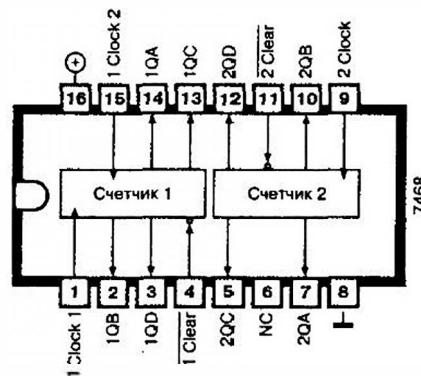
Максимальное выходное напряжение, В

55

Ток потребления, мА

7

7468 ДВА АСИНХРОННЫХ ДЕСЯТИЧНЫХ СЧЕТЧИКА



Описание

Микросхема содержит два отдельных быстродействующих асинхронных десятичных счетчика.

Работа схемы

Оба счетчика последовательно переключаются по отрицательному фронту тактового импульса (переход напряжения с высокого уровня на низкий). В нормальном режиме работы на входы Clear подается напряжение высокого уровня. Если на них подать напряжение низкого уровня, такое же напряжение формируется и на всех выходах независимо от состояния входов тактовых импульсов (Clock).

Счетчики 1 и 2 работают как десятичные, кроме того, счетчик 1 может работать в двоично-пятеричном коде.

В счетчике 1 необходимо соединить выход QA с входом Clock2, в счетчике 2 эта связь внутренняя.

В счетчике 2 необходимо соединить выход QD с входом тактовых импульсов Clock1.

Десятичный режим. Счетчики 1 или 2

Номер тактового импульса на входе CLOCK 1	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

Двоично-пятеричный режим. Счетчик 2

Номер тактового импульса на входе CLOCK 2	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

Применение

Счетчик импульсов и делитель частоты 10:1 и 100:1.

Технические данные**LS**

Максимальная частота работы счетчика, МГц

40

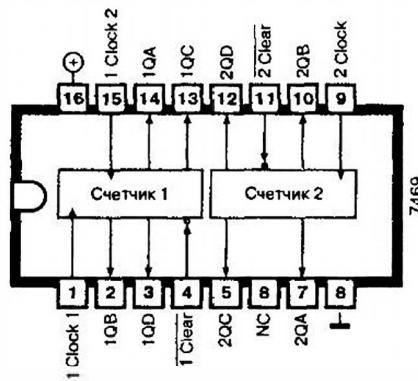
Ток потребления, мА

36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7469

ДВА АСИНХРОННЫХ 4-РАЗРЯДНЫХ ДВОИЧНЫХ СЧЕТЧИКА



Описание

Микросхема содержит два отдельных быстродействующих асинхронных двоичных счетчика.

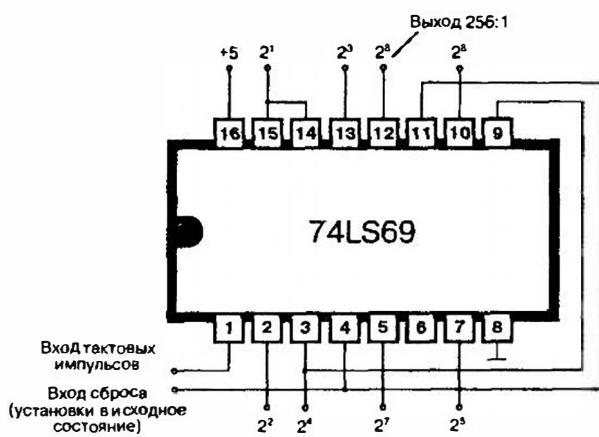
Работа схемы

Оба счетчика последовательно переключаются по отрицательному фронту тактового импульса (переход напряжения с высокого уровня на низкий). В нормальном режиме работы на входы Clear подается напряжение высокого уровня. Если на них подать напряжение низкого уровня, такое же напряжение формируется и на всех выходах независимо от состояния входов тактовых импульсов (Clock).

Вход Clear можно применить для блокировки тактового импульса, если на него в определенные моменты подавать напряжение низкого уровня.

Соединяя между собой вводы 14 и 15, а также 3 и 9, микросхему используют в качестве делителя частоты 256:1 (см. рис. внизу).

В счетчике 1 необходимо соединить выход QA с входом Clock2. В счетчике 2 эта связь внутренняя.



Номер тактового импульса	Выходы			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Применение

Двоичный счетчик импульсов и делитель частоты.

Технические данные

LS

Максимальная частота работы счетчика, МГц

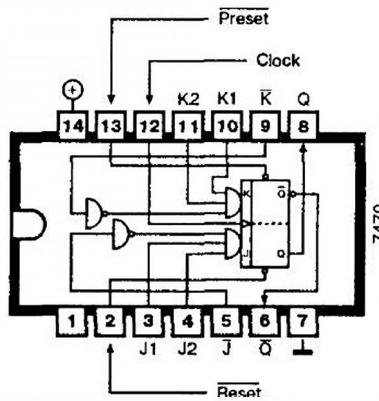
40

Ток потребления, мА

36

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

7470 JK-ТРИГГЕР С 3-КАНАЛЬНЫМИ ВХОДАМИ, ВХОДОМ УСТАНОВКИ И ВХОДОМ СБРОСА



Описание

Микросхема содержит синхронизируемый тактовым импульсом JK-триггер с прямыми входами сигналов установки и сброса. Ко входам J и K триггера подключены логические элементы ЗИ с одним инвертирующим входом.

Работа схемы

Информация подается на входы J и K при перепаде тактового импульса с низкого уровня напряжения на высокий (положительный фронт). Сигналы поступают на входы триггера через трехходовые логические элементы И с одним инвертирующим входом.

Например, на вход J триггера поступает напряжение высокого уровня лишь тогда, когда на J1 и J2 подается напряжение высокого, а на \bar{J} – низкого уровня; то же относится и ко входу K.

Если на вход J подается напряжение высокого, а на K – низкого уровня, то по фронту тактового импульса на выходе Q устанавливается напряжение высокого, а на выходе \bar{Q} – низкого уровня.

Когда на вход J поступает напряжение низкого уровня, а на K – высокого, то по фронту тактового импульса на выходе Q устанавливается низкий уровень напряжения, а на выходе \bar{Q} – высокий.

Если на оба входа J и K подается напряжение высокого уровня, то по фронту тактового импульса состояние выходов Q и \bar{Q} меняется на противоположное.

Неиспользуемые входы J и K должны быть соединены с общим проводом.

Входы Preset (установка) и Reset (сброс) являются асинхронными. Активный уровень напряжения для них – низкий. При подаче напряжения низкого уровня на вход Preset на выходе Q устанавливается высокий уровень напряжения. При подаче напряжения низкого уровня на вход Reset на выходе Q формируется такое напряжение.

Если на оба входа одновременно подается напряжение низкого уровня, на выходах Q и \bar{Q} устанавливается напряжение высокого уровня. Но подобное состояние выходов является неустойчивым и не сохраняется, если на входы Preset и Reset будет подано напряжение высокого уровня.

Входы				Выходы		
Preset	Reset	Clock	J K	Q	\bar{Q}	
L	H	X	X X	H	L	
H	L	X	X X	L	H	
L	L	X	X X	H*	H*	
H	H		L L	Без изменений		
H	H		L H	L	H	
H	H		H L	H	L	
H	H		H H	Переключение		

* – Неустойчивое состояние

Применение

Регистры, счетчики, схемы управления.

Технические данные

Std

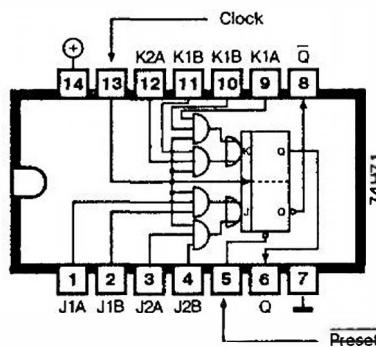
Максимальная рабочая частота, МГц 20

Время задержки прохождения сигнала, нс 22

Ток потребления, мА 13

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74H71 JK-ТРИГГЕР С МНОГОКАНАЛЬНЫМИ ВХОДАМИ И ВХОДОМ УСТАНОВКИ



Описание

Микросхема содержит синхронизируемый тактовым импульсом JK-триггер с входом установки. К входам J и K триггера подключены логические элементы 3-ЗИ-2ИЛИ.

Работа схемы

Информация подается на входы J и K по отрицательному фронту тактового импульса.

При этом протекают следующие процессы: в момент времени 1 подчиненный элемент отсоединен от основного; в момент времени 2 информация с входов логического элемента И-ИЛИ поступает в основной элемент; в момент времени 3 входы логического элемента И-ИЛИ отсоединены и в момент времени 4 информация передается от основного элемента к подчиненному.

На вход J триггера поступает напряжение высокого уровня лишь тогда, когда такое напряжение подается на входы J1A и J1B или J2A и J2B; то же относится и к входам K.

Если на вход J подается напряжение высокого уровня, а на вход K – низкого, то по фронту тактового импульса на выходе Q устанавливается напряжение высокого, а на выходе Q-bar – низкого уровня.

Когда на вход J подается напряжение низкого уровня, а на вход K – высокого, то по фронту тактового импульса на выходе Q устанавливается напряжение низкого, а на выходе Q-bar – высокого уровня.

Если на оба входа J и K подается напряжение низкого уровня, то по фронту тактового импульса состояние выходов Q и Q-bar изменится на противоположное.

Если на вход установки триггера Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня, а на выходе Q-bar – низкого независимо от состояния всех остальных входов.



Входы				Выходы	
Preset	Clock	J	K	Q	Q-bar
L	X	X	X	H	L
H	—	L	L	Без изменений	
H	—	L	H	L	H
H	—	H	L	H	L
H	—	H	H	Переключение	

Применение

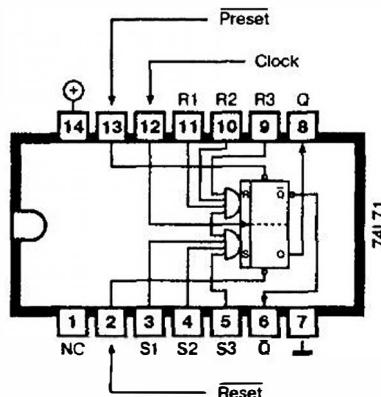
Регистры, счетчики, схемы управления.

Технические данные

Максимальная рабочая частота, МГц	H	25
Время задержки прохождения сигнала, нс	L	18
Потребляемый ток, мА	LS	16

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

74L71 RS-ТРИГГЕР С МНОГОКАНАЛЬНЫМИ ВХОДАМИ, ВХОДОМ УСТАНОВКИ И ВХОДОМ СБРОСА



Описание

Микросхема содержит синхронизируемый тактовым импульсом RS-триггер с логическими элементами ЗИ на входах, входом установки и входом сброса.

Работа схемы

Информация передается на входы R и S триггера при перепаде тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт).

На вход R поступает напряжение высокого уровня лишь тогда, когда такое же напряжение одновременно подается на входы R1, R2 и R3; то же относится и к входу S.

Если на вход S поступает напряжение высокого уровня, а на вход R – низкого, то по фронту тактового импульса на выходе Q устанавливается высокий, а на выходе \bar{Q} – низкий уровень напряжения.

Когда на вход S поступает напряжение низкого уровня, а на вход R – высокого, то по фронту тактового импульса на выходе Q устанавливается напряжение низкого, а на выходе \bar{Q} – высокого уровня.

Если на оба входа S и R поступает напряжение высокого уровня, то тактовый импульс переводит выходы Q и \bar{Q} в неопределенное состояние.

Входы					Выходы	
Preset	Reset	Clock	S	R	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	[pulse]	L	L	Без изменений	
H	H	[pulse]	H	L	H	L
H	H	[pulse]	L	H	L	H
H	H	[pulse]	H	H	Неопредел. сост.	

* – нестабильное состояние

Если на вход Preset подается напряжение низкого уровня, а на вход Reset – высокого уровня, то на выходе Q будет напряжение высокого уровня, а на выходе Q – низкого независимо от тактового импульса.

Если на вход Preset подается напряжение высокого уровня, а на вход Reset – низкого, то на выходе Q устанавливается низкий уровень напряжения, а на выходе Q – высокий независимо от тактового импульса.

Если на оба входа Preset и Reset одновременно подается напряжение низкого уровня, то на выходах Q и Q формируется напряжение высокого уровня. Но такое состояние выходов является неустойчивым и не сохраняется после изменения состояния входов Preset или Reset.

Применение

Регистры, счетчики, делители частоты, схемы управления.

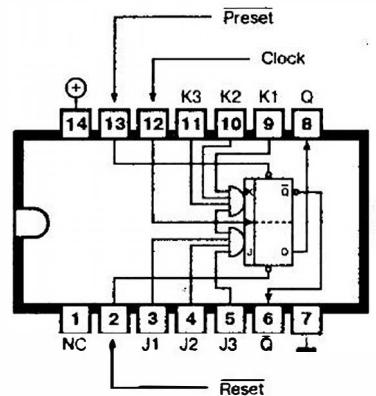
Технические данные

Максимальная рабочая частота, МГц	2,5	L
Время задержки прохождения сигнала, нс	47,5	
Ток потребления, мА	1	

Серия	Std	ALS	AS	F	H	L	LS	S	
						●			

7472

JK-ТРИГГЕР С МНОГОКАНАЛЬНЫМИ ВХОДАМИ, ВХОДОМ УСТАНОВКИ И ВХОДОМ СБРОСА



Описание

Микросхема содержит синхронизируемый тактовым импульсом JK-триггер с логическими элементами ЗИ на входах, входом установки и входом сброса.

Работа схемы

Информация передается на входы J и K триггера при перепаде тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт).

При этом протекают следующие процессы: в момент времени 1 подчиненный элемент отсоединен от основного; в момент времени 2 информация с входов логического элемента И поступает в основной элемент; в момент времени 3 входы J и K отсоединены и в момент времени 4 информация передается от основного элемента подчиненному.



На вход J поступает напряжение высокого уровня лишь тогда, когда на входы J1, J2 и J3 одновременно подается напряжение высокого уровня. То же относится и ко входу K.

Если на вход J поступает напряжение высокого уровня, а на вход K – низкого, то по фронту тактового импульса на выходе Q устанавливается напряжение высокого уровня, а на выходе \bar{Q} – низкого.

Когда на вход J поступает напряжение низкого уровня, а на вход K – высокого уровня, то по фронту тактового импульса на выходе Q устанавливается напряжение низкого уровня, а на выходе \bar{Q} – высокого.

Если на оба входа J и K поступает напряжение низкого уровня, то по фронту тактового импульса состояние выходов Q и \bar{Q} изменяется на противоположное.

Если на вход установки Preset подается напряжение низкого уровня, а на вход Reset – высокого, то на выходе Q устанавливается напряжение высокого уровня, а на выходе \bar{Q} – низкого, независимо от состояния всех остальных входов.

Если на вход Preset подается напряжение высокого, а на вход Reset – низкого уровня, то на выходе Q формируется напряжение низкого уровня, а на выходе \bar{Q} – высокого уровня.

Если на входы Preset и Reset одновременно подается напряжение низкого уровня, то и на выходе Q и на выходе \bar{Q} устанавливается напряжение высокого уровня. Однако такое состояние выходов является неустойчивым и не сохраняется после изменения состояния входов Preset или Reset.

Таблица истинности данной схемы совпадает с таблицей истинности микросхемы 74L71.

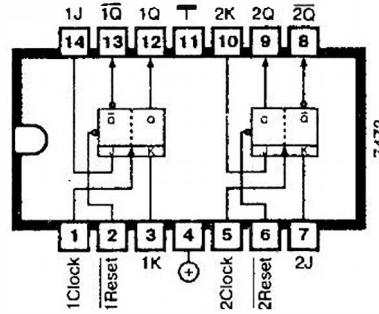
Применение

Регистры, счетчики, делители частоты, схемы управления.

Технические данные	Std	L	H
Максимальная рабочая частота, МГц	15	2,5	25
Время задержки прохождения сигнала, нс	20	47	18
Ток потребления, мА	10	8	16

Серия	Std	ALS	AS	F	H	L	LS	S	
	●				●	●			

7473 ДВА JK-ТРИГГЕРА С ВХОДАМИ СБРОСА



Описание

Микросхема содержит два JK-триггера с входами сброса и раздельными входами тактовых импульсов.

Работа схемы

Оба триггера можно использовать независимо друг от друга.

Микросхемы TTL серий Std, H и L запускаются импульсом (потенциалом), а серии LS – отрицательным фронтом импульса (перепадом потенциала).

В триггерных схемах, запускаемых импульсом, информация подается на входы J и K при перепаде положительного тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт).

При этом протекают следующие процессы: в момент времени 1 подчиненный элемент отсоединен от основного; в момент времени 2 информация со входов J и K поступает в основной элемент; в момент времени 3 входы J и K отсоединены и в момент времени 4 информация передается от основного элемента подчиненному.



Если на вход J подается напряжение высокого, а на вход K – низкого уровня, то по тактовому импульсу на выходе Q устанавливается напряжение высокого, а на выходе \bar{Q} – низкого уровня.

Когда на вход J подается напряжение низкого, а на вход K – высокого уровня, то по тактовому импульсу на выходе Q формируется напряжение низкого, а на выходе \bar{Q} – высокого уровня.

Если на оба входа J и K подается напряжение высокого уровня, то по фронту тактового импульса состояние выходов Q и \bar{Q} изменяется на противоположное, что позволяет делить тактовую частоту на 2.

Если на входы J и K подается напряжение низкого уровня, тактовый импульс не оказывает никакого влияния на состояние выходов.

Если на вход сброса триггера \bar{Q} подается напряжение низкого уровня, то на выходе Q устанавливается напряжение низкого, а на выходе \bar{Q} – высокого уровня независимо от состояния всех остальных входов.

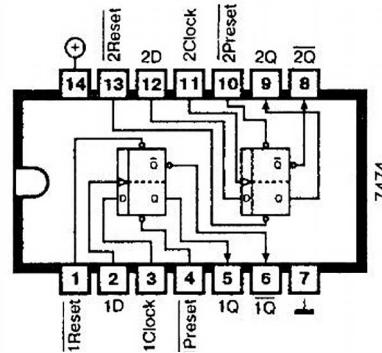
Применение

Регистры, счетчики, делители частоты, схемы управления.

Технические данные	Std	L	H	LS
Максимальная рабочая частота, МГц	15	25	2,5	30
Время задержки прохождения сигнала, нс	20	12	200	20
Ток потребления, мА	20	32	2	4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		●		●	●	●		

7474 ДВА D-ТРИГГЕРА С ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных D-триггера, которые запускаются положительным фронтом тактового импульса и имеют раздельные входы установки и сброса.

Работа схемы

Оба триггера можно использовать независимо друг от друга.

Информация, поступающая на вход D, передается на выход Q (и в инверсном виде на выход \bar{Q}), когда напряжение на входе тактовых импульсов изменяется с низкого уровня на высокий. Без положительного фронта тактового импульса на синхронизирующем входе невозможен никакой последовательный перенос информации с входа D на выход Q.

Если на вход D подается напряжение высокого уровня, то тактовый импульс устанавливает на выходе Q напряжение высокого, а на выходе \bar{Q} – низкого уровня.

Когда на вход D подается напряжение низкого уровня, то тактовый импульс устанавливает на выходе Q напряжение низкого, а на выходе \bar{Q} – высокого уровня. Поступающие на вход D данные могут меняться в любой момент. Информация считается значимой лишь тогда, когда тактовый импульс переходит с низкого уровня напряжения на высокий. В этот момент она передается на триггер.

В нормальном режиме работы на входы Preset и Reset подается напряжение высокого уровня. Если на вход Reset подается напряжение низкого уровня, то на выходе Q формируется напряжение низкого, а на выходе \bar{Q} – высокого уровня. Если

Входы				Выходы	
Preset	Reset	Clock	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Без изменений	
H	H	↑	H	Без изменений	
H	H	↑	L	Без изменений	

* – нестабильное состояние

на вход Preset подается напряжение низкого уровня, то на выходе Q формируется напряжение высокого, а на выходе \bar{Q} – низкого уровня. Не следует подавать напряжение низкого уровня одновременно на оба эти входа, поскольку в этом случае выходы будут находиться в неустойчивом состоянии, которое изменится, когда изменится состояние входов Preset или Reset.

Применение

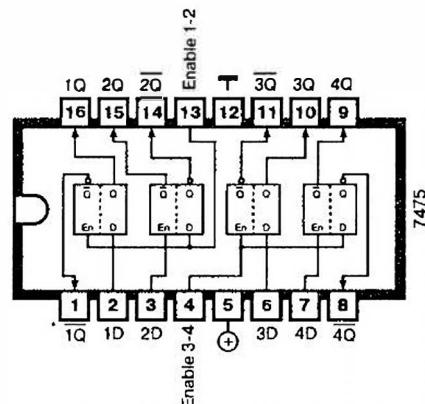
Регистры, счетчики, схемы управления.

Технические данные	Std	ALS	AS	F	LS	S
Максимальная рабочая частота, МГц	15	34	105	100	25	75
Время задержки прохождения сигнала, нс	17	10	6	4	19	6
Ток потребления, мА	17	1,2	5	10	4	30

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●	●	●	●	●	

7475

ЧЕТЫРЕ D-ТРИГГЕРА С ПРЯМЫМ И ИНВЕРСНЫМ ВЫХОДАМИ



Описание

Микросхема содержит четыре D-триггера с объединенными попарно входами синхронизации.

Работа схемы

Четыре D-триггера управляются попарно соответствующими входами (выводы 4 и 13). Когда на них подается напряжение высокого уровня, то на выходах Q (и инверсных выходах \bar{Q}) устанавливается тот же уровень напряжения, который подается на входы, то есть при напряжении низкого уровня на входе D на выходе Q устанавливается низкий уровень, а при высоком уровне на входе D – высокий.

Входы		Выход	
D	Enable	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

Q_0 – записанные данные

Если на входы подается напряжение низкого уровня, то прелыдущая информация, полученная с входа D , хранится в соответствующем триггере до тех пор, пока на входы Enable снова не будет подано напряжение высокого уровня.

Обратите внимание на то, что здесь рассматривается не схема синхронизации (нет тактовых импульсов), поэтому данную микросхему нельзя использовать в качестве регистра сдвига. Соединение в каскады нескольких ступеней в данном случае невозможно.

Кроме того, обратите внимание, на какой ввод подается рабочее напряжение питания.

По выполняемым функциям микросхема 7475 аналогична схеме 74375, но в отличие от последней имеет другое расположение выводов.

Применение

Хранение информации в буферных запоминающих устройствах.

Технические данные

Время задержки прохождения сигнала, нс
Ток потребления, мА

Std

LS

15

11

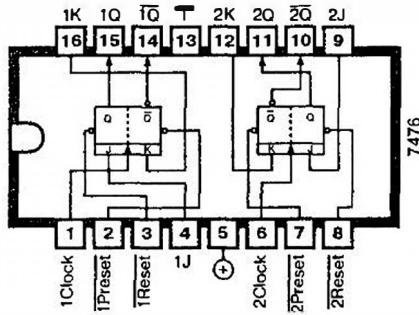
32

6,4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7476

ДВА JK-ТРИГГЕРА С ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с входами установки и сброса.

Работа схемы

Оба триггера можно использовать независимо друг от друга.

Микросхемы TTL серий Std и H запускаются импульсом (потенциалом), а серии LS – отрицательным фронтом импульса (перепадом потенциала).

В триггерных схемах, запускаемых импульсом, информация подается на входы J и K при перепаде положительного тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт).

При этом протекают следующие процессы: в момент времени 1 подчиненный элемент отсоединен от основного; в момент времени 2 информация с входов J и K поступает в основной элемент; в момент времени 3 входы J и K отсоединены и в момент времени 4 информация передается от основного элемента подчиненному.



Если на вход J подается напряжение высокого, а на вход K – низкого уровня, то по тактовому импульсу на выходе Q устанавливается напряжение высокого уровня, а на выходе \bar{Q} – низкого.

Когда на вход J подается напряжение низкого, а на вход K – высокого уровня, то по тактовому импульсу на выходе Q формируется напряжение низкого уровня, а на выходе \bar{Q} – высокого.

Если на оба входа J и K подается напряжение высокого уровня, то каждый тактовый импульс меняет состояние выходов Q и \bar{Q} на противоположное, что позволяет делить частоту на 2.

Если на входы J и K подается напряжение низкого уровня, то тактовый импульс не оказывает никакого влияния на состояние выходов.

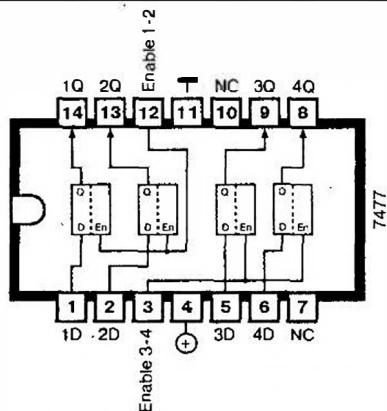
В нормальном режиме работы входы Preset и Reset должны быть отключены или на них должно подаваться напряжение высокого уровня. Если на вход Reset подается напряжение низкого уровня, то на выходе Q триггера устанавливается напряжение низкого, а на выходе \bar{Q} – высокого уровня. Если на вход Preset подается напряжение низкого уровня, то на выходе Q формируется напряжение высокого, а на выходе \bar{Q} – низкого уровня. Не следует подавать напряжение низкого уровня одновременно на оба эти входа, поскольку в этом случае выходы будут находиться в неустойчивом состоянии, которое меняется в зависимости от состояния входов Preset или Reset.

Применение

Регистры, счетчики, схемы управления.

Технические данные	Std	H	LS
Максимальная рабочая частота, МГц	15	25	30
Время задержки прохождения сигнала, нс	20	18	15
Ток потребления, мА	20	32	4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●				●		●		

7477**ЧЕТЫРЕ D-ТРИГГЕРА С ПРЯМЫМИ ВЫХОДАМИ****Описание**

Микросхема содержит четыре D-триггера с прямыми выходами.

Работа схемы

Четыре D-триггера управляются попарно соответствующими входами (выводы 3 и 12). Если на эти входы подается напряжение высокого уровня, то на выходах Q устанавливается тот же уровень напряжения, который подается на входы, то есть при напряжении низкого уровня на входе D на выходе Q формируется низкий уровень, а при напряжении высокого уровня на входе D – высокий.

Если на входы подается напряжение низкого уровня, то предыдущая информация, полученная с входа D , хранится в соответствующем триггере до тех пор, пока на входы Enable снова не будет подано напряжение высокого уровня.

Обратите внимание на то, что здесь не рассматривается схема синхронизации (нет тактовых импульсов), поэтому данную микросхему нельзя использовать в качестве регистра сдвига. Соединение в каскады нескольких ступеней в данном случае невозможно.

Кроме того, обратите внимание на какой вывод подается рабочее напряжение питания.

Повыполнимым функциям эта микросхема аналогична схеме 7475, которая имеет еще инверсные выходы \bar{Q} и выполнена в 16-выводном корпусе.

Входы		Выход
D	Enable	Q
L	H	L
H	H	H
X	L	Q_0

Q_0 – записанные данные

Применение

Хранение информации в буферных запоминающих устройствах.

Технические данные

Время задержки прохождения сигнала, нс

Std**LS**

Ток потребления, мА

20

15

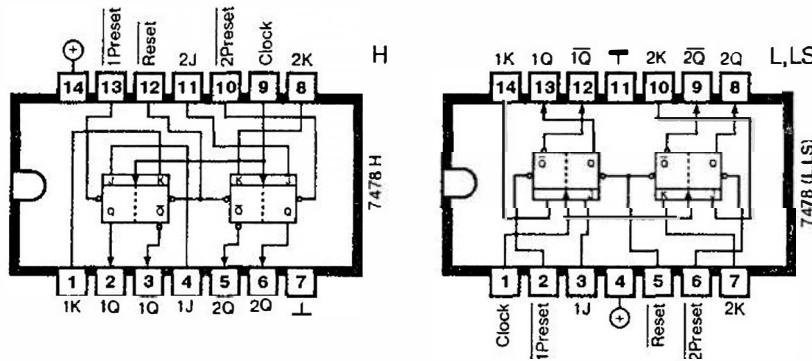
46

13

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7478

ДВА JK-ТРИГГЕРА С ВХОДАМИ УСТАНОВКИ, ОБЩИМ ВХОДОМ СБРОСА И ОБЩИМ ВХОДОМ ТАКТОВЫХ ИМПУЛЬСОВ



Описание

Микросхема содержит два JK-триггера с общим входом тактовых импульсов, общим входом сброса и раздельными входами установки.

Работа схемы

Микросхемы серий L и H запускаются импульсом (потенциалом), а серии LS – отрицательным фронтом импульса (перепадом потенциала).

В триггерных схемах, запускаемых импульсом, информация подается на входы J и K при перепаде положительного тактового импульса с высокого уровня напряжения на низкий (отрицательный фронт).

При этом протекают следующие процессы: в момент времени 1 подчиненный элемент отсоединен от основного; в момент времени 2 информация с входов J и K поступает в основной элемент; в момент времени 3 входы J и K отсоединены и в момент времени 4 информация передается от основного элемента подчиненному.



Если на вход J подается напряжение высокого уровня, а на вход K – низкого уровня, то по тактовому импульсу на выходе Q устанавливается напряжение высокого уровня, а на выходе \bar{Q} – низкого.

Когда на вход J подается напряжение низкого, а на вход K – высокого уровня, то по тактовому импульсу на выходе Q формируется напряжение низкого уровня, а на выходе \bar{Q} – высокого.

Если на входы J и K подается напряжение высокого уровня, каждый тактовый импульс меняет состояние выходов Q и \bar{Q} на противоположное, что позволяет делить частоту на 2.

Если на входы J и K подается напряжение низкого уровня, то тактовый импульс не оказывает никакого влияния на состояние выходов.

В нормальном режиме работы входы Preset и Reset должны быть отключены либо на них должно подаваться напряжение высокого уровня. Если на вход Reset подается напряжение низкого уровня, то на выходе Q триггера устанавливается напряжение низкого, а на выходе \bar{Q} – высокого уровня. Если на вход Preset подается напряжение низкого уровня, то на выходе Q формируется напряжение высокого, а на выходе \bar{Q} – низкого уровня. Не следует подавать напряжение низкого уровня одновременно на оба эти входа, поскольку в данном случае выходы будут находиться в неустойчивом состоянии, которое меняется в зависимости от состояния входов Preset или Reset.

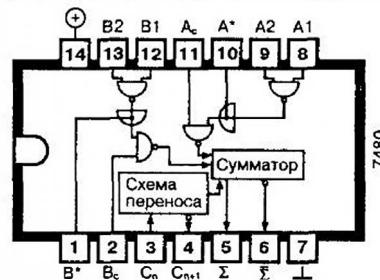
Применение

Регистры, счетчики, схемы управления.

Технические данные	H	L	LS
Максимальная рабочая частота, МГц	25	2,5	30
Время задержки прохождения сигнала, нс	13	47	15
Ток потребления, мА	15	1	4

Серия	Std	ALS	AS	F	H	L	LS	S	
					●	●	●		

7480 ОДНОРАЗРЯДНЫЙ ПОЛНЫЙ СУММАТОР



Описание

Микросхема содержит одноразрядный полный сумматор с дополнительными входами и выходами.

Работа схемы

Этот быстродействующий двоичный полный сумматор имеет входы операндов A1, A2, B1 и B2, инвертирующие входы операндов A* и B*, управляющие входы A_c и B_c, а также вход сигнала переноса C_n.

Сумма операндов выводится на выход Σ и в инверсном виде на выход $\bar{\Sigma}$, сигнал переноса получают только в инвертированном виде на выходе C_{out} .

Примечание:

$$1. A = \overline{A^* \cdot A} \quad B = \overline{B^* \cdot B}$$

причем

$$A^* = \overline{A_1 \cdot A_2} \quad B^* = \overline{B_1 \cdot B_2}$$

- Если используются входы A* или B*, то входы A1 и A2 или B1 и B2 соединяются с общим проводом.
 - Если используются входы A1 и A2 или B1 и B2, то входы A* или B* должны быть открыты либо подсоединенены через резистор к цепи питания +5 В.

Входы			Выходы		
C_n	B	A	$\overline{C_{n+1}}$	$\bar{\Sigma}$	Σ
L	L	L	H	H	L
L	L	H	H	L	H
L	H	L	H	L	H
L	H	H	L	H	L
H	L	L	H	L	H
H	L	H	L	H	L
H	H	L	L	H	L
H	H	H	L	L	H

Применение

Средне- и быстродействующие операции параллельного сложения.

Технические данные

Std

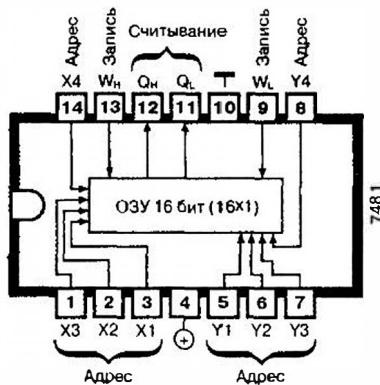
Стандартное время сложения, ис

52

Ток потребления, мА

21

7481 ОЗУ, 16 БИТ (16x1)



Описание

Микросхема содержит оперативное запоминающее устройство с объемом памяти 16 бит (16 машинных слов по 1 бит каждое: 16×1).

Работа схемы

Запоминающее устройство не содержит дешифратора адреса. Поэтому необходимая ячейка памяти выбирается из ОЗУ с помощью подачи на одну из четырех адресных шин $X_1 - X_4$ и на одну из четырех адресных шин $Y_1 - Y_4$ напряжения высокого уровня. На остальные адресные шины должно подаваться напряжение низкого уровня.

Для записи сигнала высокого уровня после выбора адреса необходимой ячейки памяти на вход W_H (запись сигнала высокого уровня) подается напряжение высокого уровня. Для стирания информации в этой ячейке памяти (запись сигнала низкого уровня) на вход W_L подается напряжение низкого уровня.

При считывании информации снова выбирается адрес необходимой ячейки памяти, и на входы W_H и W_L подается напряжение низкого уровня. После этого хранящуюся в этой ячейке памяти информацию можно вывести на считающие выходы. Так, в случае с записанным в ячейке сигналом высокого уровня для его считывания нужно на выход Q_L подать напряжение низкого уровня. Если в соответствующей ячейке памяти содержится сигнал низкого уровня, то для его считывания на выход Q_H подается напряжение низкого уровня.

Выходы имеют открытый коллектор и максимальный ток 40 мА.

При считывании информация не теряется; она теряется лишь при отключении рабочего напряжения.

Применение

Быстродействующее буферное запоминающее устройство с прямым доступом к данным.

Технические данные

Стандартное время выборки, нс

Std

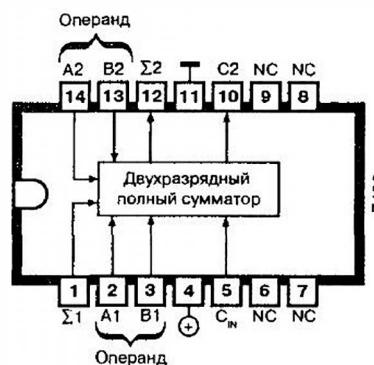
15

Ток потребления, мА

44

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		-						

7482 2-РАЗРЯДНЫЙ ПОЛНЫЙ СУММАТОР



Описание

Микросхема содержит полный 2-разрядный сумматор с переносом для второго разряда.

Работа схемы

Эта микросхема выполняет быстродействующую операцию сложения двух 2-разрядных двоичных чисел. Входами для первого разряда операндов служат входы A₁ и B₁, для второго разряда – входы A₂ и B₂. Входной сигнал переноса подается на вход C_{IN}. Первый разряд суммы выводится на выход Σ₁, а второй разряд – на выход Σ₂. Выходной сигнал переноса снимается с выхода C₂.

Справа приведена таблица истинности.

Входы				Выходы					
				C _{IN} = 0			C _{IN} = 1		
A ₁	B ₁	A ₂	B ₂	Σ ₁	Σ ₂	C ₂	Σ ₁	Σ ₂	C ₂
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	H	H
H	H	H	H	L	L	H	L	H	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

Применение

Средне- и быстродействующие операции параллельного сложения.

Технические данные

Стандартное время сложения, нс

Std

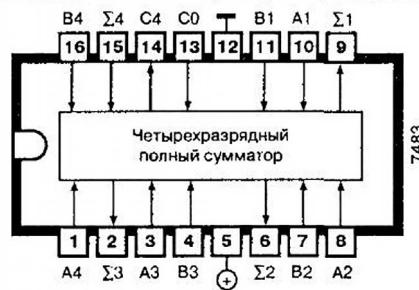
25

Ток потребления, мА

35

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7483 4-РАЗРЯДНЫЙ ПОЛНЫЙ СУММАТОР



Описание

Микросхема содержит полный сумматор, который суммирует два 4-разрядных двоичных числа с учетом переноса.

Работа схемы

Первый операнд подается на входы A1 – A4: младший разряд – на вход A1, старший – на вход A4.

Второй операнд подается на входы B1 – B4: младший разряд – на вход B1, старший – на вход B4.

Сумма обоих чисел формируется на выходах Σ1 – Σ4: младший разряд – на выходе Σ1, старший – на выходе Σ4.

Когда результат суммирования превысит в десятичной системе счисления 15 (в двоичной системе – 1111), на выходе сигнала переноса C4 появляется 1.

Вход сигнала переноса C0 должен быть заземлен на корпус, если используются только 4-разрядные числа.

Если же используется 8-разрядное число (четыре старших разряда), то вход C0 соединяется с выходом C4 предшествующей ступени (младшие разряды).

По выполняемым функциям микросхема 7483 аналогична схеме 74283, однако имеет другое расположение выводов.

Применение

Быстрое суммирование двоичных чисел.

Технические данные

Стандартное время суммирования (для 8 бит), нс

Std

LS

23

25

Ток потребления, мА

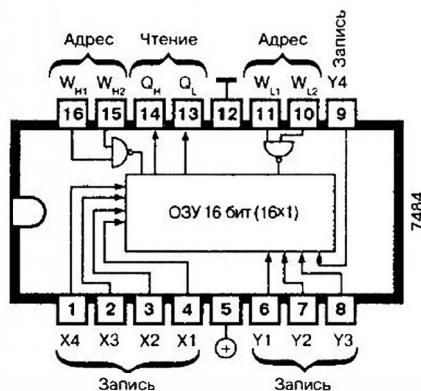
62

19

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

7484

ОЗУ, 16 БИТ (16x1), С ДВУМЯ ДОПОЛНИТЕЛЬНЫМИ ВХОДАМИ ЗАПИСИ



Описание

Микросхема содержит оперативное запоминающее устройство с объемом памяти 16 бит (16 машинных слов по 1 бит каждое: 16x1) с двумя дополнительными входами записи и выходами с открытым коллектором.

Работа схемы

Запоминающее устройство не содержит дешифратора адреса. Поэтому необходимая ячейка памяти выбирается из ОЗУ с помощью подачи на одну из четырех адресных шин X₁ – X₄ и на одну из четырех адресных шин Y₁ – Y₄ напряжения высокого уровня. На остальные адресные шины подается напряжение низкого уровня.

Для записи сигнала высокого уровня после выбора адреса необходимой ячейки памяти на входы W_{H1} и W_{H2} (запись сигнала высокого уровня) подается напряжение высокого уровня. Для стирания информации в этой ячейке памяти (запись сигнала низкого уровня) на входы W_{L1} и W_{L2} подается напряжение низкого уровня.

При считывании информации слова выбирается адрес необходимой ячейки памяти и на входы W_{H1} и W_{H2}, а также на входы W_{L1} и W_{L2} подается напряжение низкого уровня. После этого хранящуюся в ячейке памяти информацию можно вывести на считающие выходы. Так, в случае с записанным в ячейке сигналом высокого уровня для его считывания на выход Q_L следует подать напряжение низкого уровня. Если в соответствующей ячейке памяти содержится сигнал низкого уровня, для его считывания на выход Q_H подается напряжение низкого уровня.

Выходы имеют открытый коллектор и максимальный ток 40 мА.

При считывании информация не теряется; она теряется лишь при отключении рабочего напряжения.

Микросхема 7484 отличается от схемы 7481 тем, что имеет дополнительные входы с логическими элементами И-НЕ.

Применение

Быстродействующее буферное запоминающее устройство с прямым доступом к данным.

Технические данные

Стандартное время выборки, нс

Std

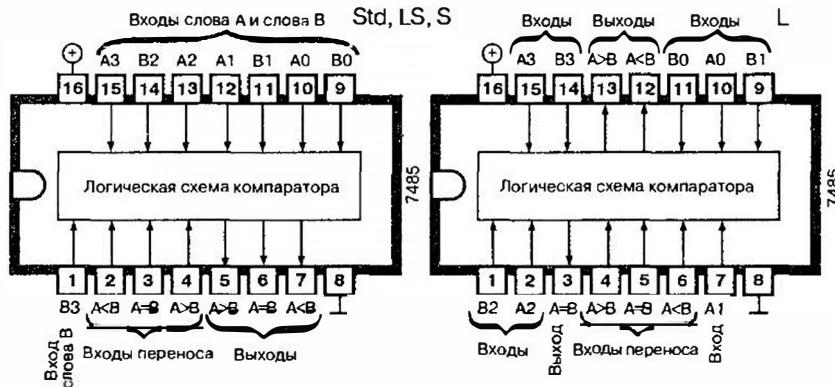
Ток потребления, мА

15

45

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7485

4-РАЗРЯДНЫЙ КОМПАРАТОР**Описание**

Микросхема сравнивает два 4-разрядных слова и определяет, равны они или нет.

Работа схемы

Оба сравниваемых слова А и В поступают на соответствующие входы. Младшие разряды подаются на входы А1 и В1, а старшие – на входы А4 и В4.

Если необходимо сравнить только 4-разрядные слова, то на вход переноса А=В подается напряжение высокого, а на входы переноса А>В и А<В – низкого уровня. Если оба слова равны по величине, на выходе А=В формируется напряжение высокого уровня. Если слово А больше слова В, на выходе А>В формируется напряжение высокого уровня. Если слово А меньше слова В, на выходе А<В устанавливается напряжение высокого уровня. На остальных выходах формируется напряжение низкого уровня.

Когда сравниваются 8-разрядные слова, то выходы первой ступени 4-разрядного компаратора (младшие разряды) соединяются с входами переноса второй ступени. В этом случае результат сравнения получают на выходах 4-разрядного компаратора старших разрядов.

Входы сравнения				Входы каскадного включения			Выходы		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A>B2	X	X	X	X	X	H	L	L
A3=B3	A<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H

A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	H	H	L

A3=B3	A2=B2	A1=B1	A0=B0	L	H	H	L	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	H	H	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	L	L	L

Применение

Управление серводвигателями.

Технические данные	Std	F	LS	S
Стандартное время сравнения, нс	23	7	24	11
Ток потребления, мА	55	40	10	73

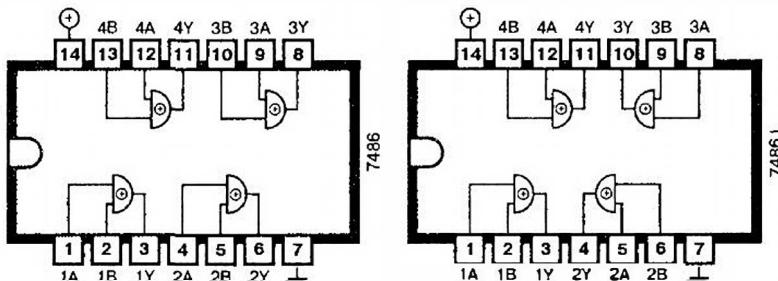
Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●		●	●	●	

7486

ЧЕТЫРЕ 2-ВХОДОВЫХ ЭЛЕМЕНТА ИСКЛЮЧАЮЩЕЕ ИЛИ

Std, ALS, F, LS, S

L



Описание

Микросхема содержит четыре отдельных логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с двумя входами каждый.

Работа схемы

Все четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ могут использоваться независимо друг от друга.

На выходе каждого элемента формируется напряжение высокого уровня, если на один из двух его входов (но не на оба) подается такое напряжение. Если на оба входа подается напряжение высокого или низкого уровня, то на выходе формируется напряжение низкого уровня.

Входы		Выход
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

Микросхема может использоваться в качестве компаратора, тогда при идентичных входных сигналах на выходе устанавливается напряжение низкого, а при различных входных сигналах – высокого уровня. Схема также может использоваться и как управляемый инвертор, поскольку напряжение низкого уровня на одном из двух входов позволяет передавать на выход сигнал того же уровня, какой поступает на второй вход. Наоборот, при подаче напряжения высокого уровня на один из входов будет инвертироваться уровень напряжения, подаваемый на другой вход.

По функциональному назначению микросхема 7486 аналогична схеме 74386, однако имеет другое расположение выводов.

$$Y = A \oplus B = \overline{AB} + AB$$

Применение

Реализация логической функции ИСКЛЮЧАЮЩЕЕ ИЛИ, генерирование и проверка четного и нечетного равенств, сумматор/вычитатель, логические компараторы.

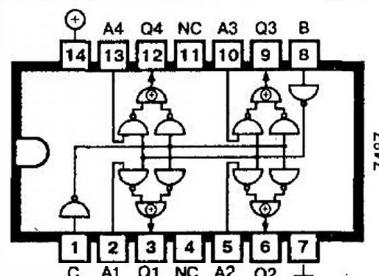
Технические данные

	Std	ALS	AS	LS	S
Время задержки прохождения сигнала, нс	14	8	5	14	6,75
Ток потребления, мА	30	4	16	6	50

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

7487

4-РАЗРЯДНЫЙ ФОРМИРОВАТЕЛЬ ДОПОЛНИТЕЛЬНОГО КОДА



Описание

Микросхема позволяет передавать вводимые 4-разрядные слова в неизменной форме или в дополнительном коде.

Работа схемы

4-разрядные слова поступают на информационные входы $A_1 - A_4$ и, в зависимости от состояния управляющих входов B и C , передаются на выходы $Q_1 - Q_4$ или в неизменной форме, или в дополнительном коде.

Если на входы B и C подается напряжение низкого уровня, то входные данные выводятся в обратном коде (поразрядная операция HE). Если же на управляющий вход B поступает напряжение низкого, а на вход C – высокого уровня, то входная информация выводится в неизменном виде.

Когда на вход B подается напряжение высокого, а на вход C – низкого уровня, то на всех выходах формируется напряжение высокого уровня. Если на входы B и C подается напряжение высокого уровня, на всех выходах устанавливается напряжение низкого уровня.

Управляющие входы		Выходы			
B	C	Q_1	Q_2	Q_3	Q_4
L	L	\bar{a}_1	\bar{a}_2	\bar{a}_3	\bar{a}_4
L	H	a_1	a_2	a_3	a_4
H	L	H	H	H	H
H	H	L	L	L	L

$a_1 - a_4$ сигналы на входах $A_1 - A_4$

Применение

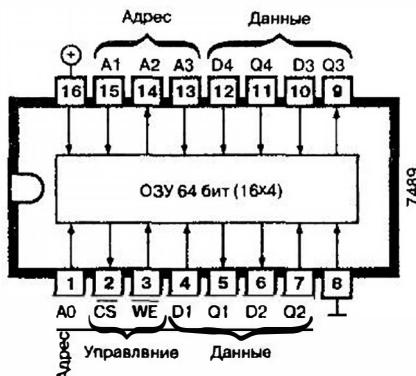
Схемы вычислений.

Технические данные

Время задержки прохождения сигнала, нс	13,5
Ток потребления, мА	54

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

7489 ОЗУ, 64 БИТА (16×4)



Описание

Микросхема содержит оперативное запоминающее устройство (ОЗУ) с объемом памяти 64 бита (64 машинных слова по 4 бита каждое: 16×4).

Работа схемы

Данные для записи в память (4-разрядное слово) поступают на информационные входы D1 – D4.

Затем на адресные входы A0 – A4 подается адрес ячейки памяти (4 бита).

После этого на управляющий вход \overline{WE} (разрешение записи) подается напряжение низкого уровня, чтобы данные поступали в запоминающее устройство (накопитель). Информация, ранее хранящаяся в адресной ячейке памяти, при вводе новых данных стирается. На входе \overline{WE} снова устанавливается напряжение высокого уровня до того момента, когда в память будут вводиться новые данные.

В обычном режиме на управляющий вход \overline{CS} (выбор кристалла, он также обозначается как RE – разрешение считывания) подается напряжение низкого уровня. При этом хранящаяся в ячейке памяти информация передается на выходы Q1 – Q4 в обратном коде.

В то время когда на вход \overline{WE} подается напряжение низкого уровня, логическое состояние на адресных входах ни в коем случае не должно меняться.

При подаче на входы \overline{CS} и \overline{WE} напряжения высокого уровня выходы отключаются (на них формируется напряжение высокого уровня). Выходы имеют открытый коллектор. Для уменьшения нагрузки входы снабжены буферным устройством.

Входы \overline{CS} \overline{WE}	Операция	Состояние выходов
L L	Запись	Обратный код входных сигналов
L H	Считывание	Обратный код адресуемого слова
H L	Ввод данных запрещен	Неопределенное
H H	Блокировка	Отключен (высокий уровень)

Декодирование адреса осуществляется данной микросхемой без использования дополнительных интегральных микросхем.

Подсоединяя к выходам логический элемент И, данную схему можно расширить до объема памяти 4096 слов с разрядностью слова в бит, не устанавливая на выходе дополнительный усилитель.

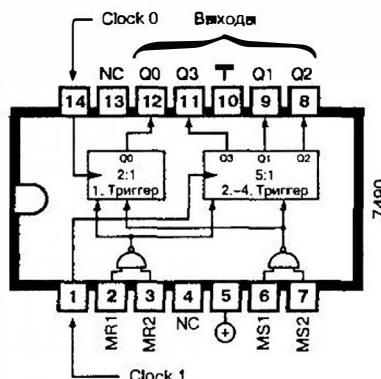
Применение

Быстродействующее буферное запоминающее устройство.

Технические данные	Std	LS
Стандартное время выборки, нс	33	25
Ток потребления, мА	75	40

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●	●	

7490 ДЕСЯТИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит делитель на два и делитель на пять.

Работа схемы

Микросхема состоит из четырех триггеров, внутренне связанных между собой таким образом, что образуются два счетчика-делителя: один на 2 и другой на 5.

Все триггеры имеют общий вход сброса Reset, с помощью которого показания счетчиков могут устанавливаться на 0 в любое время.

Первый триггер внутренне не связан с остальными ступенями, благодаря чему возможны следующие варианты использования:

- счет до 10. Выход Q0 соединяется с входом тактовых импульсов Clock1. Входной сигнал подается на вход Clock 0, а выходной снимается с выхода Q3. Эта схема считает в двоичном коде до 9 и на десятом импульсе возвращается в состояние 0. Выводы 2, 3 и 6, 7 должны быть при этом соединены с общим проводом;
- счет до 2 и до 5. В этом случае первый триггер используется в качестве делителя на 2 (2:1), а второй, третий и четвертый триггеры – как делители на 5 (5:1);
- симметричный двоично-пятеричный делитель 10:1. Выход Q3 соединен с входом Clock 0. В качестве входа тактовых импульсов используется Clock 1. В этом случае на выходе Q0 получают импульсный сигнал прямоугольной формы с частотой в 10 раз меньшей, чем на входе.

Переключение схемы всегда происходит по отрицательному фронту тактового импульса. Через входы MS1 и MS2 осуществляется начальная установка.

Входы сброса/установки				Выходы			
MR1	MR2	MS1	MS2	Q0	Q1	Q2	Q3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Счет			
X	L	X	L	Счет			
L	X	X	L	Счет			
X	L	L	X	Счет			

Применение

Счетчик и делители 2:1, 5:1 и 10:1.

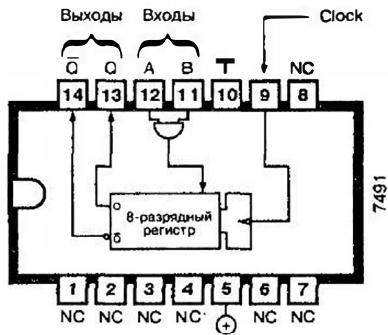
Технические данные

	Std	LS
Максимальная рабочая частота первого триггера, МГц	32	32
Максимальная рабочая частота триггеров 2~4, МГц	16	16
Ток потребления, мА	32	9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7491

8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 8-разрядный регистр сдвига, в котором информация последовательно вводится и последовательно выводится.

Работа схемы

В микросхеме восемь RS-триггеров. Данные последовательно подаются на два входа А и В логического элемента И. Сигнал высокого уровня может поступить в регистр сдвига лишь в том случае, когда на оба входа одновременно подается напряжение высокого уровня.

При каждом положительном фронте тактового импульса (переход с низкого на высокий уровень напряжения) на выводе 9 данные в регистре сдвигают на один разряд вправо. После восьмого тактового импульса они поступают на выход Q и в инвертированном виде на выход \bar{Q} .

Поскольку схема не имеет входа сброса, то для возврата в исходное состояние необходимо, чтобы были включены по крайней мере восемь уже известных информационных разрядов.

Как только регистр полностью загружается, данные появляются на выходе Q с отставанием от момента их последовательного ввода на входе на 8 тактовых импульсов.

Применение

Последовательный регистр сдвига, делитель частоты, схемы временной задержки.

Технические данные

Максимальная частота импульса сдвига, МГц
Ток потребления, мА

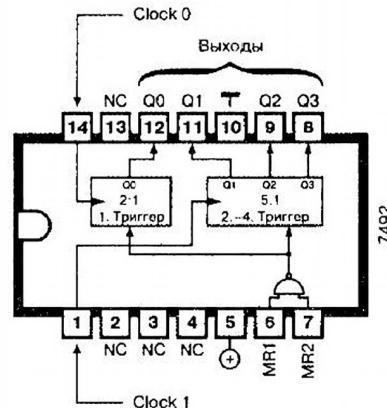
Std LS

10 10

35 12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7492 СЧЕТЧИК-ДЕЛИТЕЛЬ НА 12



7492

Описание

Микросхема содержит делители на два и на шесть.

Работа схемы

Микросхема состоит из четырех триггеров, внутренне связанных между собой таким образом, что образуются два счетчика-делителя: один на 2 и другой на 6.

Все триггеры имеют один общий вход сброса Reset, с помощью которого показания счетчиков могут устанавливаться на 0 в любое время (на выводы 6 и 7 подается напряжение высокого уровня). В нормальном режиме работы счетчика на один из двух входов сброса MR1 и MR2 должно подаваться напряжение низкого уровня.

Первый триггер внутренне не связан с остальными ступенями, благодаря чему возможны следующие варианты использования:

- счет до 12. Выход Q0 соединяется с входом тактовых импульсов Clock1. Входной сигнал подается на вход Clock 0, а выходной сигнал снимается с выхода Q3. Счет осуществляется в коде 1–2–4–8;
- счет до 2 и счет до 6. В этом случае первый триггер используется в качестве делителя на 2 (2:1), а второй, третий и четвертый триггеры – как делитель на 6 (6:1);
- с выходов Q1 и Q2 можно снимать частоту, которая в 3 раза меньше той, которая поступает на тактовый вход Clock1.

Переключение схемы происходит всегда по отрицательному фронту тактового импульса. Обратите внимание на особое расположение выводов для подключения питания.

Применение

Счетчик и делитель 2:1, 3:1, 6:1, 12:1.

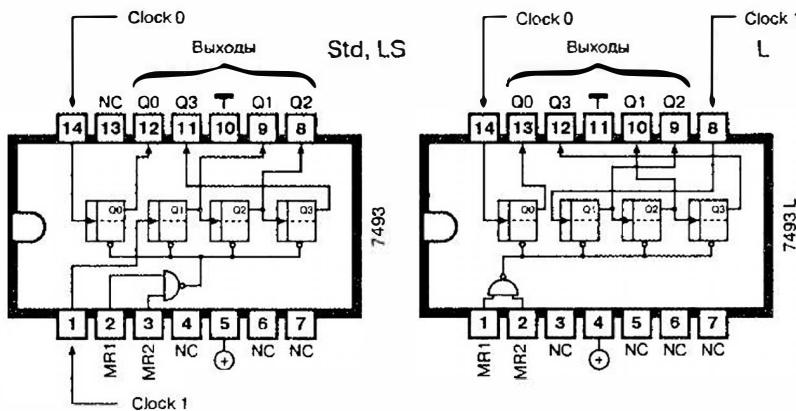
Технические данные		Std	LS
Максимальная рабочая частота первого триггера, МГц		32	32
Максимальная рабочая частота триггеров 2–4, МГц		16	16
Ток потребления, мА		26	9

Входы сброса	Выходы					
	MR1	MR2	Q0	Q1	Q2	Q3
H	H		L	L	L	L
L	H					Счет
H	L					Счет
L	L					Счет

Серия	Std	ALS	AS	F	H	L	LS	S	
●							●		

7493

4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК

**Описание**

Микросхема содержит делитель на два и делитель на восемь.

Работа схемы

Микросхема состоит из четырех триггеров, внутренне связанных между собой таким образом, что образуются два счетчика-делителя: один на 2 и другой на 8.

Все триггеры имеют один общий вход сброса, с помощью которого показания счетчиков могут устанавливаться на 0 в любое время (на выводы 2 и 3 подается высокий уровень напряжения).

Первый триггер внутренне не связан с остальными ступенями, благодаря чему возможны следующие варианты использования:

- счет до 16. Выход Q0 соединяется с входом тактовых импульсов Clock 1. Входной сигнал подается на вход Clock 0, а выходной сигнал снимается с выхода Q3. Эта схема считает в двоичном коде до 16 (0–15) и на 16-м импульсе возвращается в нулевое состояние;
- счет до 2 и счет до 8. В этом случае первый триггер используется в качестве делителя на 2, а второй, третий и четвертый триггеры -- как делитель на 8.

Переключение схемы всегда происходит по отрицательному фронту тактового импульса. В нормальном режиме работы по крайней мере на один из двух входов сброса MR1 или MR2 должно подаваться напряжение низкого уровня.

Применение

Счетчик и делитель 2:1, 8:1 и 16:1.

Технические данные

Максимальная рабочая частота первого триггера, МГц

Std

LS

32

32

Максимальная рабочая частота триггеров 2–4, МГц

16

16

Ток потребления, мА

26

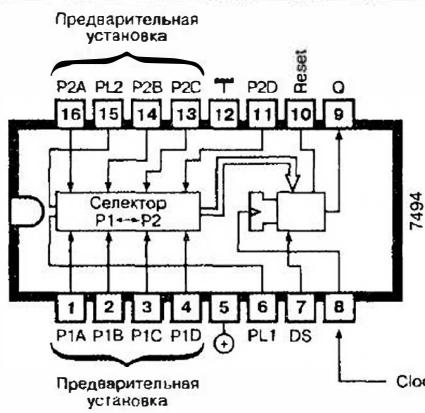
9

Входы сброса		Выходы			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H	Счет			
H	L	Счет			
L	L	Счет			

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7494

4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА С ВХОДОМ СБРОСА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 4-ступенчатый регистр сдвига с последовательным и параллельным вводом данных и последовательным их выводом.

Работа микросхемы

Схема содержит четыре RS-триггера, последовательный вход данных (DS), а также два специальных блока с асинхронными входами предварительной установки P1A – P1D и P2A – P2D. Сброс осуществляется через общий асинхронный вход Reset при подаче на него напряжения высокого уровня.

Данные, поступившие на входы предварительной установки P1A – P1D запоминаются при подаче на вход PL1 напряжения высокого уровня, а поступившие на входы предварительной установки P2A – P2D запоминаются при подаче напряжения высокого уровня на вход PL2.

В нормальном режиме работы с параллельным вводом данных сброс триггеров происходит при кратковременной подаче на вход сброса Reset напряжения высокого уровня после того, как на вход предварительной установки PL1 или PL2 (в зависимости от того, какой из параллельных информационных входов необходим) подано напряжение высокого уровня.

В нормальном режиме работы с последовательным вводом данных на вход тактовых импульсов *Clock* и на оба входа предустановки *PL* подается напряжение низкого уровня. Сдвиг информации в регистре вправо происходит по положительному фронту тактового импульса на входе *Clock*.

Применение

Последовательный регистр, преобразователь параллельного кода в последовательный с информационным разделительным фильтром.

Технические данные

Std

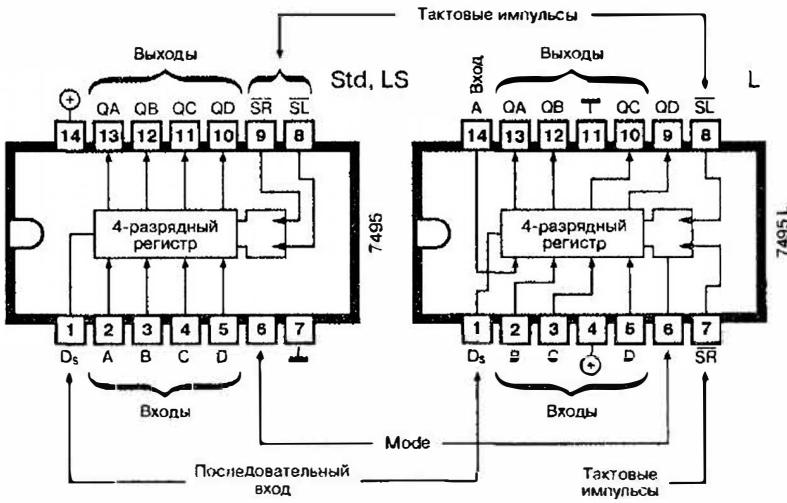
Максимальная частота сдвига, МГц

10

Ток потребления, мА

35

7495 4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВПРАВО/ВЛЕВО (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 4-разрядный регистр сдвига, в котором данные могут входить и выводиться параллельно и сдвигаться по выбору вправо или влево.

Работа схемы

Микросхема может работать в двух режимах: сдвига и загрузки.

Схема переходит в режим работы сдвига вправо, когда на входе Mode (вывод 6; также обозначается на схеме как PE – разрешение параллельного ввода данных) подается напряжение низкого уровня. Тогда по отрицательному фронту тактового импульса на входе SR (сдвиг вправо) данные будут сдвинуты на один разряд вправо.

В режиме сдвига информация поступает на вход D_s и при первом отрицательном фронте тактового импульса на входе \overline{SR} – на выход QA , с выхода QA – на выход QB , с выхода QB – на выход QC , с выхода QC – на выход QD , информация, содержащаяся на выходе QD , или теряется, или сдвигается в следующий модуль.

Сдвиг данных влево возможен в том случае, когда выход QB внешне соединяется с входом A , выход QC – с входом B и выход QD – с входом C . Данные поступают на входы D (на вход Mode подается напряжение высокого уровня) и по отрицательному тактовому импульсу на входе \overline{SL} сдвигаются на один разряд влево. При этом входы D_s (последовательный ввод данных) и \overline{SR} не используются.

В режиме параллельной записи данных на вход Mode подается напряжение высокого уровня, и данные на загрузочных входах A , B , C и D по отрицательному фронту тактового импульса на входе \overline{SL} поступают в регистр.

Таким образом, вход \overline{SL} выполняет двойную задачу: сдвигает информацию влево при напряжении низкого уровня на входе Mode и записывает параллельные данные в регистр при напряжении высокого уровня на этом входе.

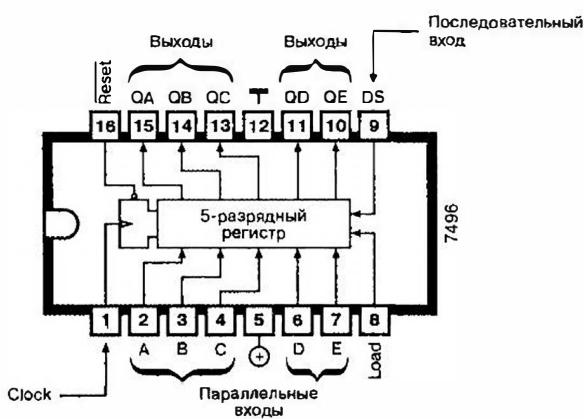
Применение

Преобразователь последовательного кода в параллельный, преобразователь параллельного кода в последовательный, регистр хранения данных.

Технические данные		Std	AS	LS
Максимальная частота сдвига, МГц		25	100	25
Ток потребления, мА		50	23	13
Серия	Std	ALS	AS	F
	●		●	
		H	L	LS
			●	●
		S		

7496

5-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 5-разрядный регистр сдвига вправо, в котором данные могут вводиться последовательно и параллельно и так же выводиться.

Работа схемы

Микросхема содержит пять RS-триггеров. Поскольку все входы и выходы триггеров выведены наружу, то микросхема широко применяется в различных модулях.

Для одновременного сброса всех триггеров необходимо подать кратковременный импульс напряжения низкого уровня на вход Reset.

Загрузка данных в регистр осуществляется, когда данные поступают на входы А–Е и на вход Load (загрузка) подается кратковременный импульс напряжения высокого уровня.

Перед загрузкой этот регистр должен быть очищен. Нельзя изменить уже имеющуюся в регистре логическую 1 на логический 0, вводя 0 через входы загрузки. Через входы загрузки можно ввести в регистр лишь логическую 1 или оставить неизменным уже имеющийся в регистре 0. (Логическая 1 соответствует высокому уровню напряжения.)

Для сдвига данных вправо необходимо на вход сброса Reset подать напряжение высокого уровня, а на вход Load (загрузка) – напряжение низкого уровня. Тогда при каждом перепаде напряжения с низкого уровня на высокий (положительный фронт тактового импульса) на входе Clock данные будут сдвигаться на один разряд вправо. Во время сдвига информация, находящаяся на входе DS, поступает на вход A, с входа A – на вход B, с входа B – на вход C, с входа C – на вход D, с входа D – на вход E. Информация, находящаяся на входе E, или теряется, или поступает на следующую ступень схемы.

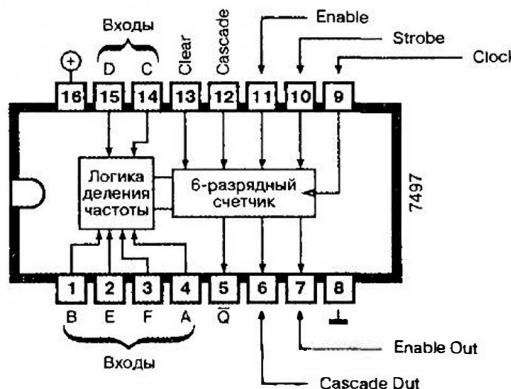
Применение

Преобразователь последовательного кода в параллельный, преобразователь параллельного кода в последовательный, регистр, запоминающее устройство (накопитель).

Технические данные	Std	LS
Максимальная частота сдвига, МГц	10	10
Ток потребления, мА	48	12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

7497 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ 6-РАЗРЯДНЫЙ ДВОИЧНЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ



Описание

Микросхема содержит программируемый 6-разрядный делитель частоты.

Работа схемы

Данная микросхема позволяет предварительно запрограммировать получение на выходе от 1 до 63 импульсов для каждого цикла из 64 входных импульсов.

Коэффициент деления частоты $f_{\text{выход}}/f_{\text{вход}}$ можно предварительно выбрать на входах A–F:

$$f_{\text{выход}} = f_{\text{вход}} \times M / 64, \text{ где } M = F \times 2^5 + E \times 2^4 + D \times 2^3 + C \times 2^2 + B \times 2^1 + A \times 2^0$$

В нормальном режиме работы на входы Strobe, Clear (сброс) и Enable (разрешение) должно подаваться напряжение низкого уровня, а на вход Cascade Input (каскадное включение) – высокого уровня. После этого на вход Clock (вход тактовых импульсов) подается входной сигнал прямоугольной формы. Тогда на выходе Enable Out осуществляется декодирование цикла входных импульсов 1 из 64, то есть один выходной импульс для каждой серии из 64 входных импульсов.

Число импульсов на выходе Q (выход 5) для каждого цикла из 64 входных импульсов можно установить с помощью входов A–F. Например, если необходимо получить 37 выходных импульсов на каждые 64 входных импульса, то осуществляют следующее программирование (десятичное число 37 в двоичной системе счисления равно 100101): вход F – высокий уровень напряжения, входы E и D – низкий уровень, вход C – высокий уровень, вход B – низкий уровень, вход A – высокий уровень.

Таким образом, выходные импульсы не равноудалены друг от друга. Поэтому умножитель частоты в большинстве случаев имеет некоторое дрожание (неустойчивую синхронизацию), что практически неважно.

Если на вход очистки Clear поступает кратковременный импульс напряжения высокого уровня, то внутренний счетчик устанавливается на 0. Если на вход Strobe подается напряжение высокого уровня, то хотя счетчик и будет работать, однако импульсы не поступят на выходы 5 или 6. Выход 6 служит дополнением к выводу 5 (имеет обратный код) и открывается непосредственно с помощью входа Cascade. Напряжение низкого уровня на входе Cascade запирает выход 6.

Применение

Арифметические операции, деление частоты, аналого-цифровые или цифро-аналоговые преобразования.

Технические данные**Std**

Максимальная рабочая частота, МГц

25

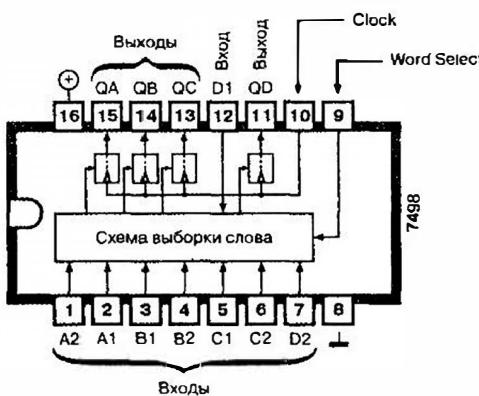
Ток потребления, мА

69

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

7498

ЧЕТЫРЕ 2-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема позволяет осуществлять выборку данных из двух 4-разрядных источников информации и записывать их в буферный регистр.

Работа схемы

Кроме ряда логических элементов для выборки 4-разрядных данных эта микросхема содержит еще четыре триггера для их хранения.

Если на вход выборки необходимых 4-разрядных данных (Word Select) подается напряжение низкого уровня, то при отрицательном фронте тактового импульса слово 1 – данные на входах A1, B1, C1 и D1 – записываются в триггеры и поступают на выходы QA, QB, QC и QD.

Напряжение высокого уровня на входе Word Select оказывает такое же действие на данные, поступающие на входы A2, B2, C2 и D2.

Применение

Селекторы данных или мультиплексоры 4-разрядных слов.

Технические данные

L

Максимальная рабочая частота, МГц

3

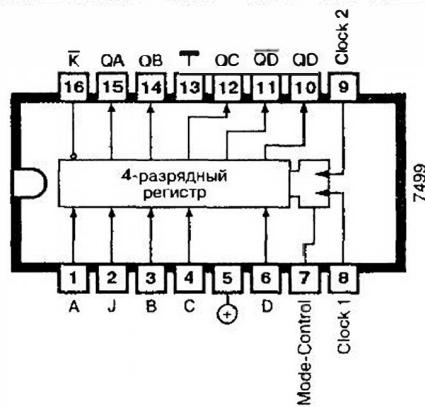
Ток потребления, мА

5

Серия	Std	ALS	AS	F	H	L	LS	S	
						•			

7499

4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВПРАВО/ВЛЕВО (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 4-разрядный регистр сдвига, в котором данные можно вводить и выводить параллельно, а также сдвигать по выбору вправо или влево.

Работа схемы

Этот 4-разрядный регистр наряду с параллельными входами и выходами информации имеет последовательные входы данных $J\bar{K}$, вход режима работы Mode Control, а также два входа тактовых импульсов (Clock1 и Clock2). Регистр работает в трех режимах:

- параллельная загрузка регистра;
 - сдвиг данных вправо (в направлении от выхода QA к выходу QD);
 - сдвиг данных влево (в направлении от выхода QD к выходу QA).

Параллельная загрузка регистра осуществляется с помощью подачи четырех информационных двоичных разрядов (4 бита информации) на входы A-D и напряжения высокого уровня на вход режима работы Mode Control. Далее данные загружаются в соответствующие триггеры и появляются на выходах после перепада напряжения на входе Clock2 с высокого уровня на низкий (отрицательный фронт тактового импульса). Во время загрузки последовательный ввод данных не используется.

Сдвиг информации вправо происходит при переходе напряжения на входе Clock2 с высокого уровня на низкий, при этом на вход Mode Control должно подаваться напряжение высокого уровня. Последовательный ввод данных для параллельного сдвига осуществляется через входы JK. В качестве первой ступени используется триггер типа J \bar{K} -D (или T-триггер).

Сдвиг информации влево происходит по отрицательному фронту тактового импульса на входе Clock2, при этом на вход Mode Control подается напряжение высокого уровня, выход QB внешне соединяется со входом A, выход QD – со входом B и выход QD – со входом C. Данные вводятся через вход D.

Изменения уровня напряжения на входе режима работы Mode Control должны осуществляться лишь в те моменты времени, когда на оба входа тактовых импульсов подается напряжение низкого уровня.

Применение

Преобразователь последовательного кода в параллельный, преобразователь параллельного кода в последовательный, регистр хранения данных.

Технические данные

Максимальная частота сдвига, МГц

L

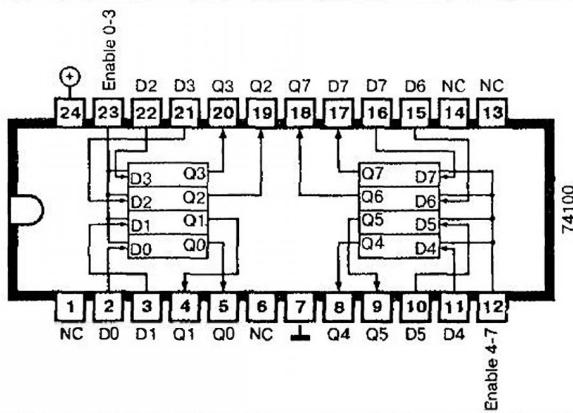
Ток потребления, мА

3

4

Серия	Std	ALS	AS	F	H	L	LS	S	
						●			

74100 ДВА 4-РАЗРЯДНЫХ D-ТРИГГЕРА



Описание

Микросхема содержит два 4-разрядных D-триггера для хранения двоичных данных.

Работа схемы

Данные, находящиеся на информационных входах D0 – D3, передаются на соответствующие выходы Q0 – Q3, когда на вход Enable 0–3 подается напряжение высокого уровня.

Если на вход Enable подается напряжение низкого уровня, то данные, находящиеся к этому моменту на информационных входах, запоминаются в триггерах и поступают на выходы Q до тех пор, пока на вход Enable снова не будет подано напряжение высокого уровня.

То же самое относится и к триггерам 4-7.

Входы		Выход
D	Enable	Q
L	H	L
H	H	H
X	L	Q ₀

Q_o – напряжение на выходе Q перед отрицательным фронтом сигнала Enable

Применение

Хранение 4-разрядных двоичных данных.

Технические данные

Std

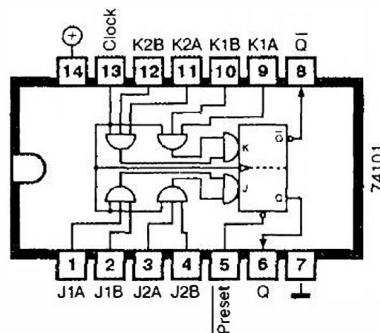
Время задержки прохождения сигнала, нс

15

Ток потребления, мА

64

74101 JK-ТРИГГЕР С ЭЛЕМЕНТАМИ 2-2И-2ИЛИ НА ВХОДАХ И С ВХОДОМ УСТАНОВКИ



Описание

Микросхема содержит быстродействующий JK-триггер, запускаемый фронтом тактового импульса, с входом установки и логическими элементами 2-2И-2ИЛИ на входах.

Работа схемы

Входы, выполненные в виде схемы 2-2И-2ИЛИ, заперты, когда на вход тактовых импульсов Clock поступает напряжение низкого уровня. Если на вход тактовых импульсов подается напряжение высокого уровня, то входы отпираются и данные, находящиеся на этих входах, передаются на триггер. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут меняться. Исходное состояние триггера варьируется лишь при перепаде напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

Благодаря входам, выполняющим логическую операцию И-ИЛИ, на вход J поступает напряжение высокого уровня, когда такое напряжение подается на входы J1A и J1B или J2A и J2B. То же самое справедливо и по отношению ко входу K.

Когда на оба входа J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Вход установки Preset работает асинхронно, то есть независимо от всех других входов. Если на этот вход подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого, а на выходе \bar{Q} — низкого уровня.

Входы		Выходы	
J	K	Q	\bar{Q}
L	L	Нет изменений	
L	H	L	H
H	L	H	L
H	H	Переключение по тактовому импульсу	

J(K)1A	J(K)1B	J(K)2A	J(K)2B	J(K)
H	H	X	X	H
X	X	H	H	H
Все остальные комбинации				L

Применение

Регистры, счетчики, схемы управления.

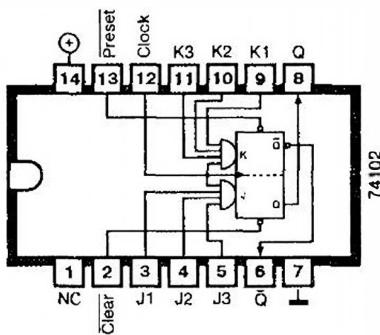
Технические данные

Максимальная рабочая частота, МГц	40
Время задержки прохождения сигнала, нс	13
Ток потребления, мА	20

Серия	Std	ALS	AS	F	H	L	LS	S	.
					●				

74102

JK-ТРИГГЕР С ЛОГИЧЕСКИМИ ЭЛЕМЕНТАМИ ЗИ НА ВХОДАХ, ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит быстродействующий JK-триггер, запускаемый фронтом тактового импульса, с трехходовыми логическими элементами И на входах J и K, входами установки и сброса.

Работа схемы

Входы, выполненные на логическом элементе И, заперты, когда на вход тактовых импульсов Clock подается напряжение низкого уровня. Если на вход тактовых импульсов подается напряжение высокого уровня, то входы отпираются, и данные поступают на входы триггера. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут варьироваться. Исходное состояние триггера меняется лишь при перепаде напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

Благодаря входам, выполняющим логическую операцию И, на вход J поступает напряжение высокого уровня лишь тогда, когда на все входы J1, J2 и J3 одновременно подается напряжение высокого уровня. То же самое относится и ко входу K.

Когда на оба входа J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Входы установки Preset и сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса

Входы	Выходы	
J K	Q	\bar{Q}
L L	Нет изменений	
L H	L	H
H L	H	L
H H	Переключение по тактовому импульсу	

J(K)1	J(K)2	J(K)3	J(K)
L	X	X	L
X	L	X	L
X	X	L	L
H	H	H	H

Clear подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение.

Применение

Регистры, счетчики, схемы управления.

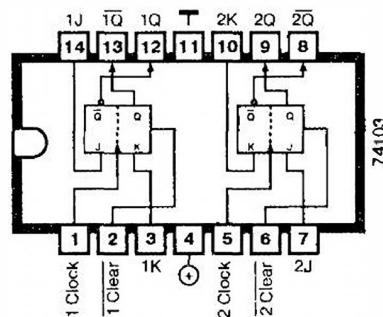
Технические данные

H

Максимальная рабочая частота, МГц	40
Время задержки прохождения сигнала, нс	13
Ток потребления, мА	20

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

74103 ДВА JK-ТРИГГЕРА С ВХОДАМИ СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера, причем каждый триггер имеет свой собственный вход тактовых импульсов и вход сброса.

Работа схемы

Если на вход тактовых импульсов одного из триггеров подается напряжение высокого уровня, то входы отпираются и данные поступают на входы триггера. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут меняться. Входные данные заломинаются триггером при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Входы			Выходы	
Clear	Clock	J K	Q	\bar{Q}
L	X	X X	L	H
H	—	L L	Без изменений	
H	—	L H	L	H
H	—	H L	H	L
H	—	H H	Переключение по тактовому импульсу	
H	L	X X	Без изменений	
H	H	X X	Без изменений	
H	—	X X	Без изменений	

Когда на вход J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Входы сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q триггера устанавливается такое же напряжение.

Применение

Регистры, счетчики, схемы управления.

Технические данные

H

Максимальная рабочая частота, МГц

40

Время задержки прохождения сигнала, нс

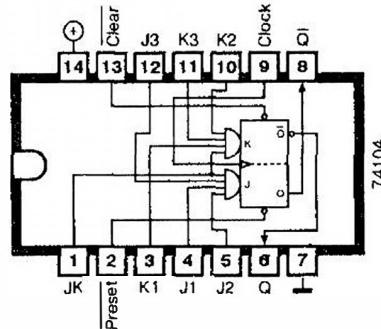
13

Ток потребления, мА

40

Серия	Std	ALS	AS	F	H	L	LS	S	
					●	●			

74104 JK-ТРИГГЕР С ЛОГИЧЕСКИМИ ЭЛЕМЕНТАМИ ЗИ НА ВХОДАХ J И K, ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит JK-триггер с логическими элементами ЗИ на входах J и K, дополнительным входом JK, а также с входами установки и сброса.

Работа схемы

Триггер имеет трехходовые логические элементы И на входах J и K. Поэтому, например, на вход J напряжение высокого уровня поступает лишь тогда, когда на входы J1, J2 и J3 одновременно подается такое напряжение. То же самое относится и ко входу K. Подавая на дополнительный вход JK (вывод 1) напряжение низкого уровня, можно осуществить блокировку входов триггера.

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом тактовом импульсе, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Передача входных данных на выход триггера происходит по положительному фронту тактового импульса.

Вход предварительной установки Preset и вход сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q формируется такое же напряжение.

Входы		Выходы	
J	K	Q	\bar{Q}
L	L	Нет изменений	
L	H	L	H
H	L	H	L
H	H	Переключение по тактовому импульсу	

J(K)1	J(K)2	J(K)3	J(K)
L	X	X	L
X	L	X	L
X	X	L	L
H	H	H	H

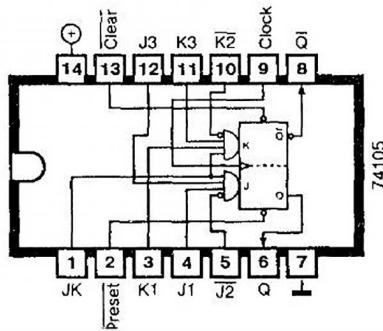
Применение

Регистры, счетчики, схемы управления.

Технические данные

Максимальная рабочая частота, МГц	15
Время задержки прохождения сигнала, нс	12
Ток потребления, мА	15

74105 JK-ТРИГГЕР С ЛОГИЧЕСКИМИ ЭЛЕМЕНТАМИ И НА ВХОДАХ J И K, ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит JK-триггер с трехходовыми логическими элементами И на входах J и K (один из входов каждого элемента И – инвертирующий), дополнительный вход JK, а также входы установки и сброса.

Работа схемы

Триггер имеет по одному трехходовому логическому элементу И на каждом из входах J и K, причем один вход на каждом элементе – инвертирующий. Поэтому, например, на вход J поступает напряжение высокого уровня лишь тогда, когда на вход J1 и J3 подается напряжение высокого уровня, а на $\bar{J}2$ – низкого. То же самое относится и ко входу K. Подавая на дополнительный вход JK (вывод 1) напряжение низкого уровня, можно осуществить блокировку входов триггера.

Когда на оба входа J и K одновременно поступает напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом тактовом импульсе, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Передача входных данных на выход триггера происходит по положительному фронту тактового импульса.

Вход предварительной установки Preset и вход сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение.

Входы	Выходы	
J K	Q	\bar{Q}
L L	Нет изменений	
L H	L	H
H L	H	L
H H	Переключение по тактовому импульсу	

J(K)1	J(K)2	J(K)3	JK	J(K)
L	X	X	H	L
X	H	X	H	L
X	X	L	H	L
H	L	H	H	H
X	X	X	L	L

Применение

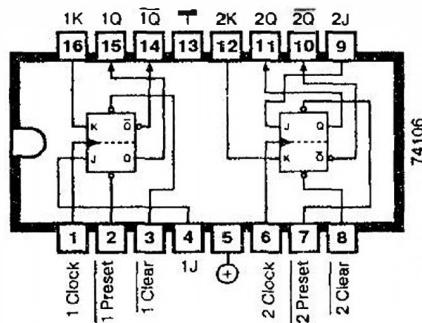
Регистры, счетчики, схемы управления.

Технические данные

	Std
Максимальная рабочая частота, МГц	30
Время задержки прохождения сигнала, нс	12
Ток потребления, мА	17

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74106 ДВА JK-ТРИГГЕРА С ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера, причем каждый из триггеров имеет свой собственный вход тактовых импульсов, вход установки и вход сброса.

Работа схемы

Если на вход тактовых импульсов одного из триггеров подается напряжение высокого уровня, то входы отпираются и данные поступают на входы триггера. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут меняться. Входные данные запоминаются триггером при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

Входы предварительной установки Preset и сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset поступает напряжение низкого уровня, то на соответствующем выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение.

Входы	Выходы		
J	K	Q	\bar{Q}
L	L	Нет изменений	
L	H	L	H
H	L	H	L
H	H	Переключение по тактовому импульсу	

Применение

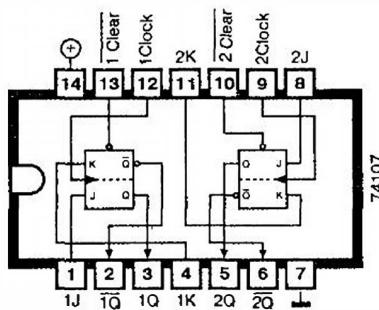
Регистры, счетчики, схемы управления.

Технические данные

Максимальная рабочая частота, МГц	H
Время задержки прохождения сигнала, нс	40
Ток потребления, мА	13

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

74107 ДВА JK-ТРИГГЕРА С ВХОДАМИ СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера, причем каждый триггер имеет свой собственный вход тактовых импульсов и вход сброса.

Работа схемы

Если на вход тактовых импульсов одного из триггеров подается напряжение высокого уровня, то данные со входов поступают на триггер. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут меняться. Входные данные сохраняются в триггере и поступают на выходы при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

Вход сигнала Clear работает асинхронно, то есть независимо от всех других входов. Если на вход сброса Clear подается напряжение низкого уровня, то и на соответствующем выходе Q устанавливается такое напряжение. В обычном режиме работы вход Clear можно оставлять открытым или подавать на него напряжение +5 В. Микросхемы серии Std запускаются положительным фронтом тактового импульса, а серии LS – отрицательным фронтом (при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий).

Применение

Регистры, счетчики, схемы управления.

Технические данные

Максимальная рабочая частота, МГц
Время задержки прохождения сигнала, нс
Ток потребления, мА

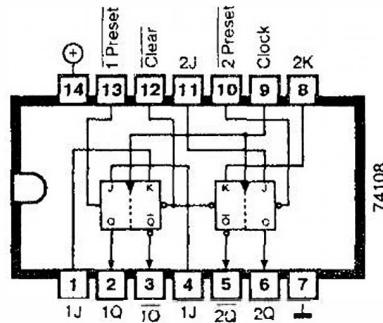
Clear	Входы			Выходы	
	Clock	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	—	L	L	Без изменений	
H	—	L	H	L	H
H	—	H	L	H	L
H	—	H	H	Переключение	
H	L	X	X	Без изменений	
H	H	X	X	Без изменений	
H	—	X	X	Без изменений	

Std	LS
15	30
30	15
16	4

Серия	Std	ALS	AS	F	H	L	LS	S	
●							●		

74108

ДВА JK-ТРИГГЕРА С ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ, ОБЩИМ ВХОДОМ ТАКТОВЫХ ИМПУЛЬСОВ И ОБЩИМ ВХОДОМ СБРОСА



Описание

Микросхема содержит два отдельных быстродействующих JK-триггера с входами предварительной установки, общим входом тактовых импульсов и общим входом сброса.

Работа схемы

Если на вход тактовых импульсов *Clock* подается напряжение высокого уровня, то сигналы поступают на входы обоих триггеров. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, данные на входах могут меняться. Входные данные запоминаются в триггере и поступают на выходы при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы *J* и *K* одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

Входы					Выходы	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	—	L	L	Без изменений	
H	H	—	L	H	L	H
H	H	—	H	L	H	L
H	H	—	H	H	Переключение по тактовому импульсу	
H	H	L	X	X	Без изменений	
H	H	H	X	X	Без изменений	
H	H	—	X	X	Без изменений	

* -- нестабильное состояние

Входы предварительной установки Preset и общий вход сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на соответствующем выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на обоих выходах Q формируется такое напряжение.

В нормальном режиме работы входы предварительной установки и сброса можно оставлять открытыми или подавать на них напряжение +5 В.

Применение

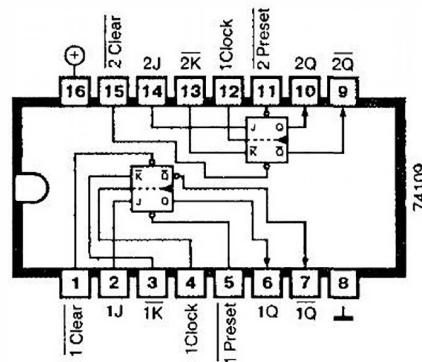
Регистры, счетчики, схемы управления.

Технические данные

Максимальная рабочая частота, МГц	H	40
Время задержки прохождения сигнала, нс	13	
Ток потребления, мА	40	

Серия	Std	ALS	AS	F	H	L	LS	S	
					●				

74109 ДВА JK-ТРИГГЕРА С ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с входами предварительной установки и сброса.

Работа схемы

Входные данные передаются на выходы триггера при перепаде напряжения на входе тактовых импульсов с низкого уровня на высокий (положительный фронт).

Когда на вход J подается напряжение высокого, а на вход \bar{K} – низкого уровня, то соответствующий триггер переключается из одного состояния в другое при каждом положительном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

Тактирование не зависит от времени нарастания или времени спада тактового импульса, так как вход тактовых импульсов чувствителен лишь к уровню напряжения. Для надежной работы схемы время нарастания тактового импульса от уровня 0,8 до 2,0 В должно быть равным или меньшим времени прохождения сигнала от входа тактовых импульсов до выхода.

Входы					Выходы	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H		L	L	L	H
H	H		H	L	Переключение по тактовому импульсу	
H	H		L	H	Без изменений	
H	H		H	H	H	L
H	H	L	X	X	Без изменений	

* – неустойчивое состояние

Инверсный вход \bar{K} позволяет использовать эту микросхему в качестве D-триггера, если входы J и \bar{K} соединить друг с другом.

Входы предварительной установки Reset и сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Reset подается напряжение низкого уровня, то на соответствующем выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на соответствующем выходе Q формируется такое напряжение.

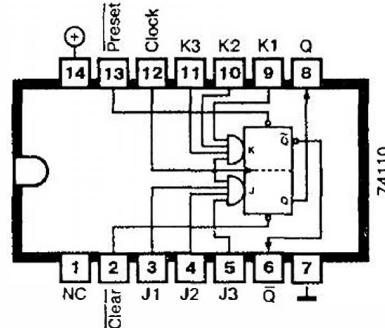
Применение

Регистры, счетчики, схемы управления.

Технические данные	Std	ALS	AS	F	LS	S
Максимальная рабочая частота, МГц	25	34	105	125	25	75
Время задержки прохождения сигнала, нс	14	11	6,5	3	19	5
Ток потребления, мА	18	1,2	6	12	4	52

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74110 JK-ТРИГГЕР С ЛОГИЧЕСКИМИ ЭЛЕМЕНТАМИ ЗИ НА ВХОДАХ J И K, ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит JK-триггер с логическими элементами ЗИ на входах J и K, входами установки и сброса и возможностью блокировки.

Работа схемы

Триггер имеет по одному трехходовому логическому элементу И на каждом из входов J и K.

Поэтому, например, на вход J напряжение высокого уровня поступает, лишь когда такое напряжение подается одновременно на входы J1, J2 и J3. То же самое относится и ко входу K.

Когда на оба входа J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом тактовом импульсе (по положительному фронту), благодаря чему возможно деление частоты на 2.

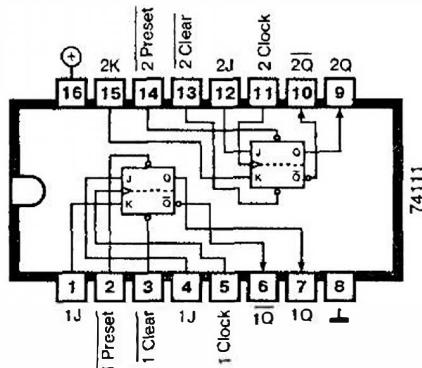
Передача входных данных на выходы триггера происходит по положительному фронту тактового импульса.

Когда на вход тактовых импульсов подается напряжение высокого уровня, изменение уровней напряжения на входах J и K не оказывает никакого влияния на состояние триггера.

Preset	Clear	Входы			Выходы	
		Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	—	L	L	Без изменений	
H	H	—	L	H	L	H
H	H	—	H	L	H	L
H	H	—	H	H	Переключение	

* – неустойчивое состояние

74111 ДВА JK-ТРИГГЕРА С ВХОДАМИ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с раздельными входами установки и сброса. Триггеры переключаются по положительному фронту тактового импульса.

Работа схемы

Входные данные передаются на выходы триггера при перепаде напряжения на входе тактовых импульсов с низкого уровня на высокий (положительный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом тактовом импульсе (положительном фронте тактового импульса), благодаря чему возможно деление частоты на 2.

Когда на вход тактовых импульсов подается напряжение высокого уровня, изменение уровней напряжения на входах J и K не оказывает никакого влияния на состояние триггера.

Вследствие небольшого времени задержки равного 5 нс (то есть триггер сработает через 5 нс после того, как напряжение на входе тактового импульса превысит 1,5 В) сигналы на входах J и K можно изменять во время подачи тактового импульса, не опасаясь ввода ошибочных данных. Это особенно важно для многоступенчатых сдвиговых регистров, когда нельзя гарантировать, что тактовый импульс появится на всех триггерах в одно и то же время.

Входы					Выходы	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	—	L	L	Без изменений	
H	H	—	L	H	L	H
H	H	—	H	L	H	L
H	H	—	H	H	Переключение	

* – неустойчивое состояние

Входы установки Preset и сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение. Аналогичная схема, но без входов установки, – 74115 в корпусе с 14 выводами.

Применение

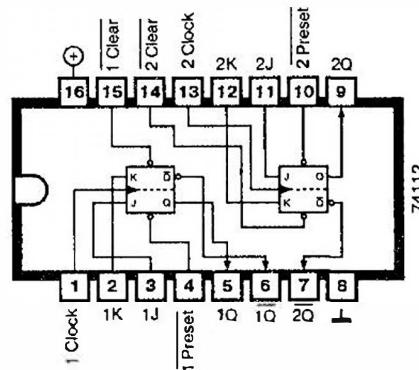
Регистры, счетчики, схемы управления.

Технические данные

	Std
Максимальная рабочая частота, МГц	20
Время задержки прохождения сигнала, нс	16
Ток потребления, мА	28

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74112 ДВА JK-ТРИГГЕРА С ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ И СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с входами установки и сброса. Запуск триггеров происходит по отрицательному фронту тактового импульса.

Работа схемы

Входные данные передаются на выходы триггера при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

В течение подачи напряжения высокого уровня на вход тактовых импульсов изменение уровней напряжения на входах J и K не оказывает никакого влияния на состояние триггера.

Входы установки Preset и сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение.

Аналогичная схема, но с другим расположением выводов, – 7476.

Входы					Выходы	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	L*	L*
H	H	—	L	L	Без изменений	
H	H	—	L	H	L	H
H	H	—	H	L	H	L
H	H	—	H	H	Переключение	
H	H	L	X	X	Без изменений	
H	H	H	X	X	Без изменений	
H	H	—	X	X	Без изменений	

* – неустойчивое состояние

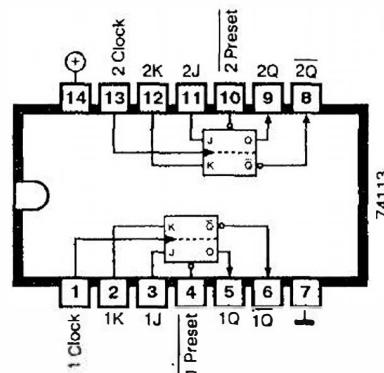
Применение

Регистры, счетчики, схемы управления.

Технические данные	ALS	AS	F	LS	S
Максимальная рабочая частота, МГц	30	175	130	30	80
Время задержки прохождения сигнала, нс	10,5	3,5	4	15	4,5
Ток потребления, мА	1,2	19	12	4	30

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74113 ДВА JK-ТРИГГЕРА С ВХОДАМИ УСТАНОВКИ



Описание

Микросхема содержит два отдельных JK-триггера с входами установки. Запуск триггеров происходит по отрицательному фронту тактового импульса.

Работа схемы

Данные передаются на выходы триггера при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

Пока на вход тактовых импульсов подается напряжение высокого уровня, сигналы на входах J и K могут изменяться, не оказывая никакого влияния на состояние триггера.

Вход установки Preset работает асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q устанавливается высокий уровень напряжения (а на выходе Q̄ – низкий).

Применение

Регистры, счетчики, схемы управления.

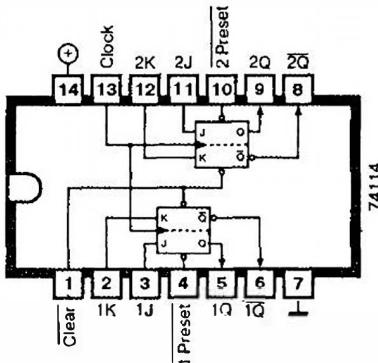
Технические данные

	ALS	AS	F	LS	S
Максимальная рабочая частота, МГц	30	175	125	30	80
Время задержки прохождения сигнала, нс	10,5	3,5	4	15	4,5
Ток потребления, мА	1,2	19	12	4	30

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74114

ДВА JK-ТРИГГЕРА С ВХОДАМИ ПРЕДВАРИТЕЛЬНОЙ УСТАНОВКИ, ОБЩИМ ВХОДОМ ТАКТОВЫХ ИМПУЛЬСОВ И ОБЩИМ ВХОДОМ СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с раздельными входами установки, общим входом тактовых импульсов и общим входом сброса. Запуск триггеров происходит по отрицательному фронту тактового импульса.

Работа схемы

Если на вход тактовых импульсов Clock подается напряжение высокого уровня, то данные поступают на входы обоих триггеров. До тех пор пока на входе тактовых импульсов сохраняется напряжение высокого уровня, напряжение на входах J и K может меняться.

Входные данные поступают на выходы обоих триггеров при перепаде напряжения на общем входе тактовых импульсов (вывод 13) с высокого уровня на низкий (отрицательный фронт).

Входы					Выходы	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	—	L	L	Без изменений	
H	H	—	L	H	L	H
H	H	—	H	L	H	L
H	H	—	H	H	Переключение по тактовому импульсу	
H	H	L	X	X	Без изменений	
H	H	H	X	X	Без изменений	
H	H	—	X	X	Без изменений	

* – нестабильное состояние

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2 (два устойчивых состояния).

Входы установки Preset и общий вход сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход Preset подается напряжение низкого уровня, то на выходе Q соответствующего триггера устанавливается напряжение высокого уровня. Если на вход сброса Clear подается напряжение низкого уровня, то и на выходах Q обоих триггеров формируется такое напряжение.

Данная микросхема аналогична схеме 7478, однако имеет другое расположение выводов.

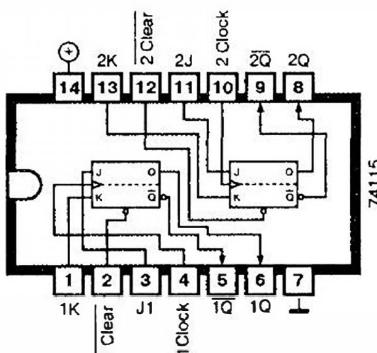
Применение

Регистры, счетчики, схемы управления.

Технические данные	ALS	AS	F	LS	S
Максимальная рабочая частота, МГц	30	175	125	30	80
Время задержки прохождения сигнала, нс	10,5	3,5	4	15	4,5
Ток потребления, мА	1,2	19	12	4	30

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●	●	

74115 ДВА JK-ТРИГГЕРА С ВХОДАМИ СБРОСА



Описание

Микросхема содержит два отдельных JK-триггера с входами сброса. Триггеры переключаются по положительному фронту тактового импульса.

Работа схемы

Входные данные передаются на выходы триггера при перепаде напряжения на входе тактовых импульсов с низкого уровня на высокий (положительный фронт).

Когда на входы J и K одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом тактовом импульсе (положительном фронте тактового импульса), благодаря чему возможно деление частоты на 2.

При подаче напряжения высокого уровня на вход тактовых импульсов, изменение уровней напряжения на входах J и K не оказывает никакого влияния на состояние триггера.

Вследствие небольшого времени задержки равного 5 нс (то есть триггер сработает через 5 нс после того, как уровень напряжения на входе тактовых импульсов превысит 1,5 В) сигналы на входах J и K можно изменять во время подачи тактового импульса, не опасаясь ввода ошибочных данных. Это особенно важно для многоступенчатых сдвиговых регистров, когда нельзя гарантировать, что тактовый импульс появится на всех триггерах в одно и то же время.

Входы сброса Clear работают асинхронно, то есть независимо от всех других входов. Если на вход сброса Clear подается напряжение низкого уровня, то на соответствующем выходе Q устанавливается такое напряжение.

Preset	Входы			Выходы	
	Clock	J	K	Q	\bar{Q}
L	X	X	X	L	H
H		L	L	Без изменений	
H		L	H	L	H
H		H	L	H	L
H		H	H	Переключение	
H	L	X	X	Без изменений	
H	H	X	X	Без изменений	
H		X	X	Без изменений	

Аналогичная схема, но с дополнительными входами предустановки, – 74111 в корпусе с 16 выводами.

Применение

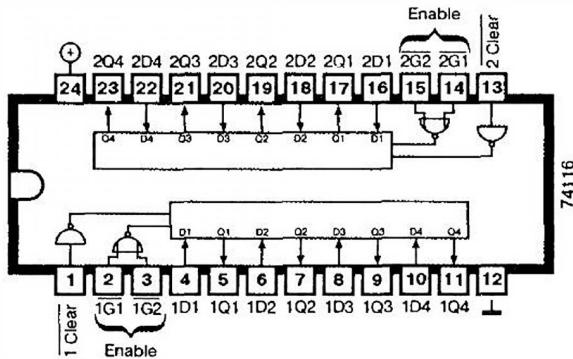
Регистры, счетчики, схемы управления.

Технические данные

	Std
Максимальная рабочая частота, МГц	20
Время задержки прохождения сигнала, нс	16
Ток потребления, мА	28

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74116 ДВА 4-РАЗРЯДНЫХ РЕГИСТРА С РАЗРЕШАЮЩИМИ ВХОДАМИ И ВХОДАМИ СБРОСА



Описание

Микросхема содержит два отдельных 4-разрядных регистра с разрешающими входами и входами сброса.

Работа схемы

Каждый из двух 4-разрядных регистров (триггеров-зашелок) имеет асинхронный вход сброса Clear и два разрешающих входа Enable. Когда на оба разрешающих входа Enable подается напряжение низкого уровня, то на выходах Q1 – Q4 устанавливается напряжение такого же уровня, что и поданное на информационные входы D1 – D4. Если на один или оба разрешающих входа подается напряжение высокого уровня, выходы остаются в том же состоянии, в каком они находились перед изменением напряжения на разрешающем входе (или на разрешающих входах) с низкого уровня на высокий. После этого перепада напряжения информационные входы запираются.

Вход сброса Clear работает независимо от остальных входов и устанавливает на всех четырех выходах напряжение низкого уровня, если на него подается низкий уровень напряжения.

Данная микросхема изготавливается под номером 9308 фирмой Fairchild.

сброса Clear	Входы			Выход Q
	разрешающ. $\overline{G1}$	разрешающ. $\overline{G2}$	данных D	
H	L	L	L	L
H	L	L	H	H
H	—	L	—	Q_0
H	L	—	—	Q_0
H	H	X	X	Без изменений
H	X	H	X	Без изменений
L	X	X	X	L

Q_0 – уровень напряжения на выходе Q перед перепадом напряжения на входе $\overline{G1}$ или $\overline{G2}$

После этого перепада напряжения информационные входы запираются.

Вход сброса Clear работает независимо от остальных входов и устанавливает на всех четырех выходах напряжение низкого уровня, если на него подается низкий уровень напряжения.

Данная микросхема изготавливается под номером 9308 фирмой Fairchild.

Применение

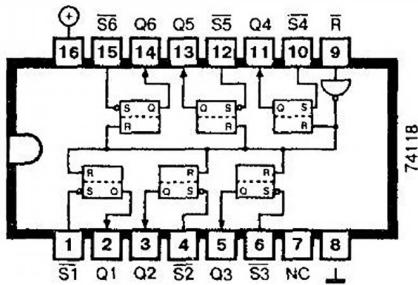
Хранение информации, буферный регистр.

Технические данные

	Std
Время задержки прохождения сигнала, нс	11
Ток потребления, мА	50

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●			

74118 ШЕСТЬ RS-ТРИГГЕРОВ С ОБЩИМ ВХОДОМ СБРОСА



Описание

Микросхема содержит шесть \overline{RS} -триггеров с общим входом сброса.

Работа схемы

Входы сигнала установки (\overline{S}) и вход сигнала сброса (\overline{R}) этой микросхемы, не содержащей входа тактовых импульсов, являются инвертирующими. Если на вход \overline{S} подается кратковременный сигнал низкого уровня, то на соответствующем выходе Q устанавливается напряжение высокого уровня.

Если на вход сброса \bar{R} подается напряжение низкого уровня, то и на всех выходах Q формируется такое напряжение. Когда на вход установки \bar{S} и вход сброса \bar{R} одного из триггеров одновременно поступает напряжение низкого уровня, то на соответствующем выходе устанавливается напряжение высокого уровня. Однако такое состояние выхода является неустойчивым, то есть не сохраняется, когда на входы \bar{S} или \bar{R} снова подается напряжение высокого уровня.

Входы		Выход
\bar{S}	\bar{R}	Q
L	X	H
H	L	L
L	L	H*
H	H	Q_0 (хранение)

* – неустойчивое состояние

Входы		Выход
\bar{S}	\bar{R}	Q
L	X	H
H	L	L
L	L	H*
H	H	Q ₀ (хранение)

* – неустойчивое состояние

Если на вход установки \bar{S} и на вход сброса \bar{R} одновременно подается напряжение высокого уровня, на соответствующем выходе Q сохраняется уровень напряжения, который был там прежде, то есть происходит запоминание информации.

Применение

Считывание и запись данных или промежуточных результатов в память.

Технические данные

Время задержки прохождения сигнала, нс

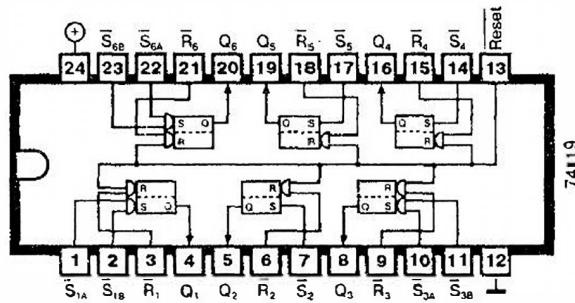
Ток потребления, мА

Std

18

30

74119 ШЕСТЬ RS-ТРИГГЕРОВ С ДОПОЛНИТЕЛЬНЫМ ОБЩИМ ВХОДОМ СБРОСА



Описание

Данная микросхема содержит шесть \overline{RS} -триггеров, три из которых имеют по два установочных входа S , объединенных логическими элементами 2И. У всех триггеров один дополнительный общий вход сброса.

Работа схемы

Входы сигнала установки (\bar{S}) и вход сигнала сброса (\bar{R}) этой микросхемы, не содержащей входа тактовых импульсов, являются инвертирующими. Если на вход \bar{S} поступает короткий по времени сигнал низкого уровня (на вход сброса \bar{R} или на общий вход сброса Reset в это время подается напряжение высокого уровня), то на соответствующем выходе Q устанавливается напряжение высокого уровня.

Для трех триггеров с двумя установочными входами S справедливо следующее: на вход триггера поступает напряжение высокого уровня, только если на оба установочных входа одновременно будет подано напряжение высокого уровня.

Если на вход сброса \bar{R} подается напряжение низкого уровня, то и на соответствующем выходе Q устанавливается такое напряжение. Если на общий вход сброса Reset подается напряжение низкого уровня, то оно формируется на всех выходах Q .

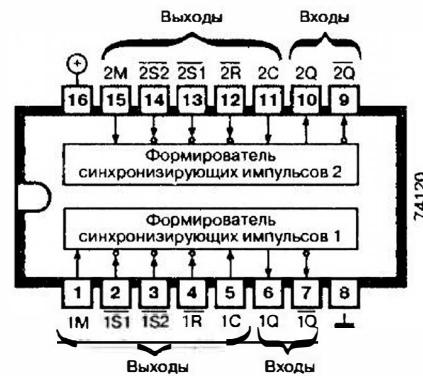
Когда на вход установки \bar{S} и на вход сброса \bar{R} одного из триггеров одновременно поступает напряжение низкого уровня, то на соответствующем выходе устанавливается напряжение высокого уровня. Однако такое состояние выхода является неустойчивым, то есть не сохраняется, когда на входы \bar{S} или на вход \bar{R} снова будет подано напряжение высокого уровня.

Если на вход установки \bar{S} и на вход сброса \bar{R} одновременно подается напряжение высокого уровня, то на соответствующем выходе Q сохраняется уровень напряжения, который был там прежде, то есть происходит запоминание информации.

Входы			Выход
\bar{S}	\bar{R}	Reset	Q
L	H	H	H
H	L	X	L
H	X	L	L
L	L	X	H*
L	X	L	H*
H	H	H	Q_0 (хранение)

* – неустойчивое состояние

74120 ДВА ФОРМИРОВАТЕЛЯ СИНХРОНИЗИРУЮЩИХ ИМПУЛЬСОВ



Описание

Микросхема содержит два отдельных формирователя синхронизирующих импульсов.

Работа схемы

Управляющие асинхронные сигналы поступают на входы микросхемы $\bar{S_1}$ и $\bar{S_2}$ и синхронизируются с сигналом тактовой частоты, который подается на вход C . Тактовые импульсы формируются на выходе Q и на инверсном выходе \bar{Q} . С помощью входа M определяют, нужно ли получать на выходе единичный импульс (в этом случае на вход M подается напряжение высокого уровня) или серию импульсов (на вход M подается напряжение низкого уровня).

Входы			Функция
\bar{R}	$\bar{S_1}$	$\bar{S_2}$	
X	L	X	Выходные импульсы могут проходить
X	X	L	Выходные импульсы могут проходить
L	H	H	Выходные импульсы запираются
H	—	H	Выходные импульсы запускаются
H		—	Выходные импульсы запускаются
—	H	H	Выходные импульсы блокируются
H	H	H	Продолжение*

* – продолжает выполняться предыдущая операция

Если, на вход \bar{R} подается напряжение низкого уровня, то, подавая на вход \bar{S} такое напряжение, можно запустить формирование выходных импульсов, дать им продвинуться дальше и запереть их, причем в каждом случае на другой вход \bar{S} должно подаваться напряжение высокого уровня.

Если на вход \bar{R} подается напряжение высокого уровня (на вход M – низкого уровня), то с помощью отрицательного фронта импульса на входах $\bar{S_1}$ и $\bar{S_2}$ можно запустить серию выходных импульсов и снова заблокировать их формирование, подавая отрицательный фронт импульса на вход \bar{R} . Можно также прекратить

формирование серии выходных импульсов, еще раз подав на вход М напряжение высокого уровня.

Независимо от момента времени подачи сигнала прекращения формирования импульса на выходах всегда появляются сигналы, синхронизированные с тактовой частотой.

Применение

Синхронизация управляющих или асинхронных сигналов с сигналом тактовой частоты системы.

Технические данные

Время задержки прохождения сигнала, нс

Std

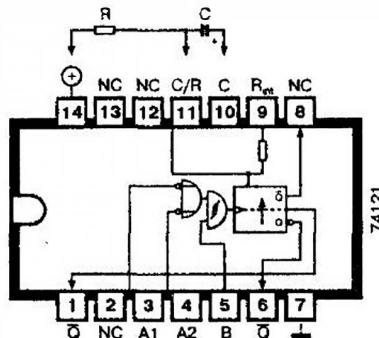
16

Ток потребления, мА

51

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74121 ОДНОВИБРАТОР С ЛОГИЧЕСКИМ ЭЛЕМЕНТОМ НА ТРИГГЕРЕ ШМИТТА НА ВХОДЕ



Описание

Микросхема содержит одновибратор с инверсными входами, прямым и инверсным выходами без возможности перезапуска.

Работа схемы

Длительность выходного импульса t зависит от постоянной времени $R \times C$ ($t = 0,7 RC$). При этом сопротивление R равно от 2 до 40 кОм, а емкость C – от 10 пФ до 1000 мкФ. Если для регулирования длительности импульса не требуется большая точность, это можно делать без подключения внешней RC-цепи, используя лишь внутреннее сопротивление величиной 2 кОм (выводы 9 и 10 соединены между собой, выводы 10 и 11 открыты), при этом длительность выходного импульса составляет ~30 нс.

Длительность импульса не зависит от рабочего напряжения и температуры и определяется в основном добротностью RC-контура.

Одновибратор включается отрицательным фронтом входного сигнала на входах A1 и A2. При этом на один из двух входов A и на вход B подается напряжение низкого уровня.

Вход B соединен с триггером Шмитта, который позволяет принимать входной сигнал с крутизной фронта до 1 В/с (большая длительность фронта импульса) и включает одновибратор при переходе напряжения на входе B с низкого уровня на высокий (положительный фронт), причем на вход A1 или на вход A2 должно подаваться напряжение низкого уровня.

Микросхема не имеет возможности перезапуска. Для ее повторного включения необходимо выждать так называемое «время восстановления», которое составляет около 75% длительности импульса.

Входы			Выходы	
A1	A2	B	Q	\bar{Q}
L	X	L	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	—	H	H	—
—	H	H	—	—
—	—	H	—	—
L	X	—	—	—
X	L	—	—	—

Применение

Блок задержки импульсов и датчик времени (таймер), формирователь импульсов.

Технические данные

Std

Стандартное время задержки сигнала на входе А или В, нс

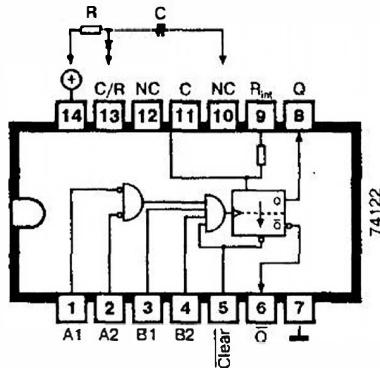
45

Ток потребления, мА

18

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●			

74122 ОДНОВИБРАТОР С ВХОДОМ СБРОСА И ВОЗМОЖНОСТЬЮ ПЕРЕЗАПУСКА



Описание

Микросхема содержит одновибратор с инверсными входами, прямым и инверсным выходами, входом сигнала сброса и возможностью перезапуска.

Работа схемы

Длительность выходного импульса t зависит от постоянной времени $R \times C$: $t = 0,32C(R + 700 \text{ Ом})$. При этом сопротивление R может быть равно от 5 до 25 кОм, а емкость C – от 10 пФ и выше. Если в качестве конденсатора внешней RC-цепи служит электролитический конденсатор или для выполнения команды сброса применяется емкость $C > 1 \text{ нФ}$, следует использовать диод с маркировкой в виде штриха. Тогда длительность выходного импульса определяется по формуле $t = 0,28C(R + 700 \text{ Ом})$. Можно использовать внутреннее сопротивление микросхемы (10 кОм) и лишь один внешний конденсатор.

Одновибратор включается отрицательным фронтом входного сигнала на входах A1 и A2. При этом каждый раз на один из двух входов A и на вход B подается напряжение высокого уровня.

Входы B включаются перепадом входного сигнала с низкого уровня напряжения на высокий (положительный фронт), при этом на второй вход B должно подаваться напряжение высокого уровня и, по крайней мере, на один из входов A – низкого.

Уже работающий одновибратор может быть вновь запущен в любое время, так что длительность выходного импульса считается от последнего включения.

В нормальном режиме работы на вход сигнала сброса Clear подается напряжение высокого уровня, при этом включение схемы блокируется и на выходе Q устанавливается напряжение низкого уровня, а на выходе \bar{Q} – высокого.

<u>Clear</u>	Входы				Выходы	
	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X		H		
H	L	X	H			
H	X	L	H			
H	X	L		H		
H	H		H	H		
H		H	H	H		
H		H	H	H		
	L	X	X	X		
	X	L	H	H		

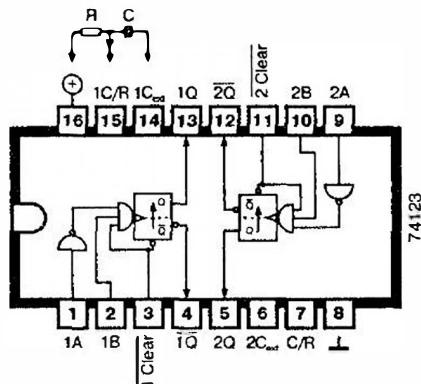
Применение

Блок задержки импульсов и датчик времени (таймер), формирователь импульсов.

Технические данные	Std	LS
Минимальная длительность выходного импульса, нс	45	200
Время задержки сигнала на входе А или В, нс	26	26
Ток потребления, мА	23	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

74123 ДВА ОДНОВИБРАТОРА С ВХОДАМИ СБРОСА И ВОЗМОЖНОСТЬЮ ПЕРЕЗАПУСКА



Описание

Микросхема содержит два одновибратора с инверсными входами, прямым и инверсным выходами, входами сигнала сброса и возможностью перезапуска.

Работа схемы

Длительность выходного импульса t зависит от постоянной времени $R \times C$: $t = 0,32C(R + 700 \text{ Ом})$. При этом сопротивление R может быть от 5 до 25 кОм, а емкость C – от 10 пФ и выше. Если в качестве конденсатора внешней RC-цепи служит электролитический конденсатор или для выполнения команды сброса применяется емкость $C > 1 \text{ нФ}$, следует использовать диод с маркировкой в виде штриха. Тогда длительность выходного импульса можно определить по формуле $t = 0,28C(R + 700 \text{ Ом})$.

Одновибратор включается отрицательным фронтом сигнала на входе А. При этом на вход В должно подаваться напряжение высокого уровня.

Вход В включается перепадом входного сигнала с низкого уровня напряжения на высокий (положительный фронт), при этом на вход А должно подаваться напряжение низкого уровня.

Уже включенная микросхема может быть вновь запущена в любое время.

В нормальном режиме работы на вход сигнала стирания Clear подается напряжение высокого уровня. Если на этот вход подается напряжение низкого уровня, то включение схемы блокируется и на выходе Q устанавливается напряжение низкого уровня, а на выходе \bar{Q} – высокого.

Кроме того, схему можно запустить положительным фронтом импульса на входе сигнала сброса Clear.

Входы			Выходы	
Clear	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L			
H		H		
	L	H		

Применение

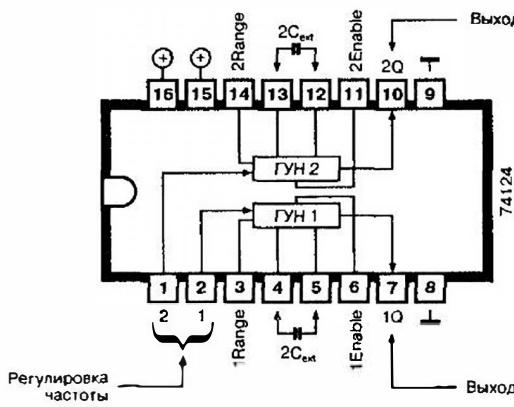
Блок задержки импульсов и датчик времени (таймер), формирователь импульсов.

Технические данные

	Std	LS
Минимальная длительность выходного импульса, нс	45	200
Время задержки сигнала на входе А или В, нс	26	26
Ток потребления, мА	46	12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

74124 ДВА ГЕНЕРАТОРА ИМПУЛЬСОВ, УПРАВЛЯЕМЫЕ НАПРЯЖЕНИЕМ



Описание

Данная микросхема содержит два отдельных генератора импульсов, управляемых напряжением (ГУН).

Работа схемы

Частота колебаний на выходе каждого генератора задается с помощью специального функционального элемента (конденсатора или кварца) и двух управляемых напряжением входов: один – для регулирования частотного диапазона и второй – для установки частоты.

Рабочий частотный диапазон генератора изменяется в очень широких пределах (0,12 Гц – 85 МГц).

Частота колебаний на выходе генератора определяется следующей формулой:

$$f = (1 \times 10^{-4}) / C_{ext} \text{ – для микросхем серии LS,}$$

$$f = (5 \times 10^{-4}) / C_{ext} \text{ – для микросхем серии S,}$$

где f – частота, Гц,

C_{ext} – внешняя емкость, Ф.

Например, для конденсатора емкостью 50 нФ при напряжении 0 В на выводе 3 (частотный диапазон) изменение напряжения на выводе 2 (регулирование частоты) от 0 до 4,5 В позволяет варьировать частоту колебаний на выходе в пределах от 4 до 30 МГц. При напряжении 5 В на выводе 3 диапазон изменения выходной частоты составляет примерно от 2 до 8 МГц.

Генератор можно запустить, подавая на разрешающий вход (Enable) напряжение низкого уровня, и заблокировать, подавая напряжение высокого уровня. Благодаря внутренней синхронизации длительность первого импульса на выходе всегда остается постоянной величиной. Скважность прямоугольных импульсов напряжения на выходе составляет 1:1.

Для генератора и схемы управления предусмотрены раздельные выводы для подключения напряжения питания и заземления (выводы 15 и 8 – для генератора, выводы 16 и 9 – для остальных схем управления).

Улучшенным вариантом данной микросхемы является схема 74LS629.

Применение

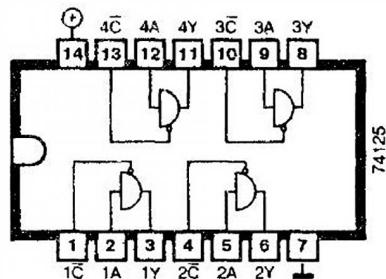
Генераторы импульсов, контуры фазовой автоподстройки частоты (ФАПЧ).

Технические данные

	LS	S
Рабочая частота генератора, Гц–МГц	1–35	1–60
Потребляемый ток, мА	22	105

Серия	Std	ALS	AS	F	H	L	LS	S	
							●	●	

74125 ЧЕТЫРЕ БУФЕРА ШИНЫ (ВЫХОДЫ С ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит четыре отдельных буферных формирователя с выходами с тремя состояниями.

Работа схемы

Микросхема используется в качестве буфера шины при нормальных ТТЛ-уровнях. С помощью дополнительных управляющих входов (Control) выходы можно перевести в высокоомное (третье) состояние, подавая на соответствующий вход \bar{C} напряжение высокого уровня. Иногда эти входы называют разрешающими (Enable).

С помощью выходов с тремя состояниями можно также реализовать схему МОНТАЖНОЕ И с коротким временем срабатывания.

Такие модули позволяют очень просто заменять каскадный выход интегральной микросхемы на выход с тремя состояниями, когда буфер подключается к выходу соответствующей ИС.

Совместимой с данной схемой по расположению контактов является микросхема 74126, в которой выходы переходят в третье состояние, когда на управляющие входы \bar{C} подается напряжение низкого уровня.

Входы	Выход	
\bar{C}	A	Y
L	H	H
L	L	L
H	X	Z

Применение

Драйвер линии.

Технические данные

Время задержки прохождения сигнала, нс

Std

F

LS

10

5

10

Ток потребления, мА

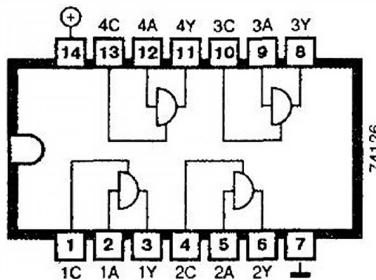
32

23

11

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●			●		

74126 ЧЕТЫРЕ БУФЕРА ШИНЫ (ВЫХОДЫ С ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит четыре отдельных неинвертирующих буфера шины с выходами с тремя состояниями.

Работа схемы

Микросхема используется в качестве буфера шины при нормальных ТГЛ-уровнях. С помощью дополнительных управляющих входов (Control) выходы можно перевести в высокоомное (третье) состояние, подав на соответствующий вход С напряжение низкого уровня. Иногда эти входы называют разрешающими (Enable).

С помощью выходов с тремя состояниями можно также реализовать схему МОНТАЖНОЕ И с коротким временем срабатывания.

Такие модули позволяют очень просто заменять каскадный выход интегральной микросхемы на выход с тремя состояниями, когда буфер подключается к выходу соответствующей ИС.

Совместимой с данной схемой по расположению контактов является микросхема 74125, в которой выходы переходят в третье состояние, когда на управляющие входы С подается напряжение высокого уровня.

Входы	Выход	
C	A	Y
H	H	H
H	L	L
L	X	Z

Применение

Драйвер шин.

Технические данные

Время задержки прохождения сигнала, нс

Std

F

LS

10

5

10

Ток потребления, мА

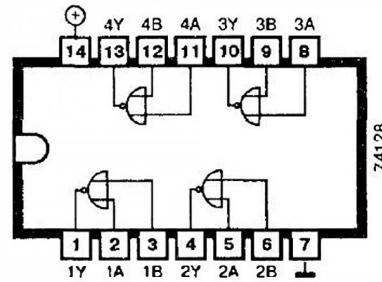
36

26

12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●			●		

74128 ЧЕТЫРЕ 50-ОМНЫХ БУФЕРНЫХ ФОРМИРОВАТЕЛЯ С ДВУМЯ ВХОДАМИ И ЛОГИЧЕСКОЙ СХЕМОЙ ИЛИ-НЕ



Описание

Микросхема содержит четыре отдельных 50-омных буферных формирователя с двумя входами каждый и логической схемой ИЛИ-НЕ.

Работа схемы

Все четыре логических элемента ИЛИ-НЕ можно использовать независимо друг от друга.

При подаче напряжения высокого уровня на один или оба входа каждого из элементов на выходе устанавливается напряжение низкого уровня. Если на оба входа подается напряжение низкого уровня, то на выходе устанавливается напряжение высокого уровня.

По сравнению с микросхемой 7428 данная схема обладает более высоким коэффициентом нагрузки и эффективно используется для управления 50-омными шинами.

По расположению выводов эта микросхема совместима с 7402 и 7428.

Входы		Выход
A	B	Y
H	X	H
X	H	L
L	L	Z

Применение

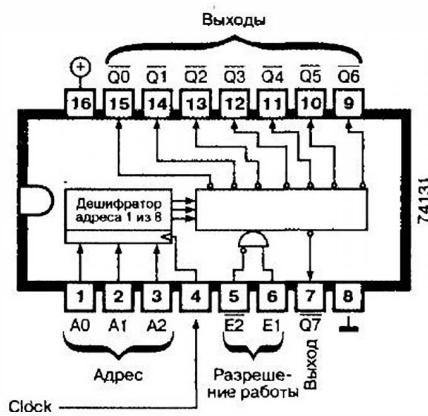
Драйвер шины с логической схемой ИЛИ-НЕ.

Технические данные

	Std
Максимальный выходной ток при низком уровне напряжения, мА	48
Время задержки прохождения сигнала, нс	7
Ток потребления, мА	43

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74131 3-РАЗРЯДНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР 3-8 С БУФЕРНЫМ РЕГИСТРОМ



Описание

Микросхема содержит быстродействующий дешифратор/демультиплексор с тремя входами, восемью выходами и буферным регистром.

Работа схемы

Данная схема работает так же, как и микросхема 74137.

Когда напряжение на входе тактовых импульсов (Clock) переходит с низкого уровня на высокий, данные, находящиеся на входах A0, A1 и A2, поступают в буферный регистр.

Входы			Выходы							
Clock Такт	Enable Разрешение E1 E2	Адрес A2 A1 A0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
X	X	H	X	X	X	H	H	H	H	H
X	L	X	X	X	X	H	H	H	H	H
—	H	L	L	L	L	H	H	H	H	H
—	H	L	L	H	H	L	H	H	H	H
—	H	L	L	H	L	H	H	L	H	H
—	H	L	L	H	H	H	H	L	H	H
—	H	L	H	L	H	H	H	H	L	H
—	H	L	H	H	L	H	H	H	H	L
—	H	L	H	H	H	H	H	H	H	L
L	H	L	X	X	X	Низкий уровень на выходе, соответствующем хранящемуся в буферном регистре значению, и высокий уровень на остальных выходах				

На выходе \overline{Q} , который соответствует хранящемуся в регистре коду, формируется напряжение низкого уровня, а на остальных выходах – высокого.

Разрешающие входы E1 и $\overline{E2}$ управляют состоянием выходов независимо от содержащейся в буферном регистре информации. Когда на вход E1 подается напряжение низкого уровня или на вход $\overline{E2}$ – высокого, то на всех выходах устанавливается напряжение высокого уровня.

Применение

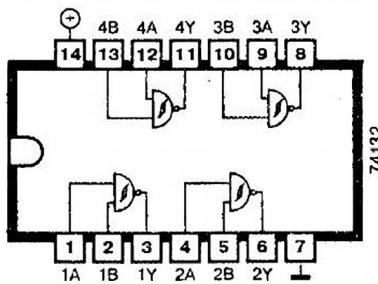
Цифровые демультиплексоры, декодирование адресов в системах с шинной организацией.

Технические данные

	ALS	AS
Максимальная тактовая частота, МГц	50	140
Ток потребления, мА	6	16

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●						

74132 ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА 2И-НЕ НА ТРИГГЕРАХ ШМИТТА



Описание

Микросхема содержит четыре отдельных логических элемента И-НЕ на триггерах Шмитта с двумя входами каждый.

Работа схемы

Все четыре логических элемента И-НЕ на триггерах Шмитта можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один или оба входа каждого из элементов на выходе устанавливается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня, то на выходе устанавливается напряжение низкого уровня.

Эта схема в качестве обычного логического элемента И-НЕ с двумя входами, имеющими внутренний гистерезис, идеально подходит для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения.

Напряжение срабатывания логического элемента составляет 1,8 В, а напряжение отпускания – 1,0 В. Благодаря этому триггеры могут запускаться очень пологим фронтом входного импульса и постоянным напряжением, причем на выходе получают сигнал без шумов.

По расположению контактов эта схема совместима с 7400.

Входы		Выход
A	B	Y
L	X	H
X	L	H
H	H	L

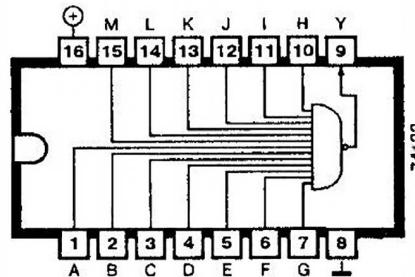
Применение

Логический элемент И-НЕ для принятия зашумленного входного сигнала или входного сигнала с медленно изменяющимся уровнем напряжения, формирователи импульсов, несинхронизированные и ждущие мультивибраторы, пороговые детекторы.

Технические данные	Std	ALS	AS	LS	S
Время задержки прохождения сигнала, нс	15	8	6,3	15	7,5
Ток потребления, мА	20	8	13	7	36

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●	●	

74133 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ И-НЕ С ТРИНАДЦАТЬЮ ВХОДАМИ



Описание

Микросхема содержит один отдельный логический элемент И-НЕ с тринадцатью входами.

Работа схемы

При подаче напряжения низкого уровня на один или несколько входов на выходе устанавливается напряжение высокого уровня.

Если на все тринадцать входов подается напряжение высокого уровня, то на выходе будет напряжение низкого уровня.

Аналогичная схема, но с двенадцатью входами и выходом с тремя состояниями, – 74134.

Входы	Выход
Один или несколько входов L	H
Все входы H	L

Применение

Реализация логической функции И-НЕ.

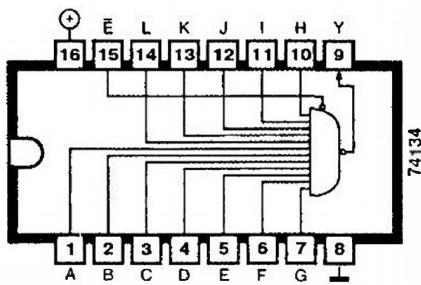
Технические данные

Время задержки прохождения сигнала, нс
Ток потребления, мА

ALS	LS	S
7	25	4
0,4	1	4,4

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●	●	

74134 ЛОГИЧЕСКИЙ ЭЛЕМЕНТ И-НЕ С ДВЕНАДЦАТЬЮ ВХОДАМИ (ВЫХОД С ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит один логический элемент И-НЕ с двенадцатью входами и выходом с тремя состояниями.

Работа схемы

При подаче напряжения низкого уровня на один или несколько входов на выходе устанавливается напряжение высокого уровня. Если на все двенадцать входов подается напряжение высокого уровня, то на выходе устанавливается напряжение низкого уровня. Однако это происходит лишь тогда, когда на вывод 15 (\bar{E}) подается напряжение низкого уровня. Если на этот вывод подается напряжение высокого уровня, то выход переходит в высокоомное (третье) состояние.

Аналогичная схема, но с тринадцатью входами и обычным выходом ТТЛ, – 74133.

Входы A – L	E	Выход
Один или несколько входов L	L	H
Все входы H	L	L
Любая комбинация на входах	H	Z

Применение

Реализация логической функции И-НЕ.

Технические данные

S

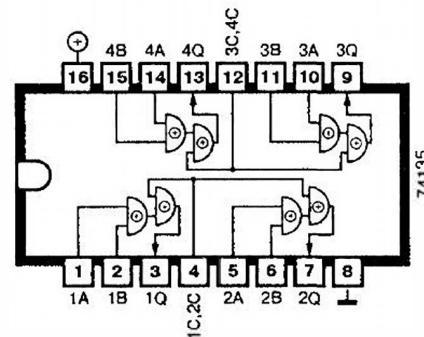
Время задержки прохождения сигнала, нс

5

Ток потребления, мА

10

74135 ЧЕТЫРЕ СХЕМЫ ИЗ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ИСКЛЮЧАЮЩЕЕ ИЛИ



Описание

Микросхема содержит четыре отдельных логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, которые с помощью дополнительного логического элемента могут выполнять логическую функцию ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ.

Работа схемы

На выходе каждого логического элемента формируется напряжение высокого уровня, если только на один из двух его входов подается напряжение высокого уровня. Если на оба входа подается напряжение высокого уровня или на оба входа – низкого, то на выходе формируется напряжение низкого уровня.

Однако эта логическая операция ИСКЛЮЧАЮЩЕЕ ИЛИ осуществляется лишь тогда, когда на соответствующий вход С подается напряжение низкого уровня.

Если же на соответствующий вход С поступает напряжение высокого уровня, то соответствующий элемент работает как схема ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ. В этом случае на выходе формируется напряжение низкого уровня, если только на один из входов подается напряжение высокого уровня. Если же на оба входа подается напряжение высокого уровня или на оба входа – низкого, то на выходе формируется напряжение высокого уровня.

Входы			Выход
A	B	C	Q
L	L	L	L
L	H	L	H
H	L	L	H
H	H	L	L
L	L	H	H
L	H	H	L
H	L	H	L
H	H	H	H

Применение

Реализация логических функций ИСКЛЮЧАЮЩЕЕ ИЛИ и ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ, генерирование и проверка четного и нечетного равенств, логические компараторы, переключаемые инверторы.

Технические данные

5

Время задержки прохождения сигнала, ис-

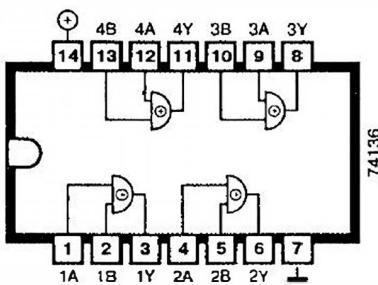
8

Ток потребления, мА

65

74136

ЧЕТЫРЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТА ИСКЛЮЧАЮЩЕЕ ИЛИ С ДВУМЯ ВХОДАМИ КАЖДЫЙ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит четыре отдельных логических элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с двумя входами каждый и выходами с открытым коллектором.

Работа схемы

На выходе каждого логического элемента формируется напряжение высокого уровня, только если на один из двух его входов подается такое напряжение. Если на оба входа подается напряжение высокого уровня или на оба входа – низкого, то на выходе формируется напряжение низкого уровня.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление (обычно 2,2 кОм) между используемым выходом и цепью питания +5 В.

Логический элемент может использоваться в качестве компаратора, тогда при идентичных входных сигналах на выходе будет формироваться напряжение низкого уровня, а при различных входных сигналах – напряжение высокого уровня. Логический элемент также может использоваться и как управляемый инвертор, поскольку подача напряжения низкого уровня на один из двух входов позволяет пропускать на выход сигнал того же напряжения, который подается на второй вход. Напротив, подача напряжения высокого уровня на один из входов будет инвертировать уровень напряжения, поступающий на другой вход.

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Входы		Выход
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

Применение

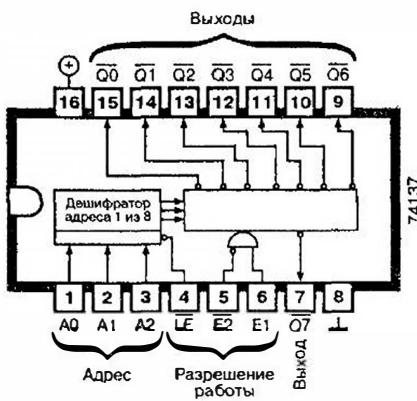
Реализация логической функции ИСКЛЮЧАЮЩЕЕ ИЛИ, генерирование и проверка четного и нечетного равенств, сумматор/вычитатель, логические компараторы.

Технические данные	Std	ALS	AS	LS	S
Максимальное выходное напряжение, В	5,5	5,5	5,25	5,5	5,25
Время задержки прохождения сигнала, нс	17	22		18	10
Ток потребления, мА	30	4		6	50

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74137

3-РАЗРЯДНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР 3-8 С БУФЕРНЫМ РЕГИСТРОМ (ИНВЕРСНЫЕ ВЫХОДЫ)



Описание

Микросхема содержит быстродействующий дешифратор/демультиплексор с тремя входами и восемью выходами и с буферным регистром.

Работа схемы

Данная микросхема в основном аналогична дешифратору микросхемы 74138, однако имеет дополнительный 3-разрядный буферный регистр для адреса.

Когда регистр отпирается (на вход \overline{LE} поступает напряжение низкого уровня), микросхема работает как дешифратор 1 из 8.

Таким образом, когда 3-разрядный код поступает на три входа (A_0 , A_1 и A_2), на соответствующем этому коду выходе \overline{Q} устанавливается напряжение низкого уровня, а на остальных выходах – высокого. Когда напряжение на входе \overline{LE} переходит с низкого уровня на высокий, то последние данные, находящиеся на адресных входах, поступают на хранение в регистр, и входы не реагируют на все вновь поступающие данные, пока на входе \overline{LE} сохраняется напряжение высокого уровня.

Разрешающие входы E_1 и E_2 управляют состоянием выходов независимо от адресных входов или состояния буферного регистра. На всех выходах устанавливается напряжение высокого уровня, когда на вход E_2 подается напряжение высокого уровня или на вход E_1 – низкого.

Таблица истинности для микросхемы приведена на следующей странице.

Применение

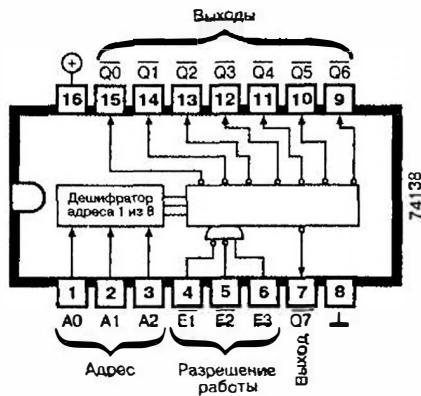
Цифровые демультиплексоры, декодирование адресов, управление декодированием.

Технические данные

	ALS	AS	LS	S
Время задержки прохождения сигнала, нс	13	6,8	19	16
Ток потребления, мА	5	16	13	95

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●					●	●	

**74138 З-РАЗРЯДНЫЙ ДЕШИФРАТОР/
ДЕМУЛЬТИПЛЕКСОР 3-8
С ИНВЕРСНЫМИ ВЫХОДАМИ**



Описание

Микросхема содержит быстродействующий дешифратор/демультиплексор с тремя входами и восемью выходами и с тремя разрешающими входами.

Работа схемы

Когда 3-разрядный код поступает на три входа (A_0 , A_1 и A_2), на соответствующем этому коду выходе \bar{Q} устанавливается напряжение низкого уровня, а на остальных выходах – высокого. Однако это происходит лишь в том случае, если на разрешающие входы E_1 и E_2 подается напряжение низкого уровня, а на вход E_3 – высокого.

Такая комбинированная возможность отпирания схемы позволяет легко расширить ее до дешифратора 1 из 32, параллельно подключив к схеме четыре микросхемы 74138 и один инвертор.

Данная микросхема может использоваться и в качестве демультиплексора на 8 выходов, если один из разрешающих выходов $\overline{E1}$ или $\overline{E2}$ служит в качестве информационного входа, а другие разрешающие входы – в качестве входов стробирующих импульсов. При этом на незадействованные разрешающие входы должно постоянно подаваться напряжение соответствующего уровня (высокого или низкого), который необходим для работы микросхемы.

Применение

Цифровые демультиплексоры, декодирование адресов, управление декодированием.

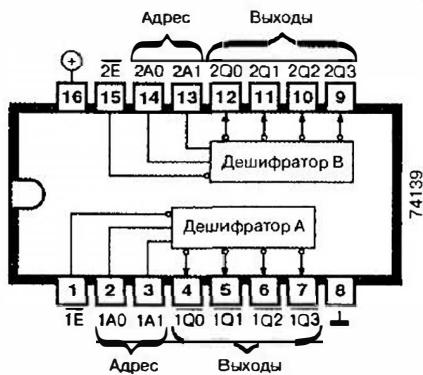
Технические данные

	ALS	AS	F	L	LS	S
--	------------	-----------	----------	----------	-----------	----------

Время задержки прохождения сигнала, нс	13	5,8	5,8	22	8
Ток потребления, мА	6	5	13	13	49

Серия	Std	ALS	AS	F	H	L	LS	S	
		●	●	●			●	●	

74139 ДВА 2-РАЗРЯДНЫХ ДЕШИФРАТОРА/ДЕМУЛЬТИПЛЕКСОРА 2-4 С ИНВЕРСНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит два отдельных дешифратора с двумя входами и четырьмя выходами, которые можно использовать в качестве декодирующего или распределительного устройства.

Работа схемы

В нормальном режиме работы на выводы 1 и 15 (разрешающий вход \bar{E}) подается напряжение низкого уровня.

Когда код поступает на входы A0 и A1, то на соответствующем выходе устанавливается напряжение низкого уровня, а на остальных выходах – высокого. Например, если на вход A0 подается напряжение высокого уровня и на вход A1 – низкого, то на выходе $\bar{Q}1$ формируется напряжение низкого уровня.

Обратите внимание на то, что обе половины схемы имеют свои отдельные входы выборки и разрешающие входы.

Если на разрешающий вход \bar{E} подается напряжение высокого уровня, то на всех выходах соответствующего дешифратора устанавливается такое же напряжение независимо от состояния входов A0 и A1.

Разрешающий вход можно также использовать в качестве информационного входа в демультиплексоре. Логическая 1 на разрешающем входе переводит выбранный выход в состояние «1», и наоборот.

Входы			Выходы			
Разреш.	Адресные		Q0	Q1	Q2	Q3
	\bar{E}	A1	A0			
H	X	X		H	H	H
L	L	L		L	H	H
L	L	H		H	L	H
L	H	L		H	H	L
L	H	H		H	H	L

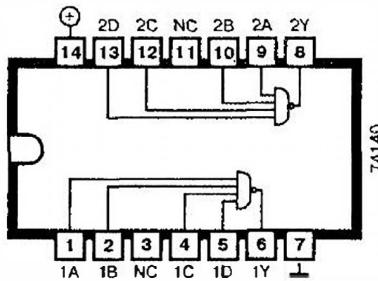
Разрешающий вход можно также использовать для того, чтобы преобразовать схему в демультиплексор на 1 вход и 8 выходов или дешифратор, в котором одна половина управляется новым входом A2, а другая половина схемы – его инверсным значением.

Применение

Декодирование, преобразование кода, демультиплексоры (разрешающий вход используется в качестве информационного входа), логические узлы выбора и хранения данных, функциональный выбор.

Технические данные	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	10	5,75	5,3	22	7,5
Ток потребления, мА	4,5	13	13	7	60
Серия .	Std	ALS	AS	F	H
		●		●	
					L
					LS
					S

**74140 ДВА 50-ОМНЫХ БУФЕРНЫХ ФОРМИРОВАТЕЛЯ
С ЧЕТЫРЬМЯ ВХОДАМИ
И ЛОГИЧЕСКИМ ЭЛЕМЕНТОМ И-НЕ**



Описание

Микросхема содержит два отдельных логических элемента И-НЕ с четырьмя входами на каждом и большим коэффициентом разветвления по выходу.

Работа схемы

Оба логических элемента И-НЕ можно использовать независимо друг от друга.

При подаче напряжения низкого уровня на один, несколько или все четыре входа каждого из элементов на выходе устанавливается напряжение высокого уровня. Если на все четыре входа подается напряжение высокого уровня, то на выходе устанавливается напряжение низкого уровня.

Вследствие высокого коэффициента разветвления по выходу равного 30 эта микросхема особенно успешно используется для управления низкоомными шинами.

Расположение выводов такое же, как и у микросхем 7420 и 7440.

Входы				Выход
A	B	C	D	Y
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H
H	H	H	H	L

Применение

Реализация логических функций И, И-НЕ, инвертирование сигналов, буферные формирователи для шин.

Технические данные

Время задержки прохождения сигнала, ис-

Максимальный выходной ток при напряжении низкого уровня на выходе, мА

Ток потребления, мА

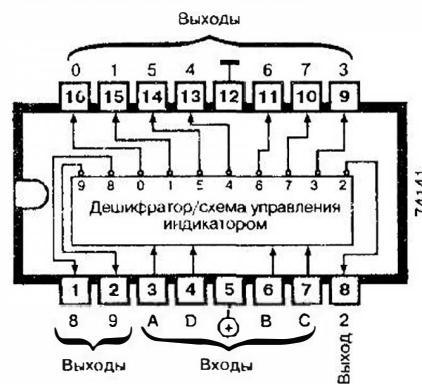
S

4

60

18

74141 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА/ СХЕМА УПРАВЛЕНИЯ ИНДИКАТОРАМИ (ОТКРЫТЫЙ КОЛЛЕКТОР, 60 В)



Описание

Микросхема преобразует 4-разрядный двоичный код в десятичный код для индикаторных устройств, работающих при высоком напряжении (до 60 В).

Работа схемы

Данные, зашифрованные в двоично-десятичном коде, поступают на входы А, В, С и D.

На выходе, соответствующем данному входному коду, устанавливается напряжение низкого уровня.

Коды от 10 до 15 (от 1010 до 1111) считаются ложными, их можно использовать для гашения индикатора, поскольку на всех выходах устанавливается напряжение высокого уровня.

Катоды индикаторных ламп (например, знаковых индикаторов тлеющего разряда) соединяются с соответствующими выходами. К общему аноду индикатора через токоограничивающий резистор (обычно 15 кОм) прикладывается постоянное напряжение (обычно +175 В).

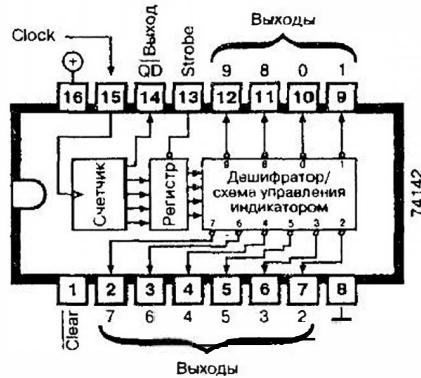
Максимальный ток потребления на соответствующем выходе, где находится напряжение низкого уровня, составляет 7 мА, а максимальное напряжение равно +60 В.

Обратите внимание на то, что данная микросхема не пригодна для управления 7-сегментными индикаторами.

Входы двоично-десятичного кода				Низкий уровень на выходе
D	C	B	A	
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	L	L	L	8
H	L	L	H	9
H	L	H	L	-
H	L	H	H	-
H	H	L	L	-
H	H	L	H	-
H	H	H	L	-
H	H	H	H	-

74142

ДЕСЯТИЧНЫЙ СЧЕТЧИК/РЕГИСТР/ ДЕШИФРАТОР/СХЕМА УПРАВЛЕНИЯ ИНДИКАТОРОМ (ОТКРЫТЫЙ КОЛЛЕКТОР, 60 В)



Описание

Микросхема содержит десятичный счетчик, буферный регистр, а также дешифратор со схемами управления для ламп цифровой индикации.

Работа схемы

Показания счетчика увеличиваются при перенаде напряжения на входе тактовых импульсов *Clock* с низкого уровня на высокий (положительный фронт тактового импульса). На вход сигнала сброса *Clear* при этом подается напряжение высокого уровня. Счетчик устанавливается на нуль, когда этот вход получает кратковременный импульс низкого уровня.

В многоступенчатых схемах выход *QD* можно напрямую соединять с входом тактовых импульсов следующей ступени.

Когда на вход стробирующих сигналов подается напряжение низкого уровня, данные из счетчика последовательно поступают на выходы. Если же на вход строб-импульсов поступает напряжение высокого уровня, то результат счета записывается в регистр, начиная со значения, показанного счетчиком перед перепадом напряжения на входе строб-импульсов с низкого уровня на высокий. При этом счетчик продолжает работать.

Выходные устройства аналогичны выходам схемы 74141. Непосредственно к ним подсоединяют лампы цифровой индикации, к аноду которых через токоограничивающий резистор (обычно 15 кОм) подводится постоянное напряжение (обычно +175 В). Максимальный ток потребления на соответствующем выходе, имеющем напряжение низкого уровня, составляет 7 мА, а максимальное напряжение равно +60 В.

Обратите внимание на то, что данная микросхема не используется для управления 7-сегментными индикаторами.

Применение

Счетчики с лампами цифровой индикации.

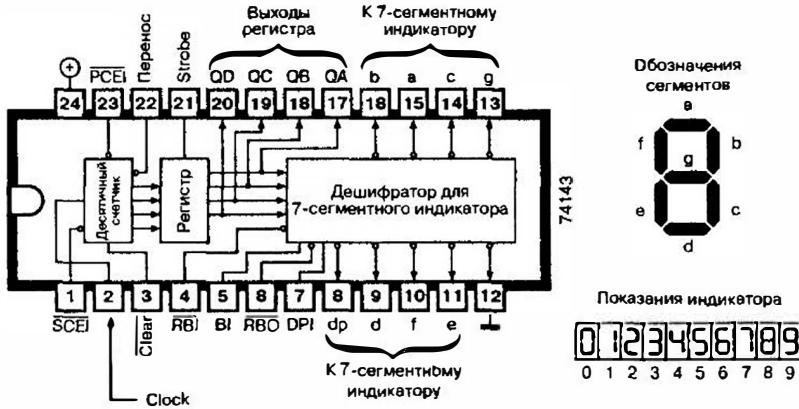
Количество тактовых импульсов	Вход сигнала сброса Clear	Вход стробирующих сигналов	Низкий уровень на выходе	Выход переноса QD
X	—	—	0	—
0	H	L	0	H
1	H	L	1	H
2	H	L	2	H
3	H	L	3	H
4	H	L	4	H
5	H	L	5	H
6	H	L	6	H
7	H	L	7	H
8	H	L	8	H
9	H	L	9	H
10	H	L	0	H
11 до N	H	H	0	H

Технические данные Std

Максимальное выходное напряжение, В	60
Максимальный выходной ток (выходы от 0 до 9), мА	7
Время задержки прохождения сигнала, нс	32
Максимальная рабочая частота счетчика, МГц	20
Ток потребления, мА	68

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74143 ДЕСЯТИЧНЫЙ СЧЕТЧИК/ РЕГИСТР/ДЕШИФРАТОР ДЛЯ 7-СЕГМЕНТНОГО ИНДИКАТОРА (15 МА)



Описание

Микросхема содержит десятичный счетчик, буферный регистр с выходами, а также дешифратор для управления 7-сегментным индикатором.

Работа схемы

Показания счетчика последовательно изменяются при каждом положительном фронте тактового импульса на входе Clock. При этом на вход сброса Clear должно подаваться напряжение высокого уровня (при поступлении напряжения низкого уровня на этот вход счетчик установится на 0). На разрешающий вход счетчика PCEI должно подаваться напряжение низкого уровня. Если на этот вход поступает напряжение высокого уровня, то счетчик заперт.

На выходе переноса (вывод 22) формируется напряжение низкого уровня до тех пор, пока счетчик показывает цифру 9 и на вход SCEI подается такое напряжение. Напряжение высокого уровня на этом выходе устанавливается, как только счетчик начинает показывать 0 и остается таковым до тех пор, пока счетчик показывает цифры от 1 до 8.

С помощью входа SCEI можно расширить схему, подсоединив к нему выход переноса предшествующего десятичного разряда. Напряжение высокого уровня на этом входе запирает счетчик. При напряжении низкого уровня на входе Strobe данные из счетчика последовательно поступают в буферный регистр. Независимо от состояния входа Strobe счетчик продолжает свою работу. Двоично-десятичный код, передаваемый на входы дешифратора, можно использовать для других целей, считываая его с выводов 17–20.

Если необходимо показать запятую в десятичном числе, то на вход DPI (вход десятичной запятой) подается напряжение высокого уровня. При сигнале низкого уровня или при отключении (или когда на входах RBI или RBO подается напряжение низкого уровня) запятая не показывается.

Гашение разрядов на индикаторе возможно с помощью входа BI. Напряжение высокого уровня на входе BI устанавливает на всех выходах дешифратора a-g, выходе dp и выходе RBO такое же напряжение. При нормальном изображении цифр на индикаторе на этот вход подается напряжение низкого уровня. Для регулирования яркости изображения на него могут подаваться импульсы напряжения регулируемой длительности.

Если в регистре находится двоично-десятичное число равное 0, то при низком уровне напряжения на входе RBI (вход последовательного гашения разрядов цифрового индикатора) цифра 0 гасится и на выходе RBO устанавливается напряжение низкого уровня.

Выход RBO (выход последовательного гашения разрядов цифрового индикатора) позволяет гасить показания индикатора через несколько разрядов с помощью входа RBI следующей ступени при условии, что вход BI имеет высокий уровень напряжения или вход RBI – низкий уровень и в регистре находится 0.

Выходы a-g (15 mA) и dp (17 mA) позволяют управлять сегментами светодиодного индикатора без использования ограничительного резистора.

Применение

Разрядные счетчики с 7-сегментным индикатором.

Технические данные

Std

Максимальная рабочая частота счетчика, МГц

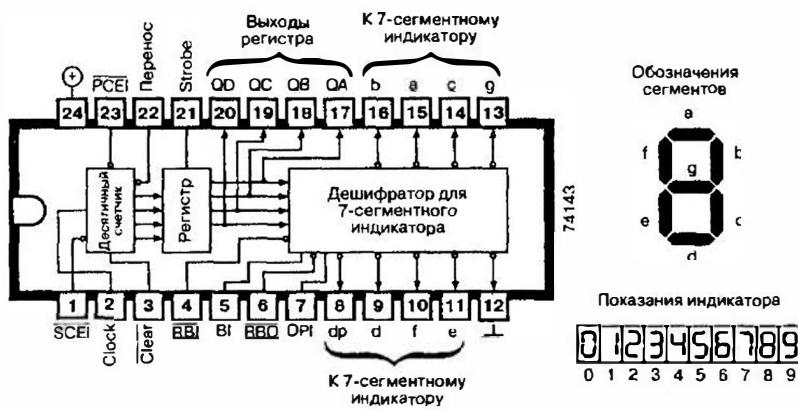
12

Ток потребления, мА

56

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

**74144 ДЕСЯТИЧНЫЙ СЧЕТЧИК/
РЕГИСТР/ДЕШИФРАТОР
ДЛЯ 7-СЕГМЕНТНОГО ИНДИКАТОРА
(ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В/25 мА)**



Описание

Микросхема содержит десятичный счетчик, буферный регистр, а также дешифратор для управления 7-сегментным индикатором с открытым коллектором на выходах.

Работа схемы

По функциональному назначению и по расположению выводов данная схема аналогична 74143 (см. выше), кроме выходов для подключения 7-сегментного индикатора. Последние имеют открытый коллектор и позволяют работать с напряжением до 15 В и силой тока до 25 мА.

Применение

Разрядные счетчики с 7-сегментным индикатором.

Технические данные

Std

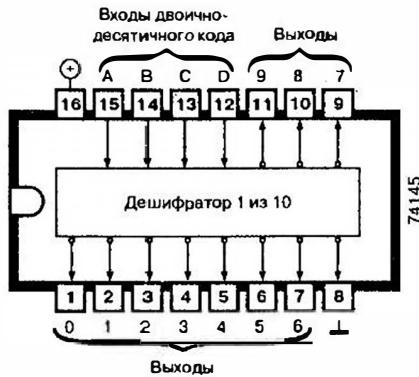
Максимальная рабочая частота счетчика, МГц

12

Ток потребления, мА

56

74145 ДЕШИФРАТОР ДВОИЧНО-ДЕСЯТИЧНОГО КОДА/ СХЕМА УПРАВЛЕНИЯ ИНДИКАТОРАМИ (ОТКРЫТЫЙ КОЛЛЕКТОР, 15 В)



74145

Описание

Микросхема декодирует стандартный 4-разрядный двоичный код в десятичные числа от 0 до 9. Она также позволяет преобразовать 3-разрядный код в сигнал низкого уровня на одном из восьми выходов.

Работа схемы

Данные, запиcированные в двоично-десятичном коде, поступают на выводы 12–15: самый младший разряд $2^0 = 1$ – на вход А0, разряд $2^1 = 2$ – на вход В, разряд $2^2 = 4$ – на вход С и разряд $2^3 = 8$ – на вход D. При поступлении сигнала на указанные входы на соответствующем выходе устанавливается напряжение низкого уровня, а на остальных выходах – высокого.

Максимальный ток на выходе, имеющем напряжение низкого уровня, составляет 80 мА.

Для работы схем с открытым коллектором необходимо подключить внешнее сопротивление между используемым выходом и цепью питания с напряжением до +15 В. Напряжение питания микросхемы при этом должно составлять +5 В.

Если, например, входы А = 1, В = 1, С = 1 и D = 0 (логическая 1 представляется напряжением высокого уровня, логический 0 – низкого), то на выходе 7 (вывод 9) формируется напряжение низкого уровня, а на остальных выходах – высокого. Если на вход поступает ложный двоично-десятичный код (больше 1001), то на всех выходах устанавливается напряжение высокого уровня.

При использовании микросхемы в качестве дешифратора 1 из 8 вход D (вывод 12) соединяют с общим проводом.

По расположению выводов данная микросхема аналогична 7445, которая имеет максимальное выходное напряжение +30 В.

Применение

Преобразование кода, управление реле и устройством отображения.

Номер	Входы				Выходы									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
Ложные коды (10-15)	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Технические данные

Время задержки сигнала, нс

Std**Als**

Ток потребления, мА

50

50

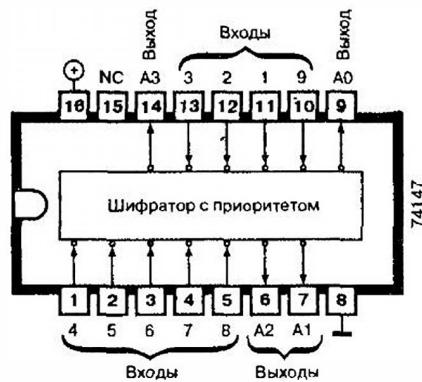
43

7

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74147

ШИФРАТОР ДЛЯ ПРЕОБРАЗОВАНИЯ ДЕСЯТИЧНЫХ ЧИСЕЛ В ДВОИЧНО- ДЕСЯТИЧНЫЙ КОД С ПРИОРИТЕТОМ



Описание

Микросхема позволяет расположить 10 входных сигналов в последовательности согласно приоритету сигнала. Схема также служит как шифратор клавиатуры или обычный шифратор 10 в 1.

Работа схемы

В схеме девять входов (с 1 по 9) и четыре выхода двоичного кода.

Активным является низкий уровень входного сигнала. Если на входы не подается напряжение низкого уровня, то на всех выходах устанавливается напряжение высокого уровня (соответствует десятичному числу 0). Если напряжение низкого уровня подается на один из входов, то на выходах формируется двоичный код, соответствующий данному входу. Например, если напряжение низкого уровня подается на вход 6 (вывод 3), то на выходах устанавливаются следующие значения: A0 = 1, A1 = 0, A2 = 0, A3 = 1 (цифра 6 в двоично-десятичном коде имеет вид 0110, а в инверсном виде при активном низком уровне сигнала она равняется 1001).

Если на два и более входа одновременно подается напряжение низкого уровня, формируется код, соответствующий входу с наибольшим порядковым номером (наивысшим приоритетом), а состояние остальных входов игнорируется. Например, когда на входы 4 и 6 одновременно подается напряжение низкого уровня, выходной сигнал равен 1001; если же на входы 4 и 7 подается одновременно напряжение низкого уровня, на выходах формируется двоичный код 1000. Если на входы, имеющие более высокий приоритет, подается напряжение высокого уровня, на выходах формируется код для следующего по старшинству входа, на который поступает напряжение низкого уровня, пока, наконец, на всех входах не установится напряжение высокого уровня. Схема работает без использования тактовых импульсов и внутреннего буферного регистра. В каждый момент времени сигнал на входе, имеющем наивысший приоритет, появляется на выходах в виде своего двоичного эквивалента.

Входы									Выходы			
1	2	3	4	5	6	7	8	9	A3	A2	A1	A0
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Применение

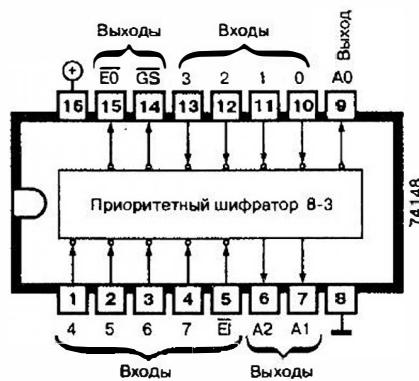
Приоритетный шифратор, шифратор клавиатуры.

Технические данные

	Std	LS
Время задержки прохождения сигнала, нс	10	15
Ток потребления, мА	45	12

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74148 ПРИОРИТЕТНЫЙ ДВОИЧНЫЙ ШИФРАТОР 8-3



Описание

Микросхема позволяет расположить 8 входных сигналов в последовательности согласно важности сигнала (по приоритету). Также микросхема может использоваться как обычный шифратор.

Работа схемы

В схеме восемь входов (0–7) и три выхода двоичного кода (A0 – A2).

Активным уровнем для данной микросхемы является низкий уровень напряжения. Если на все входы подается напряжение высокого уровня или на вход 0 (вывод 10) – низкого, то на всех выходах устанавливается напряжение высокого уровня. Если напряжение низкого уровня подается только на один из входов, то на выходах формируется двоичный код, соответствующий данному входу. Например, если на вход 6 (вывод 3) подается напряжение низкого уровня, то на выходах устанавливаются следующие значения: A0 = 1, A1 = 0, A2 = 0 (цифра 6 в двоично-десятичном коде имеет вид 110, а при активном низком уровне сигнала она равняется 001).

Если на два и более входа одновременно подается напряжение низкого уровня, то на выходах формируется двоичный код, соответствующий входу с наибольшим порядковым номером (наивысшим приоритетом), а состояние других входов не учитывается. Например, когда на входы 4 и 6 одновременно подается напряжение низкого уровня, на выходах формируется комбинация сигналов 001; если же на входы 4 и 7 одновременно подается напряжение низкого уровня, на выходах устанавливается комбинация 000. Если на вход, имеющий более высокий приоритет, подается напряжение высокого уровня, то на выходах устанавливается код, соответствующий следующему по приоритету входу, на который поступило напряжение низкого уровня, пока, паконец, на все входы не будет подано напряжение высокого уровня.

Кроме трех информационных входов в схеме имеются еще два входа для каскадного соединения микросхем GS и E0. На выходе GS формируется напряжение низкого уровня, если такое напряжение подается на какой-либо из входов. На выходе E0 устанавливается напряжение низкого уровня, когда на все входы подается напряжение высокого уровня.

Разрешающие входы и выходы позволяют соединять модули в каскады для приема большого числа входных сигналов. На выходе \overline{EO} как и на выходе \overline{GS} , формируется напряжение высокого уровня, когда такое напряжение подается на разрешающий вход \overline{EI} . В нормальном режиме работы на вход \overline{EI} должно подаваться напряжение низкого уровня.

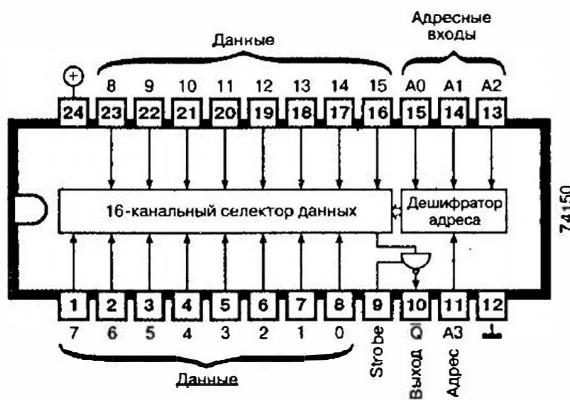
\overline{EI}	Входы								Выходы				
	0	1	2	3	4	5	6	7	A2	A1	A0	\overline{GS}	\overline{EO}
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Применение

n-разрядное кодирование, преобразователи и генераторы кода.

Технические данные		Std	F	LS
Время задержки прохождения сигнала, нс		10	6	10
Ток потребления, мА		38	23	12
Серия	Std	ALS	AS	F

74150 16-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ/ МУЛЬТИПЛЕКСОР С ИНВЕРСНЫМ ВЫХОДОМ



Описание

Микросхема содержит селектор данных, который из 16 входных сигналов выделяет один с помощью 4-разрядного двоичного адреса.

Работа схемы

Необходимый входной сигнал (0–15) выделяется подачей на адресные входы ($A_0 – A_3$) соответствующего двоичного кода. Выделенный сигнал появляется на выходе \bar{Q} в инвертированном виде.

Адресные входы				Strobe Строб-импульс	Выбранный канал данных
A_3	A_2	A_1	A_0		
L	L	L	L	L	0
L	L	L	H	L	1
L	L	H	L	L	2
L	L	H	H	L	3
L	H	L	L	L	4
L	H	L	H	L	5
L	H	H	L	L	6
L	H	H	H	L	7
H	L	L	L	L	8
H	L	L	H	L	9
H	L	H	L	L	10
H	L	H	H	L	11
H	H	L	L	L	12
H	H	L	H	L	13
H	H	H	L	L	14
H	H	H	H	L	15
X	X	X	X	H	Нет

В нормальном режиме работы на вход строб-импульса *Strobe* подается напряжение низкого уровня. При подаче на вход *Strobe* напряжения высокого уровня на выходе \overline{Q} , устанавливается такое же напряжение независимо от состояния других входов.

Применение

Мультиплексор, дешифратор адреса, шестнадцатеричное/двоично-десятичное кодирование, последовательная передача данных, функциональный преобразователь.

Технические данные

Std

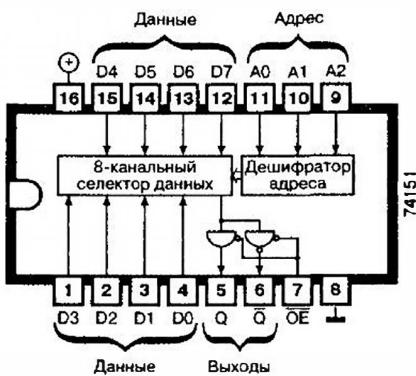
Время задержки прохождения сигнала, нс

11

Ток потребления, мА

80

74151 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ/ МУЛЬТИПЛЕКСОР



Описание

Микросхема содержит селектор данных, который из восьми входных сигналов выделяет один с помощью 3-разрядного двоичного кода.

Работа схемы

Необходимый входной сигнал ($D_0 - D_7$) выбирается подачей на адресные входы ($A_0 - A_2$) соответствующего двоичного кода. Выделенный сигнал появляется на выходе Q и на инверсном выходе \overline{Q} .

В нормальном режиме работы на разрешающий вход \overline{OE} подается напряжение низкого уровня. При подаче на вход \overline{OF} напряжения высокого уровня на выходе Q устанавливается напряжение низкого уровня, а на выходе \overline{Q} – высокого независимо от состояния других входов.

Входы			Выходы		
Адресные			Разрешение	Q	\bar{Q}
A2	A1	A3	\overline{OE}		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}^*$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

* – состояние соответствующего входа

Микросхему можно использовать в качестве функционального преобразователя, а также для последовательной передачи данных.

Данная микросхема аналогична 74251, где при подаче на разрешающий вход OE напряжения высокого уровня выходы Q и \bar{Q} переходят в третье (высокоомное) состояние.

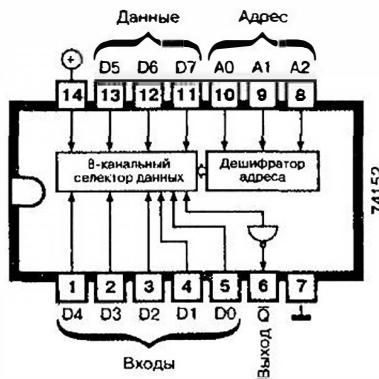
Применение

Мультиплексор, дешифратор адреса, последовательная передача данных, функциональный преобразователь.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	25	11	8	6	15	12
Ток потребления, мА	29	7,5	19	12	6	45

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74152 8-КАНАЛЬНЫЙ СЕЛЕКТОР ДАННЫХ/ МУЛЬТИПЛЕКСОР С ИНВЕРСНЫМ ВЫХОДОМ



Описание

Микросхема содержит селектор данных, который из восьми входных сигналов выделяет один с помощью 3-разрядного двоичного кода.

Работа схемы

Необходимый входной сигнал ($D_0 - D_7$) выбирается подачей на адресные входы ($A_0 - A_2$) соответствующего двоичного кода. Выделенный сигнал появляется на выходе \bar{Q} в инвертированном виде.

Микросхему можно использовать в качестве функционального преобразователя, а также для последовательной передачи данных.

Адресные входы			Выход
A_2	A_1	A_0	\bar{Q}
L	L	L	\bar{D}_0^*
L	L	H	\bar{D}_1
L	H	L	\bar{D}_2
L	H	H	\bar{D}_3
H	L	L	\bar{D}_4
H	L	H	\bar{D}_5
H	H	L	\bar{D}_6
H	H	H	\bar{D}_7

* – состояние соответствующего входа

Применение

Мультиплексор, дешифратор адреса, последовательная передача данных, функциональный преобразователь.

Технические данные

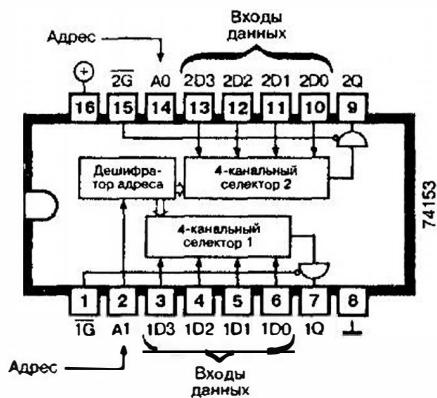
Время задержки прохождения сигнала, нс
Ток потребления, мА

Std LS

20 21
43 9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74153 ДВА 4-КАНАЛЬНЫХ СЕЛЕКТОРА ДАННЫХ/ МУЛЬТИПЛЕКСОРА



Описание

Микросхема содержит два 4-канальных селектора данных с общими адресными входами, но раздельными входами стробирующих импульсов.

Работа схемы

Выбор необходимого входа на обоих селекторах данных осуществляется через общие адресные входы A0 и A1 подачей соответствующего кода. Выделенный сигнал появляется на выходах 1Q и 2Q в неинвертированном виде.

Разрешающие входы (выводы 1 и 15) работают независимо друг от друга. В нормальном режиме работы на разрешающие входы подается напряжение низкого уровня. Если на один из этих входов подается напряжение высокого уровня, то на соответствующем выходе 1Q или 2Q устанавливается напряжение низкого уровня независимо от состояния других входов.

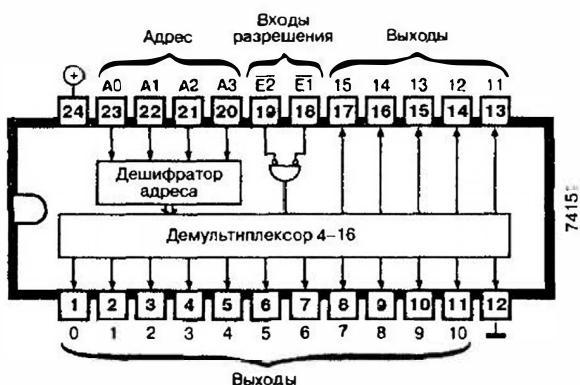
Адресные входы		Входы данных				Разрешение	Выход
A1	A0	D0	D1	D2	D3	\bar{G}	Q
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Применение

Мультиплексор, дешифратор адреса, последовательная передача данных.

Технические данные		Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс		17	10	6,6	7	17	19
Ток потребления, мА		36	7,5	18,5	12	6	45
Серия	Std	ALS	AS	F	H	L	LS

74154 4-РАЗРЯДНЫЙ ДЕШИФРАТОР/ ДЕМУЛЬТИПЛЕКСОР 4-16



74154

Описание

Микросхема преобразует 4-разрядный двоичный код в сигнал низкого уровня на одном из 16 выходов.

Работа схемы

Когда 4-разрядный двоичный код поступает на адресные входы ($A_0 - A_3$), то на соответствующем выходе устанавливается напряжение низкого уровня, а на остальных выходах – высокого.

Однако это происходит лишь в том случае, если на оба разрешающих входа \bar{E}_1 и \bar{E}_2 подается напряжение низкого уровня. Если на один или оба разрешающих входа подается напряжение высокого уровня, такое напряжение устанавливается и на всех выходах.

Если на один из разрешающих входов подается напряжение низкого уровня, а другой рассматривается как информационный вход, то выбранный через адресные входы выход будет иметь тот же логический уровень, что и второй разрешающий вход. Таким образом, микросхема используется в качестве демультиплексора или многоканального коммутатора данных.

Применение

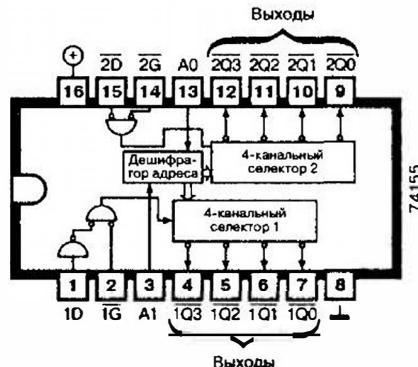
Демультиплексоры, распределители данных, 4-разрядные дешифраторы двоичных кодов.

Технические данные

Время задержки прохождения сигнала, нс	23	23
Ток потребления, мА	34	9

Серия	Std	ALS	AS	F	H	L	LS	S	
	●					●	●		

74155 ДВА 2-РАЗРЯДНЫХ ДЕШИФРАТОРА/ДЕМУЛЬТИПЛЕКСОРА



Описание

Микросхема содержит два 2-разрядных многоканальных распределительных устройства данных с общими адресными входами.

Работа схемы

Выбор необходимого входа на обоих распределителях данных осуществляется подачей на общие адресные входы A0 и A1 соответствующего двоичного кода.

Когда в схеме 1 на информационный вход 1D (вывод 1) подается напряжение высокого уровня, а на вход строб-импульса $\overline{1G}$ (вывод 2) – низкого, то на выходе, соответствующем состоянию адресных входов, устанавливается напряжение Низкого уровня, на остальных выходах – высокого.

Когда в схеме 2 на информационный вход $\overline{2D}$ (вывод 15), равно как и на вход строб-импульса $\overline{2G}$ (вывод 14), подается напряжение низкого уровня, то такое напряжение устанавливается на выходе, соответствующем состоянию адресных входов.

Если в схеме 1 на вход стробирующего импульса подается напряжение низкого уровня, на выбранном выходе появляются входные данные в инверсном виде.

Если в схеме 2 на вход стробирующего импульса подается напряжение низкого уровня, на выбранном выходе появляются входные данные в неинвертируемом виде.

Обратите внимание на то, что обе половины микросхемы отличаются друг от друга: схема 1 инвертирует входные данные, а схема 2 – нет.

Схему можно использовать в качестве 8-канального распределителя данных, если соединить друг с другом обе информационные линии и использовать их в качестве дополнительного адресного входа A2. Если затем соединить между собой оба входа строб-импульсов и подать на них напряжение низкого уровня, то и на выбранном выходе 8-канального распределителя 1–8 установится такое напряжение (изменение кодов на входах от 000 до 111 переводит выходы на низкий уровень: коды на входах A2, A1, A0 = 000 и 111 переводят соответственно выходы $\overline{2Q0}$ и $\overline{1Q3}$ на низкий уровень напряжения). Если оба параллельно включенных входа строб-импульсов управляются данными, то они подводятся к выбранному выходу.

Входы				Выходы			
A1	A0	$\overline{1G}$	1D	$\overline{1Q0}$	$\overline{1Q1}$	$\overline{1Q2}$	$\overline{1Q3}$
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

Входы				Выходы			
A1	A0	$\overline{2G}$	$\overline{2D}$	$\overline{2Q0}$	$\overline{2Q1}$	$\overline{2Q2}$	$\overline{2Q3}$
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

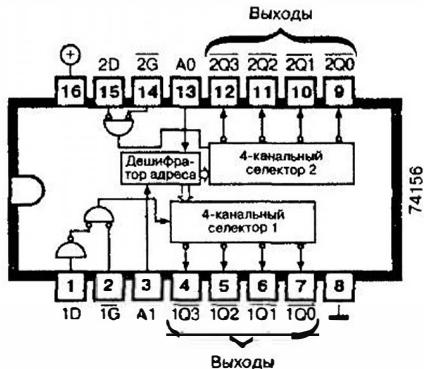
Применение

Два 2-разрядных шифратора двоичных кодов, 3-разрядный дешифратор двоичных кодов, сдвоенный демультиплексор, демультиплексор 1–8, последовательно-параллельный преобразователь.

Технические данные	Std	LS
Время задержки прохождения сигнала, нс	21	18
Ток потребления, мА	25	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74156 ДВА 2-РАЗРЯДНЫХ ДЕШИФРАТОРА/ ДЕМУЛЬТИПЛЕКСОРА (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит два 2-разрядных многоканальных распределительных устройства данных с общей адресацией. Схема имеет выходы с открытым коллектором.

Работа схемы

По функциональному назначению и расположению выводов данная микросхема аналогична 74155, но имеет выходы с открытым коллектором.

Применение

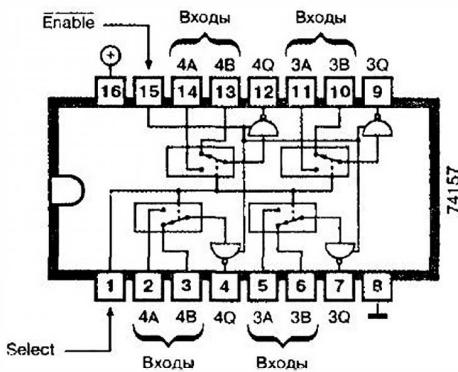
Два 2-разрядных шифратора двоичных кодов, 3-разрядный дешифратор двоичных кодов, сдвоенный демультиплексор, демультиплексор 1–8, последовательно-параллельный преобразователь.

Технические данные

	Std	LS
Максимальное выходное напряжение, В	5,5	5,5
Время задержки прохождения сигнала, нс	21	32
Ток потребления, мА	25	6

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74157 ЧЕТЫРЕ СЕЛЕКТОРА ДАННЫХ НА 2 ВХОДА И 1 ВЫХОД



Описание

Микросхема содержит четыре селектора данных с двумя входами и одним выходом.

Работа схемы

С помощью этой схемы можно из четырех пар входов 1A/1B – 4A/4B выбрать необходимую информацию и передать ее на один из соответствующих выходов 1Q – 4Q.

Разрешающий вход Enable позволяет отключить выход независимо от состояния входа выборки данных Select. Если на разрешающий вход Enable подается напряжение высокого уровня, то на всех выходах устанавливается напряжение низкого уровня независимо от состояния остальных входов. Если на этот вход подается напряжение низкого уровня, то состояние выходов зависит от состояния входа выборки Select.

Если на вход выборки подается напряжение низкого уровня, то выходы принимают тот же уровень напряжения, который поступает на входы A. Если же на вход выборки подается напряжение высокого уровня, то выходы принимают тот же логический уровень, который поступает на входы B.

Входы			Выход
Разрешение <u>Enable</u>	Выборка <u>Select</u>	Данные A B	
H	X	X X	L
L	L	L X	L
L	L	H X	H
L	H	X L	L
L	H	X H	H

Здесь имеется в виду не распределительное устройство, а селектор данных. Он позволяет делать выборку из двух различных источников данных и передавать их дальше. Обратите внимание на то, что эта микросхема соответствует схеме 2-полюсного переключателя, в котором используются лишь цифровые (дискретные) сигналы, но не аналоговые, как в КМОП микросхеме 4551, где применяются цифровые и аналоговые сигналы.

Аналогичной схемой, но с инверсными выходами, является 74158.

Применение

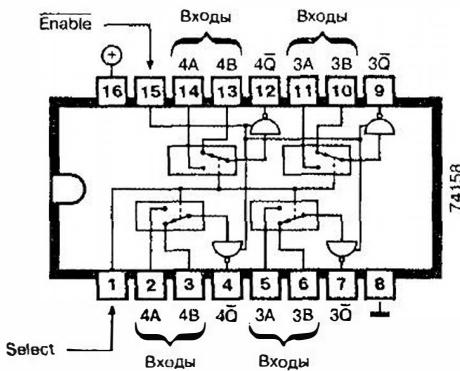
Мультиплексор, селектор данных.

Технические данные

	Std	ALS	AS	F	H	L	LS	S
Время задержки прохождения сигнала, нс	9	4,25	3,5	4,6	9	5		
Ток потребления, мА	30	5	17,5	15	10	50		

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●		●	●	●	

74158 ЧЕТЫРЕ СЕЛЕКТОРА ДАННЫХ НА 2 ВХОДА И 1 ВЫХОД С ИНВЕРСНЫМИ ВЫХОДАМИ



Описание

Микросхема содержит четыре селектора данных 1–2 с инверсными выходами.

Работа схемы

По функциональному назначению и расположению выводов данная микросхема аналогична схеме 74157, но в отличие от последней имеет инверсные выходы 1Q – 4Q.

Входы			Выход	
Разрешение Enable	Выборка Select	Данные A B	\bar{Q}	
H	X	X X		H
L	L	L X		H
L	L	H X		L
L	H	X L		H
L	H	X H		L

Применение

Мультиплексор, селектор данных.

Технические данные	Std	ALS	AS	F	LS	S
Время задержки прохождения сигнала, нс	9	4.25	2,9	3,7	7	4
Ток потребления, мА	30	5	17,5	10	5	39

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●		●	●	●	

**74159 4-РАЗРЯДНЫЙ ДЕШИФРАТОР/
ДЕМУЛЬТИПЛЕКСОР 4-16
(ОТКРЫТЫЙ КОЛЛЕКТОР, 50 МКА)**



Описание

Микросхема принимает 4-разрядный двоичный код и формирует сигнал низкого уровня на одном из 16 выходов. Выходы имеют открытый коллектор.

Работа схемы

По функциональному назначению и расположению выводов данная схема аналогична 74154, за исключением того, что выходы здесь имеют открытый коллектор и поэтому должны быть подключены через внешнее сопротивление к цепи питания +5 В.

Максимальное выходное напряжение в микросхеме 74159 составляет +5,5 В, а в схеме 74159-S1 равно +15 В. Максимальное значение остаточного тока при выходном напряжении V_{OH} (высокий уровень) составляет в обеих схемах 50 мкА.

Применение

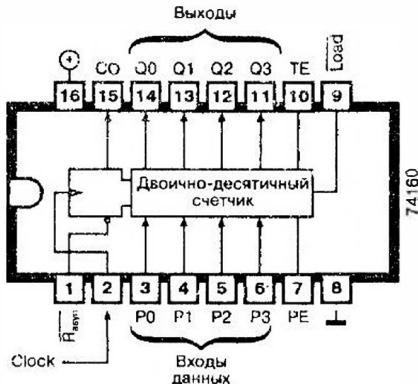
Демультиплексоры, распределители данных, 4-разрядные дешифраторы двоичных кодов.

Технические данные

	Std
Максимальное выходное напряжение, В	5,5
Время задержки прохождения сигнала, нс	24
Ток потребления, мА	34

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74160 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С АСИНХРОННЫМ СБРОСОМ



Описание

Микросхема содержит программируемый синхронный десятичный счетчик, который считает импульсы в двоично-десятичном коде и имеет асинхронный вход сброса показаний.

Работа схемы

В нормальном режиме работы на вывод 1 ($R_{\text{asyн}}$) и входы PE и TE, а также на вход Load подается напряжение высокого уровня.

При каждом перепаде напряжения тактового импульса с низкого уровня на высокий показания счетчика синхронно увеличиваются на единицу. Таким образом, схема включается положительным фронтом тактового импульса. Логический уровень выходов Q0, Q1, Q2 и Q3 определяется двоично-десятичным кодом.

Для сброса показаний счетчика на вывод 1 ($R_{\text{asyн}}$) подается кратковременный импульс напряжения низкого уровня. Эта функция сброса выполняется асинхронно и устанавливает на всех четырех выходах напряжение низкого уровня независимо от состояния других входов.

Если на вход загрузки Load подается напряжение низкого уровня, то при следующем положительном фронте тактового импульса код, находящийся на входах P0 – P3, загружается в счетчик.

Для синхронного счета чисел с несколькими разрядами без применения дополнительных логических элементов используют входы PE и TE в качестве разрешающих, а также выход CO (выход сигнала переноса).

Соединение происходит следующим образом:

- первый (самый малший) разряд: на входы PE и TE подается напряжение высокого уровня, выход CO соединяется с входами PE и TE второго разряда и с входом PE третьего разряда и т.д.;
- второй разряд: выход CO второго разряда соединяется с входом TE третьего разряда и т.д.;

- все ступени синхронно управляются входом синхронизирующих сигналов благодаря тому, что входы тактовых импульсов ступеней соединены друг с другом. Входы сброса также включаются параллельно.

Данная микросхема по расположению выводов совместима со схемами КМОП 4160 и 40160.

Load	PE	TE	Режим работы
L	X	X	Предустановка
H	L	X	Без изменений
H	X	L	Без изменений
H	H	H	Счет

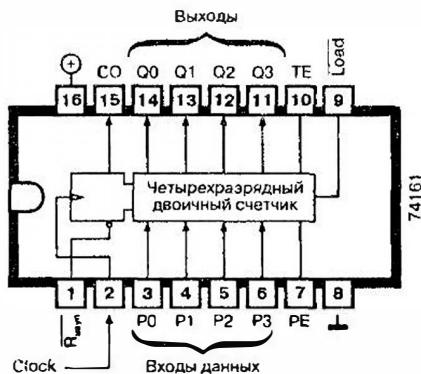
Применение

Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные	Std	ALS	AS	F	LS	S
Максимальная рабочая частота счетчика, МГц	25	30	75	120	25	60
Ток потребления, мА	61	12	35	40	19	95

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74161 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С АСИНХРОННЫМ СБРОСОМ



Описание

Микросхема содержит программируемый синхронный 4-разрядный двоичный счетчик, который имеет асинхронный вход сброса показаний.

Работа схемы

В нормальном режиме работы на вывод 1 (R_{asy}) и на входы PE, TE и Load подается напряжение высокого уровня.

При каждом перепаде напряжения тактового импульса с низкого уровня на высокий показания счетчика синхронно увеличиваются на единицу. Таким образом, схема включается положительным фронтом тактового импульса. Логический уровень выходов Q0, Q1, Q2 и Q3 определяется двоичным кодом.

Для сброса показаний счетчика на вывод 1 (R_{asy}) подается кратковременный импульс напряжения низкого уровня. Эта функция сброса выполняется асинхронно и устанавливает на всех четырех выходах напряжение низкого уровня независимо от состояния других входов.

Если на вход загрузки Load подается напряжение низкого уровня, то при следующем положительном фронте тактового импульса код, находящийся на входах P0 – P3, загружается в счетчик.

Для синхронного счета чисел с несколькими разрядами без применения дополнительных логических элементов используют входы PE и TE в качестве разрешающих, а также выход CO (выход сдвига нала переноса).

Соединение происходит следующим образом:

- первый (самый младший) разряд: на входы PE и TE подается напряжение высокого уровня, выход CO соединяется с входами PE и TE второго разряда и с входом PE третьего разряда и т.д.;
- второй разряд: выход CO второго разряда соединяется с входом TE третьего разряда и т.д.;
- все ступени синхронно управляются входом синхронизирующих сигналов благодаря тому, что входы тактовых импульсов всех ступеней соединены друг с другом. Входы сброса также включаются параллельно.

Данная микросхема по расположению выводов совместима со схемами КМОП 4161 и 40161.

Load	PE	TE	Режим работы
L	X	X	Предустановка
H	L	X	Без изменений
H	X	L	Без изменений
H	H	H	Счет

Применение

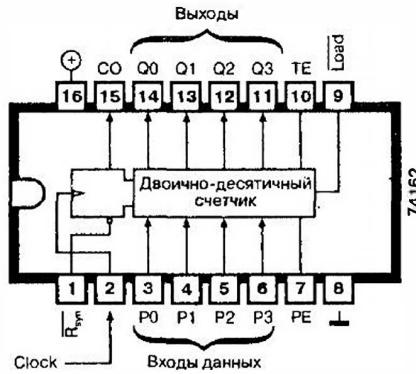
Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные

Максимальная рабочая частота счетчика, МГц 25 30 75 120 25 60
 Ток потребления, мА 61 12 35 40 19 95

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74162 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С СИНХРОННЫМ СБРОСОМ



Описание

Микросхема содержит программируемый синхронный десятичный счетчик, который считает импульсы в двоично-десятичном коде в прямом направлении и имеет синхронный вход сброса показаний.

Работа схемы

В нормальном режиме работы на вывод 1 ($\overline{R_{syn}}$) и на входы PE, TE и \overline{Load} подается напряжение высокого уровня.

При каждом перепаде напряжения тактового импульса с низкого уровня на высокий показания счетчика синхронно увеличиваются на единицу. Таким образом, схема включается положительным фронтом тактового импульса. Логический уровень выходов Q0, Q1, Q2 и Q3 определяется двоично-десятичным кодом.

Для сброса показаний счетчика на вывод 1 ($\overline{R_{syn}}$) подается напряжение низкого уровня. Сброс показаний происходит при последующем фронте тактового импульса, в это время на всех выходах устанавливается напряжение низкого уровня.

Если на вход загрузки Load подается напряжение низкого уровня, то при следующем положительном фронте тактового импульса код, находящийся на входах P0 – P3, загружается в счетчик.

Для синхронного счета чисел с несколькими разрядами без применения дополнительных логических элементов используют входы PE и TE в качестве разрешающих, а также выход CO (выход сигнала переноса).

Соединение происходит следующим образом:

- первый (самый младший) разряд: на входы PE и TE подается напряжение высокого уровня, выход CO соединяется с входами PE и TE второго разряда и с входом PE третьего разряда и т.д.;
- второй разряд: выход CO второго разряда соединяется с входом TE третьего разряда и т.д.;
- ступени синхронно управляются входом синхронизирующих сигналов благодаря тому, что входы тактовых импульсов всех ступеней соединены друг с другом. Входы сброса также включаются параллельно.

Данная микросхема по расположению выводов совместима со схемами КМОП 4162 и 40162.

Rsyn	Load	PE	TE	Режим работы
H	L	X	X	Предустановка
H	H	L	X	Без изменений
H	H	X	L	Без измнений
H	H	H	H	Счет
L	X	X	X	Сброс

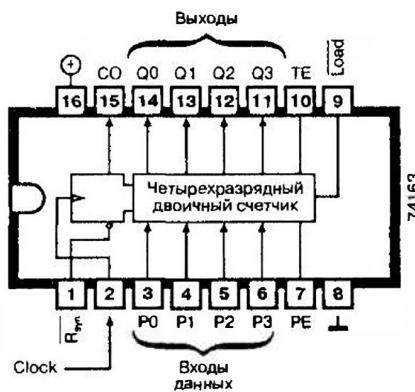
Применение

Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные	Std	ALS	AS	F	LS	S
Максимальная рабочая частота счетчика, МГц	25	30	75	120	25	60
Ток потребления, мА	61	12	35	40	19	95
Серия	Std	ALS	AS	F	H	L

●	●	●	●			●	●
---	---	---	---	--	--	---	---

74163 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С СИНХРОННЫМ СБРОСОМ



Описание

Микросхема содержит программируемый синхронный 4-разрядный двоичный счетчик, который считает импульсы в двоичном коде в прямом направлении и имеет синхронный вход сброса показаний.

Работа схемы

В нормальном режиме работы на вывод 1 (\bar{R}_{syn}) и на входы PE, TE и Load подается напряжение высокого уровня.

При каждом перепаде напряжения тактового импульса с низкого уровня на высокий показания счетчика синхронно увеличиваются на единицу. Таким образом, схема включается положительным фронтом тактового импульса. Логический уровень выходов Q0, Q1, Q2 и Q3 определяется двоичным кодом.

Для сброса показаний счетчика на вывод 1 (\bar{R}_{syn}) подается напряжение низкого уровня. Сброс показаний происходит при последующем фронте тактового импульса, в это время на всех выходах устанавливается напряжение низкого уровня. Если на вход загрузки Load подается напряжение низкого уровня, то при следующем положительном фронте тактового импульса код, находящийся на входах P0 – P3, загружается в счетчик.

Для синхронного счета чисел с несколькими разрядами без применения дополнительных логических элементов используют входы PE и TE в качестве разрешающих, а также выход CO (выход сигнала переноса).

Соединение происходит следующим образом:

- первый (самый младший) разряд: на входы PE и TE подается напряжение высокого уровня, выход CO соединяется с входами PE и TE второго разряда и с входом PE третьего разряда и т.д.;
- второй разряд: выход CO второго разряда соединяется с входом TE третьего разряда и т.д.;
- ступени синхронно управляются входом синхронизирующих сигналов, благодаря тому, что входы тактовых импульсов всех ступеней соединены друг с другом. Входы сброса также включаются параллельно.

Данная микросхема по расположению выводов совместима со схемами КМОП 4163 и 40163.

Rsyn	Load	PE	TE	Режим работы
H	L	X	X	Предустановка
H	H	L	X	Без изменений
H	H	X	L	Без изменений
H	H	H	H	Счет
L	X	X	X	Сброс

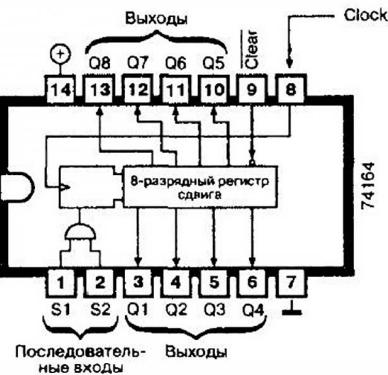
Применение

Программируемый счетчик, управление счетом и таймером, делитель частоты.

Технические данные	Std	ALS	AS	F	LS	S
Максимальная рабочая частота счетчика, МГц	25	30	75	120	25	60
Ток потребления, мА	61	12	35	40	19	95

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74164 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит быстродействующий 8-разрядный регистр сдвига с входом сброса, в котором информация последовательно вводится и параллельно или последовательно выводится.

Работа схемы

В нормальном режиме работы на вход сброса $\overline{\text{Clear}}$ и на один из двух входов последовательного ввода данных (S_1 или S_2) подается напряжение высокого уровня. Данные поступают на второй последовательный информационный вход.

При каждом перепаде напряжения на входе тактовых импульсов Clock с низкого уровня напряжения на высокий (положительный фронт) данные сдвигаются вправо на один разряд. Информация затем появляется на выходе Q_1 при первом положительном фронте тактового импульса, а уже имеющиеся на выходе Q_1 данные переходят на выход Q_2 и т.д., содержимое выхода Q_7 сдвигается на выход Q_8 и информация с выхода Q_8 попадает при необходимости в следующий подсоединеный регистр сдвига или теряется.

Информацию в регистре можно стереть, если на вход сброса $\overline{\text{Clear}}$ подать кратковременный импульс напряжения низкого уровня. Тогда на всех выходах $Q_1 - Q_7$ установится такое напряжение. Очистка регистра происходит независимо от состояния входа тактовых импульсов.

Для того чтобы подать в регистр сигнал высокого уровня, на оба входа последовательного ввода информации S_1 и S_2 должно подаваться напряжение высокого уровня. Если на один из этих двух последовательных входов подается напряжение низкого уровня, то при следующем тактовом импульсе в регистр поступает сигнал низкого уровня.

Входы					Выходы		
Сброс Clear	Такт. Clock	S1	S2		Q1	Q2...	Q8
L	X	X	X		L	L	L
H		X	X		Без изменений		
H		L	X		L	$Q_{1n} \dots$	Q_{7n}
H		X	L		L	$Q_{1n} \dots$	Q_{7n}
H		H	H		H	$Q_{1n} \dots$	Q_{7n}

$Q_{1n} \dots Q_{7n}$ – данные, которые сдвигаются
положительным фронтом тактового импульса
из предшествующей ступени регистра

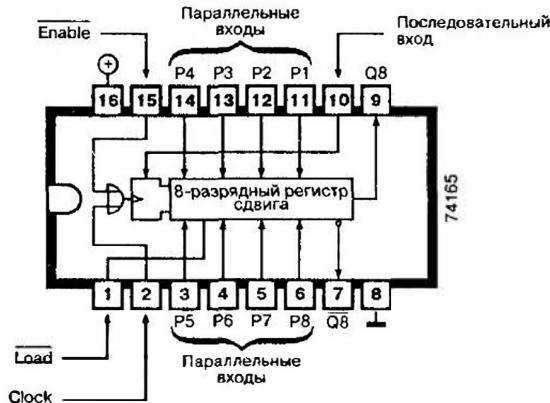
Применение

Хранение и запись данных, преобразование последовательного кода в параллельный.

Технические данные		Std	ALS	F	LS
Максимальная тактовая частота, МГц		25	60	90	25
Ток потребления, мА		34	10	33	38

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●		●	●		

74165 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 8-разрядный регистр сдвига вправо с последовательным или параллельным вводом информации и последовательным ее выводом.

Работа схемы

В нормальном режиме работы на разрешающий вход Enable подается напряжение низкого уровня. Каждый перепад напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) сдвигает данные вправо на один разряд.

Регистр сдвига загружается через параллельные вводы информации P1 – P8, когда на вход загрузки Load поступает кратковременный импульс напряжения низкого уровня. Процесс загрузки регистра не зависит от входа тактовых импульсов. Данные, находящиеся на последовательном входе информации (вывод 10), поступают в регистр при каждом положительном фронте тактового импульса (это происходит, если сигнал на выводе 10 имеет напряжение высокого уровня).

Последовательный вывод информации осуществляется на выходе Q8 и на инверсном выходе Q8.

Входы			Функция
Сдвиг/загрузка <u>Shift/Load</u>	Такт <u>Clock</u>	Разрешение <u>Enable</u>	
L	X	X	Параллельная загрузка
H	H	X	Без изменений
H	X	H	Без изменений
H	L	—	Сдвиг
—	—	L	Сдвиг

Подачу тактовых импульсов можно заблокировать, если разрешающий вход Enable получит напряжение высокого уровня. Благодаря логической связи ИЛИ вход тактовых импульсов Clock и разрешающий вход Enable взаимозаменяемы.

Аналогичной схемой, но с дополнительным входом сброса, является микросхема 74166.

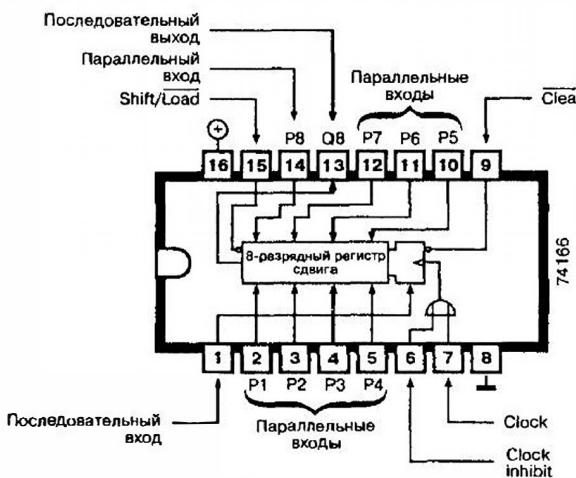
Применение

Преобразование параллельного кода в последовательный, буферные запоминающие устройства.

Технические данные	Std	ALS	LS
Максимальная частота сдвига, МГц	20	60	25
Ток потребления, мА	42	16	21

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●				●	●		

74166 8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД), С ВХОДОМ СБРОСА



Описание

Микросхема содержит 8-разрядный регистр сдвига с параллельным или последовательным вводом информации и последовательным ее выводом, а также с входами сброса данных и блокировки тактовых импульсов.

Работа схемы

В нормальном режиме работы на вход блокировки тактовых импульсов Clock Inhibit подается напряжение низкого уровня. Каждый перепад напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт) сдвигает данные вправо на один разряд.

Регистр сдвига загружается через параллельные вводы информации P1 – P8, когда на вход загрузки Load поступает кратковременный импульс напряжения низкого уровня. Процесс загрузки регистра не зависит от входа тактовых импульсов. Данные, находящиеся на последовательном вводе информации, поступают в регистр при каждом положительном фронте тактового импульса.

Последовательный вывод информации в неинвертированном виде осуществляется на выходе Q8.

Подачу тактовых импульсов можно заблокировать, если вывод 6 (запирание тактовых импульсов) получит напряжение высокого уровня. Благодаря логической связи ИЛИ вход тактовых импульсов Clock и вход блокировки тактовых импульсов Clock Inhibit взаимозаменяемы.

Если на вход сброса Clear подается кратковременный импульс напряжения низкого уровня, то информация во всех разрядах регистра стирается и на выходе Q8 устанавливается такое напряжение. Сброс информации происходит независимо от состояния входа тактовых импульсов.

Аналогичной схемой, но без входа сброса (с дополнительным инверсным последовательным выходом информации), является микросхема 74165.

Clear Сброс	Shift/ Load Сдвиг/ загрузка	Clock Inhibit Блокировка такта	Clock Такт	Парал. вход P1 – P8	Выход Q8	Функция
L	X	X	X	X	L	Асинхронный сброс
H	L	L		D1 – D8 ¹⁾	D8	Асинхр. парал. загрузка
H	H	L		X	²⁾	Последовательный сдвиг
H	H	L		X	²⁾	Последовательный сдвиг
H	X	H		X		Без изменений

¹⁾ D1 – D8 – данные на параллельных входах P1 – P8;

²⁾ данные сдвигаются из предыдущего разряда регистра

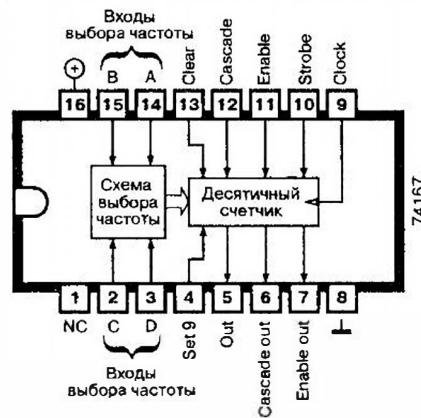
Применение

Преобразование параллельного кода в последовательный, буферные запоминающие устройства.

Технические данные	Std	ALS	F	LS
Максимальная частота сдвига, МГц	25	60	175	25
Ток потребления, мА	40	60	41	21

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

74167 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ



Описание

Микросхема содержит программируемый десятичный делитель частоты, часто именуемый поразрядным цифровым умножителем (по модулю 10).

Работа схемы

Данная микросхема позволяет предварительно запрограммировать получение на выходе от 1 до 9 импульсов для каждого цикла из 10 входных импульсов.

Коэффициент деления частоты $f_{\text{выход}}/f_{\text{вход}}$ можно предварительно выбрать на входах A–D:

$$f_{\text{выход}} = f_{\text{вход}} \times M / 16, \text{ где } M = D \times 2^3 + C \times 2^2 + B \times 2^1 + A \times 2^0.$$

В нормальном режиме работы на входы Strobe (отключение), Clear (сброс) и Enable (разрешение) подается напряжение низкого уровня. После этого на вход Clock (вход таймовых импульсов) подаются импульсы прямоугольной формы. Тогда на выходе Enable Out осуществляется декодирование цикла из 10 входных импульсов, то есть один выходной импульс для каждой серии из 10 входных импульсов.

Число импульсов на выходе Q (вывод 5) для каждого такого цикла можно установить с помощью входов A–D. Например, если необходимо получить 5 выходных импульсов на каждые 10 входных сигналов, то осуществляют следующее программирование (десятичное число 5 в двоичной системе счисления равно 0101): вход D – низкий уровень, вход C – высокий уровень, вход B – низкий уровень, вход A – высокий уровень напряжения.

Поскольку выходные импульсы не равнодалены друг от друга, умножитель частоты в большинстве случаев имеет некоторое дрожание (неустойчивую синхронизацию), что практически неважно.

Если на вход сброса Clear поступает кратковременный сигнал высокого уровня, внутренний десятичный делитель устанавливается на 0. Если на вход отключения Strobe подается напряжение высокого уровня, то хотя счетчик и будет работать, однако импульсы не поступят на выходы 5 или 6. Вывод 6 служит дополнением

к выводу 5 (имеет обратный код) и открывается непосредственно с помощью входа Cascade. Напряжение низкого уровня на входе Cascade запирает выход 6.

Применение

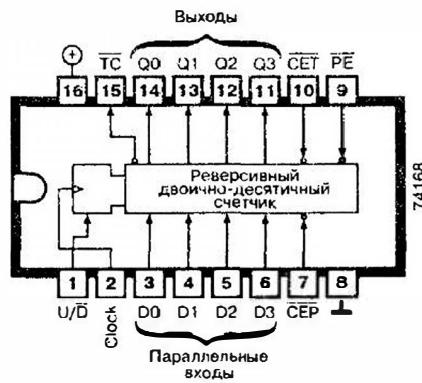
Арифметические операции, деление, аналого-цифровые или цифро-аналоговые преобразования.

Технические данные

Максимальная тактовая частота, МГц	Std	32
Ток потребления, мА		54

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74168 СИНХРОННЫЙ РЕВЕРСИВНЫЙ ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит синхронный программируемый десятичный счетчик прямого и обратного действия.

Работа схемы

Этот счетчик работает в двоично-десятичном коде и включается при каждом перепаде тактового импульса с низкого уровня на высокий (положительный фронт импульса) на выводе 2 (Clock).

При этом, когда на вывод 1 (U/D) подается напряжение высокого уровня, происходит суммирование импульсов (или счет в прямом направлении). Когда на этот вывод подается напряжение низкого уровня, идет вычитание импульсов (или счет в обратном направлении).

Предварительная установка счетчика или программирование осуществляется через информационные входы $D_0 - D_3$. Напряжение низкого уровня на входе \overline{PE} запирает счетчик и приводит к тому, что при следующем перепаде тактового импульса с низкого уровня на высокий данные с входов $D_0 - D_3$ будут загружаться в счетчик.

Для подсчета импульсов необходимо, чтобы на входы \overline{CEP} и \overline{SET} подавалось напряжение низкого уровня, а на вход \overline{PE} – высокого.

На выводе $TС$ формируется напряжение высокого уровня в нормальном режиме работы, а низкого – когда показания счетчика достигают нулевого значения при вычитании или девяти при суммировании.

На выходе $TС$ может также формироваться напряжение низкого уровня, когда на выводы 11, 13 и 15 поступает недопустимая комбинация сигналов. Такое состояние наступает при включении питания или при параллельной загрузке данных и снова исчезает после двух шагов счета.

Возможно каскадное включение нескольких счетчиков без использования внешних логических элементов.

<u>PE</u>	<u>CEP</u>	<u>CET</u>	<u>U/D</u>	Clock	Функция
L	X	X	X		Парал. загрузка
H	L	L	H		Суммирование
H	L	L	L		Вычитание
H	H	X	X		Без изменений
H	X	H	X		Без изменений

Применение

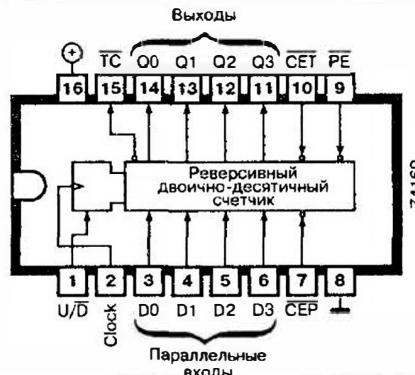
Суммирующий, вычитающий, дифференциальный счетчики, синхронный делитель частоты, аналого-цифровой и цифро-аналоговый преобразователи, программируемый двоично-десятичный счет.

Технические данные

	ALS	AS	F	LS	S
Максимальная тактовая частота, МГц	30	75	115	25	40
Ток потребления, мА	15	41	50	20	100

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74169 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ РЕВЕРСИВНЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК



74169

Описание

Микросхема содержит синхронный программируемый двоичный счетчик прямого (суммирующий) и обратного (вычитающий) действия.

Работа схемы

Этот счетчик работает в двоичном коде и включается при каждом перепаде тактового импульса с низкого уровня на высокий (положительный фронт импульса) на выводе 2 (Clock).

При этом, когда на вывод 1 (U/\bar{D}) подается напряжение высокого уровня, происходит суммирование импульсов (или счет в прямом направлении). Когда на этот вывод подается напряжение низкого уровня, идет вычитание импульсов (или счет в обратном направлении).

Предварительная установка счетчика осуществляется через информационные входы D0 – D3. Напряжение низкого уровня на входе $\bar{P}E$ запирает счетчик и приводит к тому, что при следующем перепаде тактового импульса с низкого уровня на высокий данные с входов D0 – D3 будут загружаться в счетчик.

Для подсчета импульсов необходимо, чтобы на вход \bar{CEP} и на вход \bar{SET} подавалось напряжение низкого уровня, а на вход \bar{PE} – высокого.

На выходе TC формируется напряжение высокого уровня в нормальном режиме работы, а низкого – когда показания счетчика достигают нулевого значения при вычитании или пятнадцати при суммировании.

Возможно каскадное включение нескольких счетчиков без использования внешних логических элементов.

$\bar{P}E$	\bar{CEP}	\bar{SET}	U/\bar{D}	Clock	Функция
L	X	X	X	\bar{L}	Парал. загрузка
H	L	L	H	\bar{L}	Суммирование
H	L	L	L	\bar{L}	Вычитание
H	H	X	X	\bar{L}	Без изменений
H	X	H	X	\bar{L}	Без изменений

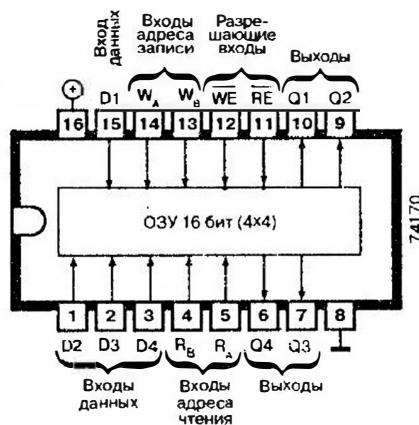
Применение

Суммирующий, вычитающий, дифференциальный счетчики, синхронный делитель частоты, аналого-цифровой и цифро-аналоговый преобразователи, программируемый двоичный счет.

Технические данные	ALS	AS	F	LS	S
Максимальная тактовая частота, МГц	30	75	115	25	40
Ток потребления, мА	15	41	50	20	100

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●				●	●	

74170 ОЗУ, 16 БИТ (4x4, ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит оперативное запоминающее устройство с произвольной выборкой объемом 16 бит (4 слова по 4 бита каждое: 4x4), которое позволяет одновременно записывать и считывать информацию.

Работа схемы

Записываемое 4-разрядное слово подается на информационные входы D1 – D4. Предусмотренная для этого слова ячейка памяти определяется с помощью входов адреса записи W_A и W_B . Для записи слова необходимо подать на вход разрешения записи WE напряжение низкого уровня. Если на вход \overline{WE} подается напряжение высокого уровня, то информационные входы заперты и изменение состояния этих входов больше не оказывает никакого влияния на хранящуюся в памяти информацию. Поэтому внешний дешифратор адреса здесь излишен.

Для считывания 4-разрядного слова адрес ячейки памяти подается на входы R_A и R_B , на вход разрешения чтения RE подается напряжение низкого уровня. Содержимое выбранной ячейки памяти в неинвертированном виде появляется на выходах Q1 – Q4.

Данное запоминающее устройство разрешает одновременно считывать и записывать информацию. При считывании хранящаяся в памяти информация не стирается.

Выходы имеют открытый коллектор.

Управление записью			Записываемое слово
\overline{WE}	WB	WA	
L	L	L	Слово1
L	L	H	Слово2
L	H	L	Слово3
L	H	H	Слово4
H	X	X	Нет (запись)

Управление чтением			Считываемое слово
RE	RB	RA	
L	L	L	Слово1
L	L	H	Слово2
L	H	L	Слово3
L	H	H	Слово4
H	X	X	Нет (выходы Z)

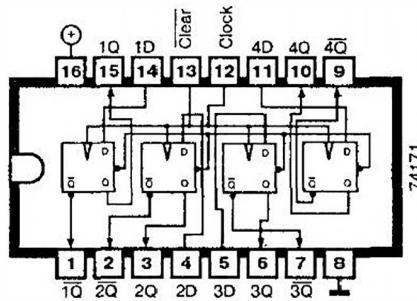
Применение

Быстродействующее буферное запоминающее устройство.

Технические данные	Std	LS
Максимальное выходное напряжение, В	5,5	5,5
Стандартное время выборки из ЗУ, нс	20	20
Ток потребления, мА	127	25

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74171 ЧЕТЫРЕ D-ТРИГГЕРА С ВХОДОМ СБРОСА



Описание

Микросхема содержит четыре D-триггера, которые запускаются положительным фронтом тактового импульса, с общими входами синхроимпульсов и сброса.

Работа схемы

Четыре триггера управляются через один общий вход тактовых импульсов, то есть информация, находящаяся на входах D, передается в соответствующий триггер при перепаде напряжения тактового импульса с низкого уровня на высокий (положительный фронт).

Если на вход тактовых импульсов подается напряжение высокого или низкого уровней, изменения состояния входа D не оказывают никакого влияния на состояние выходов.

Вход сброса Clear является общим для всех триггеров. Если на этот вход подается напряжение низкого уровня, то на всех выходах Q устанавливается напряжение низкого, а на всех выходах Q – высокого уровня.

Входы			Выходы	
Clear	Clock	D	Q	<u>Q</u>
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	<u>Q</u> ₀

Q₀ – записанные данные

Применение

Регистры, схемы управления, буферные запоминающие устройства.

Технические данные

LS

Максимальная тактовая частота, МГц

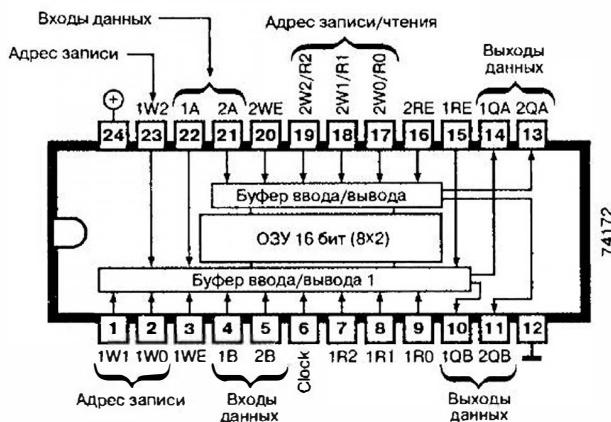
30

Ток потребления, мА

14

Серия	Std	ALS	AS	F	H	L	LS	S	
							●		

74172 ОЗУ, 16 БИТ (8x2, ТРИ СОСТОЯНИЯ)



Описание

Микросхема содержит оперативное запоминающее устройство с произвольной выборкой объемом 16 бит (8 машинных слов по 2 бита каждое: 8×2) с несколькими входами и выходами, а также выходы с тремя состояниями.

Работа схемы

Оперативное запоминающее устройство имеет два независимых входных и выходных канала, благодаря чему осуществляются одновременная запись и считывание данных. В первом канале кодирование входных данных отделено от кодирования выходных, а во втором канале оно общее, так что в нем считывание и запись возможны только одном и том же адресе:

1. Адресация при записи: канал 1, адрес ячейки определяется кодом на входах адреса записи 1W0, 1W1, 1W2. Канал 2, адрес записи подается на входы адреса чтения/записи 2W0/RO, 2W1/R1, 2W2/R2.
2. Разрешение записи: на входы разрешения записи 1WE, 2WE подается напряжение низкого уровня. Запись данных происходит при положительном фронте тактового импульса.
3. Входы данных: данные с информационных входов 1A, 1B и 2A, 2B поступают в оперативное запоминающее устройство при положительном фронте тактового импульса. Если одна и та же ячейка памяти управляется через оба канала, то предпочтение отдается входам данных, на которые подается напряжение низкого уровня.
4. Адресация при чтении: канал 1, адрес ячейки памяти подается на входы 1R0, 1R1 и 1R2. Канал 2, адрес ячейки памяти подается на входы 1WO/RO и 2W2/R2.
5. Разрешение считывания: если на входы разрешения чтения 1RE и 2RE подается напряжение низкого уровня, то хранящиеся в памяти данные поступают на выходы.
6. Выходы данных: канал 1, выходы 1QA и 1QB. Канал 2, выходы 2QA и 2QB. На входы разрешения чтения при этом должно подаваться напряжение низкого уровня. Если на эти входы поступает напряжение высокого уровня, то выходы переходят в третье (высокоомное) состояние.
7. Тактовые импульсы: вход тактовых импульсов общий для обоих каналов.

Данное ОЗУ (так же, как и микросхема 74170) часто встречается в технической литературе не как память с оперативной записью и считыванием, а под названием «регистр-файл» (Register File).

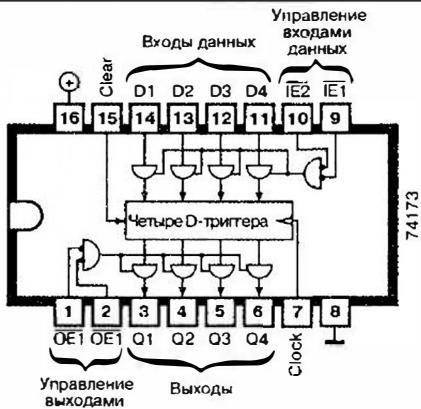
Применение

Стековый регистр данных, буферное запоминающее устройство, буферное ЗУ между процессорами, быстroredействующие схемы умножения.

Технические данные	Std	S
Максимальная тактовая частота, МГц	25	40
Время выборки, нс	33	30
Ток потребления, мА	112	160

Серия	Std	ALS	AS	F	H	L	LS	S	
	●							●	

74173 4-РАЗРЯДНЫЙ РЕГИСТР С ВХОДАМИ РАЗРЕШЕНИЯ И СБРОСА



Описание

Микросхема содержит четыре D-триггера с разрешающими входами и входом сброса, а также выходами с тремя состояниями.

Работа схемы

Параллельный ввод данных происходит через входы D1 – D4. Данные поступают в триггеры при положительном фронте тактового импульса на входе Clock. В это время на оба разрешающих входа $\overline{IE1}$ и $\overline{IE2}$ должно подаваться напряжение низкого уровня. Если на один из этих разрешающих входов поступает напряжение высокого уровня, то при последующих тактовых импульсах записанные данные сохраняются в регистре.

Хранящиеся в регистре данные поступают на выходы Q1 – Q4 при условии, что на оба разрешающих входа $\overline{OE1}$ и $\overline{OE2}$ подается напряжение низкого уровня. Если на один из этих входов поступает напряжение высокого уровня, то все выходы переходят в третью (высокоомное) состояние.

Входы						Выходы	
Разрешение выхода		Сброс	Такт	Разрешение входа		Инф. вход	
$\overline{OE1}$	$\overline{OE2}$	Clear	Clock	$\overline{IE1}$	$\overline{IE2}$	D1 – D4	Q1 – Q4
L	L	H	X	X	X	X	L
L	L	L	L	X	X	X	Нет изменений
L	L	L	H	X	X	X	Нет изменений
L	L	L	H	H	X	X	Нет изменений
L	L	L	H	X	H	X	Нет изменений
L	L	L	L	X	H	X	L
L	L	L	L	L	L	L	L
L	L	L	L	L	L	H	H
L	L	L	L	X	X	X	Нет изменений
L	H	X	X	X	X	X	Z
H	L	X	X	X	X	X	Z
H	H	X	X	X	X	X	Z

В нормальном режиме работы на вход сброса Clear подается напряжение низкого уровня. Если на этот вход поступает кратковременный импульс напряжения высокого уровня, то на всех выходах устанавливается напряжение низкого уровня.

Применение

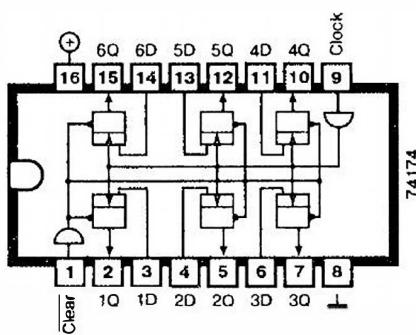
Буферный регистр.

Технические данные

	Std	LS
Максимальная тактовая частота, МГц	35	50
Время задержки прохождения сигнала, нс	23,5	17
Ток потребления, мА	50	19

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●		

74174 6-РАЗРЯДНЫЙ РЕГИСТР С ВХОДОМ СБРОСА



Описание

Микросхема служит для одновременного хранения в памяти шести бит информации.

Работа схемы

В нормальном режиме работы на вывод 1 (Clear) подается напряжение высокого уровня. Необходимая для записи и хранения информации поступает на входы D.

При перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт тактового импульса) данные сохраняются в памяти и выводятся на соответствующие выходы Q.

Если на вывод 1 (Clear) подается кратковременный импульс напряжения низкого уровня, то на всех выходах устанавливается такое напряжение.

Входы			Выход
Clock	Данные	Clear	Q
L	L	H	L
H	H	H	H
X	X	H	Нет изменений
X	X	L	L

Применение

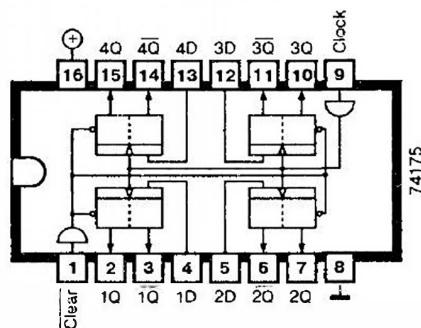
Буферный регистр.

Технические данные

	Std	ALS	AS	F	LS	S
Максимальная тактовая частота, МГц	35	50	100	100	30	75
Время задержки прохождения сигнала, нс	22	10	6,5	6	20	10
Ток потребления, мА	45	11	30	35	16	90

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74175 4-РАЗРЯДНЫЙ РЕГИСТР С ВХОДОМ СБРОСА



Описание

Микросхема служит для одновременного хранения в памяти четырех бит информации и получения данных в обратном коде.

Работа схемы

В нормальном режиме работы на вывод 1 (Clear) подается напряжение высокого уровня.

Необходимая для записи и хранения информация поступает на входы D.

При перепаде напряжения на входе таймовых импульсов Clock с низкого уровня на высокий (положительный фронт тактового импульса) данные сохраняются в памяти и выводятся на соответствующие выходы Q; инвертированные данные поступают на выходы \bar{Q} .

Если на вывод 1 (Clear) подается кратковременный импульс напряжения низкого уровня, то на всех выходах Q устанавливается напряжение низкого уровня, а на выходах \bar{Q} – напряжение высокого уровня.

Clock	Входы		Выходы	
	Данные	<u>Clear</u>	Q	\bar{Q}
—	L	H	L	H
—	H	H	H	L
—	X	H	Нет изменений	
X	X	L	L	H

Применение

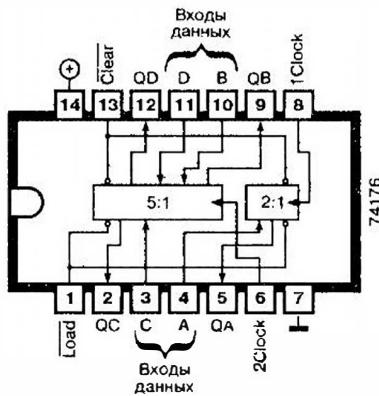
Буферный регистр.

Технические данные

	Std	ALS	AS	F	LS	S
Максимальная тактовая частота, МГц	25	50	100	140	30	75
Время задержки прохождения сигнала, нс	22	10	6,5	6	14	10
Ток потребления, мА	30	9	22	25	11	60

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74176 ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит делители на два и на пять, а также входы предварительной установки и вход сброса.

Работа схемы

Поскольку микросхема состоит из двух отдельных делителей (на два и на пять) с раздельными входами тактовых импульсов, то она позволяет работать в следующих режимах:

- делители на 2 и на 5: вход тактовых импульсов $iClock$ (вывод 8) управляет выходом QA , отношение частоты тактовых импульсов к частоте импульсов на этом выходе составляет 2:1. Вход тактовых импульсов $2Clock$ (вывод 6) управляет выходами QD , QC и QB , отношение частоты тактовых импульсов к частоте импульсов на этих выходах составляет 5:1. Хотя делители частоты работают раздельно, предварительная установка и сброс показаний осуществляются от общих входов;
 - десятичный счетчик: выход QA соединен с входом тактовых импульсов $2Clock$. Тактовая частота подается на вход $1Clock$. Счетчик работает в двоично-десятичном коде;
 - делитель на 10: выход QD соединен с входом тактовых импульсов $1Clock$. Тактовые импульсы подаются на вход $2Clock$. Счетчик работает в двоично-пятеричном коде. На выходе QA получают симметричное напряжение прямоугольной формы.

Счетчик последовательно включается при перепаде напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

В нормальном режиме работы на вход сброса Clear подается напряжение высокого уровня. Если на этот вход подается кратковременный импульс напряжения низкого уровня, то на всех выходах также формируется такое напряжение.

Через информационные входы A-D осуществляют предварительную установку счетчика, подавая на эти входы необходимый код, а на вход Load – кратковременный импульс напряжения низкого уровня.

Сброс и установка происходят асинхронно, то есть независимо от тактовых импульсов.

Входы			Входы
Clear	Load	Clock	QA-QD
L	X	X	L
H	L	X	Параллельная загрузка
H	H	—	Счет

Данная схема аналогична микросхеме 74196, но в отличие от последней имеет меньшие потребляемую мощность и значение максимальной тактовой частоты.

Применение

Программируемые счетчик и делитель, синтезатор частоты.

Технические данные

Std

Максимальная тактовая частота, МГц

35

вход Clock1

17,5

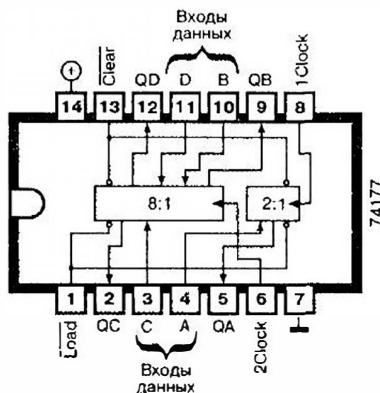
вход Clock2

30

Ток потребления, мА

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74177 ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит делители на два и на восемь с общими входами предварительной установки и сброса.

Работа схемы

Микросхему можно использовать в качестве 4-разрядного двоичного счетчика, если выход Q_4 соединить с входом тактовых импульсов 2Clock и подать сигнал тактовой частоты на вывод 8 (1Clock).

Возможны следующие значения коэффициента деления: 2:1, 4:1, 8:1, 16:1.

Если выход QA не используется, счетчик работает как 3-разрядный двоичный и тактовые импульсы подаются на вход $2Clock$ (вывод 6).

Счетчик переключается при каждом перепаде напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

В нормальном режиме работы на вход сброса Clear подается напряжение высокого уровня. Если на этот вход подается кратковременный импульс напряжения низкого уровня, то на всех выходах также формируется такое напряжение.

Через информационные входы А–Д осуществляют предварительную установку счетчика, подавая на эти входы необходимый код, а на вход Load – кратковременный импульс напряжения низкого уровня.

Сброс и загрузка происходят асинхронно, то есть независимо от тактовых импульсов.

Входы			Входы QA-QD
Clear	Load	Clock	
L	X	X	L
H	L	X	Параллельная загрузка
H	H	—	Счет

Данная схема аналогична микросхеме 74197, но в отличие от последней имеет меньшую потребляемую мощность и значение максимальной тактовой частоты.

Применение

Программируемые счетчик и делитель, синтезатор частоты.

Технические данные

Std

Максимальная тактовая частота, МГц

35

вход Clock1

17.5

вход Clock2

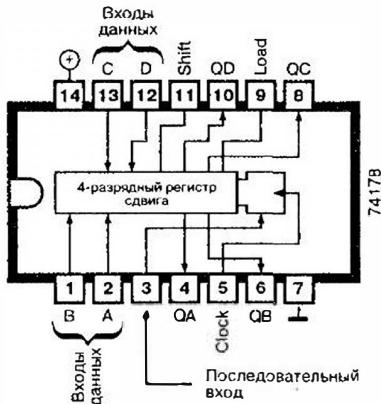
30

Ток потребления, мА

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74178

4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ ВЫХОД)



Описание

Микросхема содержит 4-разрядный регистр сдвига данных вправо с параллельным или последовательным вводом информации и параллельным ее выводом.

Работа схемы

Для параллельной загрузки регистра сдвига на вход сдвига (Shift) подается напряжение низкого уровня, необходимая информация – на входы данных А–Д, а на вход загрузки (Load) – напряжение высокого уровня. Данные синхронно загружаются в соответствующие триггеры и появляются на соответствующих выходах после перепада напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт). Сдвига данных в регистре во время загрузки не происходит.

Сдвиг данных вправо осуществляется при перепаде напряжения тактового импульса с высокого уровня на низкий, когда на вход сдвига поступает напряжение высокого уровня, причем уровень напряжения на входе загрузки не оказывает на это никакого влияния. Данные, находящиеся на выходе QA, после первого фронта тактового импульса появляются на выходе QB, а данные на выходе QC – на выходе QD и т.д.

При первом фронте тактового импульса данные с последовательного входа передаются на выход QA. Этот процесс продолжается при следующем фронте тактового импульса.

Если на вход сдвига Shift и на вход загрузки Load подается напряжение низкого уровня, то данные сохраняются на выходах в неизмененном виде, несмотря на подачу следующих тактовых импульсов. Поэтому блокировка тактовых импульсов в этом случае не требуется.

Аналогичной схемой, но с дополнительным входом сброса и инверсным выходом QD, является микросхема 74179.

Входы			Функция
Shift	Load	Clock	
L	X		Параллельная загрузка
H	L		Сдвиг вправо
L	H	X	Хранение данных

Применение

Запись и хранение данных, преобразование последовательного кода в параллельный и параллельного кода в последовательный.

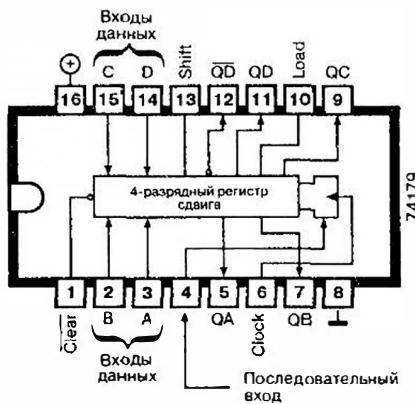
Технические данные

	Std
Максимальная тактовая частота, МГц	39
Время задержки прохождения сигнала, нс	20
Ток потребления, мА	46

Серия	Std	ALS	AS	F	H	L	LS	S	
.	●								

74179

4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит 4-разрядный регистр сдвига данных вправо с параллельным или последовательным вводом информации и параллельным ее выводом, а также с входом сброса.

Работа схемы

Для параллельной загрузки регистра сдвига на вход сдвига (**Shift**) подается напряжение низкого уровня, необходимая информация поступает на входы данных **A – D**, а на вход загрузки (**Load**) подается напряжение высокого уровня. Данные синхронно загружаются в триггеры и появляются на соответствующих выходах после следующего перепада напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт). Сдвига данных в регистре во время загрузки не происходит.

Сдвиг данных вправо осуществляется при перепаде напряжения тактового импульса с высокого уровня на низкий, когда на вход сдвига подается напряжение высокого уровня, причем уровень напряжения на входе загрузки не оказывает никакого влияния на это. Данные, находящиеся на выходе QA , после первого фронта тактового импульса появляются на выходе QB , а данные на выходе QB – на выходе QC и т.д.

При первом фронте тактового импульса данные с последовательного входа передаются на выход QA. Этот процесс продолжается при следующем фронте тактового импульса.

Если на вход сдвига Shift и на вход загрузки Load подается напряжение низкого уровня, то данные сохраняются на выходах в неизмененном виде, несмотря на подачу следующих тактовых импульсов. Поэтому блокировка тактовых импульсов в этом случае не требуется.

Входы				Функция
Clear	Shift	Load	Clock	
H	L	L		Параллельная загрузка
H	H	X		Сдвиг вправо
H	L	L	X	Хранение данных
H	X	X	X	Сброс

В отличие от схемы 74178 данная микросхема содержит еще вход сброса, а также один дополнительный инверсный выход QD. Если на вход сброса Clear (вывод 1) подается напряжение низкого уровня, то на всех выходах устанавливается такое напряжение, а на выходе QD – напряжение высокого уровня.

Применение

Запись и хранение данных, преобразование последовательного кода в параллельный и параллельного кода в последовательный.

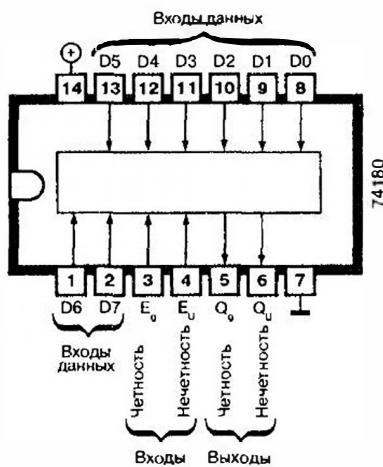
Технические данные

Std

Максимальная тактовая частота, МГц	39
Время задержки прохождения сигнала, нс	20
Ток потребления, мА	46

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74180 СХЕМА ПРОВЕРКИ ЧЕТНОСТИ



Описание

Микросхема содержит генератор сигналов четности/контрольное устройство на 9 бит (8 информационных двоичных разрядов плюс 1 контрольный двоичный разряд четности).

Работа схемы

Эта микросхема позволяет проводить сравнительный контроль 8-разрядных двоичных слов, поступающих на информационные входы D0 – D7, и показывать через выходы Q_g и Q_u , являются ли данные четными или нечетными.

Проверяемое на четность слово поступает на входы данных D0 – D7. Если теперь на вход четности E_g (вывод 3) подать напряжение высокого уровня, а на вход нечетности E_u (вывод 4) – напряжение низкого уровня, то при четном суммарном числе единиц в слове на выходе четности Q_g установится напряжение высокого уровня, а на выходе нечетности Q_u – напряжение низкого уровня.

Если же на вход E_g поступает напряжение низкого, а вход E_u – высокого уровня, то при четном числе единиц в слове на выходе Q_g устанавливается напряжение низкого, а на выходе Q_u – высокого уровня.

Когда на входы E_g и E_u поступает напряжение высокого, то на обоих выходах Q_g и Q_u устанавливается напряжение низкого уровня, и наоборот независимо от состояния входов D0 – D7. Девятиразрядное слово проверяется на четность, когда кроме входов E_g и E_u используется еще и инвертор в качестве девятого информационного входа. Если девятый информационный бит поступает на вход E_u и инвертор подсоединен между выводами 4 и 3, то при четном числе единиц в слове на выходе Q_g установится напряжение высокого уровня. Наоборот, если девятый информационный бит поступает на вход E_g и инвертор подсоединен между выводами 3 и 4, то при четном числе единиц в слове на выходе Q_g установится напряжение низкого уровня.

Схему можно расширять на любое число ступеней по восемь разрядов в каждой, соединив выходы Q_g и Q_u первой ступени с входами E_g и E_u следующей ступени.

Входы		Выходы			
Сумма единиц на входах D0-D7		Eg	Eu	Qg	Qu
Четная	H	L	H	L	
Нечетная	H	L	L	H	
Четная	L	H	L	H	
Нечетная	L	H	H	L	
X	H	H	L	L	
X	L	L	H		H

Применение

Формирование контрольного разряда четности и проверка наличия ошибки при передаче данных.

Технические данные

Std

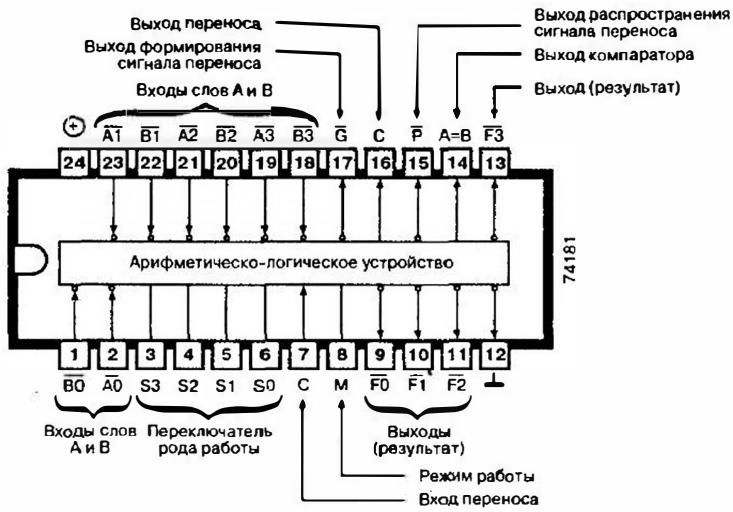
Время задержки прохождения сигнала, нс

35

Ток потребления, мА

34

74181 4-РАЗРЯДНОЕ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО



Описание

Микросхема содержит арифметическо-логическое устройство (АЛУ), с помощью которого можно выполнить 16 логических и 16 арифметических операций над 4-разрядными operandами.

Работа схемы

Операнды А и В поступают на соответствующие входы (активный уровень напряжения – низкий). Род работы АЛУ выбирается с помощью входа М (режим работы): логические операции выполняются при подаче на вход М напряжения высокого уровня, а арифметические – при подаче напряжения низкого уровня. Затем согласно таблице истинности по коду на входах S0 – S4 выбирается необходимая для выполнения функция, а результат получают на выходах F0 – F3 (активный уровень напряжения – низкий).

Схему можно расширить на $n \times 8$ бит, если подключить к ней 74182 (устройство переноса) и дополнительную схему 74181.

Данная микросхема используется также в качестве компаратора. Если operandы одинаковы, то на выходе А = В формируется напряжение высокого уровня (выход с открытым коллектором).

Возможна работа с негативной (отрицательной) логикой при соответствующем пояснении расположения выводов на схеме.

Код функции				Активный низкий уровень		Активный высокий уровень	
S_0	S_1	S_2	S_3	Арифметические (M=L, C _n =L)	Логические (M = H)	Арифметические (M = L, C _n = L)	Логические (M = H)
L	L	L	L	A минус 1	\bar{A}	A	\bar{A}
H	L	L	L	AB минус 1	\overline{AB}	$A + B$	$\overline{A + B}$
L	H	L	L	A \bar{B} минус 1	$\bar{A} + B$	$A + \bar{B}$	$\bar{A}\bar{B}$
H	H	L	L	Минус 1(доп. до 2)	Логич. 1	Минус 1(доп. до 2)	Логич. 0
L	L	H	L	A плюс (A + \bar{B})	$\overline{A+B}$	A плюс A \bar{B}	$\bar{A}B$
H	L	H	L	AB плюс (A + \bar{B})	\bar{B}	A \bar{B} плюс (A + B)	\bar{B}
L	H	H	L	A минус B минус 1	$\overline{A \oplus B}$	A минус B минус 1	$A \oplus B$
H	H	H	L	A + \bar{B}	$A + \bar{B}$	A \bar{B} минус 1	$A\bar{B}$
L	L	L	H	A плюс (A + B)	$\bar{A}B$	A плюс AB	$\bar{A} + B$
H	L	L	H	A плюс B	$A \oplus B$	A плюс B	$\bar{A} \oplus B$
L	H	L	H	A \bar{B} плюс (A + B)	B	AB плюс (A + \bar{B})	B
H	H	L	H	A + B	$A + B$	AB минус 1	AB
L	L	H	H	A плюс A (2 x A)	Логич. 0	A плюс A (2 x A)	Логич. 1
H	L	H	H	A плюс AB	$A\bar{B}$	A плюс (A + B)	$A + \bar{B}$
L	H	H	H	A плюс A \bar{B}	AB	A плюс (A + \bar{B})	$A + B$
H	H	H	H	A	A	A минус 1	A

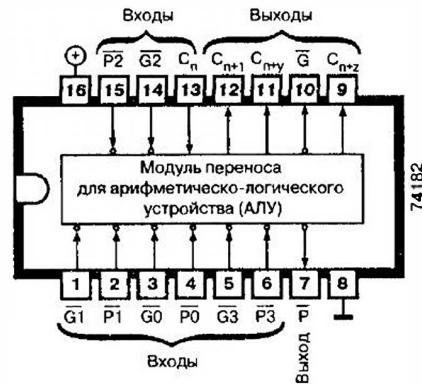
Применение

Вычислительный блок для арифметических или логических операций (процессор).

Технические данные	Std	AS	F	LS	S
Стандартное время выполнения операции сложения, нс	24	5	7	24	11
Ток потребления, мА	91	135	43	20	120

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●	●	●			●	●	

74182 МОДУЛЬ ПЕРЕНОСА ДЛЯ АРИФМЕТИЧЕСКО-ЛОГИЧЕСКИХ УСТРОЙСТВ



Описание

Микросхема представляет собой быстродействующий модуль переноса, специально предназначенный для работы с арифметико-логическим устройством АЛУ 74181. Возможно параллельное каскадное включение схемы.

Работа схемы

Данный модуль позволяет с опережением вырабатывать сигнал переноса для четырех двоичных сумматоров, и его можно расширить на 8 бит.

Модуль принимает до четырех пар сигналов на входах распространения импульса переноса $\overline{P0}$ – $\overline{P3}$ (активный уровень напряжения – низкий) и на входах генерирования сигнала переноса $\overline{G0}$ – $\overline{G3}$ (активный уровень напряжения – низкий), а также принимает сигнал на входе переноса (активный уровень напряжения – высокий). Выработанные сигналы переноса с опережением поступают затем на выходы $C_{\text{п.в.}}$, $C_{\text{п.н.}}$ и $C_{\text{п.з.}}$ для четырех групп двоичных сумматоров.

Соединения между микросхемами 74182 и 74181 с отрицательной логикой остаются такими же, что и для схемы 74181 с положительной логикой.

Применение

Формирование сигнала переноса для арифметико-логического устройства 74181.

Входы					Выход
$\overline{G1}$	$\overline{G0}$	$\overline{P1}$	$\overline{P0}$	C_n	C_{n+1}
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H

Все остальные комбинации

Входы			Выход
$\overline{G_0}$	$\overline{P_0}$	C_n	C_{n+1}
L	X	X	H
X	L	H	H
Все остальные комбинации			L

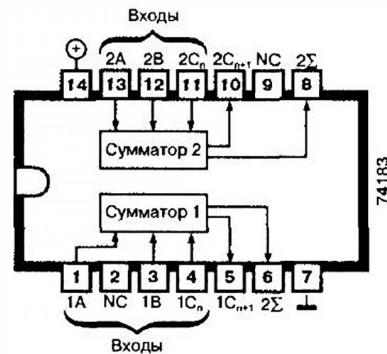
Входы				Выход P
P3	P2	P1	P0	
L	L	L	L	L
Все остальные комбинации				H

Технические данные

Время задержки прохождения сигнала, нс	13	5	7,5	7
Ток потребления, мА	36	20	21	52

Серия	Std	ALS	AS	F	H	L	LS	S
	●		●	●			●	●

74183 ДВА ОДНОРАЗРЯДНЫХ ПОЛНЫХ СУММАТОРА



74183

Описание

Микросхема содержит два отдельных быстродействующих одноразрядных полных сумматора.

Работа схемы

Данные для суммирования подводятся на информационные входы A и B , а сигнал переноса из предыдущего разряда – на вход C_n . Результат суммирования получают на выходе Σ , возможный перенос в ближайший старший разряд на выходе переноса C_{n+1} .

В таблице представлено функционирование полного комбинационного сумматора.

Входы		Выходы		
C_n	B	A	Σ	C_{n+1}
L	L	L	L	L
L	L	H	H	L
L	H	L	H	L
L	H	H	L	H
H	L	L	H	L
H	L	H	L	H
H	H	L	L	H
H	H	H	H	H

Применение

Выполнение логической операции сложения бинарных чисел.

Технические данные

Стандартное время суммирования, нс

Ток потребления, мА

LS

15

H

11

Серия

Std

ALS

AS

F

H

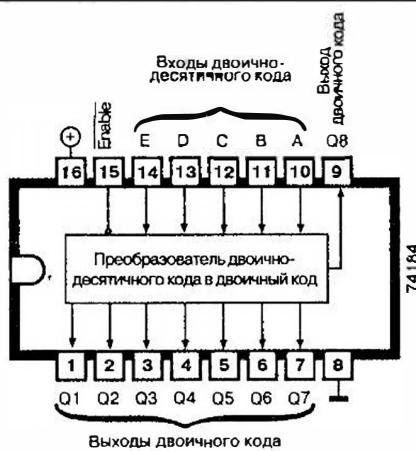
L

LS

S



74184 ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит дешифратор, который преобразует 6-разрядный двоично-десятичный код в двоичный.

Работа схемы

Здесь рассматривается специальное программируемое постоянное запоминающее устройство ROM 7488.

Схема содержит только пять входов для 6-разрядного двоично-десятичного кода. Это связано с тем, что самые младшие разряды (LSB) двоичного и двоично-десятичного кодов оказываются одинаковыми. Поэтому вход А микросхемы представляет собой разряд, который следует за самым младшим разрядом 6-разрядного двоично-десятичного кода. Например, если на входах EDCB имеется кодирование LLLLH (L – низкий уровень напряжения на данном входе, H – высокий), это соответствует десятичным числам 2 и 3, поскольку самый младший разряд 6-разрядного двоично-десятичного кода, который проходит через схему и не управляемся ею, для десятичного числа 2 равен L, а для десятичного числа 3 – H. В обоих случаях появляющийся на выходах Q5 – Q1 код равен LLLLH.

Если входы находятся в таком логическом состоянии, которое больше не соответствует двоично-десятичному кодированию, то есть код на входах больше десятичного числа 39 равного двоично-десятичному коду HHHL(H), тогда на всех выходах Q5 – Q1 устанавливается такое напряжение H.

Выходы Q6, Q7 и Q8 используются лишь для формирования сигналов с обратным кодом.

В нормальном режиме работы на разрешающий вход Enable подается напряжение низкого уровня. Если на этот вход подается напряжение высокого уровня, то на всех выходах также устанавливается такое напряжение независимо от логического состояния остальных входов.

Выходы имеют открытый коллектор и поэтому должны подключаться к цепи питания +5 В через внешнее сопротивление. Максимально допустимый ток коллектора равен 12 мА.

Десятичное число	Входы (двоично-десятичный код)					Выходы (двоичный код)				
	E	D	C	B	A	Q ₅	Q ₄	Q ₃	Q ₂	Q ₁
0–1	L	L	L	L	L	L	L	L	L	L
2–3	L	L	L	L	H	L	L	L	L	H
4–5	L	L	L	H	L	L	L	L	H	L
6–7	L	L	L	H	H	L	L	L	H	H
8–9	L	L	H	L	L	L	L	H	L	L
10–11	L	H	L	L	L	L	L	H	L	H
12–13	L	H	L	L	H	L	L	H	H	L
14–15	L	H	L	H	L	L	L	H	H	H
16–17	L	H	L	H	H	L	H	L	L	L
18–19	L	H	H	L	L	L	H	L	L	H
20–21	H	L	L	L	L	L	H	L	H	L
22–23	H	L	L	L	H	L	H	L	H	H
24–25	H	L	L	H	L	L	H	H	L	L
26–27	H	L	L	H	H	L	H	H	L	H
28–29	H	L	H	L	L	L	H	H	H	L
30–31	H	H	L	L	L	L	H	H	H	H
32–33	H	H	L	L	H	H	L	L	L	L
34–35	H	H	L	H	L	H	L	L	L	H
36–37	H	H	L	H	H	H	L	L	H	L
38–39	H	H	H	L	L	H	L	L	H	H

Применение

Преобразование кодов, преобразователь двоично-десятичного кода в двоичный, преобразователь 9-разрядного двоично-десятичного кода в обратный код, преобразователь 10-разрядного двоично-десятичного кода в обратный код.

Технические данные

Максимальное выходное напряжение, В

Std

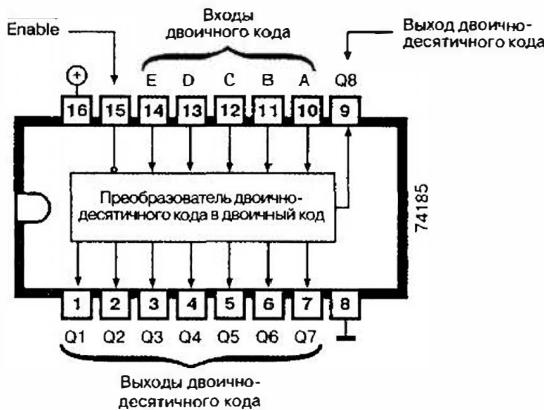
Ток потребления, мА

5,5

56

Серия	Std	ALS	AS	F	H	L	LS	S	
	●								

74185 ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит дешифратор, который преобразует 6-разрядный двоичный код в двоично-десятичный.

Работа схемы

Здесь рассматривается специальное программируемое постоянное запоминающее устройство ROM 7488.

Схема содержит только пять входов для 6-разрядного двоичного кода. Это связано с тем, что самые младшие разряды (LSB) двоичного и двоично-десятичного кодов оказываются одинаковыми. Поэтому вход А микросхемы представляет собой разряд, который следует за самым младшим разрядом 6-разрядного двоичного кода. Например, если на входах EDCBA имеется код LLLLH (L – низкий уровень напряжения на данном входе, H – высокий), то это соответствует десятичным числам 2 и 3, поскольку самый младший разряд 6-разрядного двоичного кода, который не поступает на вход микросхемы и не обрабатывается ею, для десятичного числа 2 равен L и для десятичного числа 3 – H. В обоих случаях появляющийся на выходах Q5 – Q1 код равен LLLLH.

Максимальное двоичное число в этой схеме равно десятичному числу 63, которое соответствует двоично-десятичному коду ННННН(H).

Выходы Q6, Q7 и Q8 используются лишь для формирования сигналов с обратным кодом.

В нормальном режиме работы на разрешающий вход Enable подается напряжение низкого уровня. Если на этот вход подается напряжение высокого уровня, то на всех выходах также устанавливается такое напряжение независимо от логического состояния остальных входов.

Выходы имеют открытый коллектор и поэтому должны подключаться к цепи питания +5 В через внешнее сопротивление. Максимально допустимый ток коллектора равен 12 мА.

Десят. число	Входы (двоичный код)					Выходы (двоично-десятичный код)							
	E	D	C	B	A	Q ₉	Q ₇	Q ₆	Q ₅	Q ₄	Q ₃	Q ₂	Q ₁
0–1	L	L	L	L	L	H	H	L	L	L	L	L	L
2–3	L	L	L	L	H	H	H	L	L	L	L	L	H
4–5	L	L	L	H	L	H	H	L	L	L	L	H	L
6–7	L	L	L	H	H	H	H	L	L	L	L	H	H
8–9	L	L	H	L	L	H	H	L	L	L	H	L	L
10–11	L	L	H	L	H	H	H	L	L	H	L	L	L
12–13	L	L	H	H	L	H	H	L	L	H	L	L	H
14–15	L	L	H	H	H	H	H	L	L	H	L	H	L
16–17	L	H	L	L	L	H	H	L	L	H	L	H	H
18–19	L	H	L	L	H	H	H	L	L	H	H	L	L
20–21	L	H	L	H	L	H	H	L	H	L	L	L	L
22–23	L	H	L	H	H	H	H	H	L	H	L	L	H
24–25	L	H	H	L	L	H	H	H	L	H	L	L	H
26–27	L	H	H	L	H	H	H	H	L	H	L	L	H
28–29	L	H	H	H	L	H	H	H	L	H	L	H	L
30–31	L	H	H	H	H	H	H	H	L	H	H	L	L
32–33	H	L	L	L	L	H	H	H	L	H	H	L	H
34–35	H	L	L	L	H	H	H	H	L	H	H	L	H
36–37	H	L	L	H	L	H	H	H	L	H	H	L	H
38–39	H	L	L	H	H	H	H	H	L	H	H	H	L
40–41	H	L	H	L	L	H	H	H	H	H	L	L	L
42–43	H	L	H	H	L	H	H	H	H	H	L	L	H
44–45	H	L	H	H	H	H	H	H	H	H	L	L	H
46–47	H	L	H	H	H	H	H	H	H	H	L	L	H
48–49	H	H	L	L	L	H	H	H	H	H	L	L	H
50–51	H	H	H	L	L	H	H	H	H	H	L	H	L
52–53	H	H	H	L	H	H	H	H	H	H	L	H	L
54–55	H	H	H	L	H	H	H	H	H	H	L	H	L
56–57	H	H	H	H	L	H	H	H	H	H	L	H	H
58–59	H	H	H	H	L	H	H	H	H	H	L	H	L
60–61	H	H	H	H	H	H	H	H	H	H	L	H	L
62–63	H	H	H	H	H	H	H	H	H	H	L	H	L

Применение

Преобразование кодов, преобразователь двоичного кода в двоично-десятичный код.

Технические данные

Std

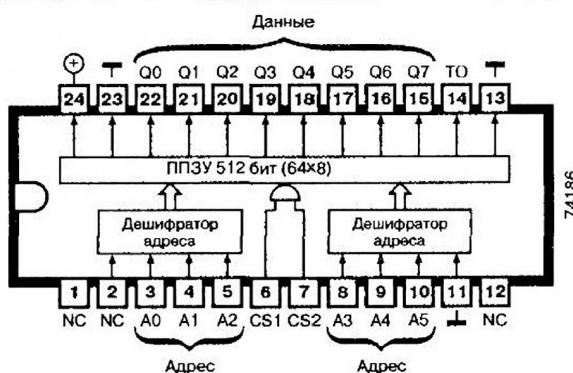
Максимальное выходное напряжение, В

51

Ток потребления, мА

56

**74186 ПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ
ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО,
512 БИТ (64x8) (ОТКРЫТЫЙ КОЛЛЕКТОР)**



Описание

Микросхема содержит программируемое постоянное запоминающее устройство (ПЗУ) с объемом памяти 512 бит, организованной в 64 слова по 8 бит каждое (64×8).

Работа схемы

Адрес необходимого слова подается входы A0 – A5. После этого на выходах Q0 – Q7 устанавливается заранее запрограммированный двоичный код. Для этого на оба входа выбора кристалла CS подается напряжение высокого уровня. Данные выходы позволяют легко расширить объем памяти ПЗУ.

Выходы имеют открытый коллектор и поэтому должны подключаться к цепи питания +5 В через внешнее сопротивление.

В незапрограммированном состоянии на всех выходах формируется напряжение низкого уровня.

Для осуществления программирования адресно выбирается необходимое слово и на каждый выход по очереди в течении не менее 700 мс подается напряжение от -5 до -6 В (без подключения токоограничивающего резистора).

При этом на оба входа выбора кристалла CS должно быть подано напряжение высокого уровня или они должны оставаться открытыми. К выводу 11 (вывод корпуса) также прикладывается отрицательное напряжение, в то время как выводы 13 и 24 остаются заземленными на корпус.

Вывод 14 служит для контроля схемы и не используется.

Применение

Постоянное запоминающее устройство, генерирование любых логических функций и напряжений сложных конфигураций; устройство, задающее последовательность.

Технические данные

Std

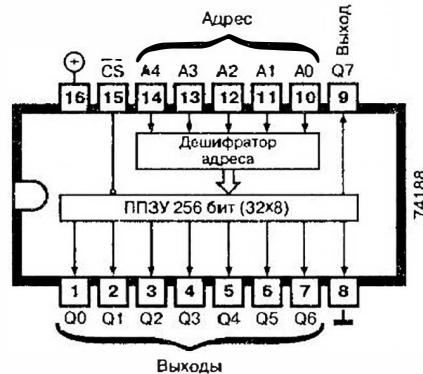
Время выборки из ПЗУ, нс

55

Ток потребления, мА

120

74188 ПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, 256 БИТ (32x8) (ОТКРЫТЫЙ КОЛЛЕКТОР)



Описание

Микросхема содержит программируемое постоянное запоминающее устройство (ПЗУ) с объемом памяти 256 бит, организованной в 32 слова по 8 бит каждое (32x8).

Работа схемы

Адрес необходимого слова подается на входы A0 – A4. После этого на выходах Q0 – Q7 устанавливается заранее запрограммированный двоичный код. Для этого на вход выбора кристалла CS подается напряжение низкого уровня.

Выходы имеют открытый коллектор и поэтому должны подключаться к цепи питания +5 В через внешнее сопротивление.

В незапрограммированном состоянии на всех выходах формируется напряжение низкого уровня.

Для осуществления программирования на ПЗУ подается стандартное рабочее напряжение +5 В и выбирается необходимое слово. Затем выходы отключаются, когда на вход выбора кристалла CS подается напряжение высокого уровня. В каждом случае программируется линия 1 бит информации. На выходы, которые не надо программировать, через сопротивление 3,9 кОм подается напряжение +5 В. К выходу, который должен программироваться, прикладывается напряжение 0,25 В (0–0,3 В; максимальный ток 150 мА), а затем рабочее напряжение ПЗУ повышается до 10,5 В (максимальный ток 750 мА). Далее на вход выбора кристалла CS на время около 1 мс (по инструкции оно должно быть в интервале 1 мкс – 1 мс) подается напряжение низкого уровня, а затем снова напряжение высокого уровня, в течение следующей миллисекунды рабочее напряжение опять повышается до +5 В. То же самое повторяется и с остальными выходами, которые необходимо запрограммировать.

Аналогичной схемой, но с выходами с тремя состояниями, является микросхема 74288.

Применение

Постоянное запоминающее устройство, генерирование любых логических функций и напряжений сложных конфигураций; устройство, задающее последовательность.

Технические данные**Std**

Время выборки из ПЗУ, нс

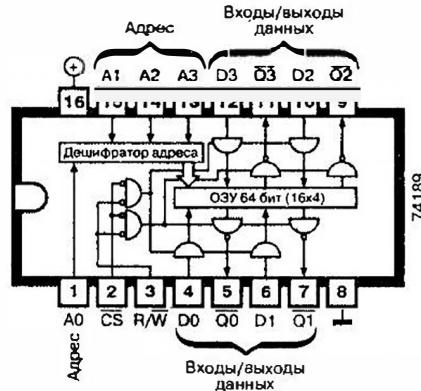
30

Ток потребления, мА

80

Серия	Std	ALS	AS	F	H	L	LS	S	
								●	

74189 ОЗУ, 64 БИТА (16x4, ВЫХОДЫ С ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит быстродействующее оперативное запоминающее устройство (ОЗУ) с объемом памяти 64 бита (64 машинных слова по 4 бита каждое: 16x4) и выходами с тремя состояниями.

Работа схемы

Необходимая ячейка памяти, в которую записывается или из которой считывается информация, выбирается через адресные входы A0 – A3. Для уменьшения нагрузки на адресную шину их делают буферизованными.

Данные для записи подаются на информационные входы D0 - D3, на вход \overline{CS} (выбор кристалла) и R/\overline{W} (чтение/запись) подается напряжение низкого уровня. При этом выходы переходят в третье (высокоомное) состояние.

Для считывания информации на вход R/\overline{W} подается напряжение высокого уровня (на вход \overline{CS} – напряжение низкого уровня). Тогда информация, хранящаяся в адресуемой ячейке памяти, поступает в обратном коде на выходы $\overline{Q0} - \overline{Q3}$.

Если на вход CS подается напряжение высокого уровня, то ОЗУ запирается и выходы переходят в третье (высокоомное) состояние независимо от логического уровня на входе R/\overline{W} .

Аналогичной микросхемой с неинверсными выходами является 74219.

Функция	Входы		Выходы
	\overline{CS}	R/\overline{W}	
Запись	L	L	Z
Считывание	L	H	Обратный код входных данных
Блокировка	H	X	Z

Применение

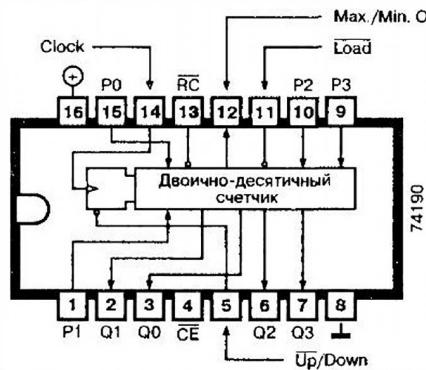
Буферное запоминающее устройство для 4-разрядных чисел.

Технические данные

	F	LS	S
Время выборки из ОЗУ, нс	18	50	37
Потребляемый ток, мА	43	40	110

Серия	Std	ALS	AS	F	H	L	LS	S	
				●				●	●

74190 СИНХРОННЫЙ ПРОГРАММИРУЕМЫЙ РЕВЕРСИВНЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит синхронный программируемый десятичный счетчик, который выполняет счет в прямом и обратном направлениях в двоично-десятичном коде.

Работа схемы

В нормальном режиме работы на входы Load (загрузка данных) и CE (разрешение счета) подается напряжение низкого уровня. Если необходимо считать в прямом направлении, то на выводе Up/Down (суммирование/вычитание) подают напряжение низкого уровня. Счетчик последовательно переключается при каждом перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт).

Для счета импульсов в обратном направлении на вывод Up/Down подается напряжение высокого уровня.

При программировании необходимый коэффициент в двоично-десятичном коде подается на входы P0 – P3, а на вход Load – кратковременный импульс напряжения низкого уровня. Процесс загрузки происходит независимо от тактовых импульсов.

Счетчик может работать как делитель с регулируемым коэффициентом деления, причем возможно параллельное или последовательное включение нескольких счетчиков. Так как в схеме нет отдельного входа сброса данных, то при необходимости в счетчик следует загружать нули.

Если при счете в прямом направлении значение достигает 9 или в обратном направлении – 0, то на выходе 12 формируется напряжение высокого уровня.

В нормальном режиме работы на выходе RC будет напряжение высокого уровня. Если на вход CE (разрешение тактовых импульсов) поступает напряжение низкого уровня, а на выводе 12 напряжение высокого уровня, то на выходе RC при следующем отрицательном фронте тактового импульса установится напряжение низкого уровня и останется на нем до тех пор, пока тактовый импульс снова не перейдет на высокий уровень напряжения. Это позволяет упростить каскадное включение нескольких счетчиков, если соединить выход RC одной ступени с входом CE следующей ступени при параллельном соединении входов тактовых импульсов.

Состояние входа CE (разрешение тактовых импульсов), который активизируется при низком уровне напряжения, может изменяться лишь тогда, когда на вход тактовых импульсов подается напряжение высокого уровня.

Входы				Функция
Load	\overline{CE}	\overline{Up} /Down	Clock	
H	L	L		Суммирование
H	L	H		Вычитание
L	X	X		Загрузка (асинхр.)
H	H	X		Нет изменений

Применение

Суммирующий/вычитающий дифференциальный счетчик, многоступенчатый синхронный счетчик, делитель частоты для синтезатора.

Технические данные

Максимальная тактовая частота, МГц

Std

20

ALS

25

F

125

LS

20

Ток потребления, мА

65

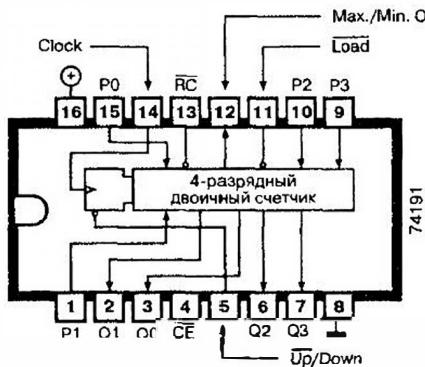
12

38

20

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

74191 СИНХРОННЫЙ РЕВЕРСИВНЫЙ ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК



Описание

Микросхема содержит синхронный программируемый 4-разрядный двоичный счетчик, который выполняет счет в прямом и обратном направлениях в двоичном коде.

Работа схемы

В нормальном режиме работы счета на входы Load (загрузка данных) и CE (разрешение счета) подается напряжение низкого уровня. Если необходимо считать в прямом направлении, то на вход Up/Down (суммирование/вычитание) подают напряжение низкого уровня. Счетчик последовательно переключается при каждом перепаде напряжения на входе тактовых импульсов Clock с низкого уровня на высокий (положительный фронт).

Для счета импульсов в обратном направлении на вход Up/Down подается напряжение высокого уровня.

При программировании необходимый двоичный код подается на входы P0 – P3, а на вход Load – кратковременный импульс напряжения низкого уровня. Процесс загрузки происходит независимо от тактовых импульсов.

Счетчик может работать как делитель с регулируемым коэффициентом деления, причем возможно параллельное или последовательное включение нескольких счетчиков. Так как в схеме нет отдельного входа сброса данных, то при необходимости в счетчик следует загружать нули.

Если при счете в прямом направлении значение достигает 15 или в обратном направлении – 0, то на выходе 12 формируется напряжение высокого уровня.

В нормальном режиме работы на выходе RC формируется напряжение высокого уровня. Если на вход CE (разрешение тактовых импульсов) подается напряжение низкого уровня, а на выводе 12 установлено напряжение высокого уровня, то на выходе RC при следующем отрицательном фронте тактового импульса будет напряжение низкого уровня и останется на нем до тех пор, пока тактовый импульс снова не перейдет на высокий уровень напряжения. Это позволяет упростить каскадное включение нескольких счетчиков, если соединить вход RC одной ступени с выходом CE следующей ступени при параллельном соединении входов тактовых импульсов.

Входы				Функция
Load	\overline{CE}	$\overline{Up} / \overline{Down}$	Clock	
H	L	L		Суммирование
H	L	H		Вычитание
L	X	X		Загрузка (асинхр.)
H	H	X		Нет изменений

Состояние входа CE (разрешение тактовых импульсов), который активизируется при низком уровне напряжения, может изменяться лишь тогда, когда на вход тактовых импульсов подается напряжение высокого уровня.

Применение

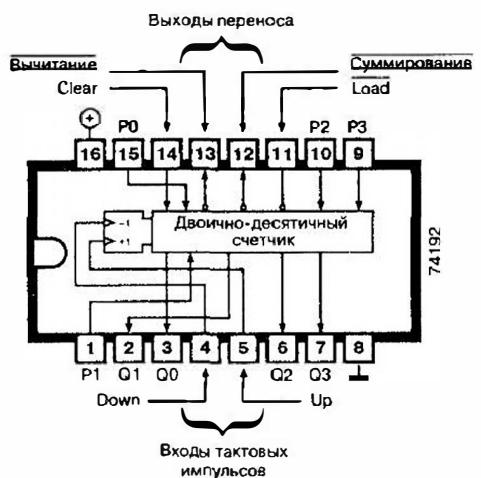
Суммирующий/вычитающий дифференциальный счетчик, многоступенчатый синхронный счетчик, делитель частоты для синтезатора.

Технические данные	Std	ALS	F	LS
Максимальная тактовая частота, МГц	20	25	125	20
Ток потребления, мА	65	12	38	20

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●			●		

74192

СИНХРОННЫЙ РЕВЕРСИВНЫЙ ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит синхронный программируемый двоично-десятичный счетчик с отдельными входами тактовых импульсов для счета импульсов в прямом и обратном направлениях, а также с входом сброса.

Работа схемы

В нормальном режиме работы на вход Load (загрузка данных) подается напряжение высокого, а вход сброса Clear – низкого уровня.

Значение, хранящееся в счетчике, последовательно увеличивается на 1 при каждом перепаде напряжения на входе прямого счета тактовых импульсов Up с низкого уровня на высокий (положительный фронт). Каждый положительный фронт тактового импульса на входе обратного счета Down уменьшает показания счетчика. В любом случае на один из двух входов тактовых импульсов должно подаваться напряжение высокого уровня.

При программировании необходимые данные в двоично-десятичном коде подаются на входы P0 – P3, а на вход Load – кратковременный импульс напряжения низкого уровня.

Для сброса показаний счетчика на вход Clear (очистка) подается кратковременный импульс напряжения высокого уровня. Процесс сброса показаний происходит независимо от тактовых импульсов.

При прямом счете при достижении значения 9 на выходе переноса (вывод 12) возникает отрицательный импульс. При счете в обратном направлении при достижении значения 0 на выходе 13 появляется кратковременный отрицательный импульс.

Для образования многоступенчатого счетчика вывод 13 (перенос в обратном направлении) соединяют с входом обратного счета тактовых импульсов Clock-Down следующей ступени, а вывод 14 (перенос в прямом направлении) – с входом прямого счета тактовых импульсов Clock-Up следующей ступени.

Прямой счет Up	Обратный счет Down	Сброс Clear	Загрузка Load	Функция
		L	H	Прямой счет
H		L	H	Обратный счет
X	X	H	X	Сброс
X	X	L	L	Загрузка

Применение

Суммирующий/вычитающий дифференциальный счетчик, синхронный делитель частоты для синтезатора.

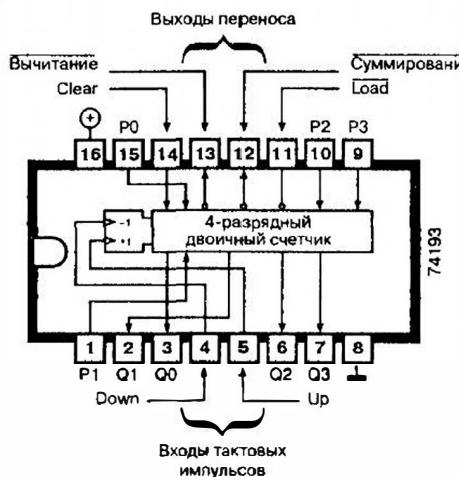
Технические данные

	Std	ALS	F	LS
--	-----	-----	---	----

Максимальная рабочая частота счетчика, МГц	25	25	125	25
Ток потребления, мА	65	12	30	19

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●		●	●		

74193 СИНХРОННЫЙ РЕВЕРСИВНЫЙ ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит синхронный программируемый 4-разрядный двоичный счетчик с отдельными входами тактовых импульсов для счета импульсов в прямом и обратном направлениях, а также с входом сброса.

Работа схемы

В нормальном режиме работы счета на вход Load (загрузка данных) подается напряжение высокого, а на вход сброса Clear – низкого уровня.

Значение, хранящееся в счетчике, последовательно увеличивается на 1 при каждом перепаде напряжения на входе прямого счета тактовых импульсов Up с низкого уровня на высокий (положительный фронт). Каждый положительный фронт тактового импульса на входе обратного счета Down уменьшает показания счетчика. В любом случае на один из двух входов тактовых импульсов должно подаваться напряжение высокого уровня.

При программировании необходимые данные в двоично-десятичном коде подаются на входы P0 – P3, а на вход Load – кратковременный импульс напряжения низкого уровня.

Для сброса показаний счетчика на вход Clear (очистка) подается кратковременный импульс напряжения высокого уровня. Процесс сброса показаний происходит независимо от тактовых импульсов.

При прямом счете при достижении значения 15 на выходе переноса (вывод 12) возникает отрицательный импульс. При счете в обратном направлении при достижении значения 0 на выходе 13 появляется кратковременный отрицательный импульс.

Для образования многоступенчатого счетчика вывод 13 (перенос в обратном направлении) соединяют с входом обратного счета тактовых импульсов Clock-Down следующей ступени, а вывод 14 (перенос в прямом направлении) – с входом прямого счета тактовых импульсов Clock-Up следующей ступени.

Прямой счет Up	Обратный счет Down	Сброс Clear	Загрузка Load	Функция
— H X X	H — X X	L L H L	H H X L	Прямой счет Обратный счет Сброс Загрузка

Применение

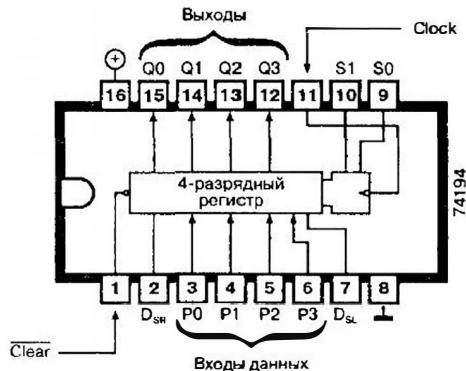
Суммирующий/вычитающий дифференциальный счетчик, синхронный делитель частоты для синтезатора.

Технические данные

	Std	ALS	F	LS
Максимальная рабочая частота счетчика, МГц	25	25	125	25
Ток потребления, мА	65	12	30	19

Серия	Std	ALS	AS	F	H	L	LS	S	
	●	●		●		●	●		

74194 4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВПРАВО/ВЛЕВО (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит реверсивный 4-разрядный регистр сдвига данных с параллельным и последовательным вводом-выводом информации, а также с входом сброса.

Работа схемы

Если на вход сброса Clear поступает напряжение низкого уровня, то на всех выходах Q0 – Q3 устанавливается напряжение низкого уровня независимо от логического состояния всех остальных входов.

Если на вход сброса Clear подается напряжение высокого уровня, то режим работы определяется состояниями входов S0 и S1. Сдвиг данных влево происходит, когда такое напряжение подается на входы S0 и S1. При этом данные последовательно поступают на вход D_{SL}.

Сдвиг данных вправо происходит, когда на вход S0 подается напряжение высокого, а на вход S1 – низкого уровня, при этом данные последовательно поступают на вход D_{SR}.

Если на оба входа S0 и S1 подается напряжение высокого уровня, то возможна последовательная загрузка данных с входов P0 – P3. Во время параллельного ввода данных последовательные входы заперты.

Последовательно и параллельно введенные данные поступают в регистр сдвига синхронно с перепадом напряжения тактового импульса на входе Clock (вход тактовых импульсов) с низкого уровня на высокий (положительный фронт). При этом данные должны находиться на информационных входах до начала формирования положительного фронта тактового импульса.

Напряжение низкого уровня на входах S0 и S1 запирает вход тактовых импульсов. Логическое состояние на обоих этих входах изменяется лишь тогда, когда на вход тактовых импульсов поступает напряжение высокого уровня.

Clock	Выбор режима работы		<u>Clear</u>	Функция
	S0	S1		
X	L	L	H	Нет изменений
	H	L	H	Сдвиг вправо ($Q_0 > Q_3$)
	L	H	H	Сдвиг влево ($Q_3 > Q_0$)
	H	H	H	Парал. загрузка
X	X	X	L	Сброс

Применение

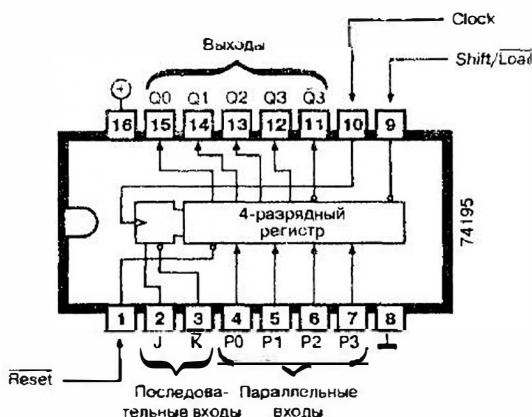
Регистр сдвига, накопитель данных, преобразователь последовательного кода в параллельный и параллельного кода в последовательный.

Технические данные

	Std	AS	F	LS	S
Максимальная тактовая частота, МГц	25	110	150	25	75
Ток потребления, мА	39	35	33	15	85

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		●	●			●	●	

74195 4-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит 4-разрядный регистр сдвига с последовательными и параллельными вводами и выводами данных, а также с входом сброса.

Работа схемы

Этот регистр сдвига имеет два режима работы: сдвиг данных вправо и параллельная загрузка регистра данными. Загрузка регистра зависит от логического состояния вывода 9 (Shift/Load – сдвиг/загрузка). При подаче на вывод 9 напряжения высокого уровня данные последовательно вводятся в регистр через входы J и \bar{K} , и при каждом перепаде напряжения тактового импульса с низкого уровня на высокий (положительный фронт) информация в регистре сдвигается на один разряд вправо. С этой целью входы J и \bar{K} соединяют между собой.

Если на вход J подается напряжение высокого, а на вход \bar{K} – низкого уровня, то тактовый импульс переключает из одного состояния в другое первый разряд регистра, а оставшую имеющуюся в регистре информацию сдвигает на один разряд вправо. Когда на вход J подается напряжение низкого, а на вход \bar{K} – высокого уровня, то логическое состояние первого разряда регистра не изменяется, и данные, находящиеся в других разрядах, снова сдвигаются на один разряд вправо.

Для параллельной загрузки данных информация поступает на входы P0 – P3, а на вход Shift/Load подается напряжение низкого уровня. При следующем перепаде напряжения тактового импульса с низкого уровня на высокий эти данные поступают в регистр и затем появляются на соответствующих выходах Q0 – Q3. Последовательная и параллельная передача данных происходит синхронно.

Сброс данных осуществляется асинхронно независимо от состояния остальных входов, когда вход сброса Reset получает кратковременный импульс напряжения низкого уровня.

Можно также сдвигать данные влево, если соединить выходы Q_n с входами P_{n-1} и подать на вход Shift/Load напряжение низкого уровня.

Входы			Выходы					Режим работы						
Сброс	Сдвиг/ Загрузка	Такт	J	K	Параллельные		Q0	Q1	Q2	Q3	$\bar{Q3}$			
L	X	X	X	X	X	X	X	X	L	L	L	L	H	Сброс
H	L		X	X	0	1	2	3	0	1	2	3	$\bar{3}$	Парал. загрузка
H	H	L	X	X	X	X	X	X	Нет изменений				Блокировка	
H	H		L	H	X	X	X	X	Q00	Q00	Q1n	Q2n	$\bar{Q2n}$	1-я ступень – сохран.
H	H		L	L	X	X	X	X	L	Q0n	Q1n	Q2n	$\bar{Q2n}$	1-я ступень – сброс
H	H		H	H	X	X	X	X	H	Q0n	Q1n	Q2n	$\bar{Q2n}$	1-я ступень – запуск
H	H		H	L	X	X	X	X	$\bar{Q0n}$	Q0n	Q1n	Q2n	$\bar{Q2n}$	1-я ступень – переключение

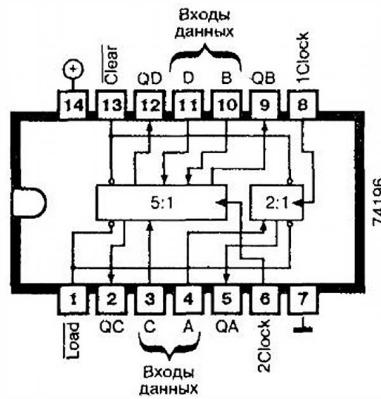
Применение

Регистры в арифметических устройствах, преобразователи последовательного кода в параллельный и параллельного в последовательный.

Технические данные	Std	AS	F	LS	S
Максимальная тактовая частота, МГц	30	110	115	30	70
Ток потребления, мА	39	35	45	14	70

Серия	Std	ALS	AS	F	H	L	LS	S	
	●		●	●	●		●	●	

74196 ПРОГРАММИРУЕМЫЙ ДЕСЯТИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит делители на два и на пять, а также вход предварительной установки и вход сброса.

Работа схемы

Поскольку микросхема состоит из двух отдельных делителей (на два и на пять) с раздельными входами тактовых импульсов, то она позволяет работать в различных режимах:

- делители на 2 и на 5: вход тактовых импульсов 1Clock (вывод 8) управляет выходом QA, отношение частоты тактовых импульсов к частоте импульсов на этом выходе составляет 2:1. Вход тактовых импульсов 2Clock (вывод 6) управляет выходами QD, QC и QB, отношение частоты тактовых импульсов к частоте импульсов на этих выходах составляет 5:1. Хотя делители частоты работают раздельно, предварительная установка и сброс показаний осуществляется от общих входов;
- десятичный счетчик: выход QA соединен с входом тактовых импульсов 2Clock. Тактовая частота подается на вход 1Clock. Счетчик работает в двоично-десятичном коде;
- делитель на 10: выход QD соединен с входом тактовых импульсов 1Clock. Тактовые импульсы подаются на вход 2Clock. Счетчик работает в двоично-пятеричном коде. На выходе QA получают симметричное напряжение прямоугольной формы.

Счетчик последовательно включается при переходе напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

В нормальном режиме работы на вход сброса Clear подается напряжение высокого уровня. Если на этот вход подается кратковременный импульс напряжения низкого уровня, то на всех выходах также устанавливается такое напряжение.

Через информационные входы A–D осуществляют предварительную установку счетчика, подавая на эти входы необходимый код, а на вход Load – кратковременный импульс напряжения низкого уровня.

Сброс и установка происходят асинхронно, то есть независимо от тактовых импульсов.

Входы			Входы	
Clear	Load	Clock	QA-QD	
L	X	X		L
H	L	X		Парал. загрузка
H	H	—		Счет

Данная схема аналогична микросхеме 74176, но в отличие от последней имеет несколько большие потребляемую мощность и значение максимальной тактовой частоты.

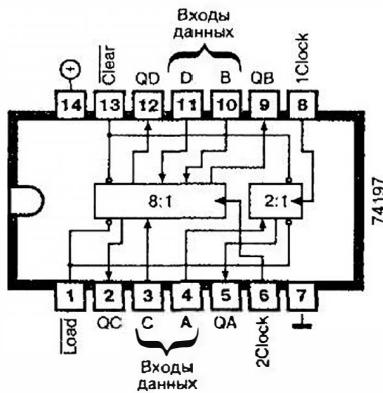
Применение

Программируемые счетчик и делитель, синтезатор частоты.

Технические данные	Std	LS	S
Максимальная тактовая частота, МГц:			
вход Clock1	50	30	100
вход Clock2	25	15	50
Ток потребления, мА	48	16	75

Серия	Std	ALS	AS	F	H	L	LS	S	
	●						●	●	

74197 ПРОГРАММИРУЕМЫЙ 4-РАЗРЯДНЫЙ ДВОИЧНЫЙ СЧЕТЧИК С ВХОДОМ СБРОСА



Описание

Микросхема содержит делители на два и на восемь с общими входами предварительной установки и сброса.

Работа схемы

Микросхему можно использовать в качестве 4-разрядного двоичного счетчика, если выход QA соединить с входом тактовых импульсов 2Clock и подать сигнал тактовой частоты на вывод 8 (1Clock).

Возможны следующие значения коэффициента деления: 2:1, 4:1, 8:1, 16:1.

Если выход QA не используется, то счетчик работает как 3-разрядный двоичный счетчик, и тактовые импульсы подаются на вход 2Clock (вывод 6).

Счетчик переключается при каждом перепаде напряжения тактового импульса с высокого уровня на низкий (отрицательный фронт).

В нормальном режиме работы на вход сброса Clear подается напряжение высокого уровня. Если на этот вход подается кратковременный импульс напряжения низкого уровня, на всех выходах также устанавливается такое напряжение.

Через информационные входы A-D осуществляют предварительную установку счетчика, подавая на эти входы необходимый код, а на вход Load – кратковременный импульс напряжения низкого уровня.

Данная схема аналогична микросхеме 74177, но в отличие от последней имеет несколько большие потребляемую мощность и значение максимальной тактовой частоты.

Входы			Входы QA-QD
Clear	Load	Clock	
L	X	X	L
H	L	X	Парал. загрузка
H	H	—	Счет

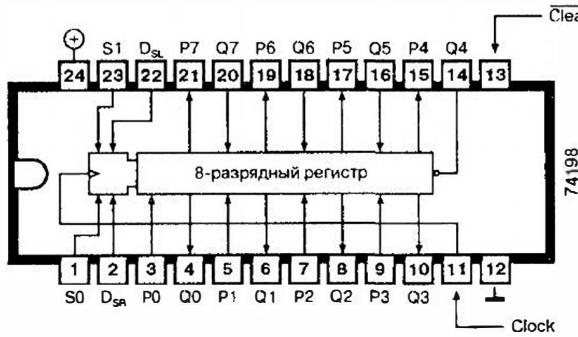
Применение

Программируемые счетчик и делитель, синтезатор частоты.

Технические данные	Std	LS	S
Максимальная тактовая частота, МГц:			
вход Clock	50	30	100
вход Clock2	25	15	50
Ток потребления, мА	48	16	75
Серия	Std	LS	S
	●	●	●

74198

8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА ВПРАВО/ВЛЕВО (ПАРАЛЛЕЛЬНЫЙ/ ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит реверсивный 8-разрядный регистр сдвига данных с параллельным и последовательным вводом-выводом информации, а также с входом сброса.

Работа схемы

Если на вход сброса Clear подается напряжение низкого уровня, то на выходах Q0 – Q7 устанавливается напряжение низкого уровня независимо от логического состояния всех остальных входов.

Если на вход сброса Clear подается напряжение высокого уровня, то режим работы определяется состояниями входов S0 и S1 (режим управления). Сдвиг данных влево происходит, когда такое напряжение подается на входы S0 и S1. При этом данные последовательно поступают на вход D_{SL}.

Сдвиг данных вправо происходит, когда на вход S0 подается напряжение высокого, а на вход S1 – низкого уровня, при этом данные последовательно поступают на вход D_{SR}.

Если на оба входа S0 и S1 подается напряжение высокого уровня, то возможна последовательная загрузка данных с входов P0 – P7. Во время параллельного ввода данных последовательные входы запрещены.

Последовательно и параллельно введенные данные поступают в регистр сдвига синхронно с перепадом напряжения тактового импульса на входе Clock (вход тактовых импульсов) с низкого уровня на высокий (положительный фронт). При этом данные должны находиться на информационных входах до начала формирования положительного фронта тактового импульса.

Напряжение низкого уровня на входах S0 и S1 запирает вход тактовых импульсов. Логическое состояние на обоих этих входах изменяется лишь тогда, когда на вход тактовых импульсов подается напряжение высокого уровня.

Входы				Функция
Clear	Clock	S0	S1	
L	X	X	X	Асинхр. сброс
H		H	H	Паралл. загрузка
H		L	H	Сдвиг вправо
H		H	L	Сдвиг влево
H	X	L	L	Хранение данных

Применение

Регистр сдвига, накопитель данных, преобразователь последовательного кода в параллельный и параллельного кода в последовательный.

Технические данные

Std

Максимальная тактовая частота, МГц

25

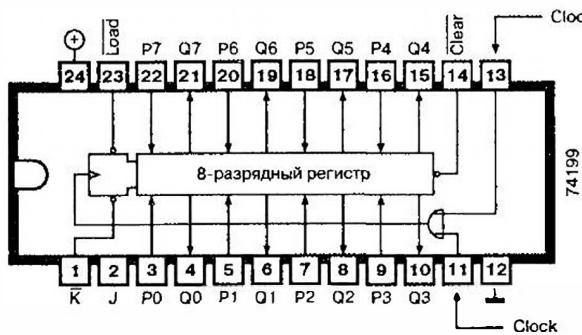
Ток потребления, мА

90

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

74199

8-РАЗРЯДНЫЙ РЕГИСТР СДВИГА (ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВХОД, ПАРАЛЛЕЛЬНЫЙ/ПОСЛЕДОВАТЕЛЬНЫЙ ВЫХОД) С ВХОДОМ СБРОСА



Описание

Микросхема содержит 8-разрядный регистр сдвига с последовательными и параллельными входами и выходами данных, а также с входом сброса.

Работа схемы

Этот регистр сдвига имеет два режима работы: сдвиг данных вправо и параллельная загрузка регистра данными. Загрузка регистра зависит от логического состояния вывода 23 (Load). При подаче на вход Load напряжения высокого уровня данные последовательно вводятся в регистр через входы J и \bar{K} , и при каждом перепаде напряжения тактового импульса с низкого уровня на высокий (положительный фронт) информация в регистре сдвигается на один разряд вправо. С этой целью входы J и \bar{K} соединяют между собой.

Если на вход J подается напряжение высокого, а на вход \bar{K} – низкого уровня, то тактовый импульс переключает из одного состояния в другое только первый разряд регистра, а остальную имеющуюся в регистре информацию сдвигает на один разряд вправо. Если на вход J подается напряжение низкого, а на вход \bar{K} – высокого уровня, то логическое состояние первой ступени регистра не изменяется, и данные, находящиеся в других ступенях, сдвигаются на один разряд вправо.

Для параллельной загрузки данных информация подается на входы P_0 – P_7 , а на вход загрузки Load подается напряжение низкого уровня. При следующем перепаде напряжения тактового импульса с низкого уровня на высокий эти данные поступают в регистр и затем появляются на соответствующих выходах Q_0 – Q_7 . Таким образом, последовательная и параллельная передача данных происходит синхронно с подачей положительного фронта тактового импульса.

Сброс данных осуществляется асинхронно независимо от состояния остальных входов, когда на вход сброса Clear подается кратковременный импульс напряжения низкого уровня.

Каждый из двух входов тактовых импульсов Clock можно использовать самостоятельно, при этом в любом случае на неиспользуемый вход должно подаваться напряжение низкого уровня. Второй вход также используют для блокировки подачи тактовых импульсов, подав на него напряжение высокого уровня. Однако это можно сделать лишь тогда, когда на другой вход тактовых импульсов подается напряжение высокого уровня, в противном случае может произойти ошибочное включение триггера.

Применение

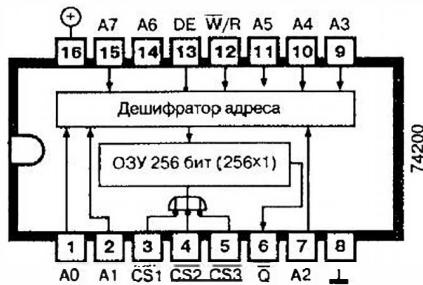
Регистры в арифметических устройствах, преобразователи последовательного кода в параллельный и параллельного в последовательный, генераторы, задающие последовательность.

Технические данные

	Std	F
Максимальная тактовая частота, МГц	25	120
Ток потребления, мА	90	40

Серия	Std	ALS	AS	F	H	L	LS	S	
	●			●					

74200 ОЗУ, 256 БИТ (256×1, ВЫХОД С ТРЕМЯ СОСТОЯНИЯМИ)



Описание

Микросхема содержит оперативное запоминающее устройство с объемом памяти 256 бит (256 машинных слов по 1 биту каждое: 256×1) и выход с тремя состояниями.

Работа схемы

Необходимая ячейка памяти от 0 до 255 выбирается через адресные шины A0 – A7.

Информация, поступающая на вход данных DE, записывается в память в том случае, когда по меньшей мере на один из входов CS1 – CS3 (выбор кристалла) и вход \overline{W}/R (запись/считывание) поступает напряжение низкого уровня. При этом выход \overline{Q} находится в высокоомном (третьем) состоянии.

Для считывания информации на один из входов выбора кристалла CS подается напряжение низкого, а на вход \overline{W}/R – высокого уровня. Тогда информация, хранящаяся в адресуемой ячейке, появляется на выходе \overline{Q} .

Запоминающее устройство заперто, если хотя бы на один из входов \overline{CS} подается напряжение высокого уровня. При этом вход \overline{W}/R может иметь напряжение любого уровня. Тогда выход \overline{Q} снова переходит в высокоомное состояние.

Данная схема по функциональному назначению аналогична микросхеме 74201, однако в отличие от последней имеет другое расположение адресных входов.

Функция	CS	\overline{W}/R	Выход Q
Запись данных с обратным кодом	L	L	Высокоомный
Считывание	L	H	Информация, хранящаяся в ОЗУ
Хранение	H	X	Высокоомный

Применение

Быстродействующее буферное запоминающее устройство.

Технические данные

Std

Время выборки из ЗУ, нс

80

Ток потребления, мА

100

Серия	Std	ALS	AS	F	H	L	LS	S	
	●							●	

Таблица аналогов

Ниже приводится таблица соответствия ИС отечественных серий 155, 531, 555 и 1533 ТТЛ микросхемам зарубежных фирм, выполненных в пластмассовых корпусах типа DIP. Искомая отечественная ИС находится на пересечении столбца с указанием серии и строки с порядковым номером оригинала. Прочерк указывает на отсутствие аналога в пластмассовом корпусе типа DIP, однако следует иметь в виду, что в ряде случаев есть аналоги выполненные в других корпусах.

	74XX	74SXX	74LSXX	74ALSXX
7400	K155ЛАЗ	KР531ЛАЗ	K555ЛАЗ	KР1533ЛАЗ
7401	K155ЛА8	-	-	KР1533ЛА8
7402	K155ЛЕ1	KР531ЛЕ1	K555ЛЕ1	KР1533ЛЕ1
7403	-	KР531ЛА9	K555ЛА9	KР1531ЛА9
7404	K155ЛН1	KР531ЛН1	K555ЛН1	KР1533ЛН1
7405	K155ЛН2	KР531ЛН2	K555ЛН2	KР1533ЛН2
7406	K155ЛН3	-	-	-
7407	K155ЛП9	-	-	-
7408	K155ЛИ1	-	K555ЛИ1	KР1533ЛИ1
7409	-	-	K555ЛИ2	-
7410	K155ЛА4	KР531ЛА4	K555ЛА4	KР1533ЛА4
7411	-	KР531ЛИ3	K555ЛИ3	-
7412	K155ЛА10	-	K555ЛА10	-
7413	K155ТЛ1	-	-	-
7414	K155ТЛ2	-	K555ТЛ2	-
7415	-	-	K555ЛИ4	-
7416	K155ЛН5	-	-	-
7417	K155ЛП4	-	-	-
7420	K155ЛА1	KР531ЛА1	K555ЛА1	KР1533ЛА1
7421	-	-	K555ЛИ6	-
7422	K155ЛА7	KР531ЛА7	K555ЛА7	KР1533ЛА7
7423	K155ЛЕ2	-	-	-
7425	K155ЛЕ3	-	-	-
7426	K155ЛА11	-	K555ЛА11	-
7427	K155ЛЕ4	-	K555ЛЕ4	-
7428	K155ЛЕ5	-	-	-
7430	K155ЛА2	KР531ЛА2	K555ЛА2	KР1533ЛА2
7432	K155ЛЛ1	-	K555ЛЛ1	-
7437	K155ЛА12	-	K555ЛА12	-
7438	K155ЛА13	KР531ЛА13	K555ЛА13	-
7440	K155ЛА6	-	K555ЛА6	-
7442	-	-	K555ИД6	-
7450	K155ЛР1	-	-	-

7451	-	KP531LP11	K555LP11	KP1533LP11
7453	K155LP3	-	-	-
7454	-	-	K555LP13	KP1533LP13
7455	-	-	K555LP4	KP1533LP4
7460	K155LD1	-	-	-
7464	-	KP531LP9	-	-
7465	-	KP531LP10	-	-
7472	K155TB1	-	-	-
7474	K155TM2	KP531TM2	K555TM2	KP1533TM2
7475	K155TM7	-	K555TM7	-
7477	K155TM5	-	-	-
7480	K155IM1	-	-	-
7482	K155IM2	-	-	-
7483	K155IM3	-	-	-
7485	-	KP531CP1	K555CP1	KP1533CP1
7486	K155LP5	KP531LP5	K555LP5	KP1533LP5
7490	K155IE2	-	K555IE2	-
7492	K155IE4	-	-	-
7493	K155IE5	-	K555IE5	-
7495	K155IP1	-	-	-
7497	K155IE8	-	-	-
74107	-	-	K555TB6	-
74109	K155TB15	-	-	KP1533TB15
74112	-	KP531TB9	-	-
74113	-	KP531TB10	-	-
74114	-	KP531TB11	-	-
74121	K155AG1	-	-	-
74123	K155AG3	-	K555AG3	-
74124	-	KP531GG1	-	-
74125	K155LP8	-	K555LP8	-
74128	K155LE6	-	-	-
74132	K155TL3	KP531TL3	-	-
74134	-	KP531LA19	-	-
74136	-	-	K555LP12	-
74138	-	KP531ID7	K555ID7	KP1533ID7
74139	-	KP531ID14	-	-
74140	-	KP531LA16	-	-
74141	K155ID1	-	-	-
74145	K155ID10	-	K555ID10	-
74147	-	-	K555IB3	-
74148	K155IB1	-	K555IB1	-
74150	K155KP1	-	-	-
74151	K155KP7	KP531KP7	K555KP7	KP1533KP7
74152	K155KP5	-	-	-
74153	K155KP2	KP531KP2	K555KP2	KP1533KP2

74154	K155ИД3	-	-	KP1533ИД3
74155	K155ИД4	-	K555ИД4	KP1533ИД4
74157	-	KP531КП16	-	KP1533КП16
74158	-	KP531КП18	-	KP1533КП18
74160	K155ИЕ9	-	-	-
74161	-	KP531ИЕ10	K555ИЕ10	KP1533ИЕ10
74162	-	KP531ИЕ11	-	KP1533ИЕ11
74163	-	KP531ИЕ18	K555ИЕ18	KP1533ИЕ18
74164	-	-	K555ИР8	-
74165	-	-	K555ИР9	-
74166	-	-	K555ИР10	-
74168	-	KP531ИЕ16	-	-
74169	-	KP531ИЕ17	-	-
74170	K155ИР32	-	-	-
74173	K155ИР15	-	K555ИР15	-
74174	-	KP531TM9	K555TM9	KP1533TM9
74175	K155TM8	-	K555TM8	KP1533TM8
74180	K155ИП2	-	-	-
74181	K155ИП2	KP531ИП3	K555ИП3	KP1533ИП3
74182	K155ИП4	KP531ИП4	-	KP1533ИП4
74184	K155ПР6	-	-	-
74185	K155ПР7	-	-	-
74191	-	-	K555ИЕ13	-
74192	K155ИЕ6	-	K555ИЕ6	KP1533ИЕ6
74193	K155ИЕ7	-	K555ИЕ7	KP1533ИЕ7
74194	-	KP531ИР11	K55ИР11	-
74195	-	KP531ИР12	-	-
74196	K155ИЕ14	KP531ИЕ14	K555ИЕ14	-
74197	-	KP531ИЕ15	K555ИЕ15	-
74198	K155ИР13	-	-	-

Микросхемы ТГЛ

Том 1

Главный редактор	<i>Захаров И. М.</i>
Переводчик	<i>Силяев В. А.</i>
Научный редактор	<i>Королев А. Г.</i>
Литературный редактор	<i>Готлиб О. В.</i>
Технический редактор	<i>Прока С. В.</i>
Верстка	<i>Татаринов А. Ю.</i>
Графика	<i>Бахарев А. А.</i>
Дизайн обложки	<i>Антонов А. И.</i>

ИД № 01903 от 30.05.2000

Подписано в печать 23.01.2001. Формат 60×88¹/₁₆
Гарнитура «Петербург». Печать офсетная.
Усл. печ. л. 24. Тираж 3000. Зак. № 77

Издательство «ДМК Пресс», 105023, Москва, пл. Журавлева, д. 2/8.
Отпечатано в типографии № 9. Волочаевская, 40.