

GRADO EN INGENIERÍA INFORMÁTICA – TECNOLOGÍAS INFORMÁTICAS

- Ser síncrono y disparado por flanco positivo de reloj.
- Tener entrada de puesta a cero asíncrona.
- Tener las cuatro formas de operación siguientes: inhibición, desplazamiento a la izquierda, desplazamiento a la derecha y carga de datos en paralelo.

5.- Diseñe un circuito que genere la secuencia 110010 utilizando:

- Biestables y puertas lógicas.
- Un multiplexores y un contador.
- Un registro de desplazamiento.

6.- Se dispone de un contador *mod*-16 con las siguientes señales de control: CUENTA, CARGA y CLEAR. Su funcionamiento es el que se indica:

- Si CUENTA = 1 y CARGA = 0, el contador cuenta hacia arriba.
- Si CARGA = 1, el contador se carga con datos en paralelo.
- Tiene también salida de carry.

Construya, utilizando como dispositivo básico dicho contador:

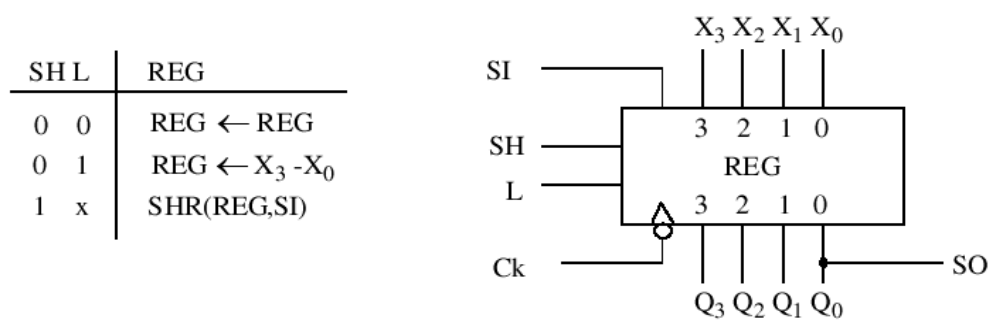
- Un contador *mod*-6 que cuente de 0 a 5.
- Un contador *mod*-6 que cuente de 10 a 15.
- Un contador *mod*-6 que cuente de 4 a 9.
- Un contador que cuente de 0 a 34.

7.- Diseñe un generador de la secuencia 100111 utilizando como base un registro de desplazamiento.

8.- Se dispone de una señal binaria con periodo de 1 minuto, contadores *mod*-10 disparados por flanco negativo con entrada de CLEAR síncrona activa en alta y salida de acarreo (CARRY), visualizadores de 7 segmentos con entradas BCD y puertas lógicas. Diseñe un reloj digital que muestre las horas y los minutos.

9.- La figura muestra un registro de 4 bits y sus operaciones. Utilizando conexiones y circuitería externa adicional a ese registro:

- Obtenga un registro universal de 4 bits. Esto es, tendrá carga en paralelo, desplazamiento (a derecha y a izquierda) e inhibición.



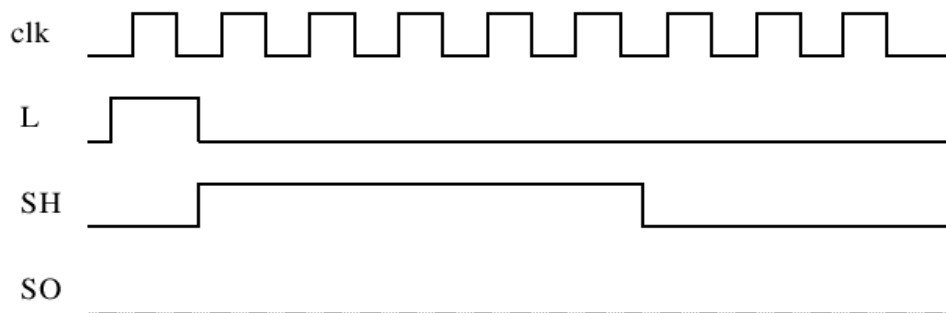
SH: Desplazamiento a la derecha

L: Carga en paralelo

SI: Entrada en serie

SO: Salida serie

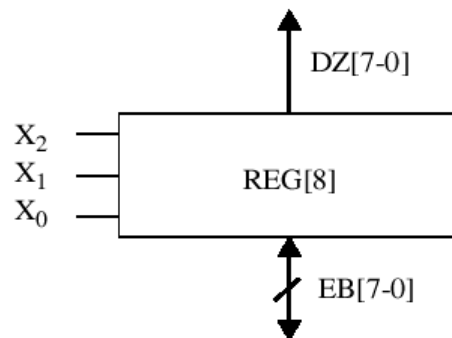
- Construya un registro con desplazamiento circular a la derecha y complete el diagrama temporal mostrado. Suponga que cuando se activa la señal de carga (L) el valor de las entradas es $X_3 - X_0 = 1010$.



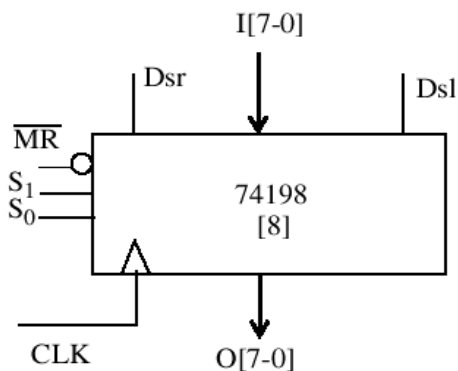
10.- La figura representa un registro de 8 bits cuyas funciones son las especificadas en la tabla. Las salidas DZ deben ir conectadas a un BUS compartido. El BUS EB es bidireccional.

- Diseñe el registro utilizando puertas y biestables T con entradas de PRESET y CLEAR activas en alto.
- Añada al diseño realizado en el apartado anterior, un circuito para que cada función del registro se ejecute activando una única línea. En esta parte pueden utilizarse subsistemas como elementos de diseño.

$X_2 X_1 X_0$	Operación sobre REG[8]
0 0 1	Lectura desde DZ
0 1 0	Escritura en REG
0 1 1	Lectura desde EB
0 0 0	Puesta a cero síncrona
1 0 0	Puesta a cero asíncrona
otras	Sin especificar



11.- Se dispone de un circuito integrado 74198 cuya descripción es la mostrada en la figura:



\overline{MR}	S_1	S_0	
0	-	-	Puesta a 0 asíncrona
1	0	0	Inhibición
1	0	1	Shift Left
1	1	0	Shift Right
1	1	1	Carga en Paralelo

Hay que diseñar un registro de 8 bits con las siguientes operaciones:

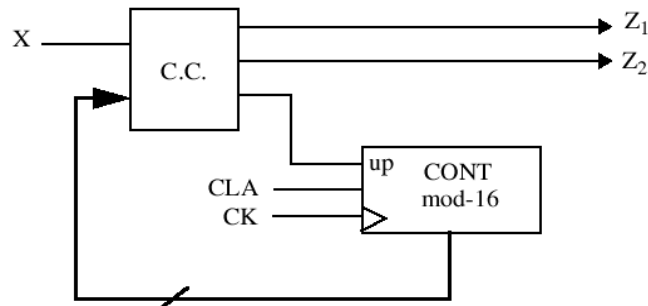
$A_1 A_0$	Operación
0 0	Desplazar a derecha introduciendo un 0
0 1	Desplazar a derecha introduciendo el bit de signo
1 0	Desplazar a derecha introduciendo el bit menos significativo
1 1	No desplazar

Que además posea una señal de lectura (R) activa en alto, de forma que, cuando R esté inactiva, ponga al dispositivo en alta impedancia.

- Diseñe el registro utilizando las puertas necesarias y el 74198.
- Suponiendo que inicialmente el registro contiene el dato 10101010, indique qué ocurre para la siguiente secuencia de entradas (cada valor corresponde a un ciclo de reloj):

$$RA_1A_0 = 0-0, 110, 011, 001, 100$$

12.- Se pretende realizar un dispositivo como el que se muestra en la figura:



- La entrada CLA pone a cero el dispositivo de forma asíncrona.
- Por la línea X se reciben pulsos POSITIVOS de 1 o más ciclos de reloj.
- Con independencia de la duración de cada pulso y contando a partir de la última vez que se activó CLA, se desea activar Z1 a partir del final del segundo pulso recibido por X y activar Z2 a partir del comienzo del quinto pulso.
- Una vez activada cada salida, se mantendrá activa hasta que se active CLA otra vez.

Diseñe el circuito combinacional (C.C. en la figura) utilizando exclusivamente puertas NAND y suponiendo variables en doble raíl.

13.- Se dispone de contadores *mod-10* (cuentan de 0 a 9) con las siguientes características:

- Señal de puesta a cero síncrona (CLEAR) activa en alto.
- Señal de cuenta ascendente (UP) activa en alto.
- La señal CLEAR tiene prioridad.
- No cuentan con señal de *carry*.

Construya un contador *mod-26* con salida BCD utilizando contadores de este tipo y puertas lógicas. ¿Qué cambios habría que hacer en el diseño si los contadores fueran de las mismas características que los anteriores pero de *mod-12* (contando de 0 a 11)?