

- 1、 (40 分) 规格化浮点数格式 (非 IEEE754 标准) 如下图所示, 其中阶码用补码表示, E_f 代表阶码符号位, $E_6 \sim E_0$ 代表阶码数值位; 尾数用补码表示, M_f 代表尾数符号位, $M_6 \sim M_0$ 代表尾数数值位。假设 $x=5.125, y=0.24$ 。

E_f	$E_6 \sim E_0$	M_f	$M_6 \sim M_0$
阶符	阶码数值位	尾符	尾数数值位

- 1) 、对于该规格化浮点数格式, 求其所能表示的最大数和最小数 (二进制结果和十进制结果) (8 分);

最大数:

01111111, 01111111 2 分

$(1-2^{-7}) * 2^{127}$ 2 分

最小数:

01111111, 10000000 2 分

$-1 * 2^{127}$ 2 分

- 2) 、写出 x 和 y 的规格化浮点数形式 (二进制结果) (8 分);

$X: 101.001 \rightarrow 00000011, 01010010$ 4 分

$Y: 0.0011110 \rightarrow 11111110, 01111000$ 4 分

- 3) 、计算 $x - y$ 的结果 (二进制结果和十进制结果) (18 分);

- a) 零操作数判断

无零操作数

- b) 对阶

$E_x=00000011$ (补码), $E_y=11111110$ (补码)

$\Delta E=E_x-E_y=00000011-11111110=00000011+00000010=00000101$

6 分 (后三个数字, 每个两分)

可见 $\Delta E=5>0$, 所以 Y 右移五位, 阶码减 5

$Y: 00000011, 00000011$ (11) 2 分

- c) 尾数相减

$M_x=01010010$ $M_y=00000011$ (11)

$M_x-M_y=01010010-00000011$ (11)

$=01010010+11111100$ (01)

$=01001110$ (01)

6 分 (后三个数, 每个两分)

- d) 规格化

已规格化, 勿需规格化

1 分

e) 舍入处理

采用 0 舍 1 入：尾数为 01001110 2 分

最终结果：

二进制结果：00000011, 01001110

十进制结果：4.875 1 分

4) 、写出补码加减运算中三种溢出判断方式(文字描述和公式)(6 分)。

根据两个操作数的符号与结果的符号判别

$$OVR = \bar{A}_f \bar{B}_f S_f + A_f B_f \bar{S}_f \quad 2 \text{ 分}$$

根据两数相加时产生的进位判别

$$OVR = \bar{C}_f C_n + C_f \bar{C}_n = C_f \oplus C_n \quad 2 \text{ 分}$$

采用变形补码运算（两位符号位 Sf1 Sf2 ）

$$OVR = \bar{S}_{f1} S_{f2} + S_{f1} \bar{S}_{f2} = S_{f1} \oplus S_{f2} \quad 2 \text{ 分}$$

2、 (60 分) 主存 256MB，是由 64M*4 位 RAM 和 128M*4 位 RAM 两种芯片组成。Cache 大小为 1MB，主存和 Cache 之间交换数据块大小为 4KB，且 Cache 按照 4 路组相联方式组织（即每组有 4 块）。CPU 地址线 A0 ~ A31 共 32 根，数据线 D0 ~ D7 共 8 根，RW 线共 1 根控制读写。

1) 、主存组成中的两种芯片各需要几片？（6 分）

128M*4 位 RAM 芯片：2 片（位扩展） 2 分

64M*4 位 RAM 芯片：2 片为一组（位扩展）

2 组（字扩展） 共需 4 片 2 分

总共 6 片 2

2) 、写出主存组成中两种芯片的地址分配和片选逻辑（表格）（12 分）；

芯片	地址分配	片选信号	片选逻辑
128M*8 RAM	A0 ~ A26	CS0	! A27
64M*8 RAM	A0 ~ A25	CS1	A27 ! A26
64M*8 RAM	A0 ~ A25	CS2	A27 A26

12 分（表格第 2 和 4 列，每一个 2 分）

3) 、CPU 发出主存地址中主存组号、主存块号、主存块内字节地址均是
多少位？Cache 的标记 Tag 和组号是多少位？（要求计算过程）（22

分)

块大小：4KB, 2^{12} , 所以块内字节地址为 12 位 2 分

Cache 组织：每组 $4 \times 4\text{KB} = 16\text{KB}$ 2 分

有 $1\text{MB}/16\text{KB} = 64$ 组, 2^6 2 分

所以 Cache 的组号为 6 位 2 分

主存地址：主存每组 64 块, 2^6 2 分

每组 $64 \times 4\text{KB} = 256\text{KB}$ 2 分

有 $256\text{MB}/256\text{KB} = 1024$ 组, 2^{10} 2 分

所以主存组号 10 位 2 分

主存块号 6 位 2 分

主存块内字节地址 12 位 2 分

Cache 的标记 Tag 为 10 位 2 分

- 4)、CPU 从主存中读取第 0 ~ 99999 个字节共 100000 个字节, 求此种情况下 Cache 的命中率是多少 (6 分) ?

100000 字节对应块数：取上限 $(100000\text{B}/4\text{KB}) = 25$ 块 2 分

25 块均落在主存第 0 组 (主存每组 64 块), 依次读入主存, 每块的第一个字节不命中, 读后续的该块内字节会命中, 且所有块均不发生替换已有块的现象, 所以总的不命中次数为 25 次 2 分

命中率 $h = (100000 - 25) / 100000 = 0.99975$ 2 分

- 5)、假设 Cache 平均访问时间为 50ns, 主存平均访问时间为 200ns, 求 Cache 和主存两级存储结构的平均访问时间和访问效率 (8 分) ;

$t_a = h t_c + (1-h) t_m = 50 h + 200 (1-h) = 200 - 150h = 50.0375$

4 分

$e = t_c / t_a = 50 / 50.0375 = 99.925\%$

4 分

- 6)、经过上面的读取过程, Cache 中有 100000 个字节, 当 CPU 更改其中一个字节的时候, Cache/主存写一致策略有哪三种 (6 分) ?

全写法、写回法、写一次法 每个 2 分