**СТРУКТУРНАЯ ОРГАНИЗАЦИЯ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ И СИСТЕМ**

**СОСТАВ МПС**

* МИКРОПРОЦЕССОР
* СИСТЕМА ПАМЯТИ (ПАМЯТЬ ПРОГРАММ И ДАННЫХ)
* ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА (СПЕЦИАЛИЗИРОВАННЫЕ КОНТРОЛЛЕРЫ ВВОДА/ВЫВОДА)
* СРЕДСТВА ОБЪЕДИНЕНИЯ ОТДЕЛЬНЫХ КОМПОНЕНТОВ В СИСТЕМУ – ШИНЫ
* ШИНЫ ЯВЛЯЮТСЯ ОСНОВНЫМ СТРУКТУРООБРАЗУЮЩИМ КОМПОНЕНТОМ СИСТЕМЫ (АЛЬТЕРНАТИВА НЕПОСРЕДСТВЕННЫМ СВЯЗЯМ) ОБЕСПЕЧИВАЮТ АДРЕСНЫЙ ОБМЕН МЕЖДУ ПОДКЛЮЧЕННЫМИ УСТРОЙСТВАМИ

**КЛАССИФИКАЦИЯ ШИН**

* ШИНА «ПРОЦЕССОР - ПАМЯТЬ»
* СИСТЕМНАЯ ШИНА
* ШИНА «ВВОДА/ВЫВОДА»

**ШИНЫ «ПРОЦЕССОР-ПАМЯТЬ»**

* ОСНОВНОЕ ТРЕБОВАНИЕ – ОБЕСПЕЧЕНИЕ МАКСИМАЛЬНО ВОЗМОЖНОЙ СКОРОСТИ ОБМЕНА ПРОЦЕССОРА С ПАМЯТЬЮ
* ПРИ ФИЗИЧЕСКОЙ РЕАЛИЗАЦИИ ШИННЫХ СОЕДИНЕНИЙ – МИНИМАЛЬНАЯ ДЛИНА И МИНИМАЛЬНОЕ ВЛИЯНИЕ ПАРАЗИТНЫХ ПАРАМЕТРОВ СИГНАЛЬНЫХ ЛИНИЙ)

* ДВЕ РАЗНОВИДНОСТИ ШИН «ПРОЦЕССОР-ПАМЯТЬ»:

1. FSB (FRONT-SIDE BUS) - ИСПОЛЬЗУЕТСЯ ДЛЯ СВЯЗИ ПРОЦЕССОРА С ОСНОВНОЙ ПАМЯТЬЮ. ДРУГИЕ АГЕНТЫ НА ДАННОЙ ШИНЕ ОТСУТСТВУЮТ. АЛЬТЕРНАТИВА – СИСТЕМНАЯ ШИНА

2. BSB (BACK-SIDE BUS) - ИСПОЛЬЗУЕТСЯ ДЛЯ СВЯЗИ ПРОЦЕССОРА С КЭШ-ПАМЯТЬЮ 2-ГО УРОВНЯ (БОЛЕЕ БЫСТРАЯ ШИНА, Т.К. КЭШ В ИЕРАРХИИ ПАМЯТИ ВЫШЕ ОСНОВНОЙ ПАМЯТИ)

**FSB В АРХИТЕКТУРЕ х86**

* В АРХИТЕКТУРЕ х86 FSB ФАКТИЧЕСКИ ПРЕДСТАВЛЯЕТ СОБОЙ ВЫСОКОСКОРОСТНУЮ параллельнУЮ мультиплексированнУЮ ШИНУ ДЛЯ соединЕНИЯ процессорА И системнОГО контроллерА (КОНТРОЛЛЕР ПАМЯТИ И ГРАФИКИ) (СИСТЕМНАЯ ШИНА)
* системнЫЙ контроллер СОЕДИНЯЕТСЯ С КОНТРОЛЛЕРОМ ВВОДА/ВЫВОДА ДЛЯ ОБЕСПЕЧЕНИЯ доступА ПРОЦЕССОРА к МЕДЛЕННЫМ внешним устройствам

**ШИНЫ «ВВОДА/ВЫВОДА»**

* СЛУЖАТ ДЛЯ ПОДКЛЮЧЕНИЯ К ПРОЦЕССОРУ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ. ДЛЯ ЭТИХ ШИН СКОРОСТЬ ОБМЕНА НИЖЕ, А КОЛИЧЕСТВО СИГНАЛЬНЫХ ЛИНИЙ МЕНЬШЕ, ЧЕМ В ШИНЕ «ПРОЦЕССОР-ПАМЯТЬ»
* ФИЗИЧЕСКАЯ ДЛИНА СОЕДИНЕНИЙ МОЖЕТ БЫТЬ СУЩЕСТВЕННО БОЛЬШЕЙ (PCI, PCIe – МАТЕРИНСКИЕ ПЛАТЫ), (сPCI, VME – КРОСС-ПЛАТЫ МАГИСТРАЛЬНО-МОДУЛЬНЫХ СИСТЕМ )

**СИСТЕМНЫЕ ШИНЫ**

* УНИВЕРСАЛЬНЫЕ ШИНЫ ДЛЯ ПОДКЛЮЧЕНИЯ КАК ПАМЯТИ, ТАК И ПЕРИФЕРИЙНЫХ УСТРОЙСТВ
* СИГНАЛЬНЫЕ ЛИНИИ ДЕЛЯТСЯ НА ФУНКЦИОНАЛЬНЫЕ ГРУППЫ (ОТДЕЛЬНЫЕ ШИНЫ- АДРЕСА, ДАННЫХ И УПРАВЛЕНИЯ)
* ОТДЕЛЬНЫЕ ШИНЫ МОГУТ БЫТЬ РАЗДЕЛЬНЫМИ ИЛИ МУЛЬТИПЛЕКСИРОВАННЫМИ (АДРЕС/ДАННЫЕ)
* УПРАВЛЯЕТ ОБМЕНОМ ПО ШИНЕ ДАННЫХ МП ИЛИ КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА К ПАМЯТИ

**МПС ДВУМЯ ВИДАМИ ШИН**

* ШИНА «ПРОЦЕССОР – ПАМЯТЬ» ИЛИ СИСТЕМНАЯ ШИНА (ОСНОВНАЯ)
* ШИНЫ «ВВОДА/ВЫВОДА», ПОДКЛЮЧАЕМЫЕ К ОСНОВНОЙ ШИНЕ ПРИ ПОМОЩИ АДАПТЕРОВ (МОСТОВ) С ФУНКЦИЕЙ БУФЕРИЗАЦИИ ДАННЫХ
* ПОВЫШАЕТСЯ ПРОПУСКНАЯ СПОСОБНОСТЬ ТРАКТА ПРОЦЕССОР-ПАМЯТЬ ПО СИСТЕМНОЙ ШИНЕ

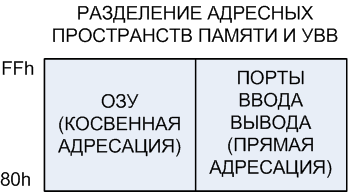
**АДРЕСНОЕ ПРОСТРАНСТВО МП**

* АДРЕСНОЕ ПРОСТРАНСТВО ПАМЯТИ МОЖЕТ БЫТЬ ВЫДЕЛЕННЫМ ИЛИ РАЗДЕЛЯЕМЫМ С ПЕРИФЕРИЙНЫМИ УСТРОЙСТВАМИ
* ДЛЯ ОБМЕНА ДАННЫМИ ПО СИСТЕМНОЙ ШИНЕ КАЖДОМУ УСТРОЙСТВУ В ОБЩЕМ АДРЕСНОМ ПРОСТРАНСТВЕ ВЫДЕЛЯЕТСЯ НЕКОТОРАЯ ОБЛАСТЬ СМЕЖНЫХ АДРЕСОВ (МАССИВЫ ЯЧЕЕК ПАМЯТИ, РЕГИСТРЫ КОМАНД И ДАННЫХ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ) – КАРТА ПАМЯТИ
* В КАРТЕ ПАМЯТИ ОБЛАСТИ ПАМЯТИ РАЗЛИЧНЫХ УСТРОЙСТВ ЛОГИЧЕСКИ НЕ ПЕРЕСЕКАЮТСЯ

**ПРИМЕР РАЗДЕЛЯЕМОГО АДРЕСНОГО ПРОСТРАНСТВА ПАМЯТИ И УВВ**

****

**ПРИМЕР ВЫДЕЛЕННОГО АДРЕСНОГО ПРОСТРАНСТВА ПАМЯТИ И УВВ**

****

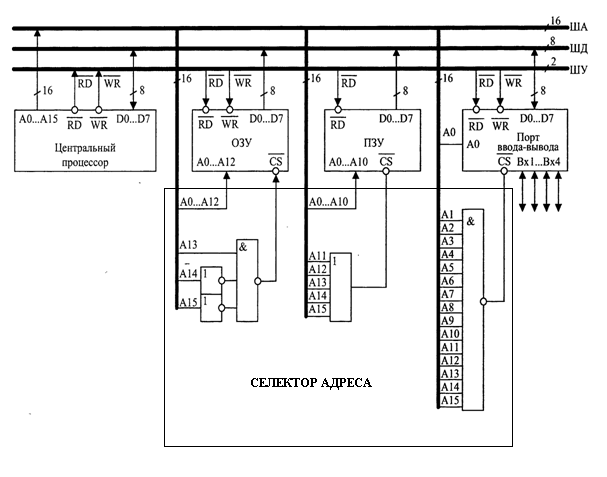
Данный тип разделения адресных пространств памяти и внешних устройств используется в MCS-51

**СЕЛЕКТОР АДРЕСА**

* ДЛЯ ИДЕНТИФИКАЦИИ ПОДКЛЮЧЕННЫХ К СИСТЕМНОЙ ШИНЕ УСТРОЙСТВ В МПС ВКЛЮЧАЕТСЯ СЕЛЕКТОР АДРЕСА

* СЕЛЕКТОР АДРЕСА В СООТВЕТСВИИ С КАРТОЙ ПАМЯТИ ФОРМИРУЕТ ИНДИВИДУАЛЬНЫЕ СИГНАЛЫ ОБРАЩЕНИЯ К ПОДКЛЮЧЕННЫМ УСТРОЙСТВАМ
* СЕЛЕКТОР АДРЕСА МОЖЕТ БЫТЬ ВНЕШНИМ ИЛИ ВСТРОЕННЫМ ПО ОТНОШЕНИЮ К МП
* ВСТРОЕННЫЕ СЕЛЕКТОРЫ АДРЕСА ПОЗВОЛЯЮТ СДЕЛАТЬ ОБМЕН С ПЕРИФЕРИЙНЫМИ УСТРОЙСТВАМИ БОЛЕЕ ГИБКИМ ЗА СЧЕТ ВОЗМОЖНОСТИ ИЗМЕНЕНИЯ ПАРАМЕТРОВ ЦИКЛА ОБМЕНА (ТАКТЫ ОЖИДАНИЯ)

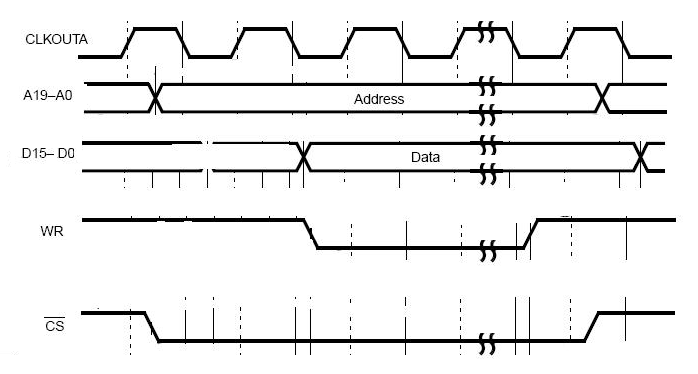
**ТИПОВАЯ СТРУКТУРА МПС НА ОСНОВЕ СИСТЕМНОЙ ШИНЫ**

****

**ПРИМЕР ВСТРОЕННОГО СЕЛЕКТОРА АДРЕСА (ПО АНАЛОГИИ С Аm 186)**

****

**ЦИКЛ ШИНЫ С ПРОГРАММИРУЕМЫМИ ТАКТАМИ ОЖИДАНИЯ (ЗАПИСЬ ДАННЫХ)**

****

**РАЗДЕЛЯЕМОЕ АДРЕСНОЕ ПРОСТРАНСТВО (MIPS, SPARC)**

* ПЛЮСЫ ДЛЯ ОРГАНИЗАЦИИ ВВОДА/ВЫВОДА:

– ГИБКОСТЬ - ВОЗМОЖНОСТЬ ИСПОЛЬЗОВАНИЯ РАЗЛИЧНЫХ КОМАНД (СПОСОБЫ АДРЕСАЦИИ, ДЛИНА ПРОГРАММЫ, БЫСТРОДЕЙСТВИЕ)

– БОЛЬШОЕ КОЛИЧЕСТВО ПОДКЛЮЧАЕМЫХ УСТРОЙСТВ

–ПРОСТОТА ОБМЕНА ДАННЫМИ МЕЖДУ ВУ ИСПОЛЬЗУЯ КОМАНДЫ ПЕРЕСЫЛКИ МЕЖДУ ЯЧЕЙКАМИ ПАМЯТИ

* МИНУСЫ:

– СОКРАЩЕНИЕ ОБЪЕМА ПАМЯТИ

– ОТКЛЮЧЕНИЕ МЕХАНИЗМА ЗАЩИТЫ ПО УРОВНЮ ПРИВИЛЕГИЙ ПРОГРАММЫ, ВЫПОЛНЯЮЩЕЙ КОМАНДЫ ВВОДА/ВЫВОДА (ПОЛЕ IOPL В РЕГИСТРЕ ФЛАГОВ EFLAGS)

**ВЫДЕЛЕННОЕ АДРЕСНОЕ ПРОСТРАНСТВО ВВОДА/ВЫВОДА (INTEL)**

* ПЛЮСЫ:

– КОРОТКИЕ АДРЕСА ВНЕШНИХ УСТРОЙСТВ

– СПЕЦИАЛЬНЫЕ КОМАНДЫ В/В

–ПРИНЦИП ДЕКОМПОЗИЦИИ ПРИ РАЗРАБОТКЕ СИСТЕМ ПАМЯТИ И ПЕРИФЕРИЙНЫХ УСТРОЙСТВ В СОСТАВЕ МП

* МИНУС:

– ИСПОЛЬЗОВАНИЕ АККУМУЛЯТОРА (ЗАМЕДЛЕНИЕ ОБМЕНА)

**УПРАВЛЕНИЕ ОБМЕНОМ С ПЕРИФЕРИЙНЫМИ УСТРОЙСТВАМИ**

* ПРОГРАММНО-УПРАВЛЯЕМЫЙ ОБМЕН (РЕЖИМ ГОЛОСОВАНИЯ С ФЛАГОМ ГОТОВНОСТИ - POLLING)
* ПО ЗАПРОСАМ ПРЕРЫВАНИЙ
* ПРЯМОЙ ДОСТУП К ПАМЯТИ

**ПРОГРАММНО-УПРАВЛЯЕМЫЙ ВВОД/ВЫВОД**

ПРЕДПОЛАГАЕТ ПОЛНОЕ УПРАВЛЕНИЕ ВВОДОМ/ВЫВОДОМ ПРИ ПОМОЩИ МП. ПРОТОКОЛЫ ОБМЕНА С ВУ РЕАЛИЗУЮТСЯ ПРОГРАММАМИ, КОТОРЫЕ ВЫПОЛНЯЮТ КОМАНДЫ ДЛЯ:

1. ЗАГРУЗКИ КОМАНД В ВУ ДЛЯ ВЫБОРА РЕЖИМОВ ИХ РАБОТЫ.
2. ПРОВЕРКИ ФЛАГОВ ГОТОВНОСТИ ВУ К ОБМЕНУ С МП.
3. ОПРЕДЕЛЕНИЯ НАИБОЛЕЕ ПРИОРИТЕТНОГО ВУ ИЗ УСТАНОВИВШИХ ФЛАГ ГОТОВНОСТИ.
4. ЗАПИСИ ИЛИ ЧТЕНИЯ ДАННЫХ В/ИЗ ВУ

**ИДЕНТИФИКАЦИЯ ЗАПРОСОВ ПРИ ВВОДЕ/ВЫВОДЕ ПО ПРЕРЫВАНИЯМ**

* ИНДИВИДУАЛЬНЫЕ ЛИНИИ ДЛЯ КАЖДОГО ЗАПРОСА ПРЕРЫВАНИЯ (САМЫЙ ПРОСТОЙ, СОЧЕТАЕТСЯ С ДРУГИМИ МЕТОДАМИ ДЛЯ УМЕНЬШЕНИЯ КОЛИЧЕСТВА ЛИНИЙ И ИХ БОЛЕЕ РАЦИОНАЛЬНОГО ИСПОЛЬЗОВАНИЯ – ДЛЯ ГРУПП ЗАПРОСОВ)
* ПРОГРАММНАЯ ИДЕНТИФИКАЦИЯ – СЧИТЫВАНИЕ РЕГИСТРОВ СОСТОЯНИЯ ВУ ДЛЯ ОБНАРУЖЕНИЯ В НИХ ФЛАГА ГОТОВНОСТИ ВУ К ОБМЕНУ С МП
* ВЕКТОРНОЕ ПРЕРЫВАНИЕ – ПО СИГНАЛУ ПОДТВЕРЖДЕНИЯ ПРЕРЫВАНИЯ ВУ ПЕРЕДАЕТ В МП ВЕКТОР ПРЕРЫВАНИЯ, ПО КОТОРОМУ УПРАВЛЕНИЕ ПЕРЕДАЕТСЯ ОБРАБОТЧИКУ ПРЕРЫВАНИЯ

**ПРЯМОЙ ДОСТУП К ПАМЯТИ (ПДП)**

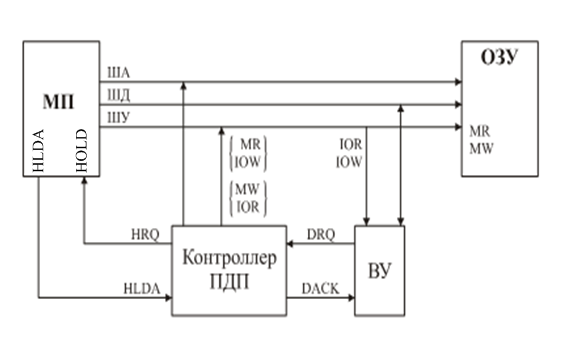
* НЕДОСТАТОК РАССМОТРЕННЫХ МЕТОДОВ В/В – ИСПОЛЬЗОВАНИЕ ПРОЦЕССОРА, ВРЕМЯ ВЫПОЛНЕНИЯ ОБМЕНА ДАННЫМИ ОПРЕДЕЛЯЕТСЯ ВРЕМЕНЕМ ВЫПОЛНЕНИЯ ПРОГРАММЫ
* ДАННЫЕ БУФЕРИРУЮТСЯ В ПАМЯТИ (СПЕЦИАЛЬНЫЕ КОМАНДЫ В ПРОГРАММЕ)
* ПРИ БОЛЬШИХ ОБЪЕМАХ ДАННЫХ ВРЕМЯ ОБМЕНА МОЖНО СОКРАТИТЬ ПУТЕМ ОБЕСПЕЧЕНИЯ ПРЯМОГО ДОСТУПА К ПАМЯТИ
* РЕЖИМ ПРЯМОГО ДОСТУПА К ПАМЯТИ МОЖНО РАСПРОСТРАНИТЬ НА ОБМЕН МЕЖДУ ДВУМЯ РАЗЛИЧНЫМИ ВУ

**КОНТРОЛЛЕР ПДП**

РЕЖИМ ПДП РЕАЛИЗУЕТСЯ ПРИ ПОМОЩИ КОНТРОЛЛЕРА ПДП, КОТОРЫЙ ОПРЕДЕЛЯЕТ:

1. ВИД ЗАПРОСА НА ОБМЕН ДАННЫМИ (ЧТЕНИЕ/ЗАПИСЬ)
2. АДРЕС ВУ
3. АДРЕС ПАМЯТИ ДЛЯ ВВОДА/ВЫВОДА ДАННЫХ
4. ОБЪЕМ ПЕРЕДАВАЕМЫХ ДАННЫХ
5. ЗАХВАТЫВАЕТ ШИНУ И УПРАВЛЯЕТ ОБМЕНОМ ДАННЫМИ МЕЖДУ ПАМЯТЬЮ И ВУ.

**ПОДКЛЮЧЕНИЕ И АЛГОРИТМ РАБОТЫ КОНТРОЛЛЕРА ПДП**

****

1. ПОЛУЧЕНИЕ ЗАПРОСА НА ПДП ОТ ВУ (DRQ)
2. ТРАНСЛЯЦИЯ ЗАПРОСА ПДП В МП ДЛЯ ЗАХВАТА СИСТЕМНОЙ ШИНЫ (HRQ)

3. ПОЛУЧЕНИЕ СИГНАЛА ПОДТВЕРЖДЕНИЯ ОТ МП (HLDA) О ПЕРЕХОДЕ В РЕЖИМ ПДП

И ОТКЛЮЧЕНИЯ СИСТЕМНОЙ ШИНЫ ОТ МП

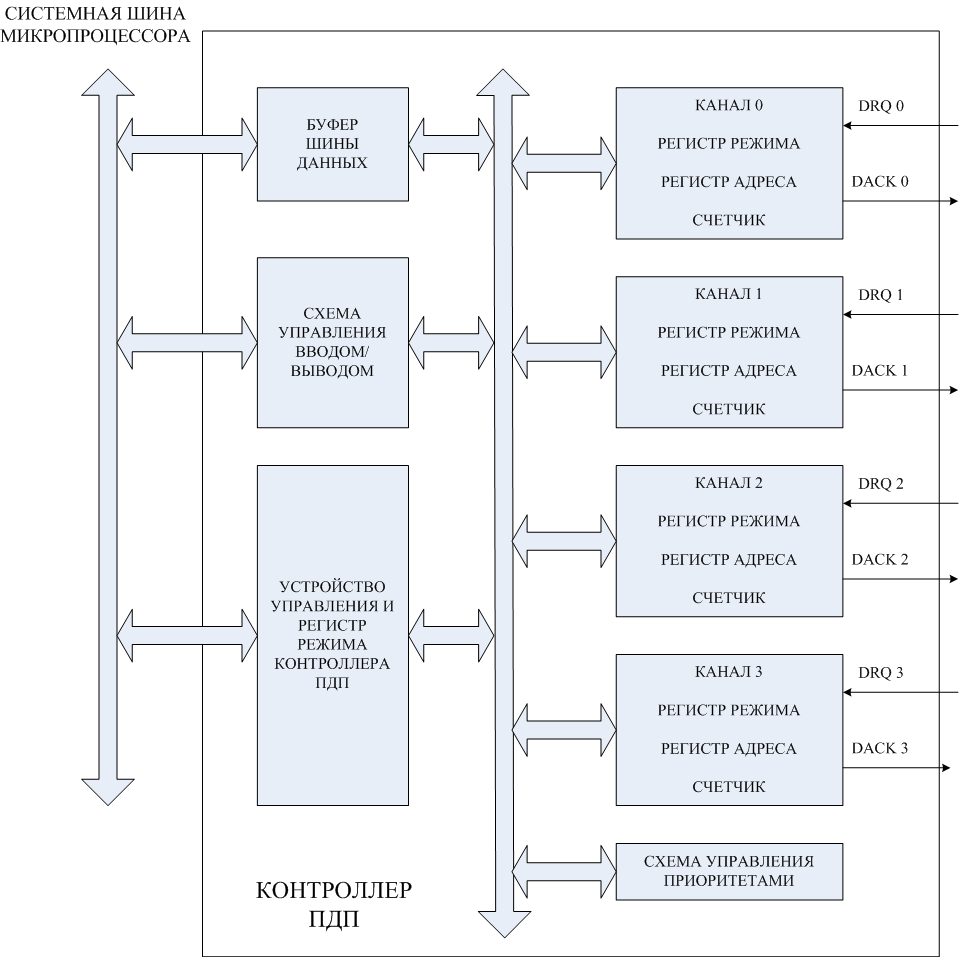
4. ФОРМИРОВАНИЕ СИГНАЛА ВУ О НАЧАЛЕ ЦИКЛА ПДП (DACK)

1. ВЫДАЧА НА АДРЕСНУЮ ШИНУ ТЕКУЩЕГО АДРЕСА ЯЧЕЙКИ ПАМЯТИ
2. ВЫДАЧА СИГНАЛОВ ДЛЯ ЧТЕНИЯ ИЗ ВУ И ЗАПИСИ В ПАМЯТЬ (IOR, MW) ИЛИ ДЛЯ ЧТЕНИЯ ИЗ ПАМЯТИ И ЗАПИСИ В ВУ (IOW, MR)
3. ДЕКРЕМЕНТ СЧЕТЧИКА КОЛИЧЕСТВА ПЕРЕДАННЫХ ДАННЫХ
4. ПРОВЕРКА УСЛОВИЙ ОКОНЧАНИЯ ЦИКЛА ПДП (ПО СЧЕТЧИКУ ИЛИ СНЯТИЮ СИГНАЛА DRQ)

**КОНТРОЛЛЕР ПДП i8257**

* СОДЕРЖИТ 4 НЕЗАВИСИМЫХ КАНАЛА С ПРИОРИТЕТНЫМ ОБСЛУЖИВАНИЕМ ЗАПРОСОВ ПДП
* ОБЕСПЕЧИВАЕТ ВЫСОКОСКОРОСТНОЙ АППАРАТНО УПРАВЛЯЕМЫЙ ОБМЕН ДАННЫМИ БЛОКАМИ ДО 16 Кбайт С ПРОИЗВОЛЬНЫМ 16-ти РАЗРЯДНЫМ НАЧАЛЬНЫМ АДРЕСОМ ПАМЯТИ
* ПОСЛЕ ЗАХВАТА ШИНЫ СИГНАЛОМ AEN БЛОКИРУЕТ ПОДКЛЮЧЕНИЕ К ШИНЕ ВСЕХ ОСТАЛЬНЫХ АГЕНТОВ ВО ИЗБЕЖАНИИ КОЛЛИЗИЙ
* ПРОГРАММНУЮ МОДЕЛЬ СОСТАВЛЯЮТ 18 РЕГИСТРОВ

**СТРУКТУРА КОНТРОЛЛЕРА ПДП 8257**

****

**РЕГИСТРОВАЯ МОДЕЛЬ КОНТРОЛЛЕРА ПДП**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **РЕГИСТР**  **КОНТРОЛЛЕРА ПДП** | **ТРИГГЕР**  **М/С** | **АДРЕС** | | | |
| А3 | А2 | А1 | А0 |
| АДРЕС КАНАЛА 0  СЧЕТЧИК КАНАЛА 0 /РЕГИСТР РЕЖИМА КАНАЛА 0 | 0  1  0  1 | 0  0  0  0 | 0  0  0  0 | 0  0  0  0 | 0  0  1  1 |
| АДРЕС КАНАЛА 1  СЧЕТЧИК КАНАЛА 1 /РЕГИСТР РЕЖИМА КАНАЛА 1 | 0  1  0  1 | 0  0  0  0 | 0  0  0  0 | 1  1  1  1 | 0  0  1  1 |
| АДРЕС КАНАЛА 2  СЧЕТЧИК КАНАЛА 2 /РЕГИСТР РЕЖИМА КАНАЛА 2 | 0  1  0  1 | 0  0  0  0 | 1  1  1  1 | 0  0  0  0 | 0  0  1  1 |
| АДРЕС КАНАЛА 3  СЧЕТЧИК КАНАЛА 3 /РЕГИСТР РЕЖИМА КАНАЛА 0 | 0  1  0  1 | 0  0  0  0 | 1  1  1  1 | 1  1  1  1 | 0  0  1  1 |
| РЕЖИМ КОНТРОЛЛЕРА ПДП (ЗП)  СОСТОЯНИЯ КОНТРОЛЛЕРА ПДП (ЧТ) | Х  Х | 1  1 | 0  0 | 0  0 | 0  0 |

**ОСОБЕННОСТИ АДРЕСАЦИИ РЕГИСТРОВ КОНТРОЛЛЕРА ПДП**

* А3 – ОПРЕДЕЛЯЕТ КАНАЛЬНЫЕ РЕГИСТРЫ ИЛИ РЕГИСТРЫ КОНТРОЛЛЕРА
* А2-А1 – ОПРЕДЕЛЯЮТ НОМЕР КАНАЛА
* А0 – ОПРЕДЕДЯЕТ РЕГИСТР АДРЕСА ИЛИ СЧЕТЧИК БАЙТОВ В КАНАЛЕ

**ОСОБЕННОСТЬ ПРОГРАММНОЙ МОДЕЛИ**

* ПЕРЕД НАЧАЛОМ ИНИЦИАЛИЗАЦИИ КОНТРОЛЛЕРА РЕГИСТР РЕЖИМА КОНТРОЛЛЕРА УСТАНАВЛИВАЕТСЯ В «00h», ЧТО ЗАПРЕЩАЕТ РАБОТУ ВСЕХ КАНАЛОВ
* ПРОГРАММНО НЕДОСТУПНЫЙ ТРИГГЕР М/С ПРИ ПРОГРАММИРОВАНИИ КАНАЛОВ АВТОМАТИЧЕСКИ МЕНЯЕТ СОСТОЯНИЕ ПРИ ЗАГРУЗКЕ ОЧЕРЕДНОГО БАЙТА
* КОМАНДЫ ОБРАЩЕНИЯ К РЕГИСТРАМ КАНАЛОВ ДОЛЖНЫ СЛЕДОВАТЬ ПАРАМИ – МЛАДШИЙ БАЙТ, ЗАТЕМ СТАРШИЙ БАЙТ
* В 16-ти РАЗРЯДНОМ СЧЕТЧИКЕ/РЕГИСТРЕ РЕЖИМА КАНАЛА:
* НЕПОСРЕДСТВЕННО СЧЕТЧИК – 14 РАЗРЯДОВ
* РЕГИСТР РЕЖИМА КАНАЛА – 2 РАЗРЯДА

**ИНИЦИАЛИЗАЦИЯ КОНТРОЛЛЕРА ПДП**

* НАЛИЧИЕ ПРОГРАММНО НЕДОСТУПНОГО ТРИГГЕРА М/С ОПРЕДЕЛЯЕТ ПОРЯДОК ВЫПОЛНЕНИЯ КОМАНД ИНИЦИАЛИЗАЦИИ
* СПЕРВА ЗАГРУЖАЮТСЯ РЕГИСТРЫ КАНАЛОВ В ПОРЯДКЕ, КОТОРЫЙ ОПРЕДЕЛЯЕТ ТАБЛИЦА РЕГИСТРОВОЙ МОДЕЛИ
* ПОСЛЕДНИМ ЗАГРУЖАЕТСЯ РЕГИСТР РЕЖИМА КОНТРОЛЛЕРА ПДП, ПОСЛЕ ЧЕГО РАЗРЕШАЕТСЯ РАБОТА КОНТРОЛЛЕРА

**ПРОГРАММНО-НЕДОСТУПНЫЙ ТРИГГЕР М/С (МЛАДШИЙ/СТАРШИЙ)**

* ИСПОЛЬЗУЕТСЯ ДЛЯ ВЫПОЛНЕНИЯ ЗАГРУЗКИ/ЧТЕНИЯ КАНАЛЬНЫХ РЕГИСТРОВ
* УСТАНАВЛИВАЕТСЯ В «0» СИГНАЛОМ СИСТЕМНОГО СБРОСА
* УСТАНОВКА В «0» ВЫПОЛНЯЕТСЯ ТАКЖЕ ПРОГРАММНО ПРИ ЗАГРУЗКЕ РЕГИСТРА РЕЖИМА КОНТРОЛЛЕРА ПДП
* ПРИ КАЖДОМ ОБРАЩЕНИИ К КАНАЛЬНОМУ РЕГИСТРУ ТРИГГЕР ИНВЕРТИРУЕТСЯ
* ПАРНОЕ ОБРАЩЕНИЕ К КАНАЛЬНЫМ РЕГИСТРАМ ПРИ ТР(М/С)= «0» ОБРАЩЕНИЕ К МЛАДШЕМУ РЕГИСТРУ ( АДРЕС ИЛИ СЧЕТЧИК БАЙТ), ПРИ ТР(М/С)= «1» К СТАРШЕМУ

**РЕГИСТР РЕЖИМА КОНТРОЛЛЕРА ПДП**

****

РК0-РК3 – БИТЫ РАЗРЕШЕНИЯ РАБОТЫ КАНАЛОВ

ЦП – РАЗРЕШЕНИЕ ЦИКЛИЧЕСКОГО ПРИОРИТЕТА КАНАЛОВ

ДЗ – ВКЛЮЧЕНИЕ ДЛИННОГО ЦИКЛА ЗАПИСИ В ПАМЯТЬ

ЗКБ – ЗАПРЕТ РАБОТЫ КАНАЛА ПО КОНЦУ БЛОКА

АЗ – АВТОЗАГРУЗКА . АВТОМАТИЧЕСКАЯ ПЕРЕЗАГРУЗКА КАНАЛЬНЫХ РЕГИСТРОВ (ТОЛЬКО ДЛЯ КАНАЛА 2) ПРИ НЕОБХОДИМОСТИ ПОВТОРНОЙ ПЕРЕДАЧИ БЛОКА ДАННЫХ. РЕГИСТРЫ КАНАЛА 2 КОПИРУЮТСЯ В РЕГИСТРЫ КАНАЛА 3 И ПО СИГНАЛУ КБ2 ПОСЛЕ ПЕРЕДАЧИ ПЕРВОГО БЛОКА ДАННЫХ ПЕРЕПИСЫВАЮТСЯ В РЕГИСТРЫ КАНАЛА2

**РЕГИСТР СОСТОЯНИЯ КОНТРОЛЛЕРА ПДП**

****

КБ0-КБ3 – БИТЫ ОКОНЧАНИЯ ПЕРЕДАЧИ БЛОКА ДАННЫХ В КАНАЛЕ. ДАННЫЕ БИТЫ АВТОМАТИЧЕСКИ СБРАСЫВАЮТСЯ

ПРИ ЧТЕНИИ РЕГИСТРА СОСТОЯНИЯ МИКРОПРОЦЕССОРОМ

ПМ – БИТ МОДИФИКАЦИИ. УСТАНАВЛИВАЕТСЯ В «1» ПРИ «АЗ»=1,

КОГДА РЕГИСТРЫ КАНАЛА 3 ПЕРЕЗАПИСЫВАЮТСЯ В РЕГИСТРЫ КАНАЛА 2

**КАНАЛЬНЫЕ РЕГИСТРЫ**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **АДРЕС КАНАЛА** | | | | | | | | **ТР. М/С** |
| А7 | А6 | А5 | А4 | А3 | А2 | А1 | А0 | 0 |
| А15 | А14 | А13 | А12 | А11 | А10 | А9 | А8 | 1 |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **СЧЕТЧИК КАНАЛА** | | | | | | | | **ТР. М/С** |
| СТ7 | СТ6 | СТ5 | СТ4 | СТ3 | СТ2 | СТ1 | СТ0 | 0 |
| РЕЖ1 | РЕЖ0 | СТ13 | СТ12 | СТ11 | СТ10 | СТ9 | СТ8 | 1 |

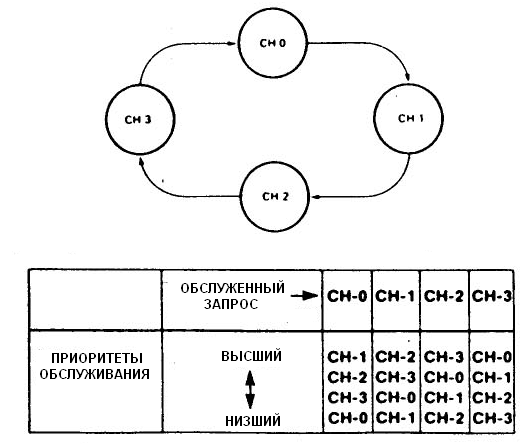
**РЕЖИМЫ РАБОТЫ КАНАЛА (РЕГИСТР РЕЖИМА КАНАЛА)**

|  |  |  |
| --- | --- | --- |
| **РЕЖ 1** | **РЕЖ 0** | **РЕЖИМ** |
| 0 | 0 | ПРОВЕРКА КАНАЛА – СЧИТЫВАНИЕ СОДЕРЖИМОГО КАНАЛЬНЫХ РЕГИСТРОВ В МИКРОПРОЦЕССОР |
| 0 | 1 | ЗАПИСЬ – ПЕРЕДАЧА ДАННЫХ ИЗ ВНЕШНЕГО УСТРОЙСТВА В ОЗУ |
| 1 | 0 | ЧТЕНИЕ – ПЕРЕДАЧА ДАННЫХ ИЗ ОЗУ ВО ВНЕШНЕЕ УСТРОЙСТВО |
| 1 | 1 | ЗАПРЕЩЕНО |

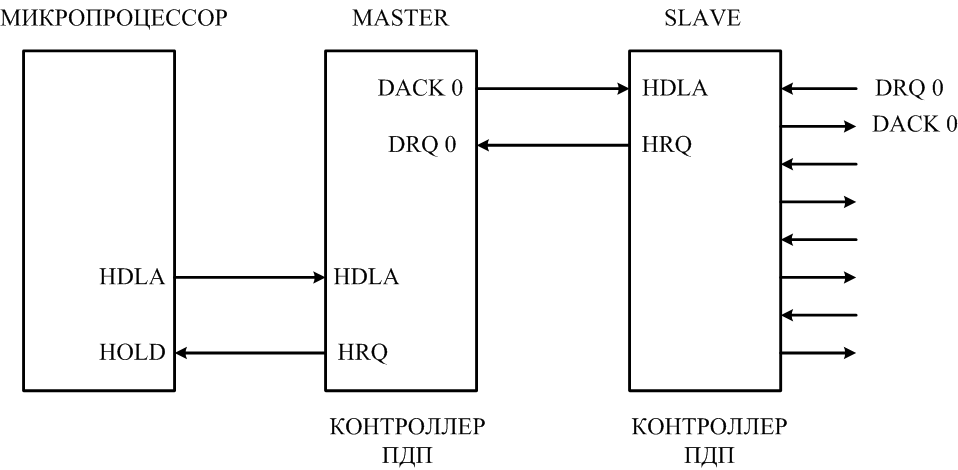
**УПРАВЛЕНИЕ ПРИОРИТЕТАМИ ЗАПРОСОВ ПДП**

ФИКСИРОВАННЫЙ ПРИОРИТЕТ – КАНАЛ «0» ВЫСШИЙ, КАНАЛ «3» НИЗШИЙ ПРИОРИТЕТ

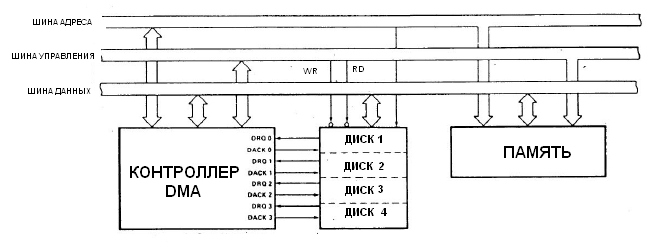
ЦИКЛИЧЕСКИЙ ПРИОРИТЕТ – ПРИОРИТЕТЫ КАНАЛОВ (СН0 – СН3 ИЗМЕНЯЮТСЯ ПО ПРАВИЛУ, ИЛЛЮСТРИРОВАННОМУ НА КАРТИНКЕ



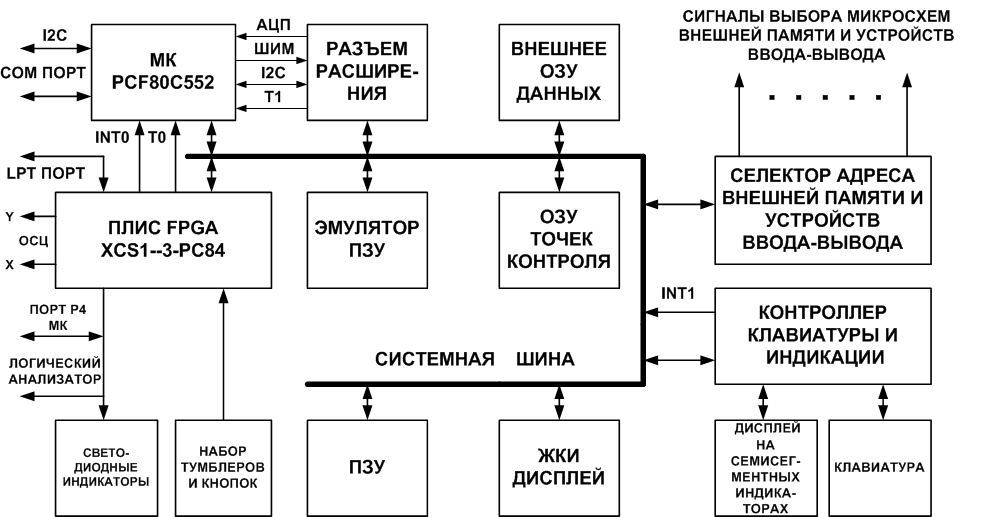
**КАСКАДИРОВАНИЕ КОНТРОЛЛЕРОВ ПДП**

****

**ПРИМЕНЕНИЕ ПРЯМОГО ДОСТУПА К ПАМЯТИ**

****

**ПРИМЕРЫ МПС. СИСТЕМА НА ОСНОВЕ МИКРОКОНТРОЛЛЕРА MCS-51**

****

**ЧИПСЕТЫ В СОСТАВЕ МПС НА ОСНОВЕ УНИВЕРСАЛЬНОГО МИКРОПРОЦЕССОРА**

* НА НАЧАЛЬНОМ ЭТАПЕ ПРИМЕНЕНИЯ МП х86 СИСТЕМНАЯ ЛОГИКА КОМПЬЮТЕРА СОСТОЯЛА ИЗ НАБОРА ДВУХ БИС – «СЕВЕРНОГО» И «ЮЖНОГО» МОСТА (ЧИПСЕТА) КОТОРЫЕ РЕАЛИЗОВЫВАЛИ ИНТЕРФЕЙС ПРОЦЕССОРА С ПАМЯТЬЮ И ПЕРИФЕРИЙНЫМИ УСТРОЙСТВАМИ
* ЧИПСЕТ ПОЗВОЛЯЕТ РЕАЛИЗОВАТЬ СТРУКТУРЫ С ДВУМЯ ВИДАМИ ШИН (ПАМЯТЬ-ПРОЦЕССОР (СИСТЕМЕАЯ ШИНА), ШИНЫ ВВОДА/ВЫВОДА)
* ИНТЕГРИРУЮТ КОНТРОЛЛЕРЫ ДИНАМИЧЕСКОЙ ПАМЯТИ, ПДП, ПРЕРЫВАНИЙ, VGA, USB, PS2, ETHERNET, SATA, EIDE, МОСТЫ ШИН PCI, PCI-EXPRESS
* КАК ПРАВИЛО, РАЗРАБОТКА НОВОГО МП С НОВЫМИ ВЫЧИСЛИТЕЛЬНЫМИ ВОЗМОЖНОСТЯМИ ТРЕБУЕТ РАЗРАБОТКИ И НОВОГО ЧИПСЕТА

**«СЕВЕРНЫЙ» МОСТ (Northbridge)**

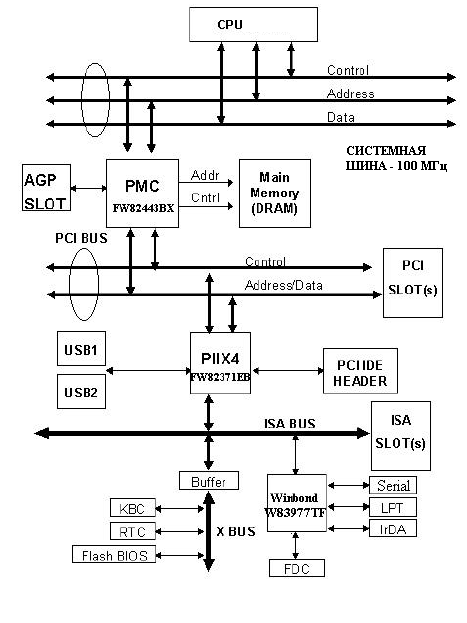
* «СЕВЕРНЫЙ МОСТ» (МСН – MEMORY CONTROLLER HUB) – СИСТЕМНЫЙ КОНТРОЛЛЕР, КОТОРЫЙ ОПРЕДЕЛЯЕТ - ПРОПУСКНУЮ СПОСОБНОСТЬ, ЧАСТОТУ, А ТАКЖЕ ТИП СИСТЕМНОЙ ШИНЫ
* ТИП И МАКСИМАЛЬНЫЙ ОБЪЕМ ОПЕРАТИВНОЙ ПАМЯТИ
* СПОСОБ ПОДКЛЮЧЕНИЯ И РЕЖИМ РАБОТЫ ВИДЕОКОНТРОЛЛЕРА, В ТОМ ЧИСЛЕ ВОЗМОЖНОСТЬ РАБОТЫ С НЕСКОЛЬКИМИ ВИДЕОКАНАЛАМИ ОДНОВРЕМЕННО (ИСПОЛЬЗОВАНИЕ ИНТЕРФЕЙСА SLI - SCALABLE LINK INTERFACE)

**«ЮЖНЫЙ» МОСТ (Southbridge)**

* КОНТРОЛЛЕР ВВОДА/ВЫВОДА (I/O CONTROLLER HUB) СЛУЖИТ ДЛЯ СВЯЗИ ПРОЦЕССОРА (ЧЕРЕЗ СЕВЕРНЫЙ МОСТ) С УСТРОЙСТВАМИ ВВОДА/ВЫВОДА

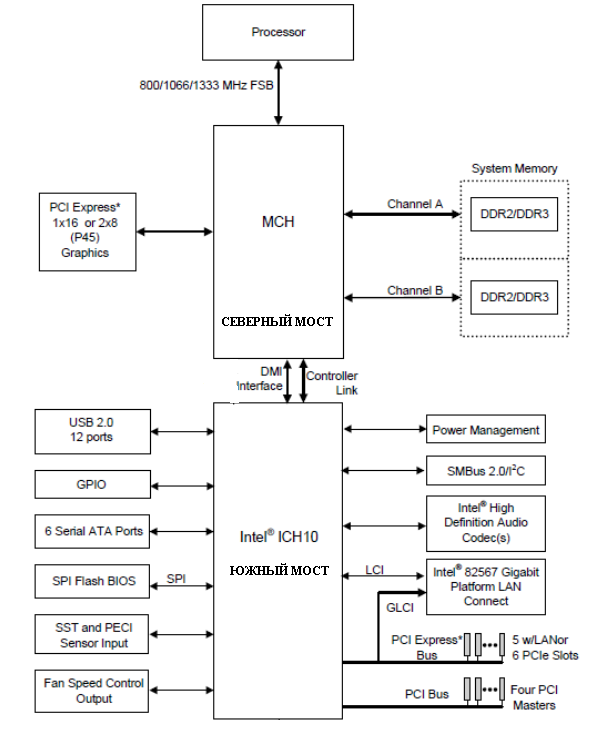
* ПЕРВОНАЧАЛЬНО «СЕВЕРНЫЙ» МОСТ ПОЗИЦИОНИРОВЛСЯ КАК КОНТРОЛЛЕР УПРАВЛЕНИЯ БЫСТРОЙ ПЕРИФЕРИЕЙ, А«ЮЖНЫЙ» МОСТ ПРЕДНАЗНАЧАЛСЯ ДЛЯ РАБОТЫ С МЕДЛЕННОЙ ПЕРИФЕРИЕЙ
* «СЕВЕРНЫЙ» И «ЮЖНЫЙ» МОСТЫ СОЕДИНЯЮТСЯ ПОСРЕДСТВОМ ШИНЫ DMI – (DIRECT MEDIA INTERFACE) С ПРОПУСКНОЙ СПОСОБНОСТЬЮ 2 Гбайт/с

**ЭВОЛЮЦИЯ ЧИПСЕТОВ**

****

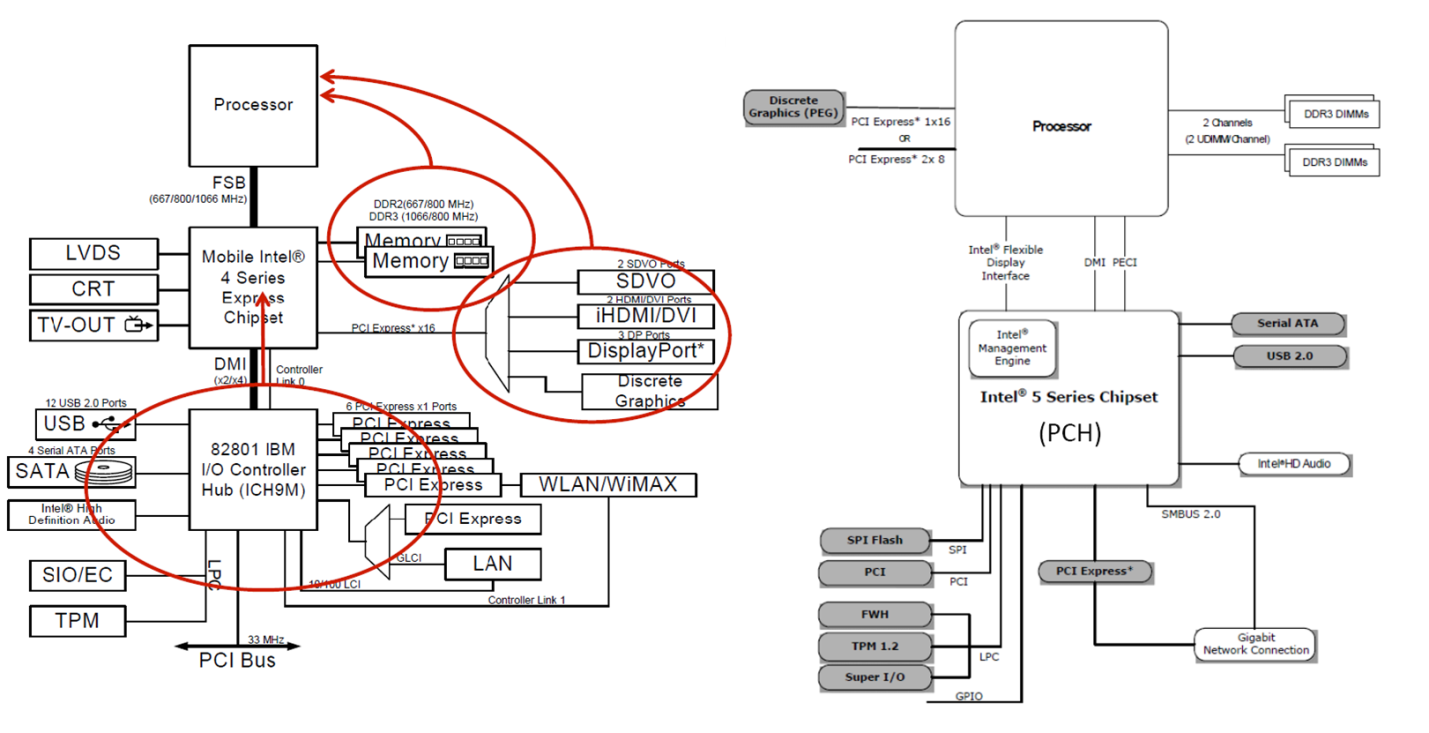
ДЛЯ СОЕДИНЕНИЯ «СЕВЕРНОГО» И «ЮЖНОГО» МОСТОВ ИСПОЛЬЗУЕТСЯ ШИНА PCI (33 МГц)

**ВЫСОКОСКОРОСТНОЙ ИНТЕРФЕЙС**

****

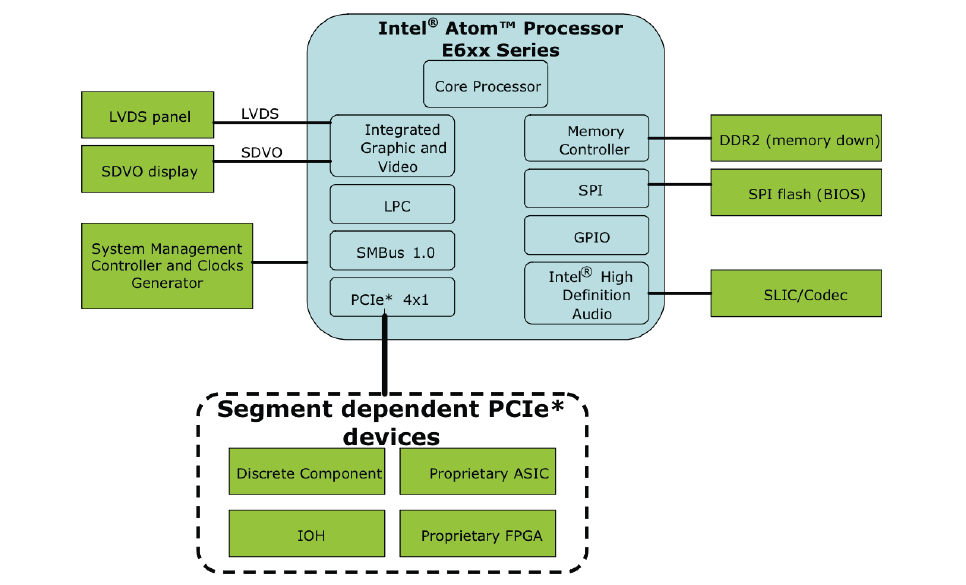
ДЛЯ СОЕДИНЕНИЯ «СЕВЕРНОГО» И «ЮЖНОГО» МОСТОВ ИСПОЛЬЗУЕТСЯ DMI ИНТЕРФЕЙС

**ИНТЕГРАЦИЯ ФУНКЦИЙ «СЕВЕРНОГО МОСТА» В МИКРОПРОЦЕССОР**

****

ИНТЕГРАЦИЯ КРИТИЧНЫХ ПО БЫСТРОДЕЙСТВИЮ БЛОКОВ «СЕВЕРНОГО» МОСТА В МИКРОПРОЦЕССОР. AMD - ATHLON (2003) INTEL Core I (2008). ПЕРЕХОД К ЧИПСЕТУ НА ОСНОВЕ РСН (PLATFORM CONTROLLER HUB)- ПЕРВЫЙ ШАГ НА ПУТИ ПРЕВРАЩЕНИЯ ПРОЦЕССОРА В СИСТЕМУ НА КРИСТАЛЛЕ

**СИСТЕМА НА КРИСТАЛЛЕ**

****