**АРХИТЕКТУРА IA-32. РЕГИСТРОВАЯ МОДЕЛЬ**

**УНИВЕРСАЛЬНЫЕ МИКРОПРОЦЕССОРЫ INTEL**

* 1978г. – i8086 (16 РАЗРЯДОВ) ОСНОВНОЙ МИКРОПРОЦЕССОР ДЛЯ ПРОИЗВОДСТВА ПЕРВЫХ ПЕРСОНАЛЬНЫХ КОМПЬЮТЕРОВ (IBM)
* ЦЕЛЬ ПОСЛЕДУЮЩИХ РАЗРАБОТОК ФИРМЫ INTEL– НАРАЩИВАНИЕ ВЫЧИСЛИТЕЛЬНОЙ МОЩНОСТИ МИКРОПРОЦЕССОРОВ ПРИ ОБЯЗАТЕЛЬНОМ СОХРАНЕНИИ ПРЕЕМСТВЕННОСТИ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ
* РАЗРАБОТКИ В ОБЛАСТИ СОВЕРШЕНСТВОВАНИЯ АРХИТЕКТУРЫ i8086 ПРИВЕЛИ К ПОЯВЛЕНИЮ В 1985г. МИКРОПРОЦЕССОРА i80386 (32 РАЗРЯДА) С ОБРАТНОЙ СОВМЕСТИМОСТЬЮ С i8086 (ОБЕСПЕЧИВАЛАСЬ ОРГАНИЗАЦИЕЙ ЕГО ВНУТРЕННИХ РЕГИСТРОВ)

**СТАНДАРТ IA-32**

* АРХИТЕКТУРА х86 (IA-32)– СОВМЕСТИМОСТЬ С АРХИТЕКТУРОЙ 80386 (80486, PENTIUM, CORE, ATHLON)
* IA-32 – ФАКТИЧЕСКИЙ СТАНДАРТ ДЛЯ ПЕРСОНАЛЬНЫХ КОМПЬЮТЕРОВ
* РЫНОК IA-32 – 108 МИКРОПРОЦЕССОРОВ/ГОД
* ИНВЕСТИЦИИ НА РАЗВИТИЕ IA-32 – 5·109 $/ГОД

**ЭВОЛЮЦИЯ МИКРОАРХИТЕКТУРЫ СТАНДАРТА IA-32**

|  |  |
| --- | --- |
| **ПРОЦЕССОР** | **ОСОБЕННОСТИ МИКРОАРХИТЕКТУРЫ** |
| 80386/80486 | КОНВЕЙЕРНАЯ (5 СТУПЕНЕЙ) |
| PENTIUM | СУПЕРСКАЛЯРНАЯ (ДВА КОНВЕЙЕРА КОМАНД - ДВА ИСПОЛНИТЕЛЬНЫХ БЛОКА) |
| PENTIUM PRO/II/III/4/M | ВНЕОЧЕРЕДНОЕ ИСПОЛНЕНИЕ КОМАНД (КОМАНДА ЗАПУСКАЕТСЯ НА ВЫПОЛНЕНИЕ В КОНВЕЙЕРЕ, КАК ТОЛЬКО СТАНУТ ДОСТУПНЫ ЕЕ ОПЕРАНДЫ) |
| CORE DUO, CORE 2 DUO | ДВУХЯДЕРНАЯ (ДВА ЯДРА PENTIUM М С ОБЩИМ КЭШЕМ 2-го УРОВНЯ) |
| CORE i3-i7 | МНОГОЯДЕРНАЯ( ДО 6-ти ядер С ОБЩИМ КЭШЕМ 3-го УРОВНЯ И ВСТРОЕННЫМ КОНТРОЛЛЕРОМ ПАМЯТИ) |

**ОБЩАЯ ХАРАКТЕРИСТИКА СИСТЕМЫ КОМАНД IA-32**

* КОМАНДЫ – БЕЗАДРЕСНЫЕ, 1,2-х АДРЕСНЫЕ
* МНОГООБРАЗИЕ СПОСОБОВ АДРЕСАЦИИ (СМЕЩЕНИЕ, БАЗА, ИНДЕКС)
* ДЛИНА КОМАНДЫ 1-15 БАЙТ (ТРУДНОСТЬ ДЕКОДИРОВАНИЯ)
* СРЕДНЯЯ ДЛИНА КОМАНДЫ – 3.2 БАЙТА. В 32-Х БАЙТНЫЙ БУФЕР (ОЧЕРЕДЬ) КОМАНД (FIFO) МОГУТ В СРЕДНЕМ БЫТЬ СЧИТАНЫ 10 КОМАНД

* ОПЕРАНДЫ – 8, 16, 32 БИТА.

**МЕХАНИЗМ ПОЛНОСТЬЮ АППАРАТНОГО УПРАВЛЕНИЯ ПАМЯТЬЮ**

* ПОБАЙТНАЯ АДРЕСАЦИЯ
* ФИЗИЧЕСКИЙ АДРЕС ПАМЯТИ ФОРМИРУЕТСЯ АППАРАТНО ПО ЛОГИЧЕСКОМУ АДРЕСУ

ДОСТОИНСТВА АППАРАТНОГО УПРАВЛЕНИЯ ПАМЯТЬЮ В IA-32:

* КОМПАКТНОСТЬ ХРАНЕНИЯ АДРЕСНОЙ ИНФОРМАЦИИ В КОМАНДЕ
* ГИБКОСТЬ МЕХАНИЗМОВ АДРЕСАЦИИ
* ЗАЩИТА ПАМЯТИ В МНОГОЗАДАЧНОМ РЕЖИМЕ
* ПОДДЕРЖКА ВИРТУАЛЬНОЙ ПАМЯТИ

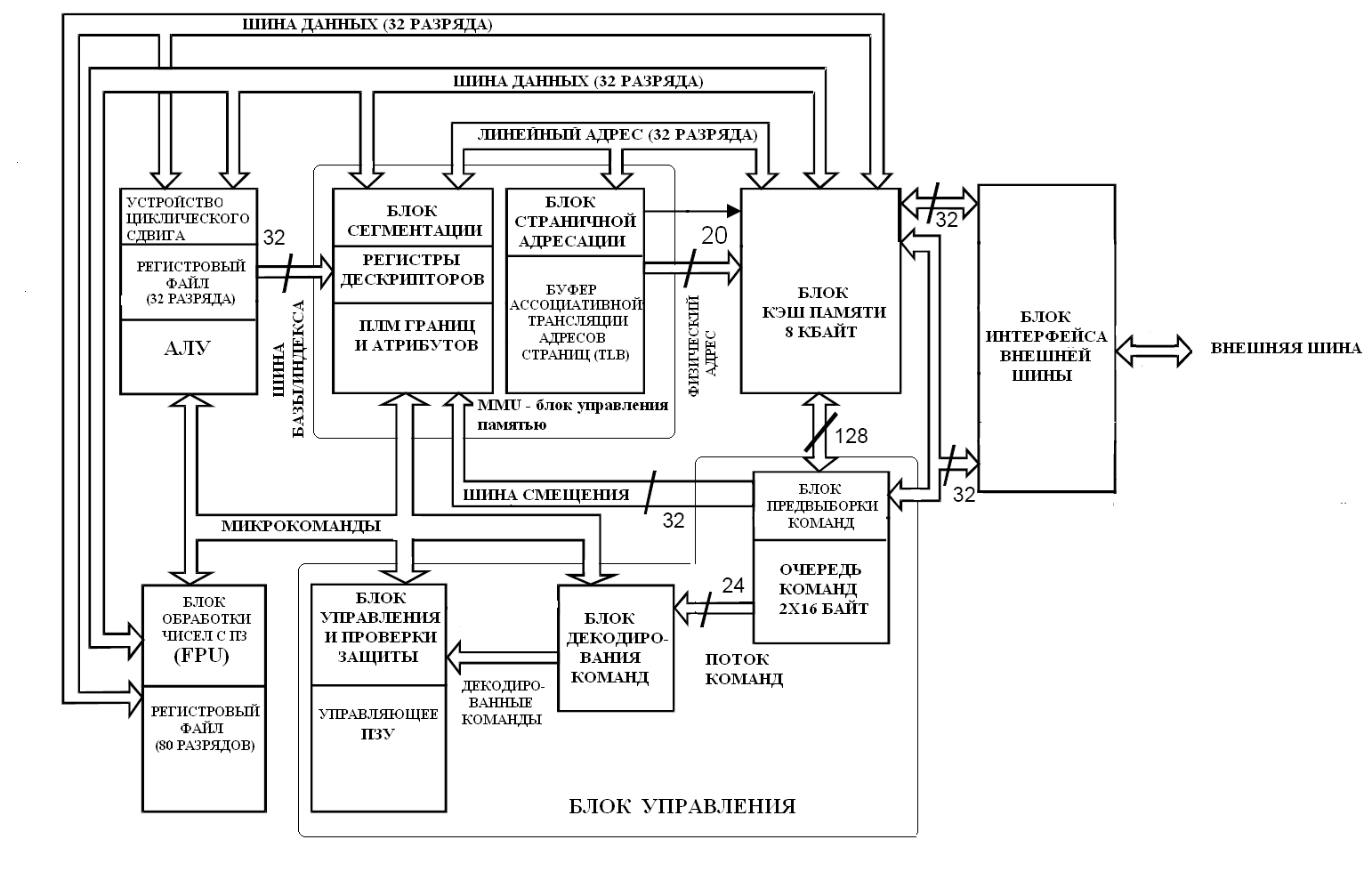
**КАТЕГОРИИ КОМАНД**

* ПЕРЕСЫЛКИ ДАННЫХ (mov ax,ds)
* АРИФМЕТИЧЕСКИЕ (add al,18)
* ЛОГИЧЕСКИЕ (or eax, 100b)
* СДВИГА (shl ah,4)
* ПЕРЕДАЧИ УПРАВЛЕНИЯ (jmp m1)
* СТРОКОВЫЕ (repe cmps string1, string2)
* ПОДДЕРЖКИ ОС (lgdt adr\_lim\_gdt)
* ОБРАБОТКИ БИТОВ (bt)
* УПРАВЛЕНИЯ ПРОЦЕССОРОМ (hlt)
* ОБРАБОТКИ ЧИСЕЛ С ПЗ (fadd)

**ОСОБЕННОСТИ АРХИТЕКТУРЫ i80486**

* КОНВЕЙЕРНОЕ ВЫПОЛНЕНИЕ КОМАНД С ИСПОЛЬЗОВАНИЕМ RISC-ЯДРА
* СЕГМЕНТИРОВАНИЕ И СТРАНИЧНАЯ ОРГАНИЗАЦИЯ ПАМЯТИ
* ВИРТУАЛЬНАЯ ПАМЯТЬ ДО 64 ТБАЙТ
* ВСТРОЕННАЯ КЭШ-ПАМЯТЬ КОМАНД И ДАННЫХ
* ВСТРОЕННЫЙ БЛОК ОБРАБОТКИ ЧИСЕЛ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ
* ПАКЕТНЫЙ РЕЖИМ ПРИ ОБМЕНЕ С ПАМЯТЬЮ ЧЕРЕЗ ВНЕШНЮЮ ШИНУ
* 4-Х УРОВНЕВАЯ ЗАЩИТА ПРИЛОЖЕНИЙ И ОС

**МИКРОАРХИТЕКТУРА IA-32 (i80486)**

****

**БЛОК АЛУ**

АЛУ – С ИСПОЛЬЗОВАНИЕМ РЕГИСТРОВ ОБЩЕГО НАЗНАЧЕНИЯ (РОН) ПРЕДНАЗНАЧЕНО ДЛЯ ОБРАБОТКИ ЦЕЛЫХ БЕЗЗНАКОВЫХ ЧИСЕЛ ИЛИ ЧИСЕЛ СО ЗНАКОМ (ДОПОЛНИТЕЛЬНЫЙ КОД) ДЛИНОЙ 1 БАЙТ, 2 БАЙТА (СЛОВО), 4 БАЙТА (ДВОЙНОЕ СЛОВО), А ТАКЖЕ ДВОИЧНО-ДЕСЯТИЧНЫХ ЧИСЕЛ – НЕУПАКОВАННЫХ (1 БАЙТ) И УПАКОВАННЫХ (1 ПОЛУБАЙТ) В ДИАПАЗОНЕ ОТ 0 ДО 99.

**БЛОК FPU**

* СОДЕРЖИТ 80-МИ РАЗРЯДНОЕ УСТРОЙСТВО ОБРАБОТКИ ЧИСЕЛ С ПЗ, БЛОК РОН, СЛУЖЕБНЫЕ РЕГИСТРЫ И РЕГИСТРЫ УКАЗАТЕЛЕЙ КОМАНДЫ И ДАННЫХ
* ПРЕДНАЗНАЧЕН ДЛЯ ОБРАБОТКИ ЧИСЕЛ С ПЗ, А ТАКЖЕ 8-МИ БАЙТНЫХ ЦЕЛЫХ ЧИСЕЛ СО ЗНАКОМ И ДВОИЧНО-ДЕСЯТИЧНЫХ ЧИСЕЛ В ДИАПАЗОНЕ ОТ 100 ДО 99…9 (20 ПОЛУБАЙТ=ЗНАК+NULL+18 УПАКОВАННЫХ ЦИФР)

**БЛОК MMU**

СОДЕРЖИТ:

* БЛОК СЕГМЕНТАЦИИ ПАМЯТИ С ТЕНЕВЫМИ РЕГИСТРАМИ ДЕСКРИПТОРОВ СЕГМЕНТОВ (КЭШИ ДЕСКРИПТОРОВ СЕГМЕНТОВ)
* БЛОК СТРАНИЧНОГО ПРЕОБРАЗОВАНИЯ АДРЕСА С БУФЕРОМ АССОЦИАТИВНОЙ ТРАНСЛЯЦИИ АДРЕСОВ СТРАНИЦ (TLB) (КЭШИРОВАНИЕ ФИЗИЧЕСКИХ АДРЕСОВ НАИБОЛЕЕ ЧАСТО ИСПОЛЬЗУЕМЫХ СТРАНИЦ)

**КЭШ-ПАМЯТЬ**

* ПРЕДНАЗНАЧЕНА ДЛЯ БУФЕРИЗАЦИИ ЧАСТО ИСПОЛЬЗУЕМОЙ ИНФОРМАЦИИ (КОМАНДЫ И ДАННЫЕ) ОБЪЕМ 8 КБАЙТ
* 4 РЕЖИМА ИСПОЛЬЗОВАНИЯ:
* РАЗРЕШЕНИЕ КЭШИРОВАНИЯ
* ЗАПРЕТ КЭШИРОВАНИЯ
* ОГРАНИЧЕНИЕ ИСПОЛЬЗОВАНИЯ СТРОК КЭШ

(ИСПОЛЬЗОВАНИЕ РАНЕЕ КЭШИРОВАННЫХ ДАННЫХ И ЗАПРЕТ НОВОГО КЭШИРОВАНИЯ)

* ВЫЗОВ ПРЕРЫВАНИЯ С КОДОМ «0»

**БЛОК УПРАВЛЕНИЯ**

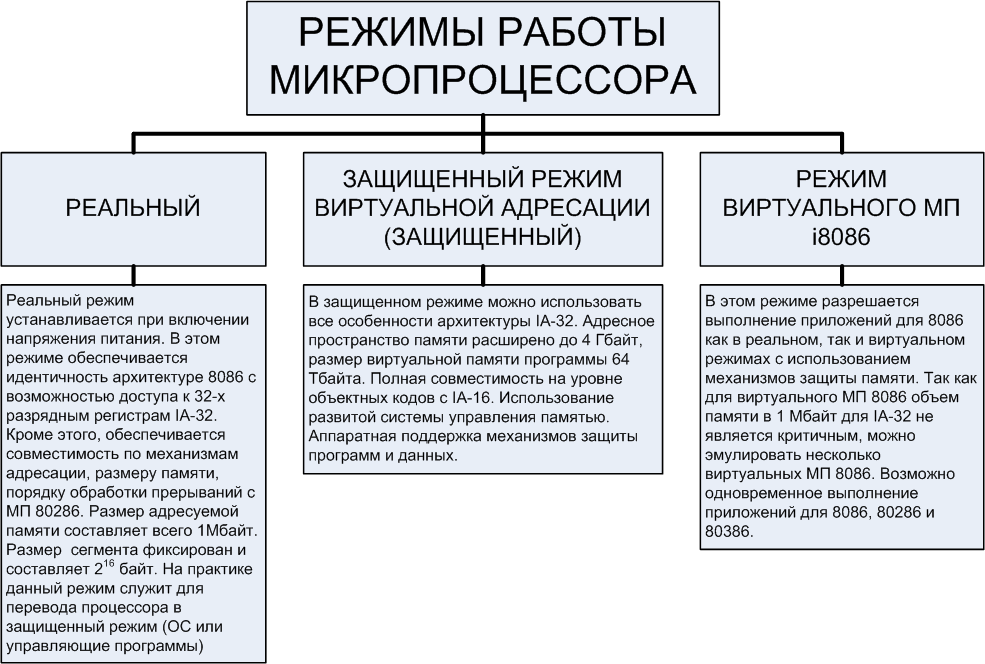
* ОБЕСПЕЧИВАЕТ ПРЕДВЫБОРКУ И ДЕКОДИРОВАНИЕ КОМАНД
* ВЫРАБАТЫВАЕТ МИКРОКОМАНДЫ ДЛЯ ВСЕХ БЛОКОВ ПРОЦЕССОРА

* ОБЕСПЕЧИВАЕТ АППАРАТНУЮ ЗАЩИТУ ПРОГРАММ И ДАННЫХ ПРИ УПРАВЛЕНИИ ПАМЯТЬЮ И ПО ПРИВИЛЕГИЯМ

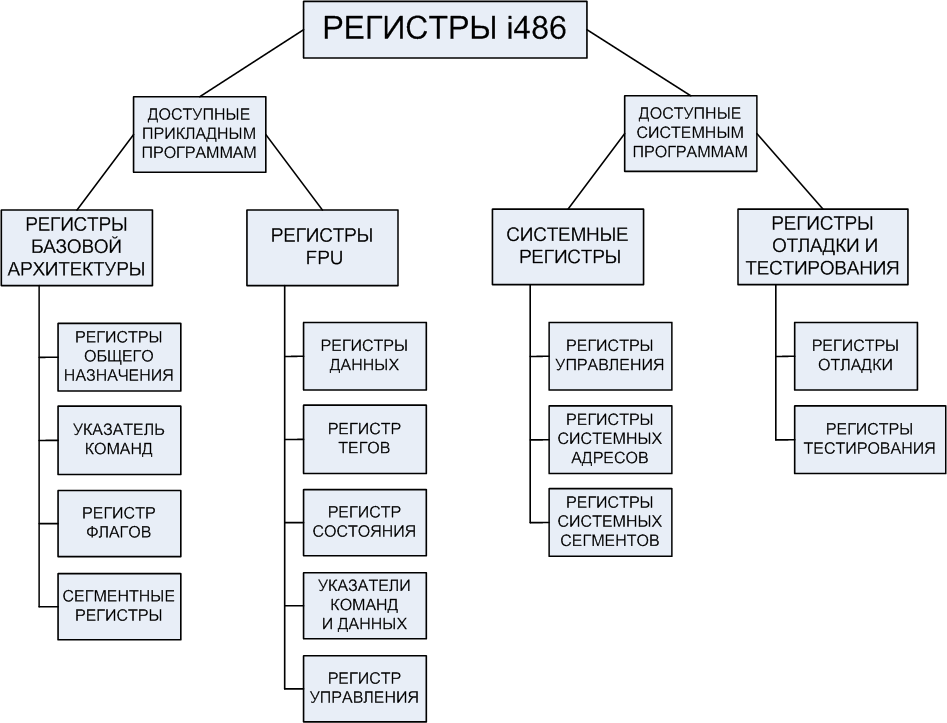
**БЛОК ИНТЕРФЕЙСА ВНЕШНЕЙ ШИНЫ**

* ОБЕСПЕЧИВАЕТ ФОРМИРОВАНИЕ И ПРИЕМ СИГНАЛОВ НА ЛИНИЯХ АДРЕСА, УПРАВЛЕНИЯ И ДАННЫХ ВНЕШНЕЙ ШИНЫ ПРИ ВЫПОЛНЕНИИ ОБМЕНА С ВНЕШНЕЙ ПАМЯТЬЮ И ВНЕШНИМИ УСТРОЙСТВАМИ
* 32 ЛИНИИ ДЛЯ ПЕРЕДАЧИ ДАННЫХ
* 34 ЛИНИИ ДЛЯ ВЫДАЧИ 32-Х РАЗРЯДНОГО АДРЕСА А31, …., А2,(В3,В2,В1,В0). 4 МЛАДШИЕ ЛИНИИ ПРЕДСТАЛЯЮТ СОБОЙ ДЕШИФРИРОВАННЫЕ ЛИНИИ ИСХОДНОГО АДРЕСА А1 И А0. ЭТОТ МЕХАНИЗМ ПОЗВОЛЯЕТ ПРИ ОБМЕНЕ ОПРЕДЕЛЯТЬ РЕАЛЬНО ВОСТРЕБОВАННЫЕ ДАННЫЕ: 1БАЙТ, СТАРШЕЕ СЛОВО, МЛАДШЕЕ СЛОВО ИЛИ ВСЕ ДВОЙНОЕ СЛОВО
* 32 ЛИНИИ УПРАВЛЕНИЯ – СТРОБЫ ЧТЕНИЯ И ЗАПИСИ, ЗАПРОСЫ ПРЕРЫВАНИЙ И ПРЯМОГО ДОСТУПА К ПАМЯТИ И Т.Д.

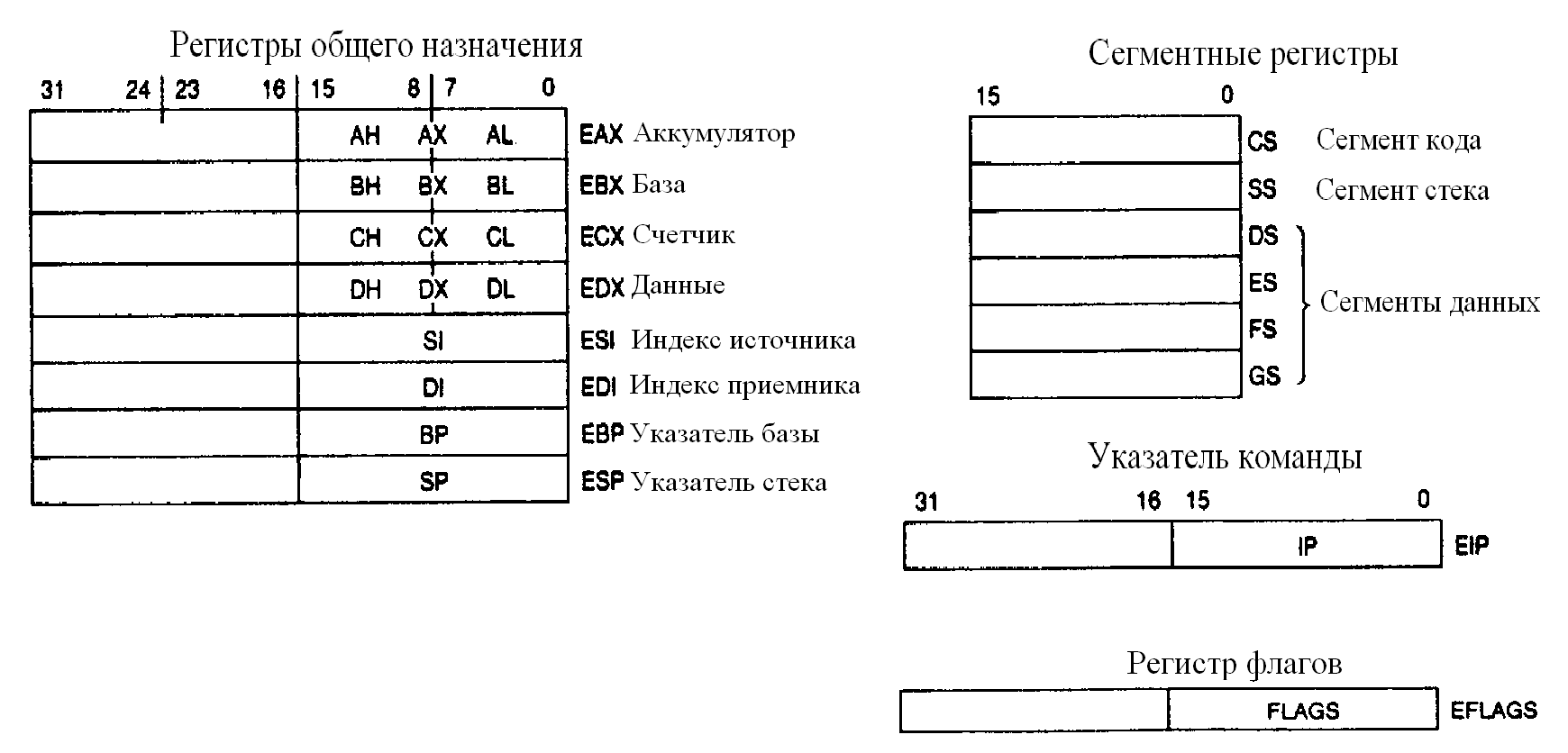
**РЕЖИМЫ РАБОТЫ МП IA-32**

****

**Регистровая модель IA32**

****

**РЕГИСТРЫ БАЗОВОЙ АРХИТЕКТУРЫ**

****

**РЕГИСТРЫ ОБЩЕГО НАЗНАЧЕНИЯ (РОН)**

* ПРЕДНАЗНАЧЕНЫ ДЛЯ ХРАНЕНИЯ ОПЕРАНДОВ И РЕЗУЛЬТАТОВ ВЫПОЛНЕНИЯ ОПЕРАЦИЙ
* ДЛЯ СОХРАНЕНИЯ ПРЕЕМСТВЕННОСТИ С 16-ТИ РАЗРЯДНЫМИ ПРОЦЕССОРАМИ РЕГИСТРЫ ОБЩЕГО НАЗНАЧЕНИЯ ДОПУСКАЮТ ОБРАЩЕНИЕ К ИХ МЛАДШИМ 16-ТИ РАЗРЯДАМ
* РЕГИСТРЫ AX,BX,CX,DX ДОПУСКАЮТ ОТДЕЛЬНОЕ ОБРАЩЕНИЕ К МЛАДШЕМУ И СТАРШЕМУ БАЙТАМ

**СПЕЦИАЛЬНОЕ НАЗНАЧЕНИЕ РОН**

* ЕАХ/AX/AL – РЕГИСТР-АККУМУЛЯТОР, ИСПОЛЬЗУЕТСЯ ДЛЯ ХРАНЕНИЯ ПРОМЕЖУТОЧНЫХ РЕЗУЛЬТАТОВ, А ТАКЖЕ В КОМАНДАХ ВВОДА/ВЫВОДА В КАЧЕСТВЕ ПРИЕМНИКА/ПОЛУЧАТЕЛЯ ДАННЫХ
* DX – ОПРЕДЕЛЯЕТ АДРЕС ВНЕШНЕГО УСТРОЙСТВА В КОМАНДАХ ВВОДА/ВЫВОДА ДАННЫХ
* СX – СЧЕТЧИК ЦИКЛОВ В КОМАНДАХ, ВЫПОЛНЯЮЩИХ ПОВТОРЯЮЩИЕСЯ ДЕЙСТВИЯ
* BP,SP – ИСПОЛЬЗУЮТСЯ В ОПЕРАЦИЯХ СО СТЕКОМ
* DI,SI – ОПРЕДЕЛЯЮТ ПОЛОЖЕНИЕ СТРОК В ПАМЯТИ ПРИ ВЫПОЛНЕНИИ СТРОКОВЫХ КОМАНД

**УКАЗАТЕЛЬ КОМАНДЫ EIP**

* СОДЕРЖИТ СМЕЩЕНИЕ АДРЕСА СЛЕДУЮЩЕЙ КОМАНДЫ ОТНОСИТЕЛЬНО НАЧАЛА СЕГМЕНТА КОДА (АНАЛОГИЧЕН СЧЕТЧИКУ КОМАНД)

* ПОЛНЫЙ АДРЕС СЛЕДУЮЩЕЙ КОМАНДЫ ФОРМИРУЕТСЯ ПОСЛЕ СЛОЖЕНИЯ EIP С СЕГМЕНТНЫМ РЕГИСТРОМ CS
* МЛАДШИЕ 16 РАЗРЯДОВ СООТВЕТСТВУЮТ IP – УКАЗАТЕЛЮ КОМАНД 16-ТИ РАЗРЯДНОГО МП

**РЕГИСТР ФЛАГОВ EFLAGS**

* НАЗНАЧЕНИЕ РЕГИСТРА EFLAGS – ПОСТОЯННО ФИКСИРОВАТЬ ВСЮ НЕОБХОДИМУЮ ИНФОРМАЦИЮ О СОСТОЯНИИ ПРОЦЕССОРА ПРИ ВЫПОЛНЕНИИ ПРИКЛАДНЫХ И СИСТЕМНЫХ ПРОГРАММ В ВИДЕ СОВОКУПНОСТИ ФЛАГОВ СОСТОЯНИЯ И ПРЯМЫХ ДЕЙСТВИЙ ПРОЦЕССОРА (СИСТЕМНЫХ)
* ФЛАГИ ПОЗВОЛЯЮТ ОТСЛЕЖИВАТЬ ХОД ВЫЧИСЛИТЕЛЬНОГО ПРОЦЕССА
* ФЛАГИ МОГУТ ИСПОЛЬЗОВАТЬСЯ КАК ПРИКЛАДНЫМИ ПРОГРАММАМИ, ТАК И ОПЕРАЦИОННОЙ СИСТЕМОЙ

**ФЛАГИ СОСТОЯНИЯ**

* ИЗМЕНЯЮТСЯ ПОСЛЕ ВЫПОЛНЕНИЯ АРИФМЕТИЧЕСКИХ И ЛОГИЧЕСКИХ КОМАНД И ХАРАКТЕРИЗУЮТ ПОЛУЧЕННЫЙ РЕЗУЛЬТАТ
* ДАЮТ ВОЗМОЖНОСТЬ УПРАВЛЕНИЯ ВЫЧИСЛИТЕЛЬНЫМ ПРОЦЕССОМ ПУТЕМ ВЫПОЛНЕНИЯ КОМАНД УСЛОВНЫХ ПЕРЕХОДОВ И ВЫЗОВОВ ПОДПРОГРАММ

ОСНОВНЫЕ ФЛАГИ:

ZF – ПРИЗНАК НУЛЯ РЕЗУЛЬТАТА

OF – ПРИЗНАК ПЕРЕПОЛНЕНИЯ

SF - ЗНАК РЕЗУЛЬТАТА

CF – ФЛАГ ПЕРЕНОСА

PF – ПРИЗНАК ЧЕТНОСТИ

AF – ФЛАГ ПОЛУПЕРЕНОСА

**ФЛАГИ ПРЯМЫХ ДЕЙСТВИЙ ПРОЦЕССОРА (СИСТЕМНЫЕ)**

ПРЕДНАЗНАЧЕНЫ ДЛЯ УПРАВЛЕНИЯ ВВОДОМ/ВЫВОДОМ, ПРЕРЫВАНИЯМИ, ОТЛАДКОЙ, ПЕРЕКЛЮЧЕНИЕМ ЗАДАЧ, РЕЖИМОМ ВИРТУАЛЬНОГО ПРОЦЕССОРА i8086 (МОДИФИЦИРУЮТСЯ ОПЕРАЦИОННОЙ СИСТЕМОЙ)

НЕКОГОРЫЕ ФЛАГИ:

DF – ПОРЯДОК ОБРАБОТКИ СИМВОЛОВ В КОМАНДАХ (DEC/INC ИНДЕКСНЫХ РЕГИСТРОВ)

IF – ФЛАГ РАЗРЕШЕНИЯ МАСКИРУЕМЫХ АППАРАТНЫХ ПРЕРЫВАНИЙ

TF – ФЛАГ ТРАССИРОВКИ , В ОТЛАДОЧНОМ РЕЖИМЕ ВЫЗЫВАЕТ ПРЕРЫВАНИЕ ПОСЛЕ ВЫПОЛНЕНИЯ КАЖДОЙ КОМАНДЫ

VM – ВКЛЮЧЕНИЕ РЕЖИМА ВИРТУАЛЬНОГО МП 8086.

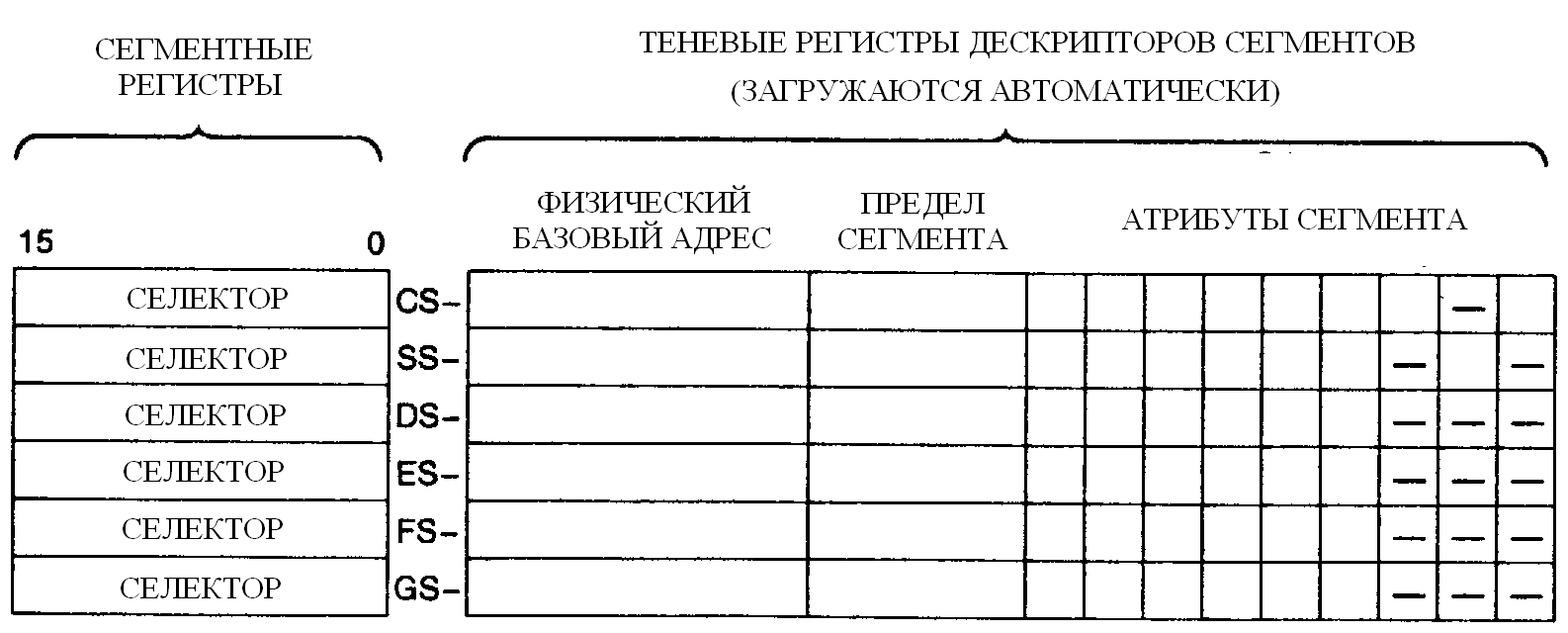
**СЕГМЕНТНЫЕ РЕГИСТРЫ**

* ОБЕСПЕЧИВАЮТ ПОДДЕРЖКУ СЕГМЕНТИРОВАННОЙ МОДЕЛИ ПАМЯТИ (НЕЗАВИСИМЫЕ ЛОГИЧЕСКИЕ ЕДИНИЦЫ ИНФОРМАЦИИ, КОТОРЫМ СООТВЕТСТВУЮТ ЛИНЕЙНЫЕ ОБЛАСТИ ПАМЯТИ)
* МОГУТ МОДИФИЦИРОВАТЬСЯ ТОЛЬКО ПРИ ЗАГРУЗКЕ В РЕГИСТР
* В РЕАЛЬНОМ РЕЖИМЕ СОДЕРЖАТ СТАРШИЕ 16 РАЗРЯДОВ 20-ТИ РАЗРЯДНОГО БАЗОВОГО АДРЕСА СЕГМЕНТА. АДРЕСУЕТСЯ 220 БАЙТ (1 МБАЙТ). СЕГМЕНТЫ ПОСТОЯННОЙ ДЛИНЫ 216 БАЙТ = 64 КБАЙТ

**СЕГМЕНТНЫЕ РЕГИСТРЫ В ЗАЩИЩЕННОМ РЕЖИМЕ**

* В ЗАЩИЩЕННОМ РЕЖИМЕ ПОМИМО БАЗОВОГО АДРЕСА СЕГМЕНТА ДЛЯ ОБЕСПЕЧЕНИЯ ПОДДЕРЖКИ МНОГОЗАДАЧНОСТИ НЕОБХОДИМО ХРАНИТЬ И ДРУГУЮ ВАЖНУЮ ИНФОРМАЦИЮ О СЕГМЕНТЕ (РАЗМЕР, АТРИБУТЫ)
* ДАННЫЕ О СЕГМЕНТАХ СОДЕРЖАТСЯ В ДЕСКРИПТОРАХ (СТРУКТУРЫ ДАННЫХ РАЗМЕРОМ 8 БАЙТ), КОТОРЫЕ ХРАНЯТСЯ В ТАБЛИЦАХ ДЕСКРИПТОРОВ
* ТАБЛИЦЫ ДЕСКРИПТОРОВ НАХОДЯТСЯ В ПАМЯТИ
* В СЕГМЕНТНЫХ РЕГИСТРАХ СОДЕРЖАТСЯ ТОЛЬКО СЕЛЕКТОРЫ (ИНДЕКСЫ) ДЛЯ ПОИСКА ДЕСКРИПТОРОВ В ТАБЛИЦАХ ДЕСКРИПТОРОВ

**АССОЦИИРОВАННЫЕ ТЕНЕВЫЕ РЕГИСТРЫ ДЕСКРИПТОРОВ**

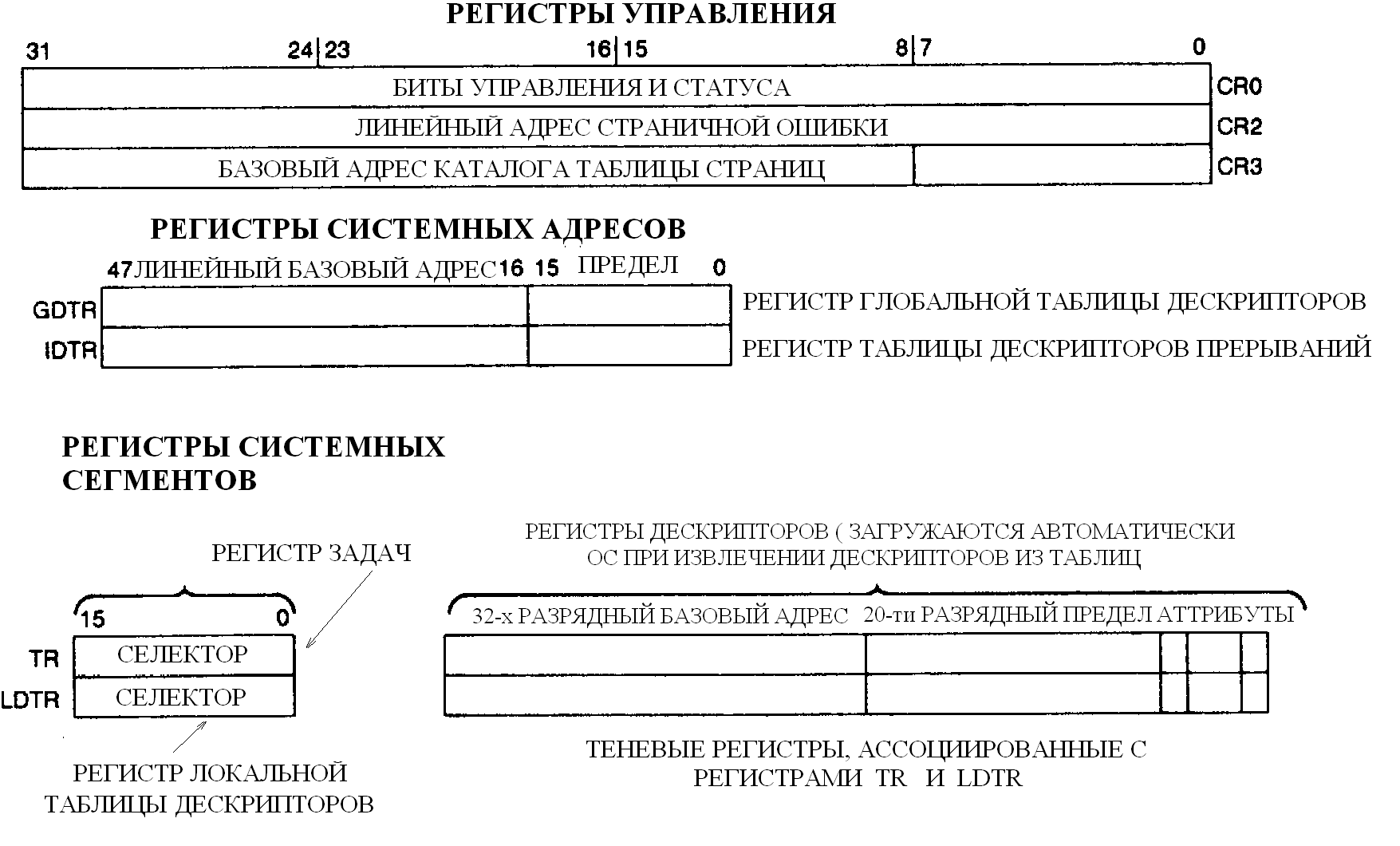
****

**ИСПОЛЬЗОВАНИЕ ТЕНЕВЫХ РЕГИСТРОВ**

* КАЖДЫЙ ТЕНЕВОЙ РЕГИСТР СОДЕРЖИТ 32-х РАЗРЯДНЫЕ БАЗОВЫЙ АДРЕС СЕГМЕНТА, ПРЕДЕЛ СЕГМЕНТА И ЕГО АТРИБУТЫ
* ПРИ ЗАГРУЗКЕ В СЕГМЕНТНЫЙ РЕГИСТР НОВОГО ЗНАЧЕНИЯ СЕЛЕКТОРА СОДЕРЖИМОЕ ТЕНЕВОГО РЕГИСТРА ОБНОВЛЯЕТСЯ АВТОМАТИЧЕСКИ:

1. В РЕАЛЬНОМ РЕЖИМЕ ОБНОВЛЯЕТСЯ ТОЛЬКО БАЗОВЫЙ АДРЕС ПУТЕМ ЗАНЕСЕНИЯ СЕЛЕКТОРА, СДВИНУТОГО ВЛЕВО НА 4 РАЗРЯДА. ОСТАЛЬНЫЕ ПОЛЯ ИМЕЮТ ПОСТОЯННЫЕ ЗНАЧЕНИЯ.
2. В ЗАЩИЩЕННОМ РЕЖИМЕ ОБНОВЛЯЮТСЯ ВСЕ ПОЛЯ ТЕНЕВОГО РЕГИСТРА. ПРИ ОБРАЩЕНИИ К ПАМЯТИ ПОЛЕ БАЗОВОГО АДРЕСА ИСПОЛЬЗУЕТСЯ ПРИ ОПРЕДЕЛЕНИИ ЛИНЕЙНОГО АДРЕСА, ПОЛЕ ПРЕДЕЛА ДЛЯ КОНТРОЛЯ ГРАНИЦ СЕГМЕНТА, АТРИБУТЫ ДЛЯ КОНТРОЛЯ ПРАВ ДОСТУПА

**СИСТЕМНЫЕ РЕГИСТРЫ**

****

**РЕГИСТР УПРАВЛЕНИЯ CR0**

CОДЕРЖИТ:

* 16-ТИ РАЗРЯДНОЕ СЛОВ0 СОСТОЯНИЯ УСТРОЙСТВА MSW (MACHINE STATE WORD), СОДЕРЖАЩЕЕ БИТЫ УПРАВЛЕНИЯ БЛОКОМ FPU И БИТ «РЕ» (PROTECTION ENABLE)– ВКЛЮЧЕНИЕ ЗАЩИЩЕННОГО РЕЖИМА

В СТАРШЕЙ ЧАСТИ CR0 ИМЕЮТСЯ СЛЕДУЮЩИЕ БИТЫ:

* PG (PAGING ENABLE) – ВКЛЮЧЕНИЕ СТРАНИЧНОЙ АДРЕСАЦИИ ПАМЯТИ
* CD (CACHE DISABLE) – ЗАПРЕТ ЗАПОЛНЕНИЯ КЭШ ПАМЯТИ
* NW (NOT WRITE-THROUGH) – ЗАПРЕТ СКВОЗНОЙ ЗАПИСИ В КЭШ

**РЕГИСТР УПРАВЛЕНИЯ CR2**

СОДЕРЖИТ 32-Х РАЗРЯДНЫЙ ЛИНЕЙНЫЙ АДРЕС, ВЫЗВАВШИЙ ИСКЛЮЧИТЕЛЬНУЮ СИТУАЦИЮ НА ПОСЛЕДНЕЙ СТРАНИЦЕ (ОШИБКА ОБРАЩЕНИЯ К СТРАНИЦЕ – ОТСУТСТВИЕ СТРАНИЦЫ В ПАМЯТИ, НЕДОСТАТОЧНЫЙ УРОВЕНЬ ПРИВИЛЕГИЙ)

**РЕГИСТР УПРАВЛЕНИЯ CR3**

СОДЕРЖИТ:

* БАЗОВЫЙ АДРЕС КАТАЛОГА ТАБЛИЦ СТРАНИЦ (20 БИТ)
* БИТ PCD (PAGE CACHE DISABLE) – ЗАПРЕТ ЗАПИСИ СТРАНИЦЫ В КЭШ
* БИТ PWT (PAGE WRITE-THROUGH) – СКВОЗНАЯ ЗАПИСЬ В КЭШ. ПРИ PWT=0 – ОБРАТНАЯ ЗАПИСЬ

**РЕГИСТРЫ СИСТЕМНЫХ АДРЕСОВ И СЕГМЕНТОВ**

ДЛЯ ПОДДЕРЖКИ ЗАЩИЩЕННОГО РЕЖИМА ОПЕРАЦИОННАЯ СИСТЕМА СОЗДАЕТ И ИСПОЛЬЗУЕТ ТАБЛИЦЫ, РАЗМЕЩАЕМЫЕ В ПАМЯТИ:

* GDT (GLOBAL DESCRIPTOR TABLE) – ГЛОБАЛЬНАЯ ТАБЛИЦА ДЕСКРИПТОРОВ
* IDT (INTERRUPT DESCRIPTOR TABLE) – ТАБЛИЦА ДЕСКРИПТОРОВ ПРЕРЫВАНИЙ
* LDT (LOCAL DESCRIPTOR TABLE) – ЛОКАЛЬНАЯ ТАБЛИЦА ДЕСКРИПТОРОВ

И СПЕЦИАЛЬНЫЙ СЕГМЕНТ

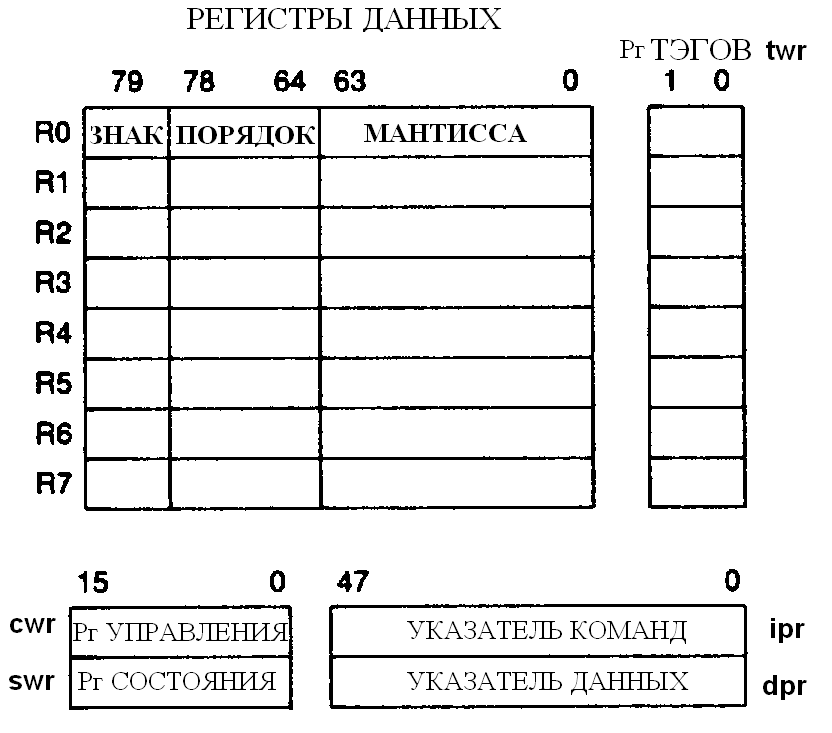
* TSS (TASK STATE SEGMENT) – СЕГМЕНТ СОСТОЯНИЯ ЗАДАЧИ

ПРИ ОБРАЩЕНИИ К ЭТИМ СТРУКТУРАМ ИСПОЛЬЗУЮТСЯ РЕГИСТРЫ:

GDTR И IDTR – УКАЗЫВАЮТ БАЗОВЫЕ АДРЕСА И РАЗМЕРЫ ОДНОИМЕННЫХ ТАБЛИЦ

LDTR И TR – УКАЗЫВАЮТ СЕЛЕКТОРЫ ДЕСКРИПТОРОВ СЕГМЕНТА, СОДЕРЖАЩЕГО LDT, И СЕГМЕНТА TSS СООТВЕТСТВЕННО

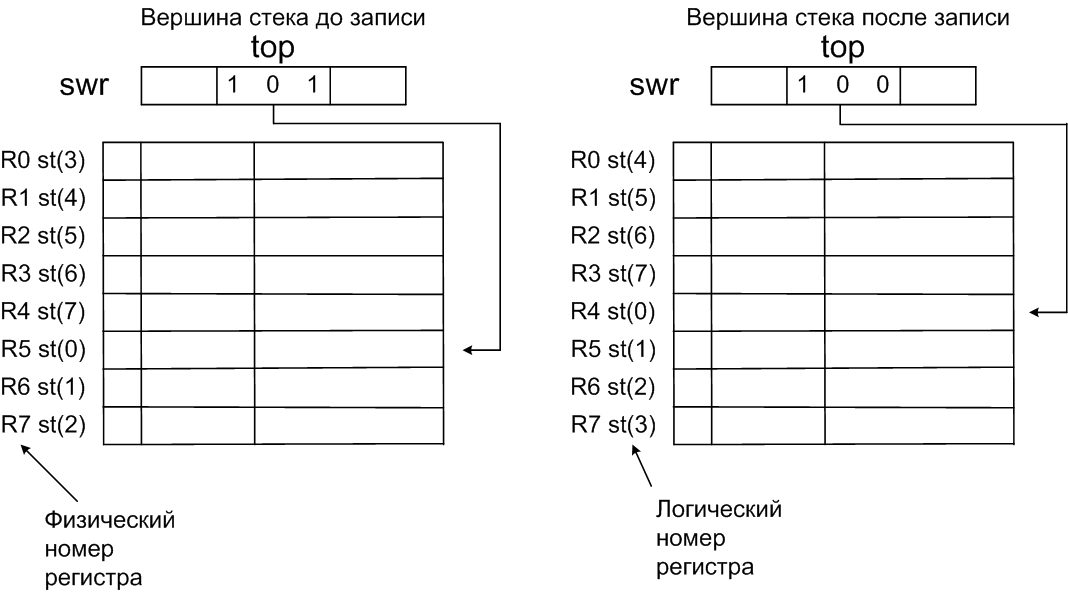
**РЕГИСТРОВАЯ МОДЕЛЬ FPU**

****

**РЕГИСТРЫ ДАННЫХ**

* ИСПОЛЬЗУЮТСЯ КАК ОБЫЧНЫЕ РЕГИСТРЫ ИЛИ КАК КОЛЬЦЕВОЙ СТЕК
* РЕАЛИЗАЦИЯ ВЫЧИСЛЕНИЙ С ИСПОЛЬЗОВАНИЕМ СТЕКА (НЕЯВНАЯ АДРЕСАЦИЯ) ПОЗВОЛЯЕТ ПОЛУЧИТЬ ВЫИГРЫШ В производительности
* ВЕРШИНА СТЕКА ОПРЕДЕЛЯЕТСЯ В РЕГИСТРЕ СОСТОЯНИЯ SWR ( 3-х БИТОВОЕ ПОЛЕ «top»)
* ДЛЯ ОБРАЩЕНИЯ К СТЕКУ В КОМАНДАХ ИСПОЛЬЗУЮТСЯ ПЕРЕМЕЩАЕМЫЕ ПО КОЛЬЦУ ЛОГИЧЕСКИЕ НОМЕРА РЕГИСТРОВ st(0)-st(7)
* ЛОГИЧЕСКИЙ НОМЕР st(0) ПРИСВАИВАЕТСЯ ВЕРШИНЕ СТЕКА В ТЕКУЩИЙ МОМЕНТ. ПРИ ЗАПИСИ В СТЕК УКАЗАТЕЛЬ ВЕРШИНЫ СТЕКА ПЕРЕМЕЩАЕТСЯ В СТОРОНУ УМЕНЬШЕНИЯ ФИЗИЧЕСКОГО НОМЕРА (НИЖНИЙ СТЕК)
* ЛОГИЧЕСКИЕ НОМЕРА РЕГИСТРОВ МОГУТ ИСПОЛЬЗОВАТЬСЯ ДЛЯ ЯВНОЙ ОТНОСИТЕЛЬНОЙ АДРЕСАЦИИ ФИЗИЧЕСКИХ РЕГИСТРОВ R0-R7 В

**ФИЗИЧЕСКИЕ И ЛОГИЧЕСКИЕ НОМЕРА РЕГИСТРОВ**

****

**РЕГИСТР ТЭГОВ (twr)**

* ОБЪЕДИНЯЕТ 2-х БИТОВЫЕ ПОЛЯ ТЭГОВ РЕГИСТРОВ ДАННЫХ
* ИСПОЛЬЗУЕТСЯ ДЛЯ КОНТРОЛЯ СОСТОЯНИЯ РЕГИСТРОВ ДАННЫХ

|  |  |  |
| --- | --- | --- |
| **0** | **0** | **ДОПУСТИМОЕ ЗНАЧЕНИЕ, НЕ РАВНОЕ НУЛЮ** |
| **0** | **1** | **НУЛЕВОЕ ЗНАЧЕНИЕ** |
| **1** | **0** | **СПЕЦИАЛЬНОЕ ЗНАЧЕНИЕ (НЕОПРЕДЕЛЕННОСТИ И НЕПОДДЕРЖИВАЕМЫЕ ФОРМАТЫ И Т.Д.)** |
| **1** | **1** | **РЕГИСТР ПУСТ, ДОСТУПЕН ДЛЯ ЗАПИСИ** |

**РЕГИСТР СОСТОЯНИЯ (swr)**

СОДЕРЖИТ:

* УКАЗАТЕЛЬ ВЕРШИНЫ СТЕКА (3 БИТА)
* ПРИЗНАКИ РЕЗУЛЬТАТА (4 БИТА) (АНАЛОГИ ПРИЗНАКОВ АЛУ)
* ФЛАГ ОШИБКИ РАБОТЫ СТЕКА (ЧТЕНИЕ ПУСТОГО И ЗАПИСЬ В ЗАПОЛНЕННЫЙ СТЕК)
* ФЛАГИ ИСКЛЮЧИТЕЛЬНЫХ СИТУАЦИЙ (НЕДЕЙСТВИТЕЛЬНАЯ ОПЕРАЦИЯ, ДЕЛЕНИЕ НА НОЛЬ, ПЕРЕПОЛНЕНИЕ, АНТИПЕРЕПОЛНЕНИЕ, ОКРУГЛЕНИЕ)
* ИСКЛЮЧИТЕЛЬНАЯ СИТУАЦИЯ (ИСКЛЮЧЕНИЕ) – РАЗНОВИДНОСТЬ ПРЕРЫВАНИЙ (ВНУТРЕННИХ, АСИНХРОННЫХ), ПРИ ПОМОЩИ КОТОРЫХ ПРОЦЕССОР СООБЩАЕТ ПРОГРАММЕ О НЕКОТОРЫХ ОСОБЕННОСТЯХ ЕЕ ВЫПОЛНЕНИЯ
* ИСКЛЮЧЕНИЯ МОГУТ ОТРАБАТЫВАТЬСЯ САМИМ FPU ПРИ УСТАНОВКЕ В «1» БИТОВ ПОЛЯ МАСОК РЕГИСТРА УПРАВЛЕНИЯ сwr

**РЕГИСТР УПРАВЛЕНИЯ (сwr)**

СОДЕРЖИТ:

* ПОЛЕ МАСОК ПРИЗНАКОВ ИСКЛЮЧЕНИЙ ДЛЯ РЕГИСТРА СОСТОЯНИЯ
* ПОЛЕ УПРАВЛЕНИЯ ТОЧНОСТЬЮ (МАНТИССА – 23, 52, 64 БИТА)
* ПОЛЕ УПРАВЛЕНИЯ ОКРУГЛЕНИЕМ (ОКРУГЛЕНИЕ В МЕНЬШУЮ, БОЛЬШУЮ СТОРОНУ, ОТБРАСЫВАНИЕ ДРОБНОЙ ЧАСТИ)
* УКАЗАТЕЛИ КОМАНД (ipr)И ДАННЫХ (dpr)
* ПРЕДНАЗНАЧЕНЫ ДЛЯ ФИКСАЦИИ ИНФОРМАЦИИ ОБ АДРЕСЕ КОМАНДЫ, ВЫЗВАВШЕЙ ИСКЛЮЧИТЕЛЬНУЮ СИТУАЦИЮ, И АДРЕСЕ ЕЕ ОПЕРАНДА (16 РАЗРЯДОВ СОДЕРЖАТ СЕЛЕКТОР СЕГМЕНТА, 32 РАЗРЯДА - СМЕЩЕНИЕ)
* ИСПОЛЬЗУЮТСЯ ПРИ ОБРАБОТКЕ ИСКЛЮЧИТЕЛЬНЫХ СИТУАЦИЙ

**РЕГИСТРЫ ОТЛАДКИ И ТЕСТИРОВАНИЯ**

6 РЕГИСТРОВ ОТЛАДКИ:

* DR0, DR1, DR2, DR3 – СОДЕРЖАТ ЛИНЕЙНЫЕ АДРЕСА ТОЧЕК ОСТАНОВА
* DR6 – ПОКАЗЫВАЕТ ТЕКУЩЕЕ СОСТОЯНИЕ ПРОЦЕССОРА В ТОЧКЕ ОСТАНОВА
* DR7 – ИСПОЛЬЗУЕТСЯ ДЛЯ УСТАНОВКИ ТОЧКИ ОСТАНОВА

5 РЕГИСТРОВ ТЕСТИРОВАНИЯ:

ТR3, ТR4, ТR5 – ИСПОЛЬЗУЮТСЯ ДЛЯ ТЕСТИРОВАНИЯ

КЭШ-ПАМЯТИ

* ТR6, ТR7 – ИСПОЛЬЗУЮТСЯ ДЛЯ ТЕСТИРОВАНИЯ БУФЕРА АССОЦИАТИВНОЙ ТРАНСЛЯЦИИ АДРЕСОВ СТРАНИЦ (TLB)

**ТИПЫ ОБРАБАТЫВАЕМЫХ ДАННЫХ**

* БЕЗЗНАКОВЫЕ ЦЕЛЫЕ ЧИСЛА (БАЙТ, СЛОВО, ДВОЙНОЕ СЛОВО)
* ЦЕЛЫЕ ЧИСЛА СО ЗНАКОМ
* ЧИСЛА С ПЛАВАЮЩЕЙ ЗАПЯТОЙ
* УПАКОВАННЫЕ И НЕУПАКОВАННЫЕ ДВОИЧНО-ДЕСЯТИЧНЫЕ ЧИСЛА
* СТРОКОВЫЕ ДАННЫЕ (ПОСЛЕДОВАТЕЛЬНОСТИ БИТОВ, БАЙТОВ, СЛОВ, ДВОЙНЫХ СЛОВ) – РАЗМЕРОМ ОТ ОДНОГО БИТА/БАЙТА ДО 4ГБАЙТ
* СТРОКОВЫЕ ДАННЫЕ С ИСПОЛЬЗОВАНИЕМ ASCII – КОДОВ
* ДАННЫЕ ТИПА «УКАЗАТЕЛЬ» ДВУХ ТИПОВ:

1. 48БИТ=16 БИТ СЕЛЕКТОР+32 БИТА СМЕЩЕНИЕ

2. 32 БИТА СМЕЩЕНИЯ

* ФОРМАТЫ ОБРАБАТЫВАЕМЫХ ЧИСЕЛ

|  |  |  |  |
| --- | --- | --- | --- |
| **Тип** | **Размер, байт** | **Диапазон** | **Обработка** |
| Целые  без знака | 1  2  4 | 0...255  0...65535  0...4,3\*109 | ALU |
| Целые  со знаком | 1 | -128...+127 | ALU |
| 2  4 | -32768...+32767  2,1\*109...+2,1\*109 | ALU, FPU |
| 8 | 9,1\*1018...+9\*1018 | FPU |
| С плавающей запятой | 4 (1+8+23)  знак-порядок-мантисса | ±3,37\*1035 | FPU |
| 8 (1+11+52) | ±1,67\*10308 |
| 10 (1+15+64) | ±1,1\*104932 |
| Двоично-десятичные числа | 1 распакованный  1 упакованный | 0...9  0...99 | ALU  ALU |
| 10 упакованных | 0...9...9 (18 цифр) | FPU |