



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

**О Т Ч Е Т**

по лабораторной работе № 2

**Название:** Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

Студент

ИУ7И-41Б  
(Группа)

Чыонг Ван Хао  
(И.О. Фамилия)

Преподаватель



А. Ю. Попов  
(И.О. Фамилия)

Москва, 2022

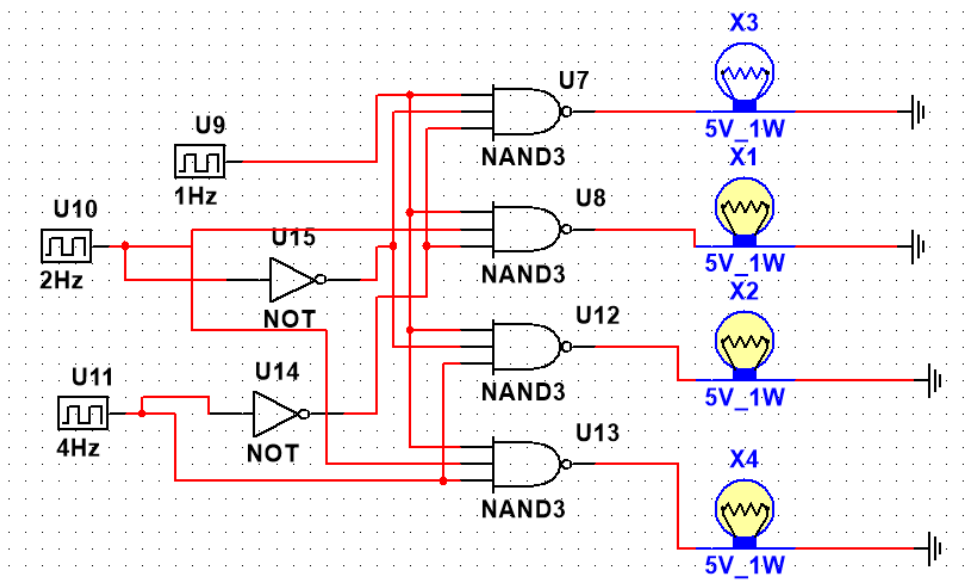
**Цель работы** – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов

## Задание 1

Исследование **линейного двухвходового дешифратора с инверсными выходами:**

- собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов  $A_0, A_1$  задать в выходов  $Q_0, Q_1$  четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
- подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при  $EN=1$ );
- подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
- определить амплитуду помех, вызванных гонками, на выходах дешифратора;
- снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);
- определить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Схемы



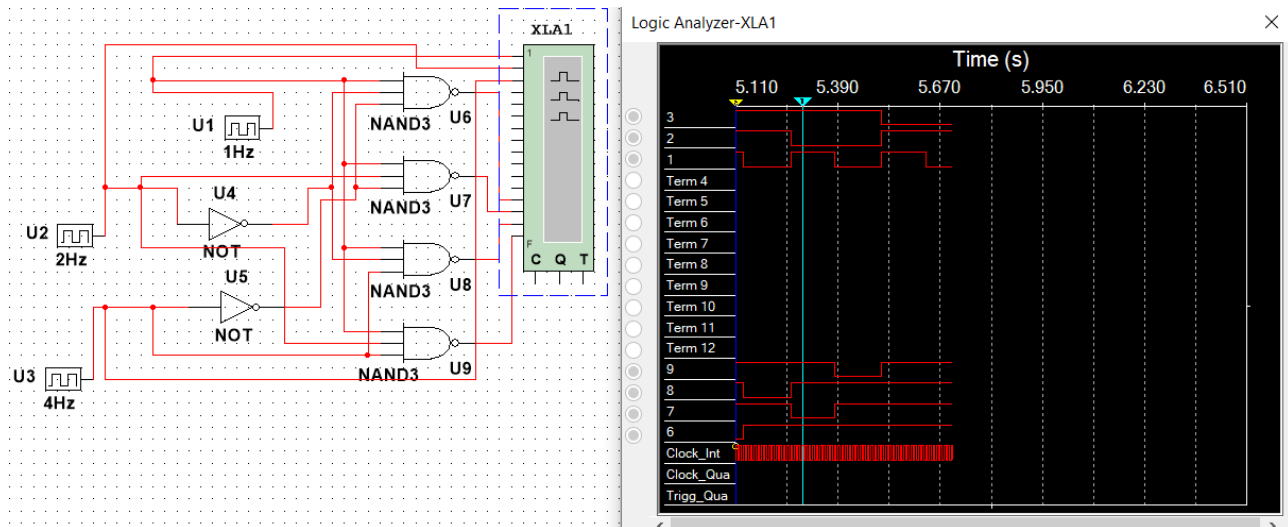



Таблица переходов

E	A1	A2	F1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Так как моделирование осуществляется на компьютере, а не в жизни, то можно не устранять гонки сигналов. Чтобы их не было, нужно чтобы стобирующий сигнал не был равен единице во время переключения сигналов. Получается, ср. время задержки равно сумме средних времен сигнала через НЕ и И-НЕ.

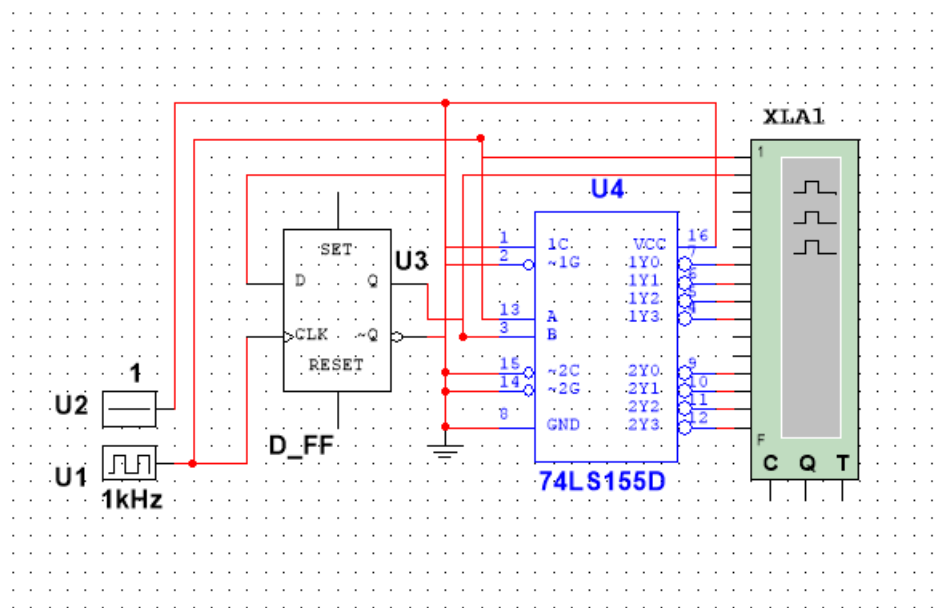
## Задание 2

Исследование дешифраторов ИС К155ИД4 (74LS155).

- снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы  $Q_0$  и  $Q_1$  выходов счетчика, а на стробирующие входы  $\overline{E}_3$  и  $\overline{E}_4$  – импульсы генератора , задержанные линией задержки;
- определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
- собрать схему трехвходового дешифратора на основе дешифратора К155ИД4 (см. рис. 8), задавая входные сигналы  $A_0$ ,  $A_1$ ,  $A_2$  с выходов  $Q_0$ ,  $Q_1$ ,  $Q_2$  счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Схемы:

Двухвходовый



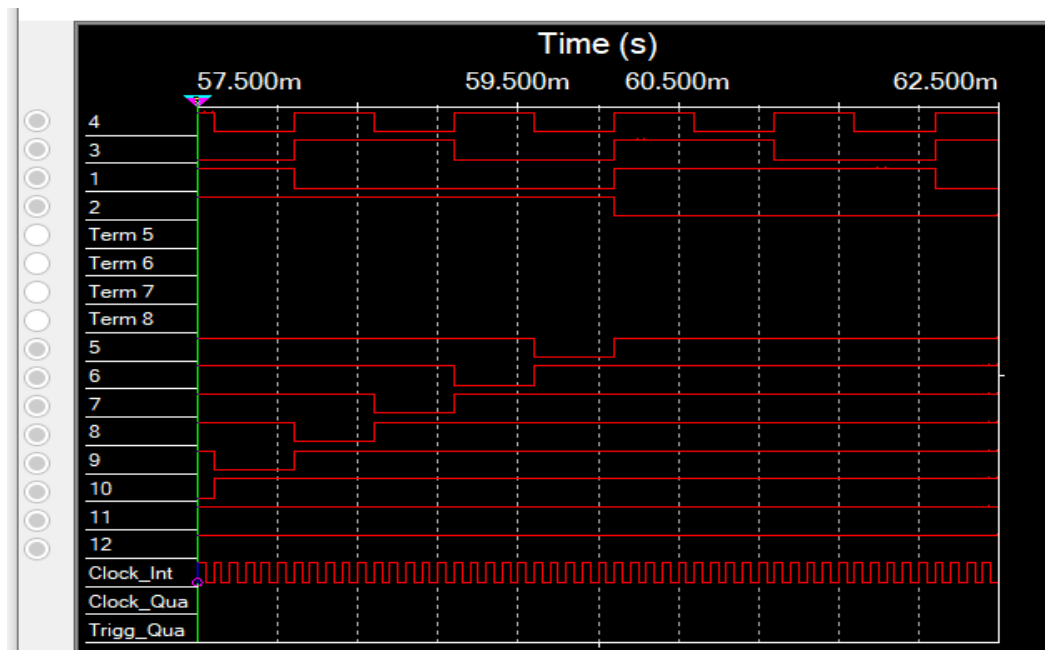
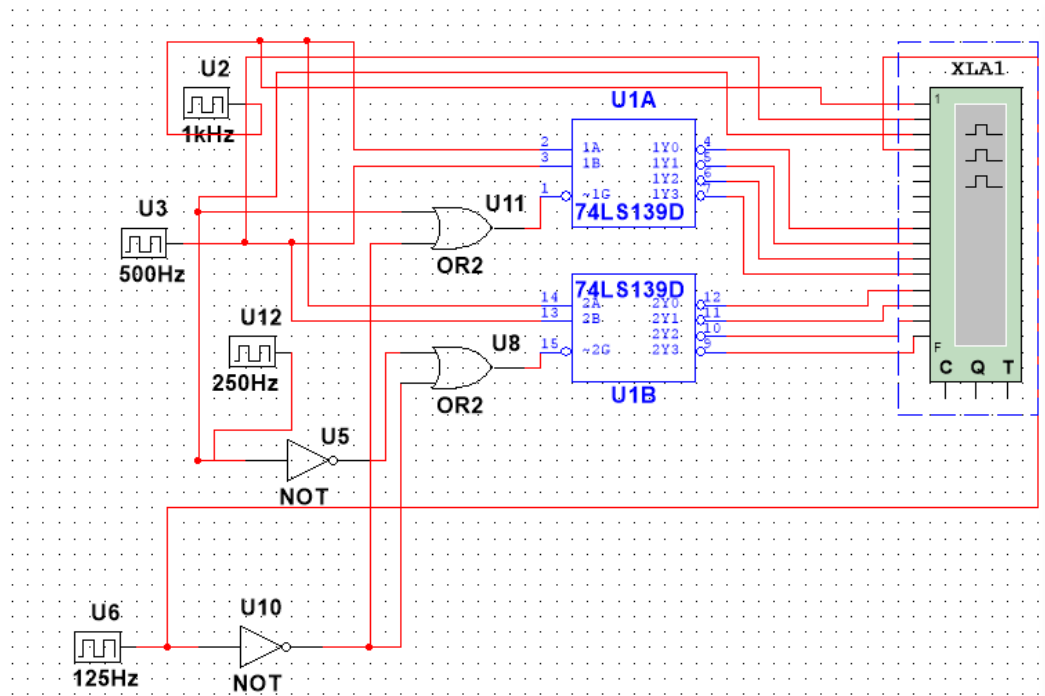




### Задание 3


Исследование дешифраторов ИС КР531ИД14

Схема

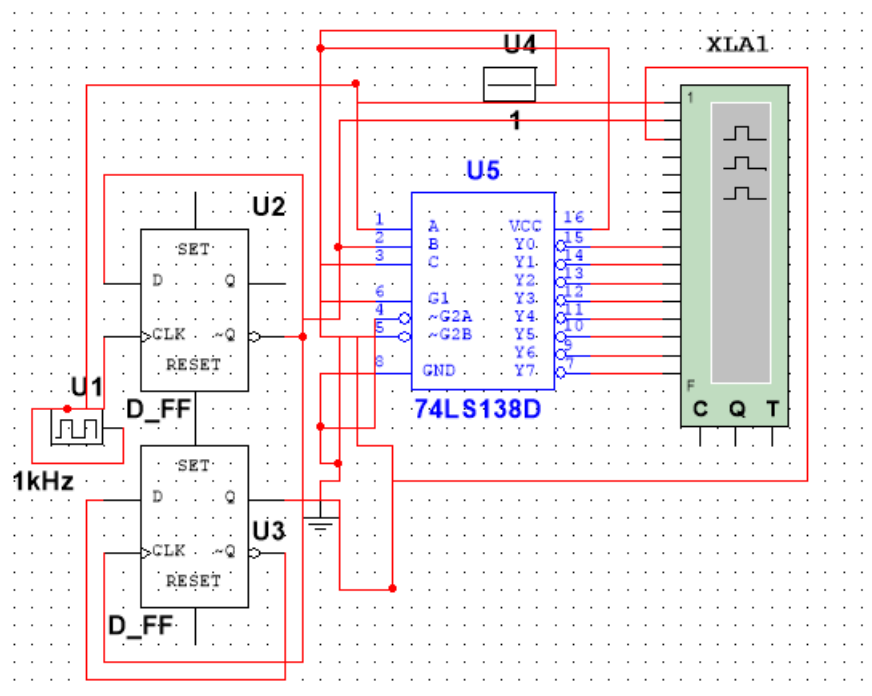


## Задание 4

Исследовать работоспособность дешифраторов ИС 533ИД7

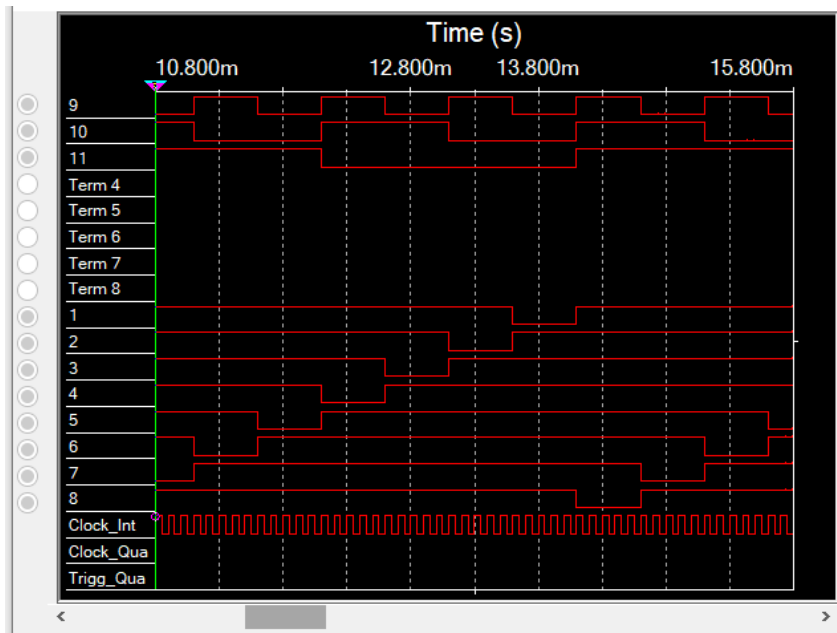
- а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы  $Q_0$ ,  $Q_1$ ,  $Q_2$  с выходов счетчика, а на входы разрешения  $E_1$ ,  $E_2$ ,  $E_3$  – сигналы лог. 1, 0, 0 соответственно;
- б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы  $Q_0$ ,  $Q_1$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$  с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

А, Схема

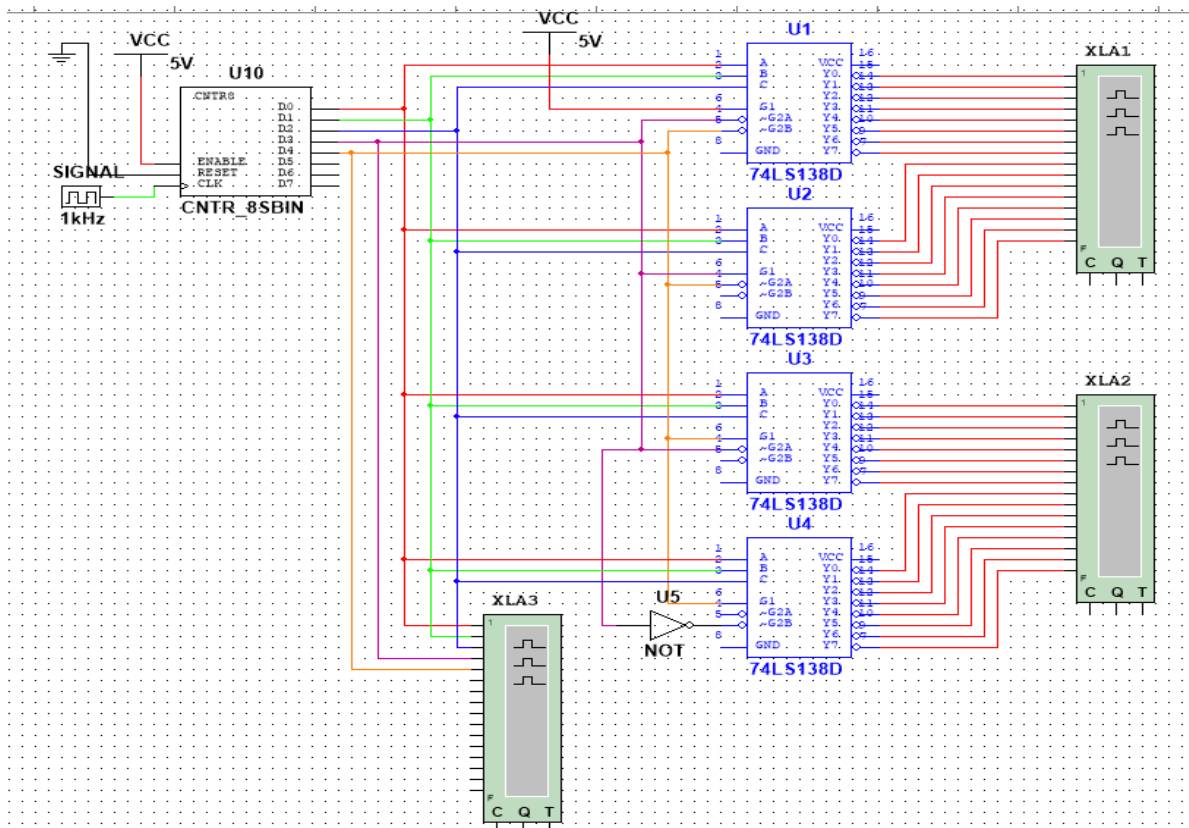


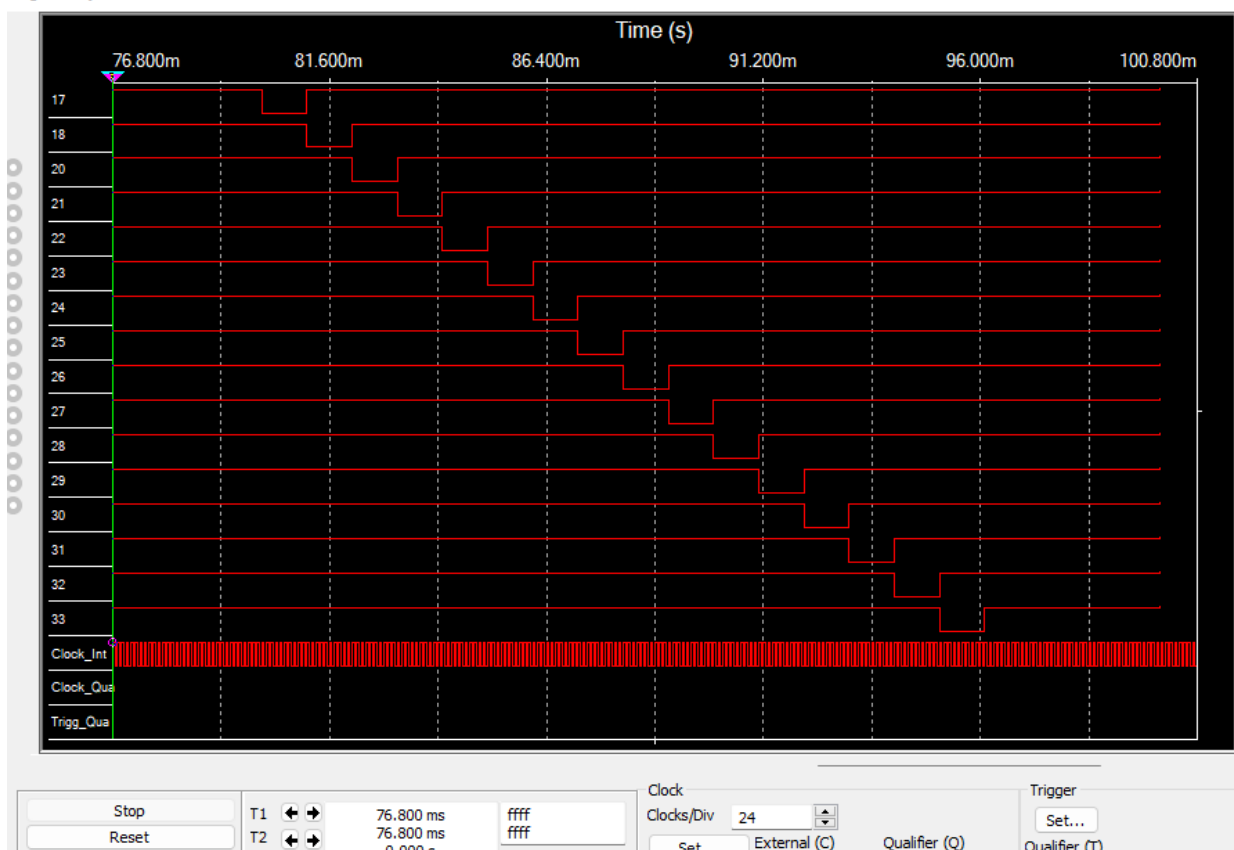
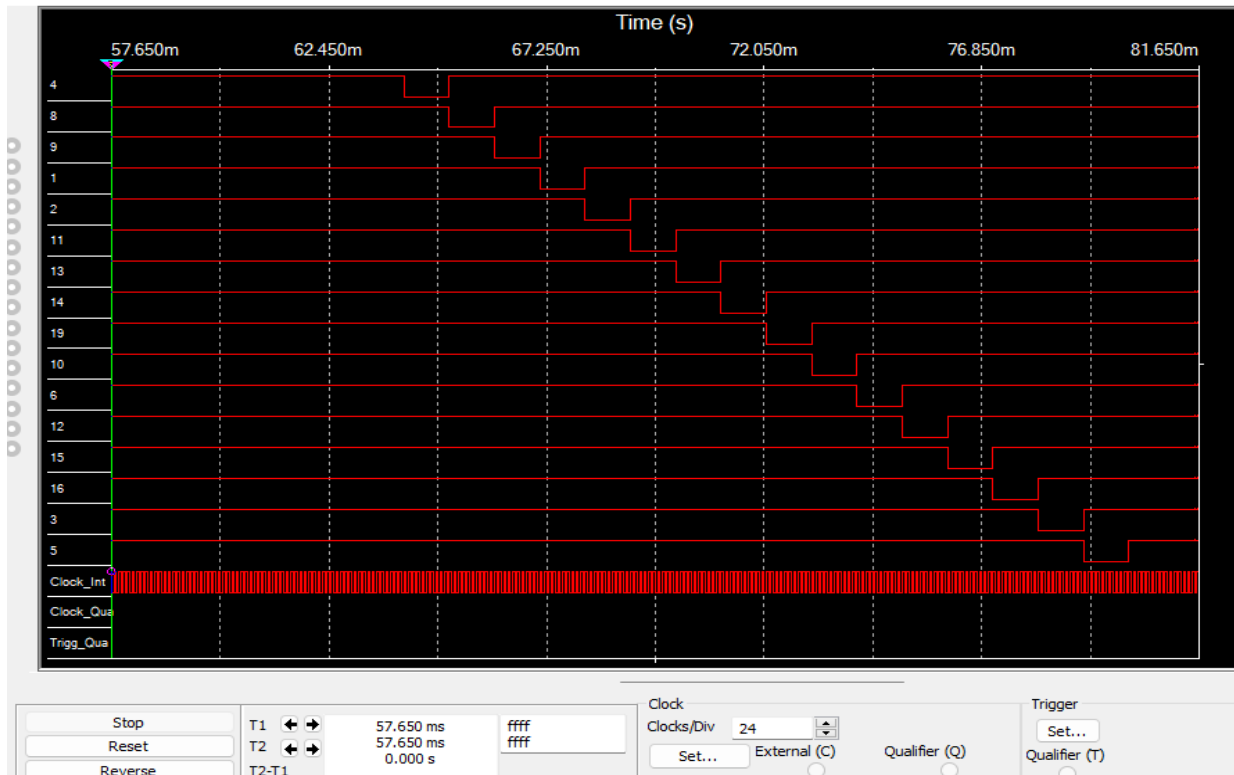


## Логический анализатор



Б, Схема построения дешифратора DC 5-32 согласно методике наращивания входов





## Вывод

Были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов.

## Ответы на контрольные вопросы

### 1. Что называется дешифратором?

*Дешифратором называется комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.*

### 2. Какой дешифратор называется полным (неполным)?

*Дешифратор, у которого  $2^n$  выходов называется полным, остальные — неполными.*

### 3. Определите закон функционирования дешифратора аналитически и таблично.

Аналитически дешифратор можно описать с помощью логических функций в

Входы							Выходы					
$EN$	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

СДНФ:

*Из-за переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть «гонки», которые приводят к появлению ложных сигналов на выходах схемы. Средством, которое позволяет исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом*

*входе не должен быть активным во время переходных процессов в дешифраторе.*

**6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?**

*Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC  $n$ - $N$  используются простые дешифраторы DC  $n_1$ - $N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .*

- 1. Число каскадов равно  $K = n/n_1$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы DC  $n_1$ - $N_1$ . Если  $K$  – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC  $n_1$ - $N_1$ .*
- 2. Количество простых дешифраторов DC  $n_1$ - $N_1$  в выходном каскаде равно  $N/N_1$ , в предвыходном -  $N/N_1 - 2$ , в предпредвыходном -  $N/N_1 - 3$  и т.д.; во входном каскаде -  $N/N_1 - k$ . Если  $N/N_1 - k$  – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.*
- 3. В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.*
- 4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.*