|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина: Архитектура ЭВМ**

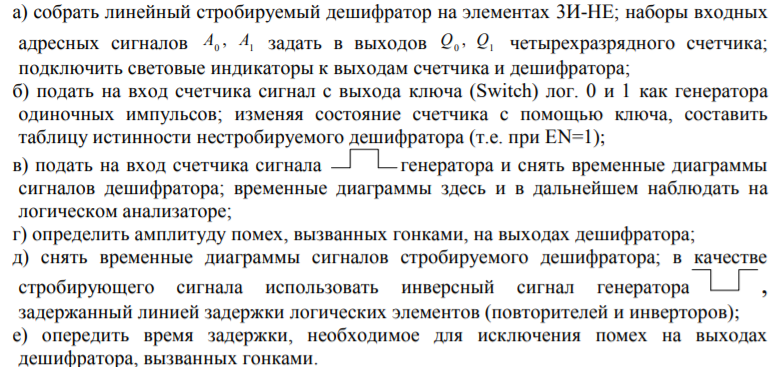
|  |  |  |  |
| --- | --- | --- | --- |
| Студент | ИУ7И-41Б |  | Чыонг Ван Хао |
|  | (Группа) |  | (И.О. Фамилия) |
|  |  |  |  |
| Преподаватель |  |  | А. Ю. Попов |
|  |  |  | (И.О. Фамилия) |

Москва, 2022

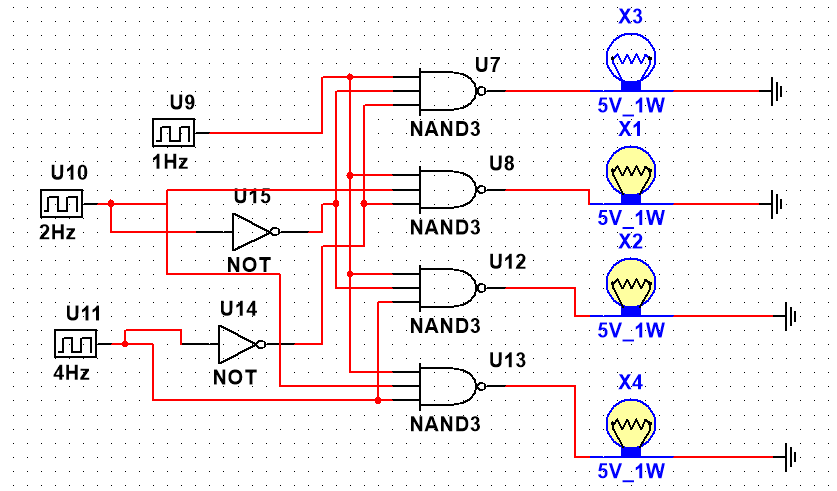
**Цель работы** – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов

### Задание 1

Исследование **линейного двухвходового дешифратора с инверсными выходами:**



Схемы



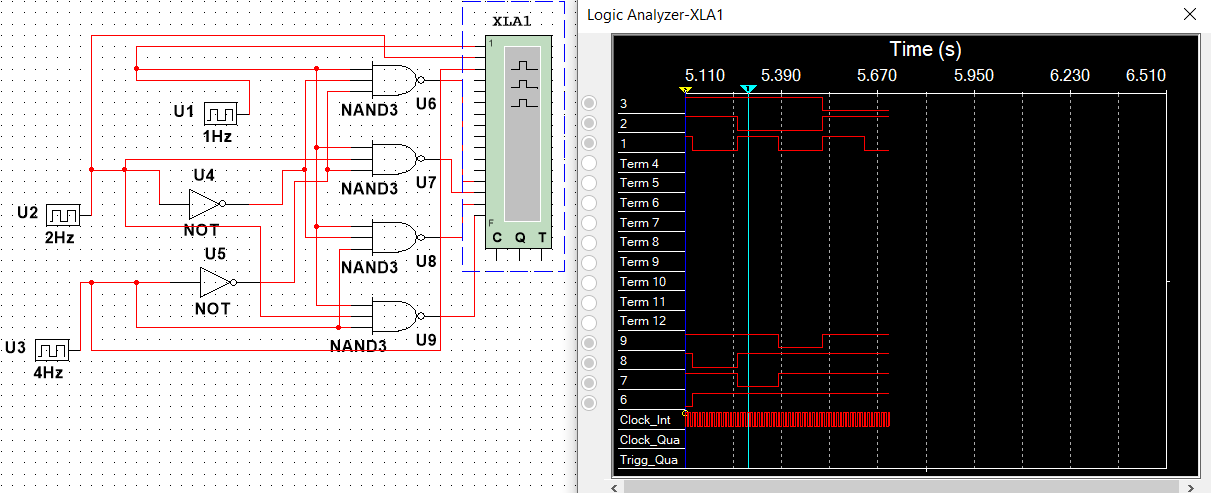


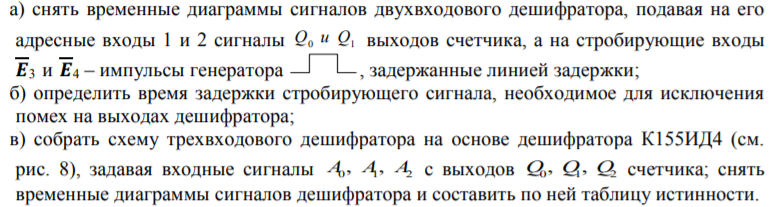
Таблица переходов

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| E | A1 | A2 | F1 | F2 | F3 | F4 |
| 0 | \* | \* | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Так как моделирование осуществляется на компьютере, а не в жизни, то можно не устранять гонки сигналов. Чтобы их не было, нужно чтобы стобирующий сигнал не был равен единице во время переключения сигналов. Получается, ср. время задержки равно сумме средних времен сигнала через НЕ и И-НЕ.

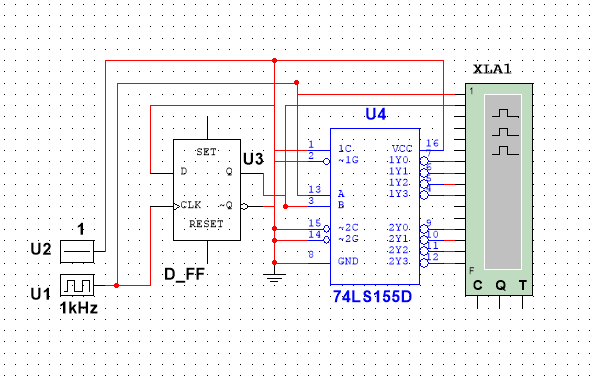
### Задание 2

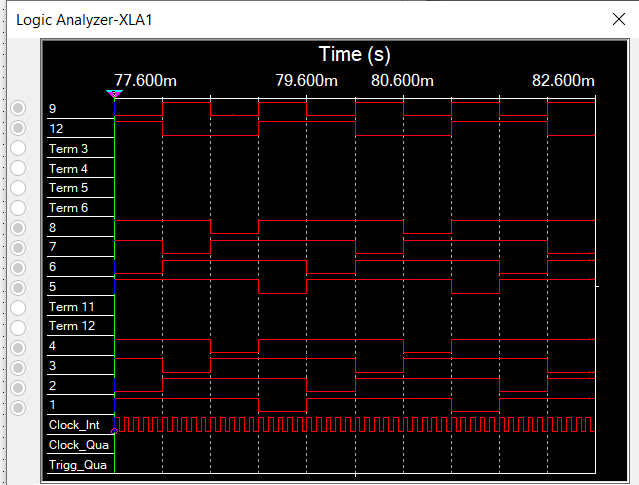
Исследование дешифраторов ИС К155ИД4 (74LS155).



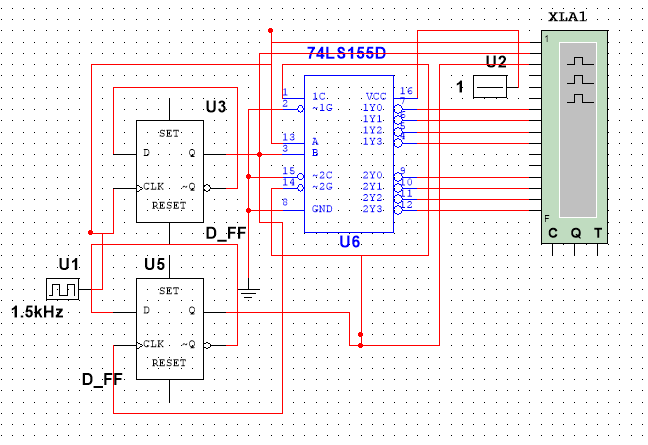
Схемы:

Двухвходовый





Трехвходовый



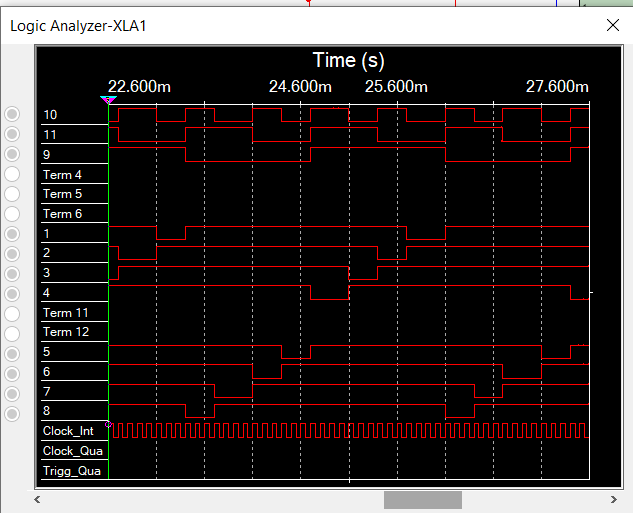


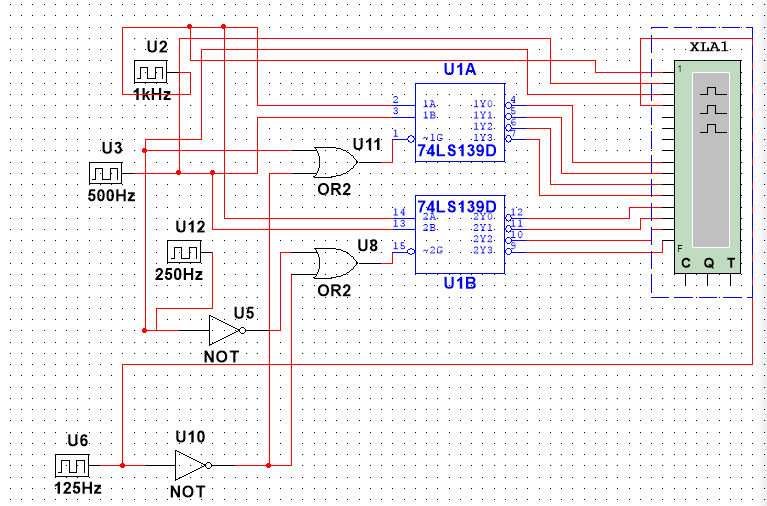
Таблица переходов

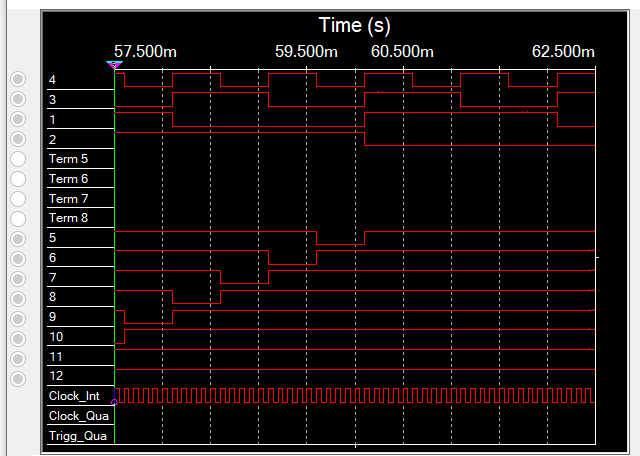
|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A1 | A2 | A3 | F1 | F2 | F3 | F4 | F5 | F6 | F7 | F8 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

### Задание 3

Исследование дешифраторов **ИС КР531ИД14**

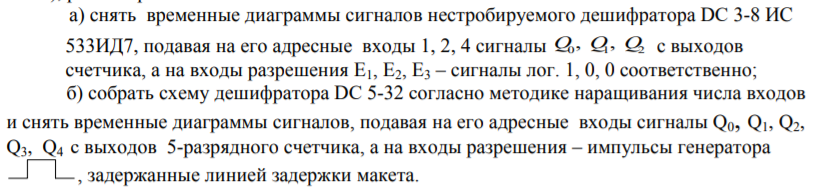
Схема



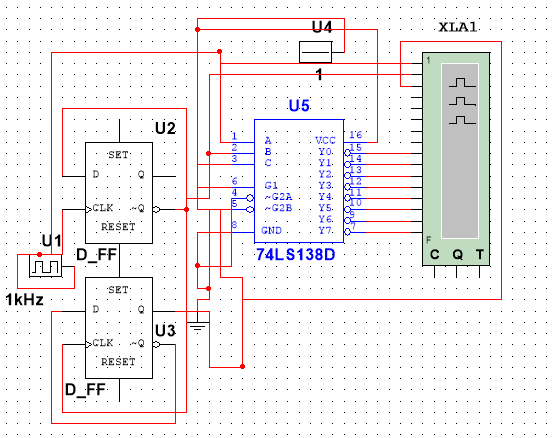


### Задание 4

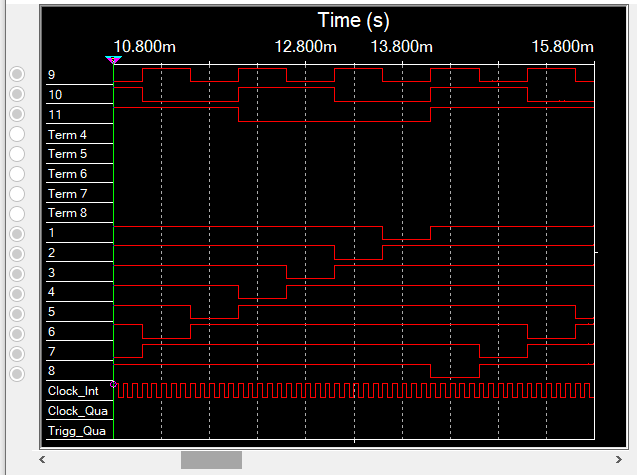
Исследовать работоспособность дешифраторов ИС 533ИД7



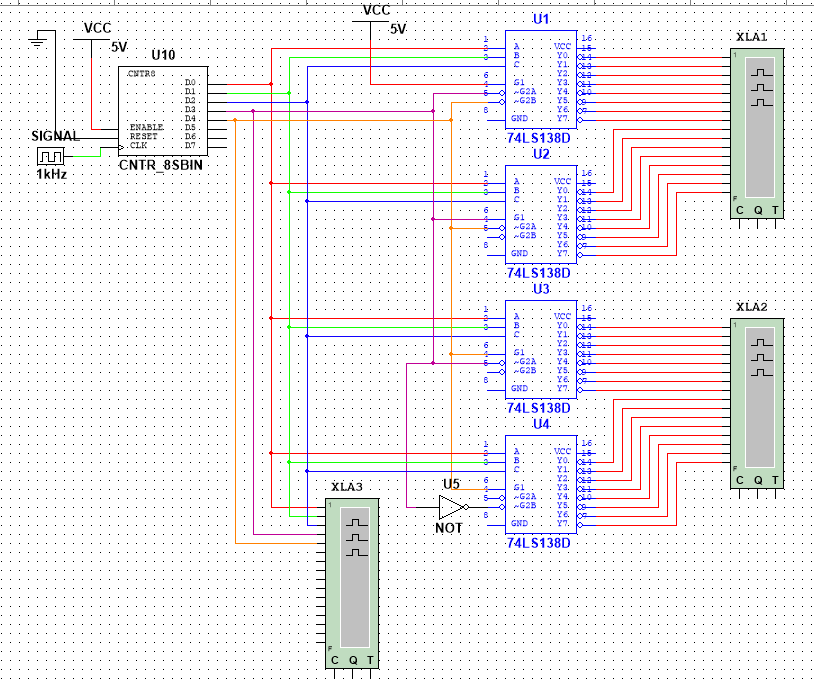
A, Схема

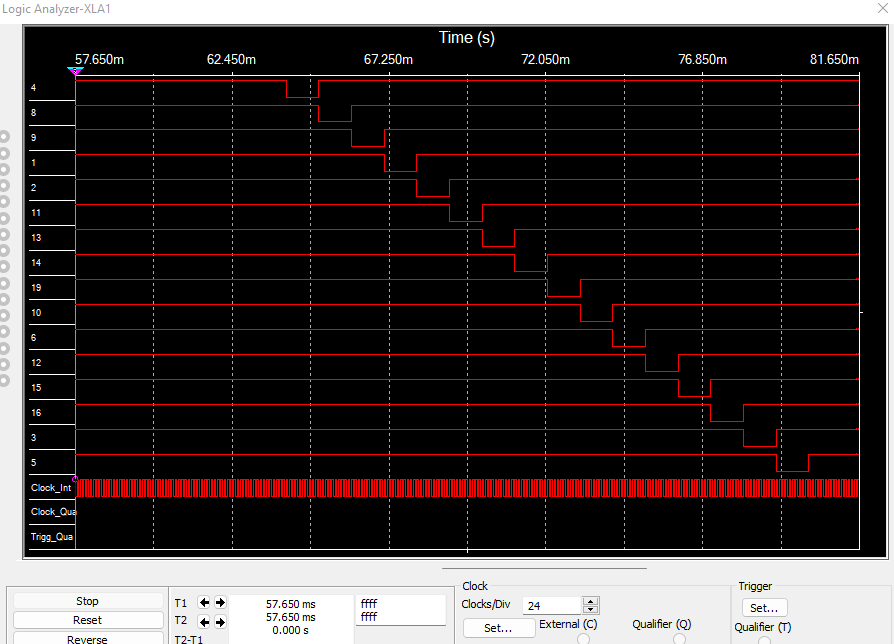
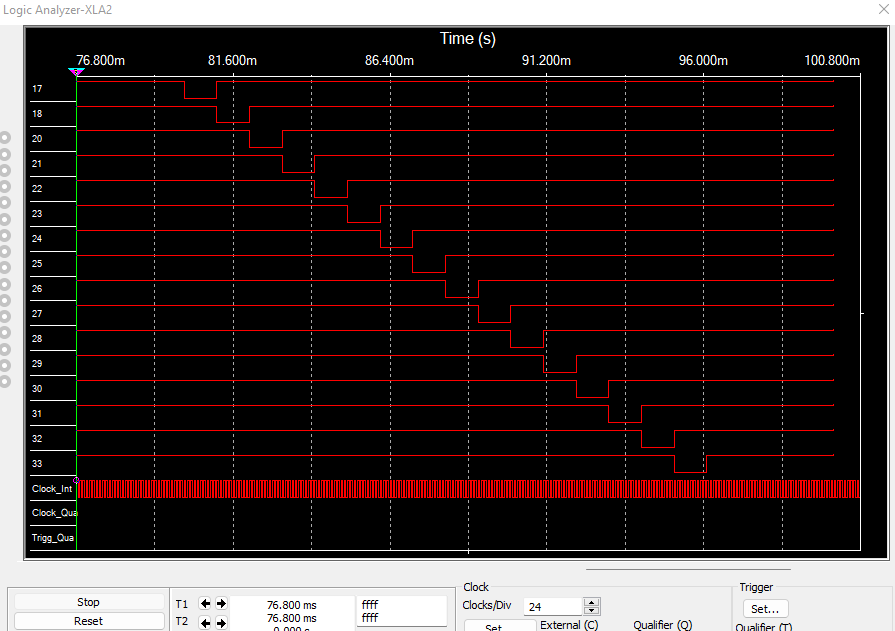


Логический анализатор



Б, Схема построения дешифратора DC 5-32 согласно методикенаращивания входов



****

**Вывод**Были изучены принципы построения и методы синтеза дешифраторов,  
произведено макетирование и экспериментальное исследование  
дешифраторов.

**Ответы на контрольные вопросы**

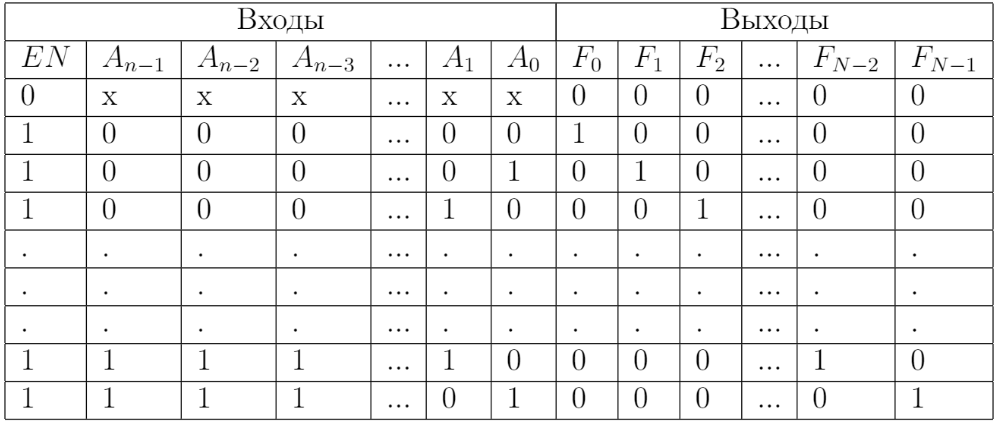
1. **Что называется дешифратором?**

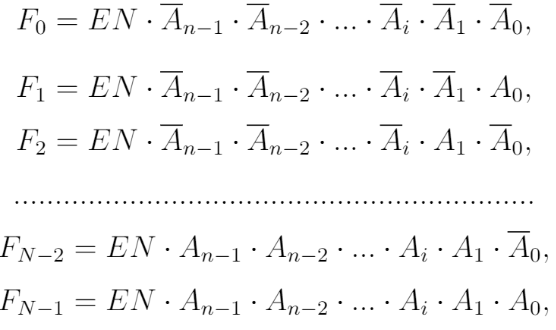
*Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.*

1. **Какой дешифратор называется полным (неполным)?**

*Дешифратор, у которого 2n выходов называется полным, остальные — неполными.*

1. **Определите закон функционирования дешифратора аналитически и таблично.**

Аналитически дешифратор можно описать с помощью логических функций в СДНФ:



1. **Поясните основные способы построения дешифраторов.**

*Линейный дешифратор строится в соответствии с системой(см. Вопрос 2) и представляет собой 2n коньюнкторов или логических элементов ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с n + 1 входами - при его наличии.*

*Пирамидальный дешифратор строится на основе последовательной (каскадной) реализа­ции выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором все конъюнкции трех переменных путем логического умножения каждой ра­нее полученной конъюнкции двух переменных на переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидаль­ные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.*

1. **Что называется гонками и как устраняются ложные сигналы, вызванные гонками?**

*Из-за переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть «гонки», которые приводят к появлению ложных сигналов на выходах схемы. Средством, которое позволяет исключить гонки, явля­ется стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.*

1. **Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?**

*Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n\_1-N\_1, причем n1*<< *n, следовательно и N1* << *N.*

1. *Число каскадов равно К = n/n1. Если К – целое число, то во всех каскадах используются полные дешифраторы DC n1-N1. Если К – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1-N1.*
2. *Количество простых дешифраторов DC n1-N1 в выходном каскаде равно N/N1, в предвыходном - N/N1 2 , в предпредвыходном - N/N1 3 и т.д.;во входном каскаде - N/N1 к . Если N/N1 к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.*
3. *В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.;*

*группа старших разрядов адреса подается на адресные входы дешифратора.*

1. *Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.*