

5.7 同步时序电路的设计

同步时序电路的设计

设计步骤：

(1) 根据要求，建立原始状态转移表（或原始状态转移图）；

①输入/出变量个数；

②状态个数；

③状态间的转换关系（输入条件、输出要求）

(2) 化简原始状态转移表（状态简化或状态合并）；

(3) 进行状态编码（也称状态分配）；

同步时序电路的设计

设计步骤:

(4) 选定触发器的个数和类型，并根据二进制状态转移表（即编码后的状态转移表）设计各触发器的激励函数和电路的输出函数；

(5) 自启动性检查；

(6) 作逻辑电路图。

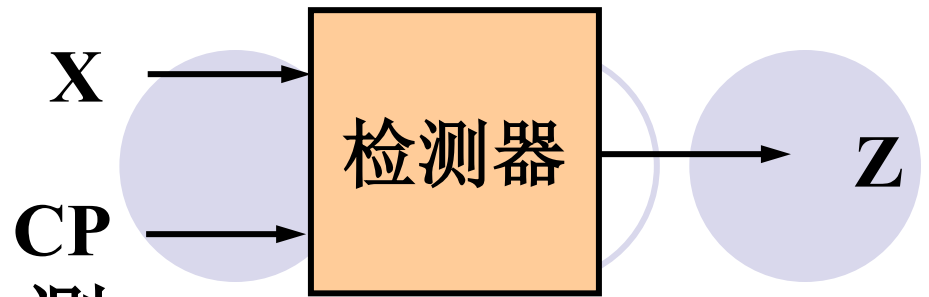
(1) 建立原始状态表(图)

例：设计一个同步序列电路对输入序列进行检测，当出现01011时，输出为1，否则输出为0。

解：输入：X，输出：Z。



定义状态:



A: 起始状态，准备检测。

B: 电路收到序列的最后一位是0；

C: 电路收到序列的最后两位是01；

D: 电路收到序列的最后三位是010；

E: 电路收到序列的最后四位是0101；

F: 电路收到序列的最后五位是01011；准备重新检测

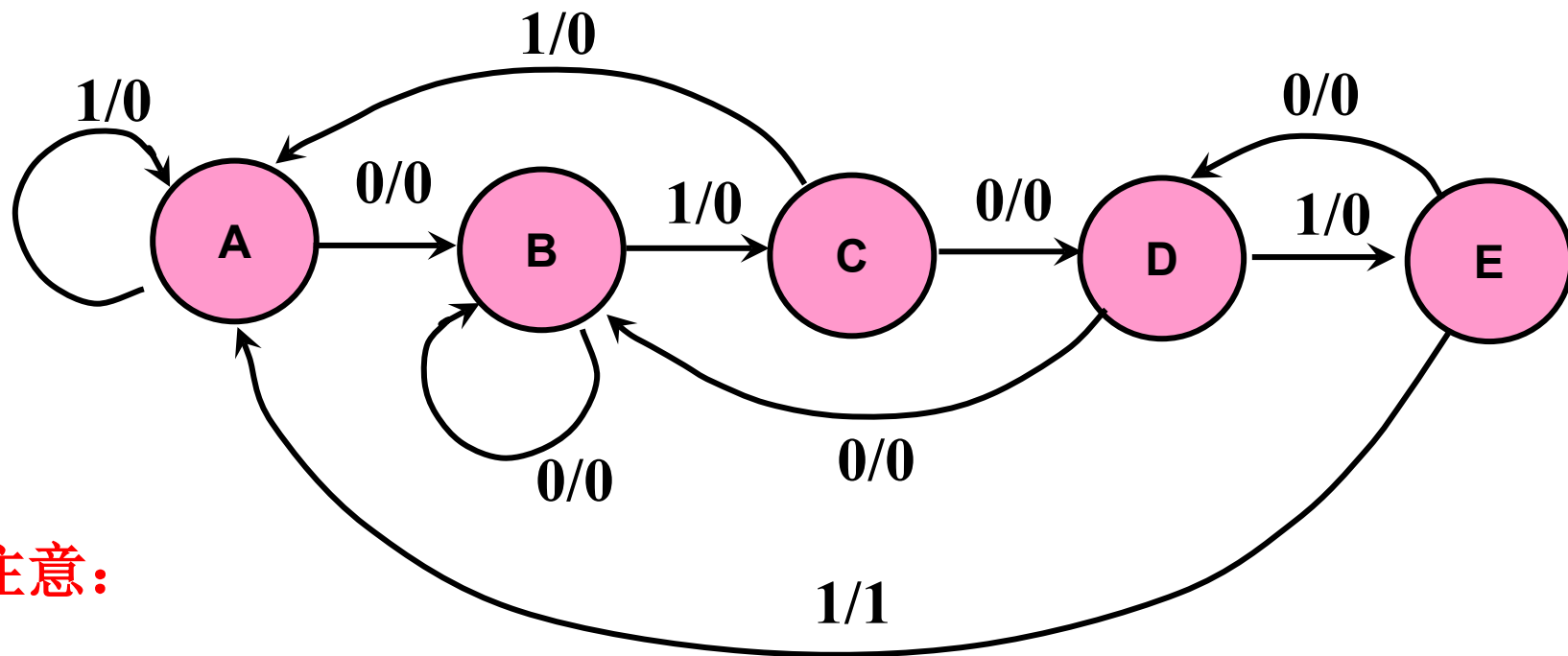
F状态并入**A**状态。

检测序列01011状态转移图

A:01011 准备。 B:0。 C:01。 D:010。 E:0101

X/Z

状态



注意:

①确定有多少状态来表示所设计电路，决不能遗漏任何一个可能的状态。

②当外部输入变量为n个时，则每个状态有 2^n 两个转移方向。

可导出原始状态转移表：

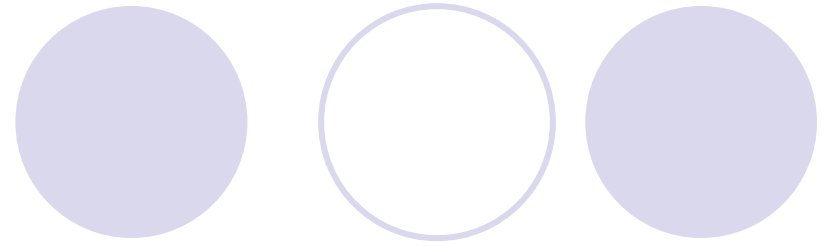
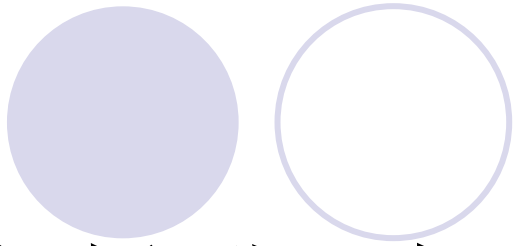
S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	B	C	0	0
C	D	A	0	0
D	B	E	0	0
E	D	A	0	1

(2) 化简原始状态表

关键：寻找可以合并的状态：**等价状态**。

什么是等价状态？满足以下两条件：

- ①在所有输入条件下，两状态对应**输出**完全相同。
- ②在所有输入条件下，**状态转移**也完全相同。



化简过程分三步：

- (1) 画出**隐含表**进行顺序比较；
- (2) 进行**关联比较**；
- (3) 列出**最小化状态表**。

例：将下面原始状态表进行化简。

S (t)	N (t) /Z (t)	
	X=0	X=1
A	A/0	B/0
B	C/0	D/0
C	E/0	F/0
D	G/0	H/0
E	A/0	B/0
F	C/0	D/0
G	E/0	F/0
H	G/0	H/1

隐含表

B	AC BD						
C	AE BF	CE DF					
D	×	×	×				
E	✓	AC BD	AE BF	×			
F	AC BD	✓	EC DF	×	AC BD		
G	AE BF	CE DF	✓	×	AE BF	CE DF	
H	×	×	×	×	×	×	×
	A	B	C	D	E	F	G

S (t)	N (t) / Z (t)	
	X=0	X=1
A	A/0	B/0
B	C/0	D/0
C	E/0	F/0
D	G/0	H/0
E	A/0	B/0
F	C/0	D/0
G	E/0	F/0
H	G/0	H/1

等价
状态对:

[AE]

[BF]

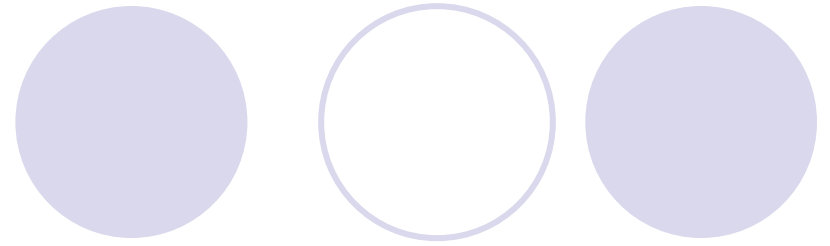
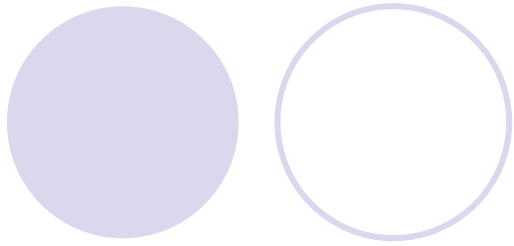
[CG]

[AC]

[AG]

[CE]

[EG]



等价类：等价状态的集合。

最大等价类：包含了全部等价状态的等价类。

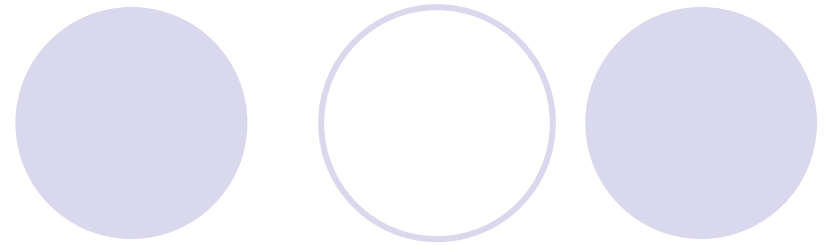
[AE], [BF], [CG], [AC], [AG], [CE], [EG]

[ACEG] [BF] [D] [H]

重新命名为：**a,b,c,d**状态

[ACEG], [BF], [D], [H]

a b c d



S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
a	a/0	b/0
c	a/0	d/0
a	a/0	b/0
b	a/0	c/0
a	a/0	b/0
d	a/0	d/1

最小化状态表

S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
c	a/0	d/0
d	a/0	d/1

(3) 状态编码 (不作要求)

在工程上比较具有实用价值的方法为**相邻法**：尽可能使次态方程和输出函数在卡诺图上“1”的分布为逻辑相邻，以便于化简。

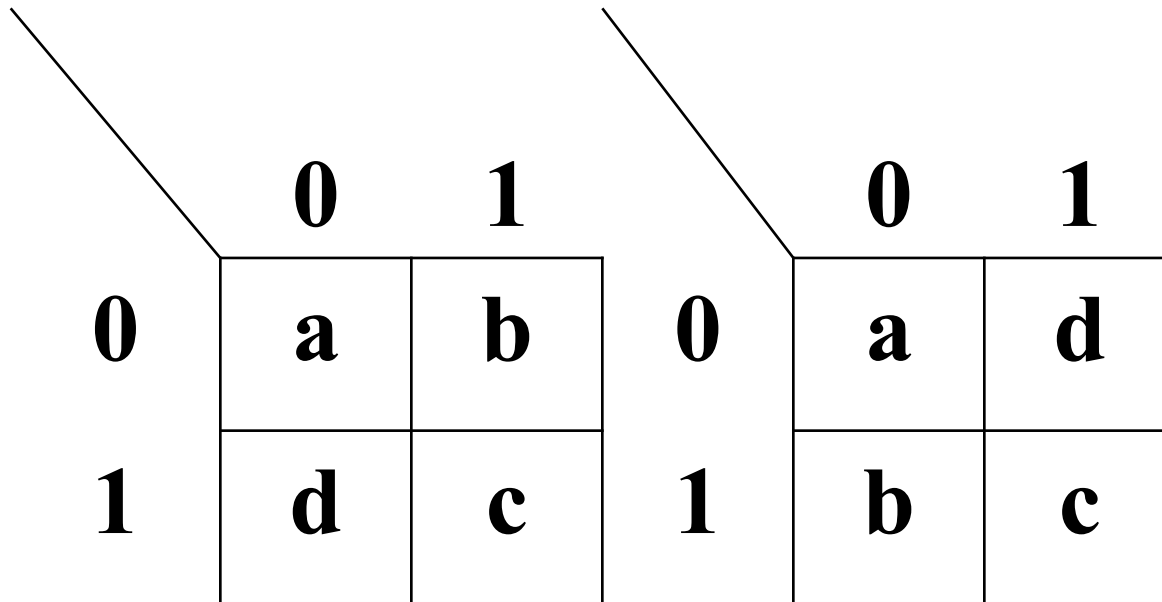


三个原则：（优先权由高到低）

- （1）具有相同次态的现态。如上例的**c**和**d**
- （2）同一现态的各个次态。如上例的 **ad,ab,ac**
- （3）具有相同输出的现态。如**abc**,可任取两两相邻， **ab,bc,ac**。

S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
c	a/0	d/0
d	a/0	d/1

所以优先考虑相邻的状态的次序为：
cd→ad→ab或ac→其它



编码后的二进制状态转移表为：

S (t)	N (t) /Z (t)	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	00/0	10/0
10	00/0	10/1

最后，确定触发器类型，求激励函数和输出方程。

练习1：设计判断输入序列为101的检测器。输入为x，输出为z。对输入序列每三位进行一次判决：若三位代码是101，则对应其最后一个1时，输出z为1；其它情况z为0

x 010 100 101 010

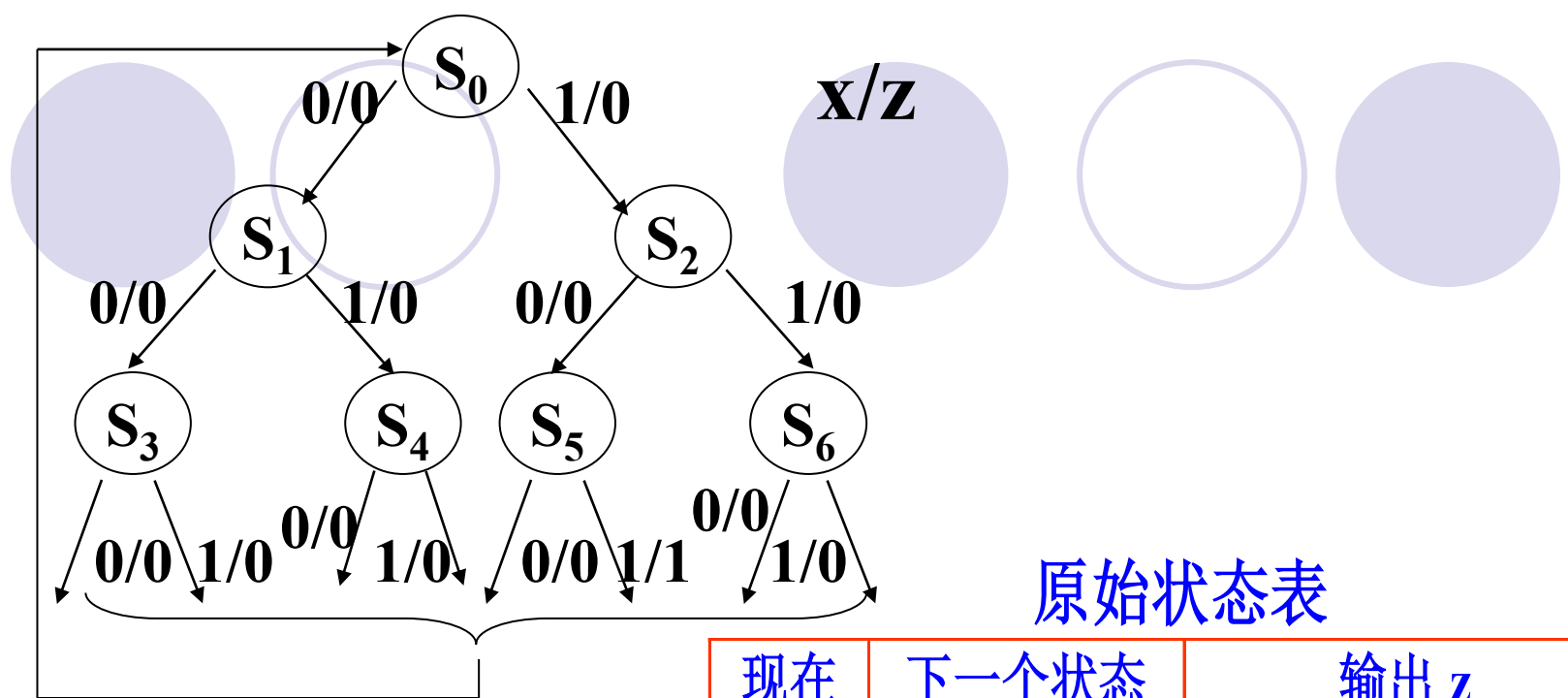
z 000 000 001 000

设 S_0 ：初始状态，每次判定由此状态开始，

S_1 ：收到一个0，

S_2 ：收到一个1，

S_3 ：收到两个0， S_4 ：收到01， S_5 ：收到10， S_6 ：收到11



原始状态表

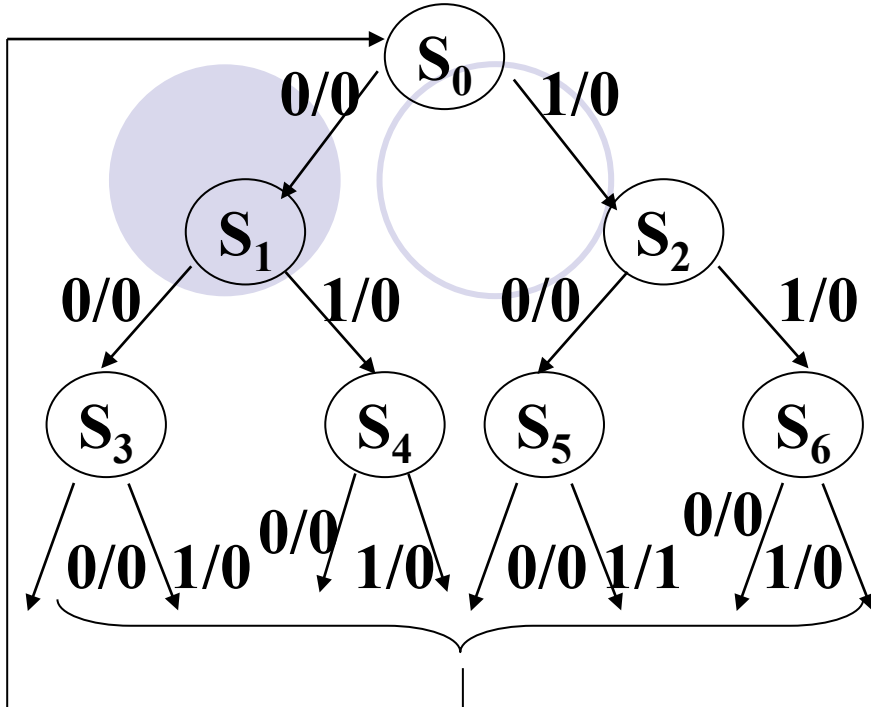
S_0 : 初始状态
 S_1 : 收到一个0,
 S_2 : 收到一个1,
 S_3 : 收到00,
 S_4 : 收到01,
 S_5 : 收到10,
 S_6 : 收到11

现在状态	下一个状态		输出 z	
	$x=0$	$x=1$	$x=0$	$x=1$
S_0	S_1	S_2	0	0
S_1	S_3	S_4	0	0
S_2	S_5	S_6	0	0
S_3	S_0	S_0	0	0
S_4	S_0	S_0	0	0
S_5	S_0	S_0	0	1
S_6	S_0	S_0	0	0

原始状态表

现在状态	下一个状态		输出 z	
	$x=0$	$x=1$	$x=0$	$x=1$
S_0	S_1	S_2	0	0
S_1	S_3	S_4	0	0
S_2	S_5	S_6	0	0
S_3	S_0	S_0	0	0
S_4	S_0	S_0	0	0
S_5	S_0	S_0	0	1
S_6	S_0	S_0	0	0

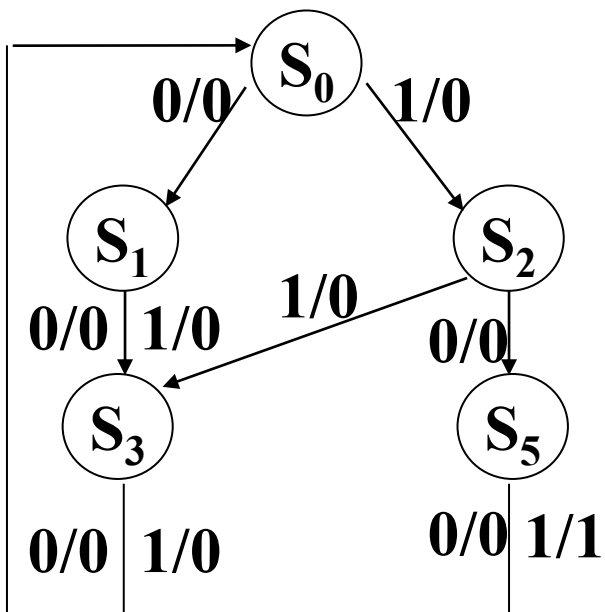
S_1	×					
S_2	×	×				
S_3	×	×	×			
S_4	×	×	×	✓		
S_5	×	×	×	×	×	
S_6	×	×	×	✓	✓	×
	S_0	S_1	S_2	S_3	S_4	S_5



	Q_2	Q_1	Q_0
S_0	0	0	0
S_1	0	0	1
S_2	0	1	0
S_3	0	1	1
S_5	1	0	0

状态分配方案（一）

$$p=5 < 8=2^3 \quad k=3$$



代码形式的状态表

Q_2^n	Q_1^n	Q_0^n	X	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	0	1	0
			1	0	1	0	0
0	0	1	0	0	1	1	0
			1	0	1	1	0
0	1	0	0	1	0	0	0
			1	0	1	1	0
0	1	1	0	0	0	0	0
			1	0	0	0	0
1	0	0	0	0	0	0	0
			1	0	0	0	1

Q_0X Q_2Q_1	00	01	11	10
00	1	0	1	1
01	0	1	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

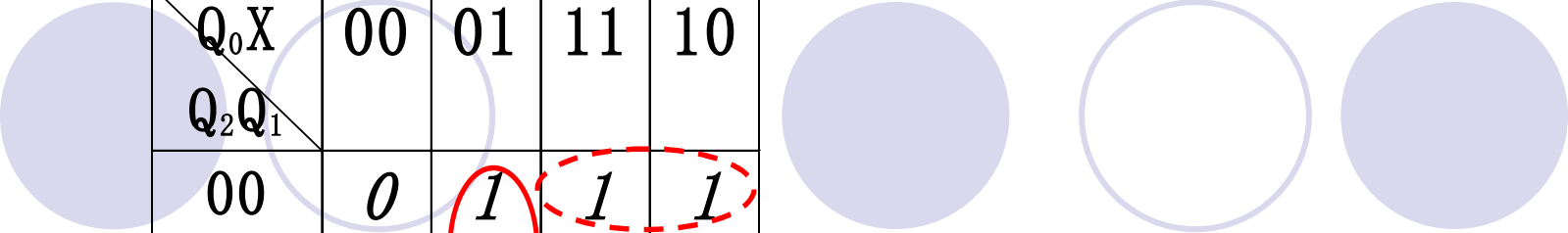
$$Q_0^{n+1} = \overline{Q_1}Q_0 + Q_1\overline{Q_0}X + \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{X}$$

$$Q_0^{n+1} = \overline{Q_1}Q_0 + (Q_1X + \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{X})\overline{Q_0}$$

$$D_0 = \overline{Q_1}Q_0 + Q_1\overline{Q_0}X + \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{X}$$

$$J_0 = Q_1X + \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{X}$$

$$K_0 = Q_1$$



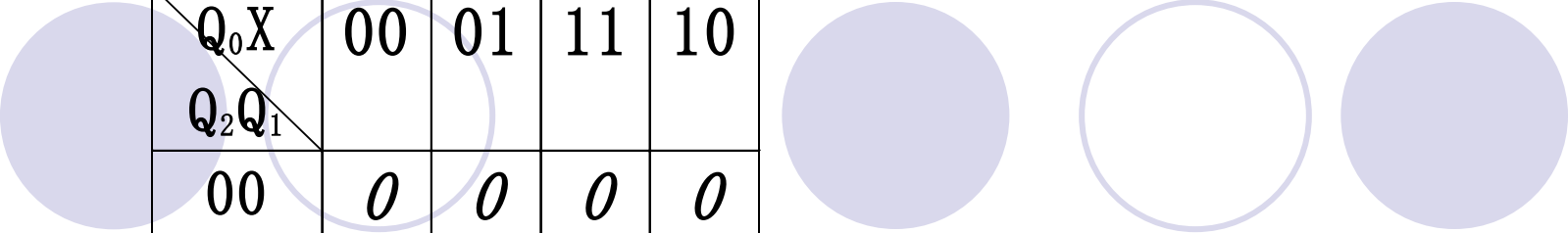
Q_0X Q_2Q_1	00	01	11	10
00	0	1	1	1
01	0	1	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$$Q_1^{n+1} = \overline{Q_1}Q_0 + \overline{Q_2} \cdot \overline{Q_0}X$$

$$Q_1^{n+1} = \overline{Q_1}(Q_0 + \overline{Q_2}X) + \overline{Q_2} \cdot \overline{Q_0}XQ_1$$

$$J_1 = Q_0 + \overline{Q_2}X \quad D_1 = \overline{Q_1}Q_0 + \overline{Q_2} \cdot \overline{Q_0}X$$

$$K_1 = \overline{\overline{Q_2} \cdot \overline{Q_0}X}$$



Q_0X Q_2Q_1	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$$Q_2^{n+1} = Q_1 \overline{Q_0} \overline{X}$$

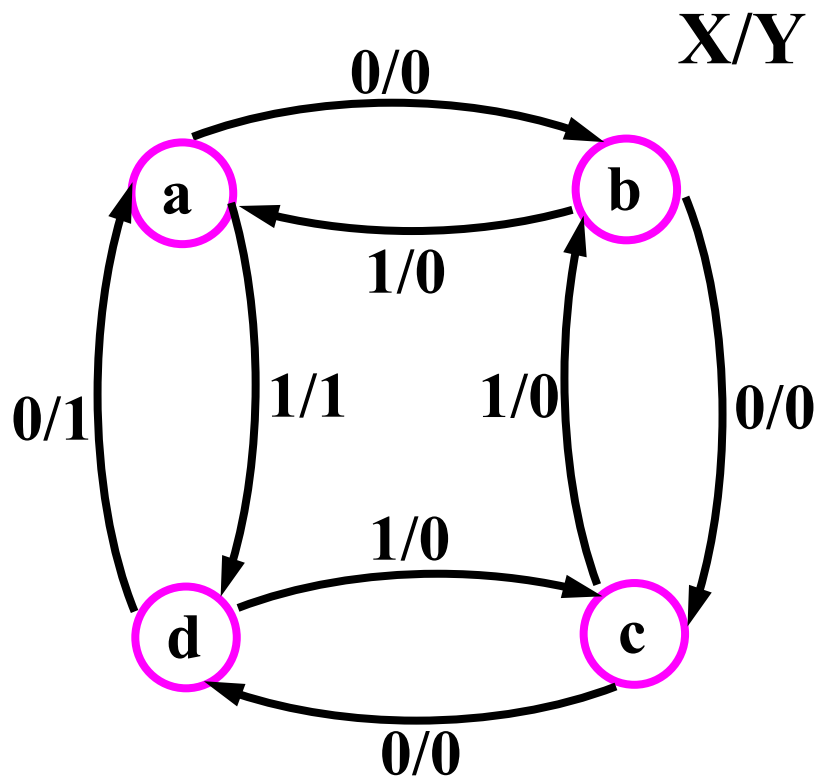
$$Q_2^{n+1} = Q_1 \overline{Q_0} \cdot \overline{X} (Q_2 + \overline{Q_2})$$

$$J_2 = Q_1 \overline{Q_0} \cdot \overline{X} \quad D_2 = Q_1 \overline{Q_0} \overline{X}$$

$$K_2 = \overline{Q_1 \overline{Q_0} \cdot \overline{X}}$$

练习2：设计可逆四进制计数器。

(1) 原始状态转移图



练习2：设计可逆四进制计数器。

(2) 化简原始状态转移表（状态简化或状态合并）；

(3) 进行状态编码（也称状态分配）；

(4)

$Q_2^n Q_1^n \backslash X$		0	1
0	0	01/0	11/1
0	1	10/0	00/0
1	0	11/0	01/0
1	1	00/1	10/0

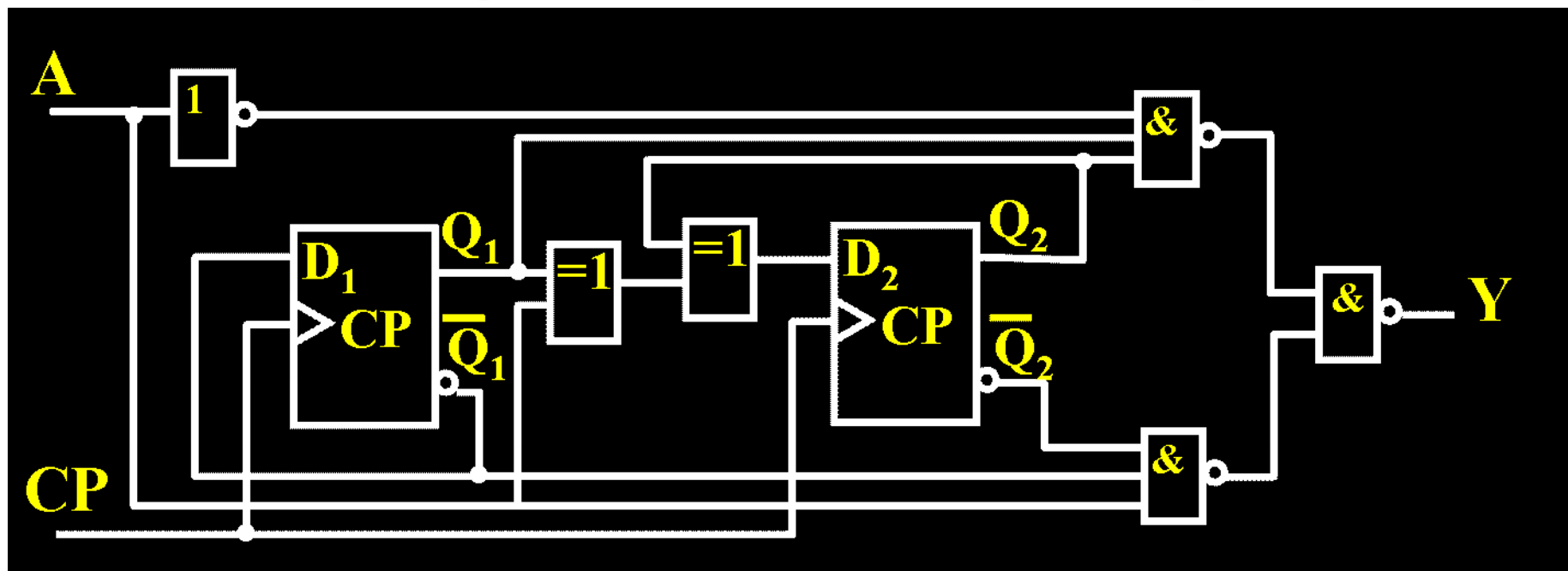
$$Y = \bar{X}Q_1^nQ_2^n + X\bar{Q}_1^n\bar{Q}_2^n$$

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

$$Q_2^{n+1}Q_1^{n+1}/Y$$

练习2：设计可逆四进制计数器。



$$Y = \bar{X}Q_1^n Q_2^n + X\bar{Q}_1^n \bar{Q}_2^n$$

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

练习3：试作出101序列检测器的状态图。该同步电路有一根输入线X，一根输出线Z，对应于输入序列101的最后一个“1”，输出Z=1，其余情况下输出为“0”。

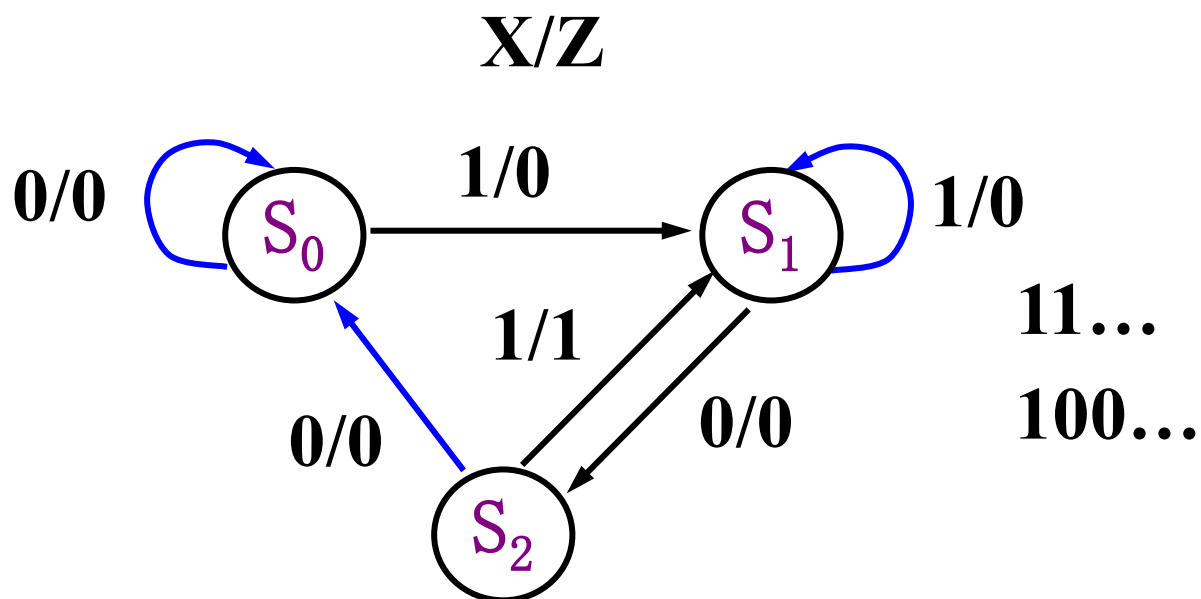
(1) 101序列可以重叠，例如：

X: 0**101**01101 Z: 000101001

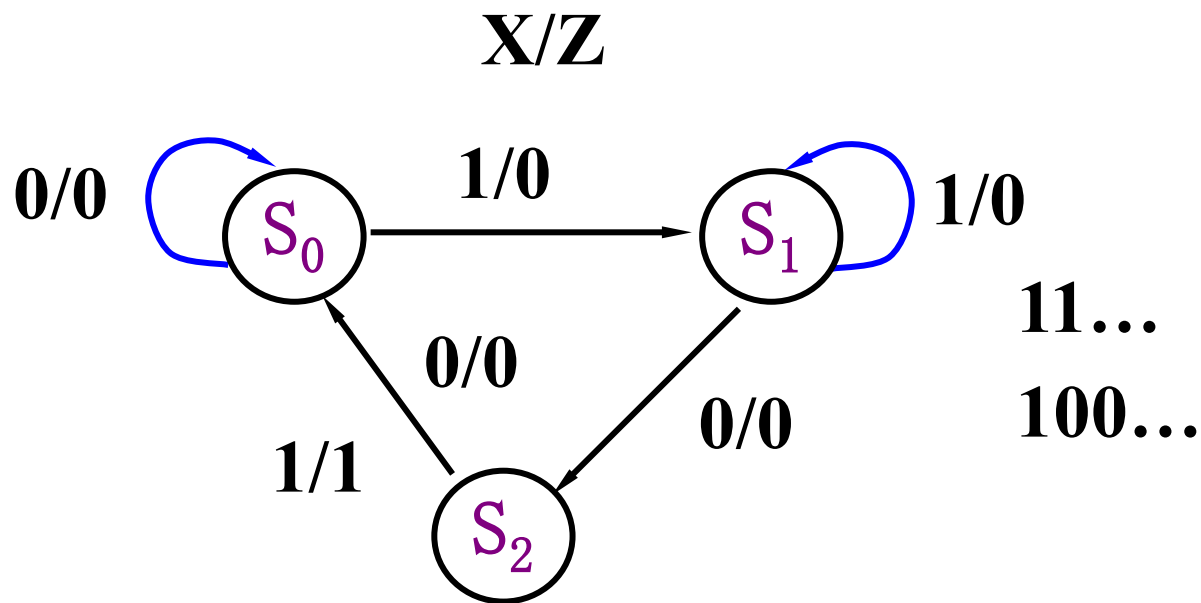
(2) 101序列不可以重叠，例如：

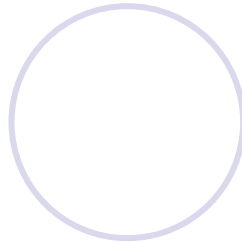
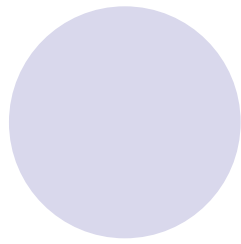
X: 0**101**011010 Z: 0001000010

(1) 解: ① 输入变量为X、输出变量为Z;

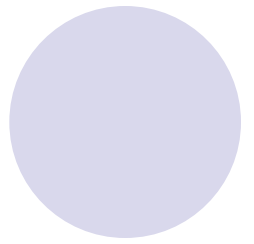
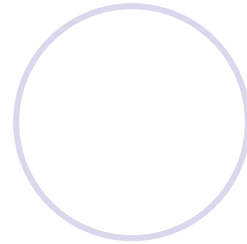
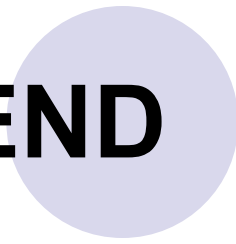


(2) 解: ① 输入变量为X、输出变量为Z;





THE END



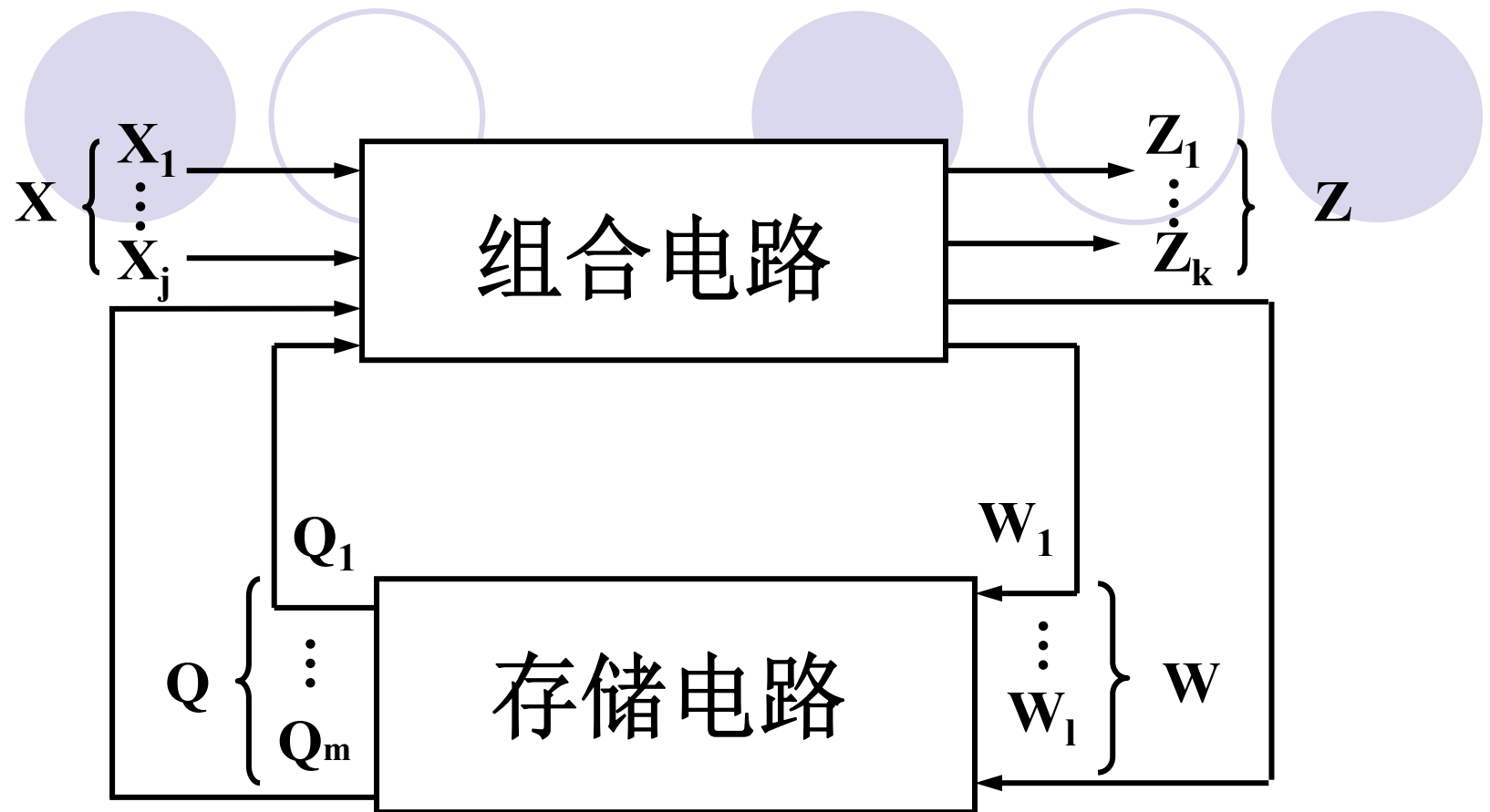


图5.1.1时序电路的结构框图



工作描述

(1) 激励方程

$$W_i(t_n) = F_i[X_1(t_n) \cdots, X_j(t_n), Q_1(t_n), \cdots, Q_m(t_n)] \\ (i = 1, 2, \cdots, l)$$

(2) 状态方程

$$Q_i(t_{n+1}) = G_i[W_1(t_n) \cdots, W_l(t_n), Q_1(t_n), \cdots, Q_m(t_n)] \\ (i = 1, 2, \cdots, m)$$

(3) 输出方程

$$Z_i(t_n) = H_i[X_1(t_n) \cdots, X_j(t_n), Q_1(t_n), \cdots, Q_m(t_n)] \\ (i = 1, 2, \cdots, k)$$

(4) 时钟方程

按存储器的状态变化是否同时进行

同步时序电路： 只有一个时钟信号

异步时序电路

电位异步时序电路：

无时钟信号，存储器采用异步（基本）触发器或延时元件（ Δt ）。

脉冲异步时序电路：

多个时钟信号，存储器采用同步（时钟）触发器。