

5.3 计数器

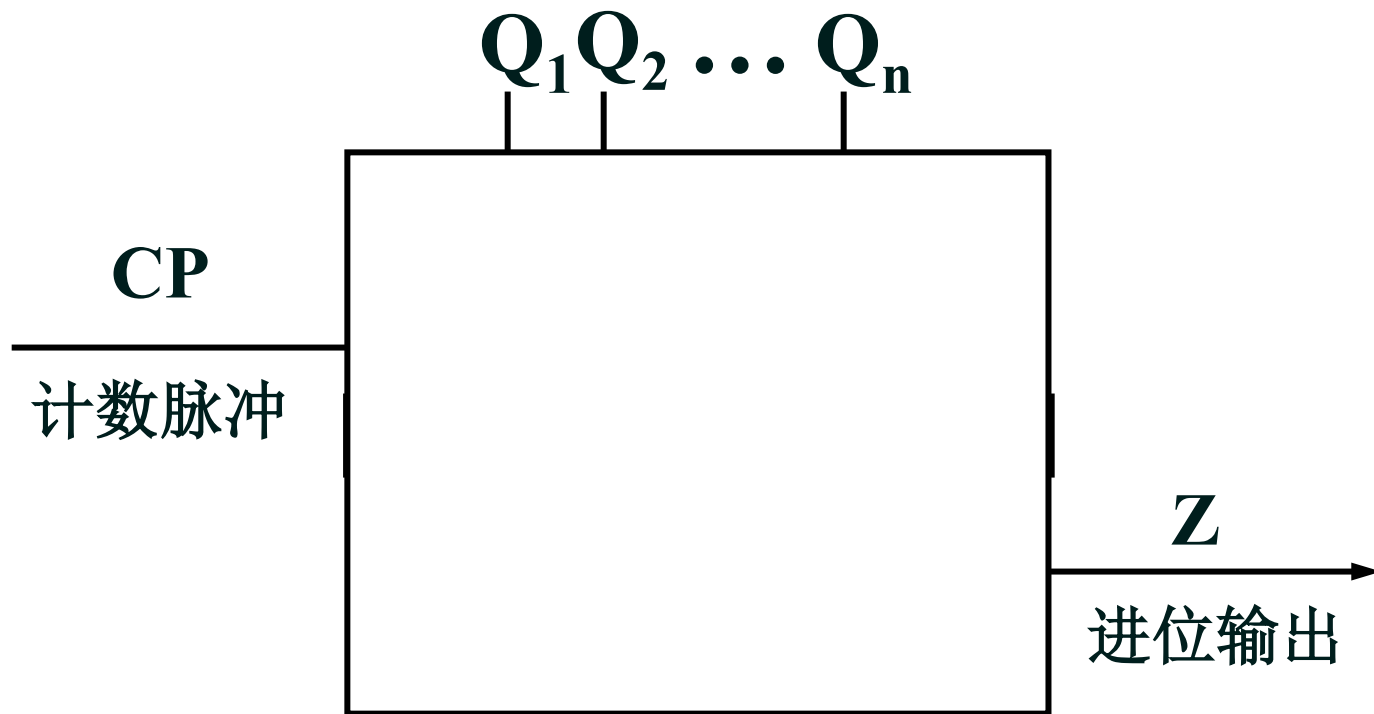
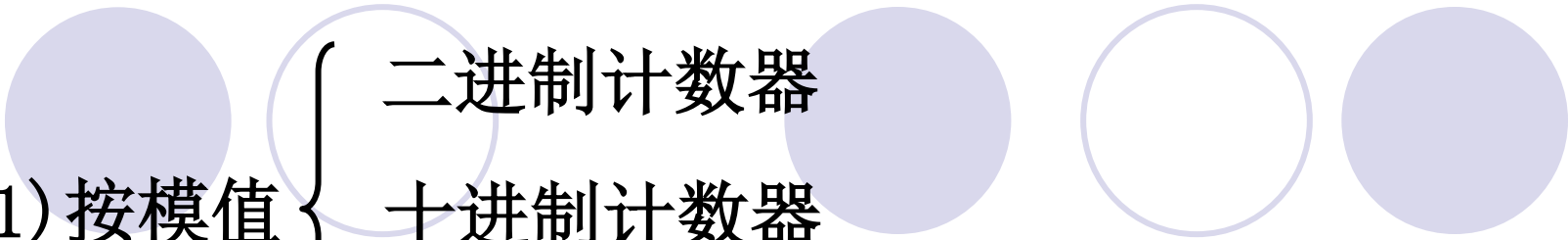


图5.3.1 计数器的基本结构框图



(1) 按模值 { 二进制计数器
十进制计数器
任意进制计数器

(2) 按存储器的状态变化是否同时进行 { 同步计数器
异步计数器

(3) 按逻辑功能 { 加法计数器
减法计数器
可逆计数器



5.3 计数器

5.3.1 同步计数器的分析

5.3 计数器

5.3.1 同步计数器的分析

例 同步二进制计数器

模值 $M=2^n$ ， 计数范围： $0\sim 2^n-1$

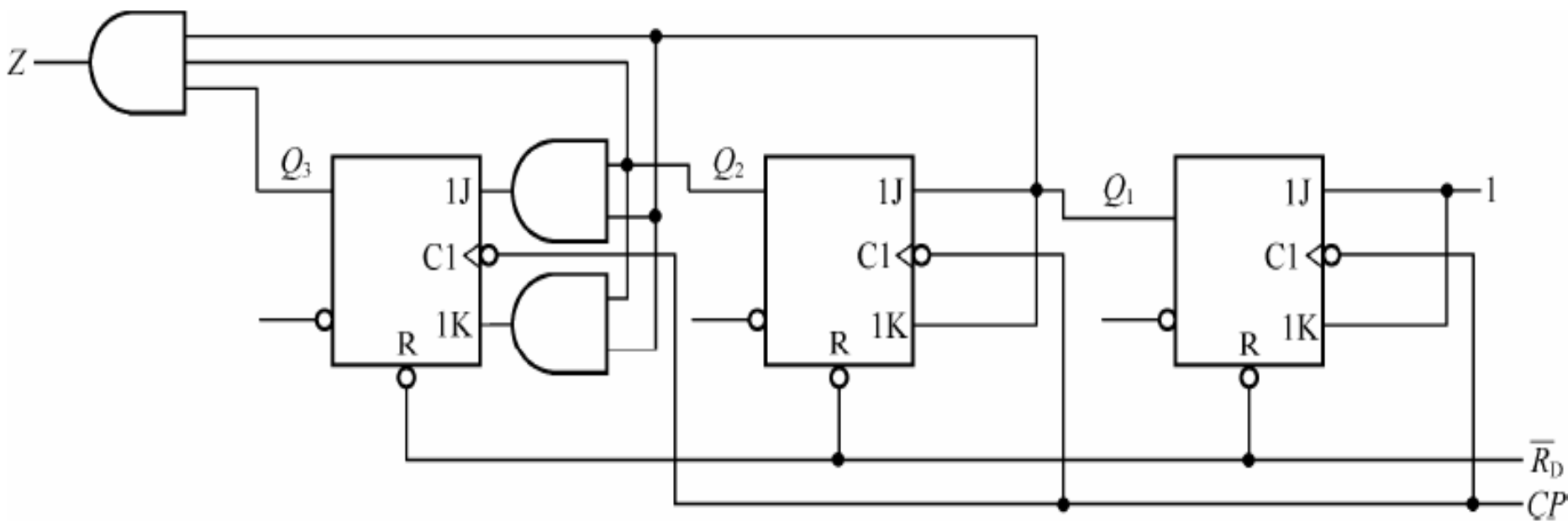


图 5.3.2 用 JKFF 构成的同步计数器

5.3 计数器

5.3.1 同步计数器的分析

分析电路结构

写出三组方程：

a. 各触发器的激励方程

$$J_3 = K_3 = Q_1^n Q_2^n$$

$$J_2 = K_2 = Q_1^n$$

$$J_1 = K_1 = 1$$

5.3 计数器

5.3.1 同步计数器的分析

b. 各触发器的次态方程

$$Q_3^{n+1} = [Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} Q_3^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n] \cdot CP \downarrow$$

$$Q_1^{n+1} = [\overline{Q_1^n}] \cdot CP \downarrow$$

c. 电路的输出方程

$$Z = Q_1^n Q_2^n Q_3^n$$

5.3 计数器

5.3.1 同步计数器的分析

作状态转移表 状态转移图 波形图

电路的逻辑功能描述

该电路是一个同步模8加法计数器电路（或3位二进制同步加法计数器）。

5.3 计数器

5.3.1 同步计数器的分析

结论：

二进制同步加法计数器基本结构

a. $CP_1=CP_2=\dots=CP_n=CP$

b. TFF形式

c. $T_1=1, T_i = \prod_{j=1}^{i-1} Q_j \ (i = 2, 3, \dots, n)$

d. $Z = \prod_{j=1}^n Q_j$

每一位触发器在计数脉冲作用下是否翻转，取决于比它低的所有位（在计数脉冲到来之前）是否都处于1状态。

5.3 计数器

5.3.1 同步计数器的分析

结论：

二进制同步减法计数器基本结构

a. $CP_1 = CP_2 = \dots = CP_n = CP$

b. TFF形式

c. $T_1 = 1, T_i = \prod_{j=1}^{i-1} \overline{Q_j} \quad (i = 2, 3, \dots, n)$

d. $Z = \prod_{j=1}^n \overline{Q_j}$

5.3 计数器

5.3.1 同步计数器的分析

同步计数器小结：

- 同步计数器的特点是：在计数过程中，应该翻转的触发器是同时翻转的，不需要逐级推移。因而同步计数器的稳定时间只取决于单级触发器的翻转时间（与位数多少无关），计数速度快。由于计数脉冲要同时加到各级触发器的**CP**输入端，就要求给出计数脉冲的电路具有较大的驱动能力。

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器
2. 用MSI二、十进制计数器构成的任意进制计数器

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器

设计步骤：

- (1) 列出计数器的状态转换表和各触发器的状态转换表，确定触发器个数；
- (2) 根据触发器的状态转换表，画出对应卡诺图，求各级触发器的激励方程和输出方程；
- (3) 画出逻辑图。

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器

例1 试用JKFF和与非门设计按自然二进制码计数的M=5的同步加法计数器。

解：(1)确定电路工作状态，求触发器级数。

$$\log_2 M \leq n < \log_2 M + 1$$

取 $n=3$ 。

(2)设计各触发器的激励函数和电路的输出函数（综合表）。

综合表

$Q_3^n \quad Q_2^n \quad Q_1^n$			$Q_3^{n+1} \quad Q_2^{n+1} \quad Q_1^{n+1}$			$J_3 \quad K_3 \quad J_2 \quad K_2 \quad J_1 \quad K_1$					
0	0	0	0	0	1	0	∅	0	∅	1	∅
0	0	1	0	1	0	0	∅	1	∅	∅	1
0	1	0	0	1	1	0	∅	∅	0	1	∅
0	1	1	1	0	0	1	∅	∅	1	∅	1
1	0	0	0	0	0	∅	1	0	0	0	∅
偏离状态	1	0	1	0	1	∅	1	1	∅	∅	0
	1	1	0	0	1	∅	1	∅	0	0	∅
	1	1	1	0	0	∅	1	1	∅	∅	0



求各触发器的激励函数

$$J_3 = Q_2^n Q_1^n ; \quad K_3 = 1$$

$$J_2 = Q_1^n ; \quad K_2 = Q_1^n$$

$$J_1 = \overline{Q_3^n} ; \quad K_1 = \overline{Q_3^n}$$

(3) 作逻辑图

课本page130 例5.3.3（自学）

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器
2. 用MSI二、十进制计数器构成的任意进制计数器

N进制 $\xrightarrow{N>M}$ M进制

指导思想：顺序计数的过程中跳过N-M个状态。

N进制 $\xrightarrow{N<M}$ M进制

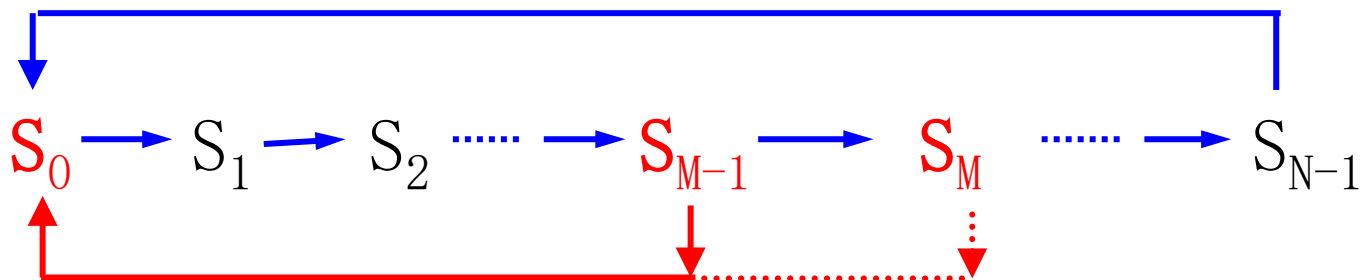
指导思想：级联多个N后，跳过多余状态。

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器
2. 用MSI二、十进制计数器构成的任意进制计数器

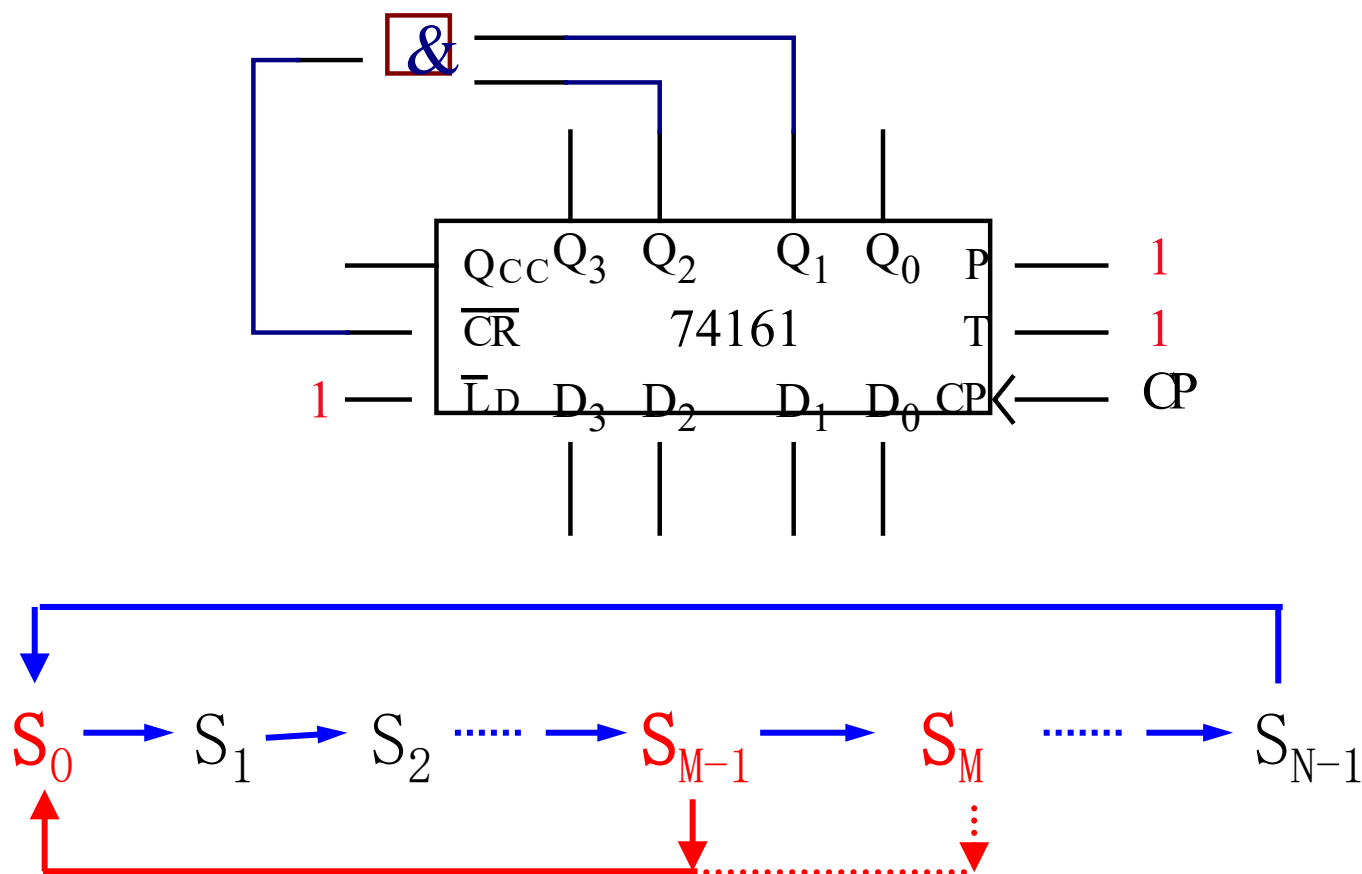
(1) 复0法

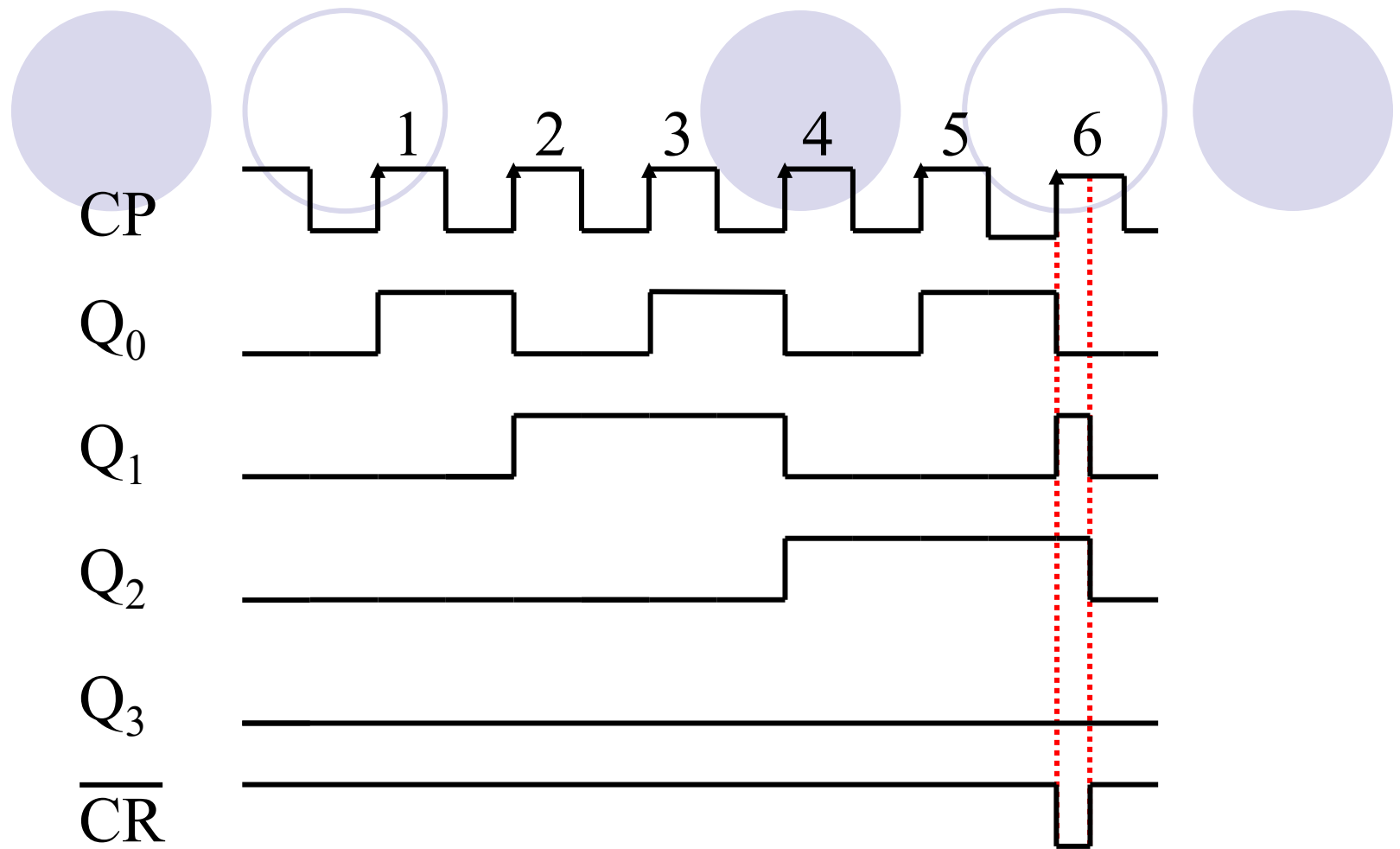


例 试用74161用复0法设计M=6的计数器。

解：74161为异步复0方式，起跳状态为 S_6 ，

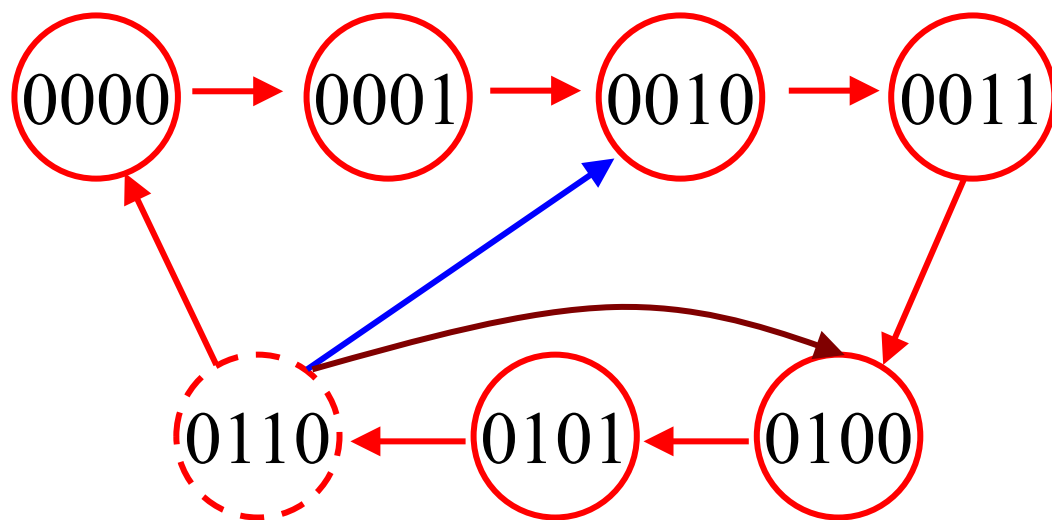
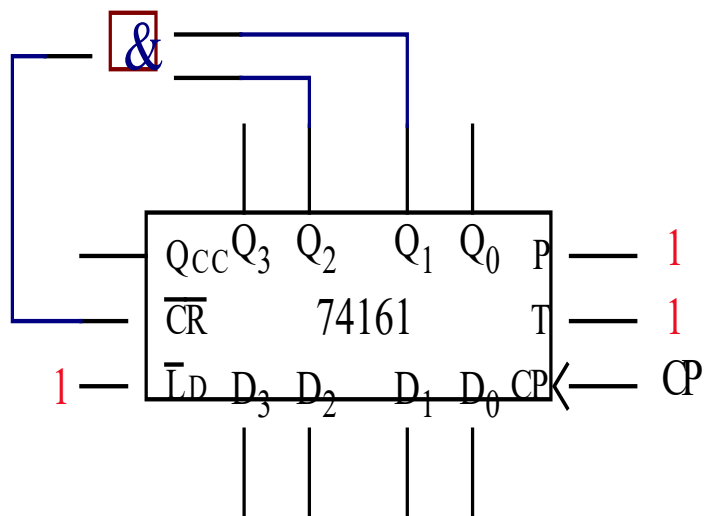
即： $(0110)_2$ 。电路图如下所示：

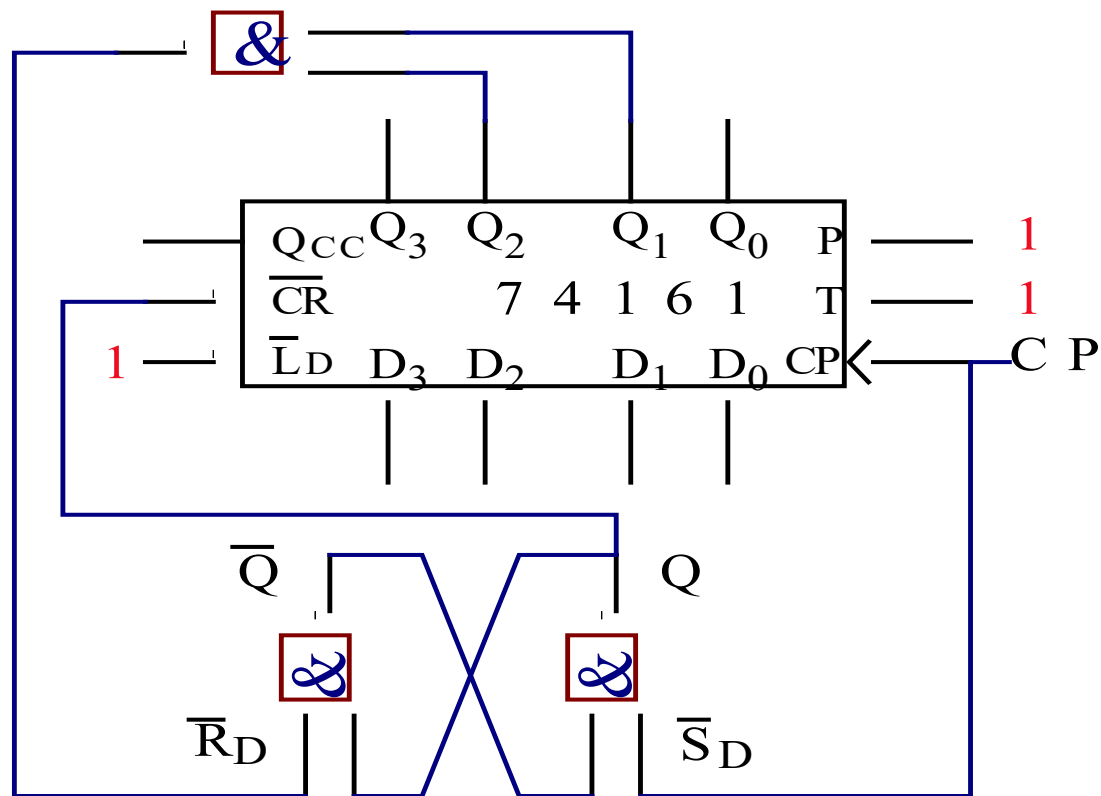




电路的工作波形图

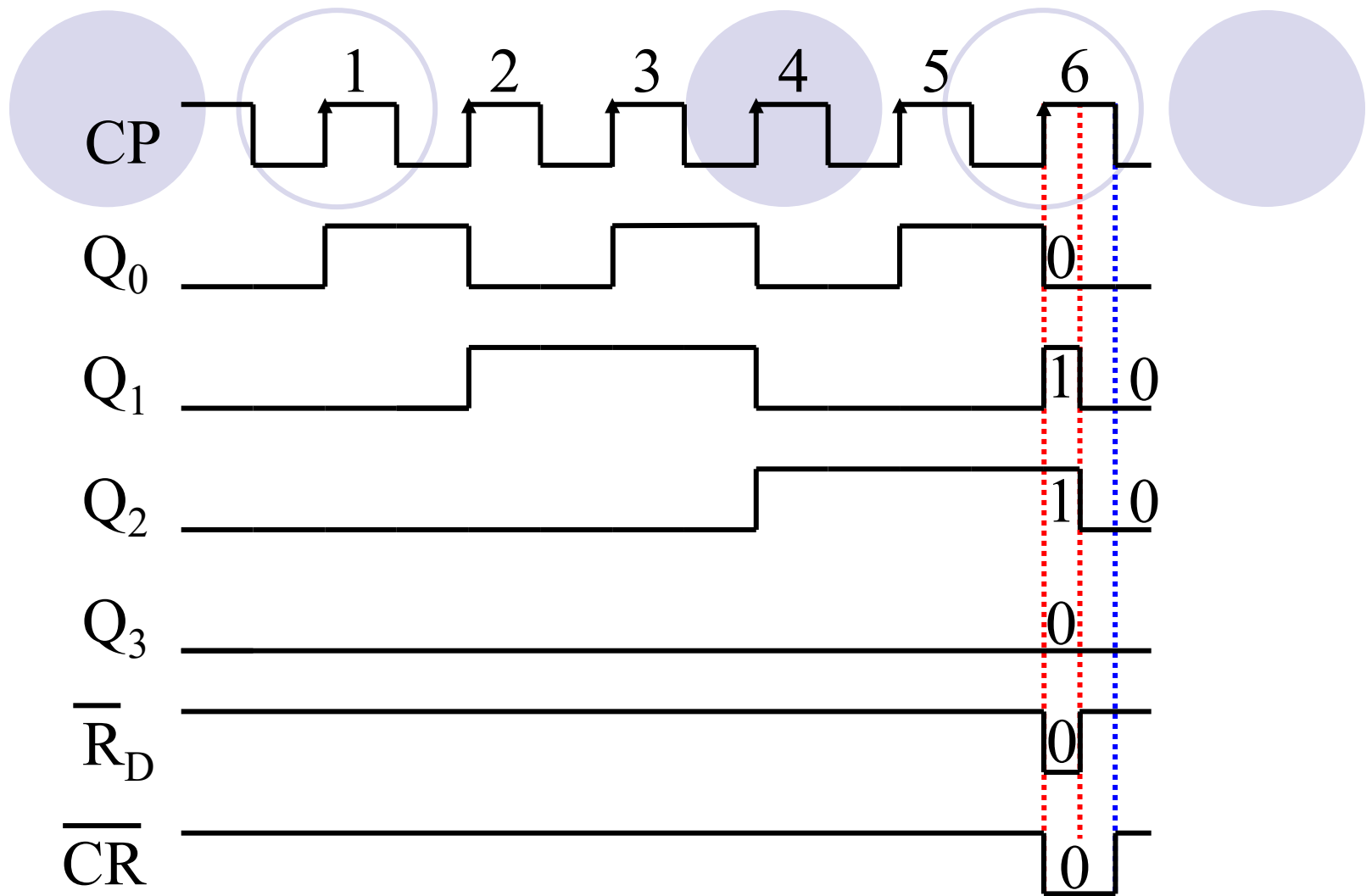
采用异步复0法时，触发器不能同时复0引起的现象。





(a) 电路

能可靠复0的异步复位电路



(b) 波形图

5.3 计数器

5.3.2 同步计数器的设计

1. 用触发器和逻辑门构成的任意进制计数器
2. 用MSI二、十进制计数器构成的任意进制计数器

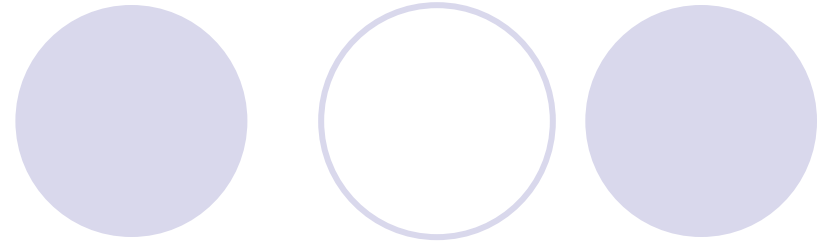
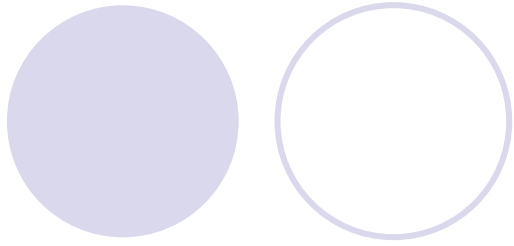
(1) 复0法

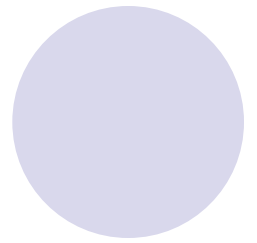
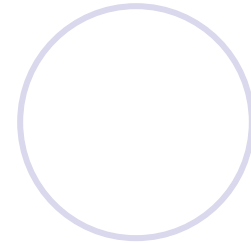
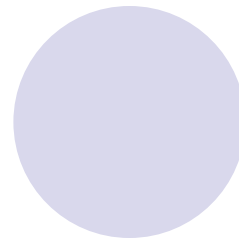
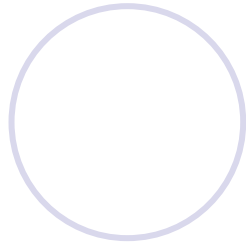
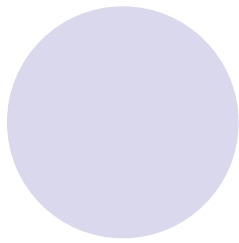
(2) 置数法（利用置数控制端，并行输入端）

① 反馈置0法

② 置最小数法

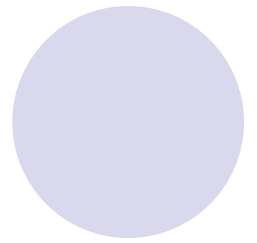
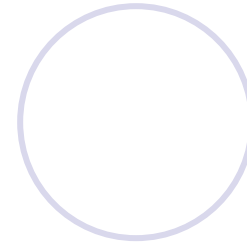
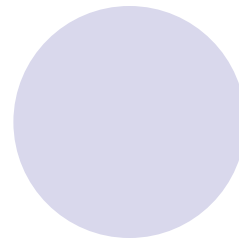
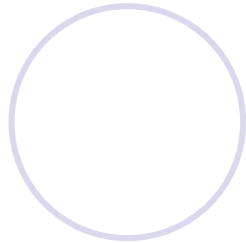
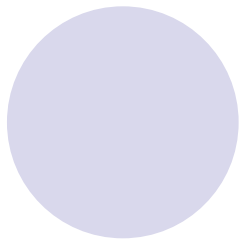
③ 置最大数法





加法计数器状态转移表

Q_3	Q_2	Q_1
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
.....		




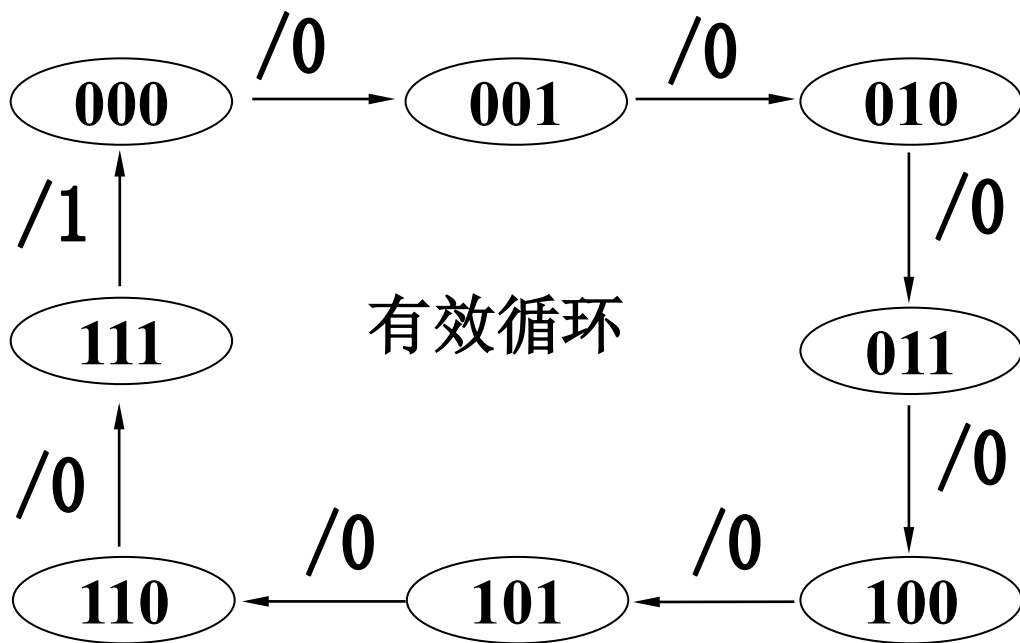
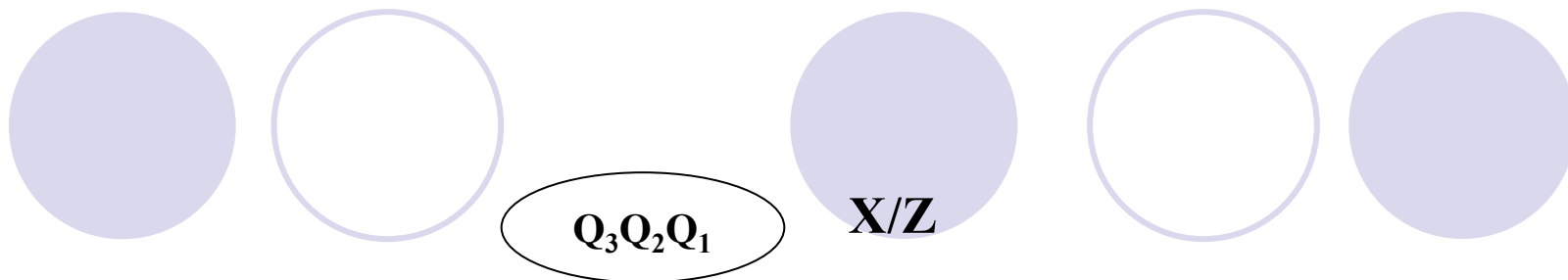
减法计数器状态转移表

Q_3	Q_2	Q_1
1	1	1
1	1	0
1	0	1
1	0	0
0	1	1
.....		

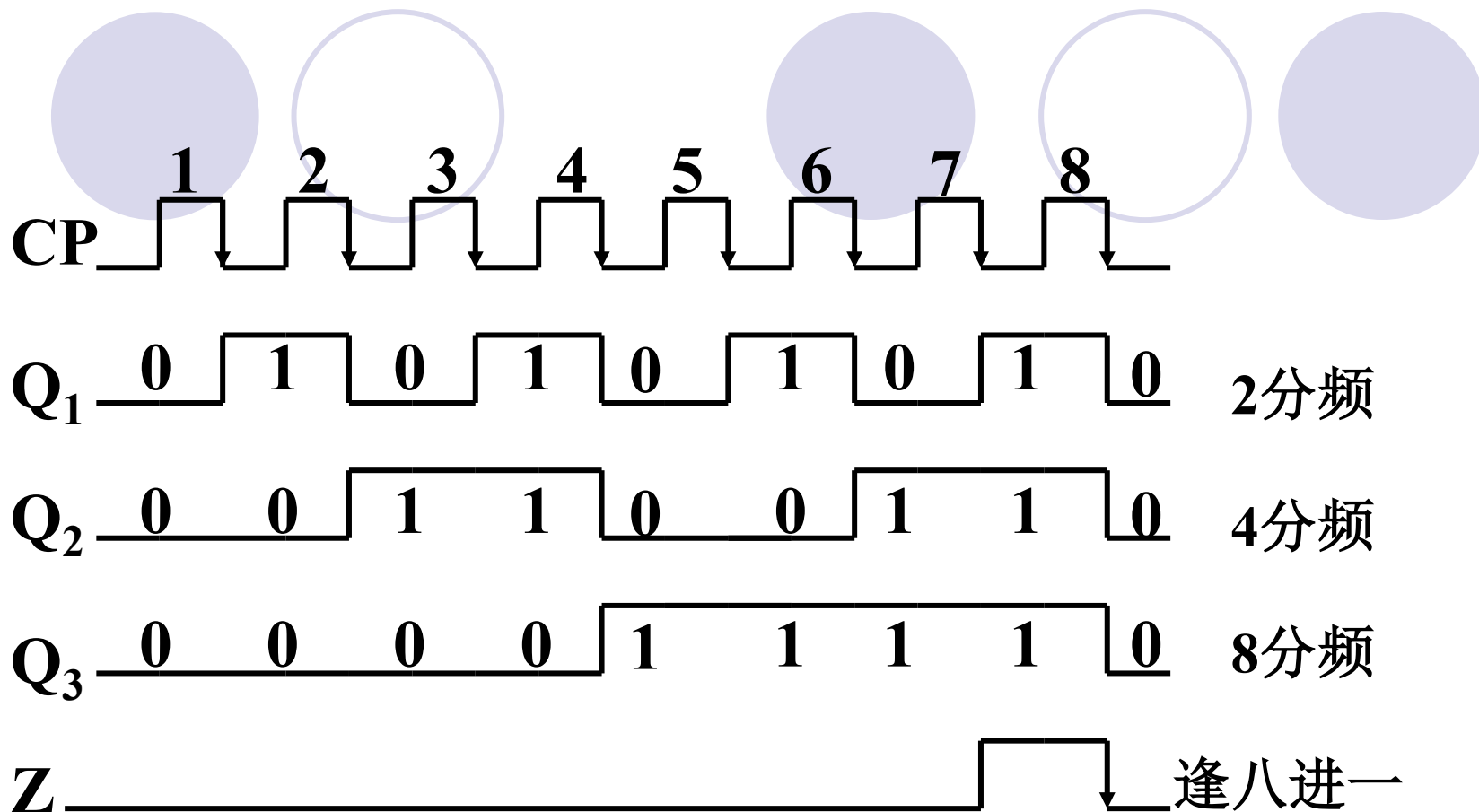
电路的状态转移表

CP↓的个数	S(t)			Z= $Q_3Q_2Q_1$
	Q_3	Q_2	Q_1	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

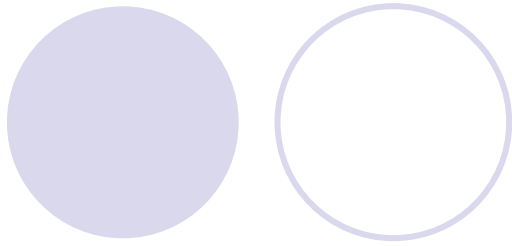




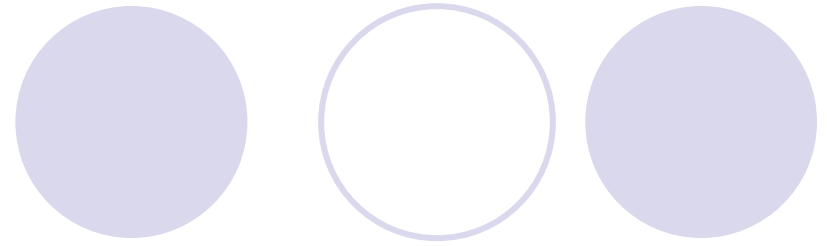
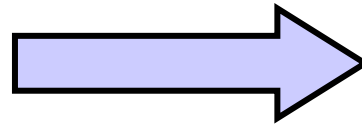
电路的状态转移图



电路的工作波形图



counter		
1		
2		
3		
4		
.....		



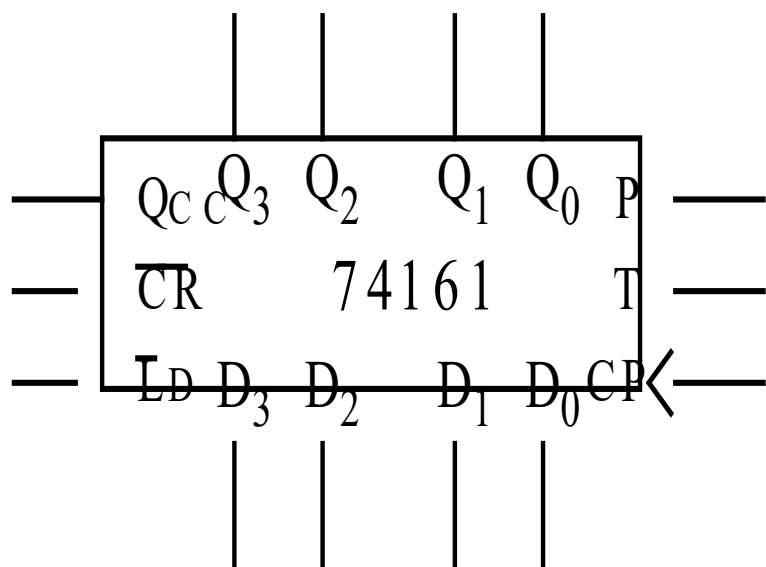
counter		
0	0	1
0	1	0
0	1	1
1	0	0
.....		

5.3 计数器

5.3.3 MSI同步计数器

1. 4位二进制同步加法计数器74161

①符号：



74161 逻辑符号

\overline{CR} : 异步清0控制端

P、T: 工作模式控制端

\overline{LD} : 同步置数控制端

(c) 简化符号

5.3 计数器

5.3.3 MSI同步计数器

1. 4位二进制同步加法计数器74161

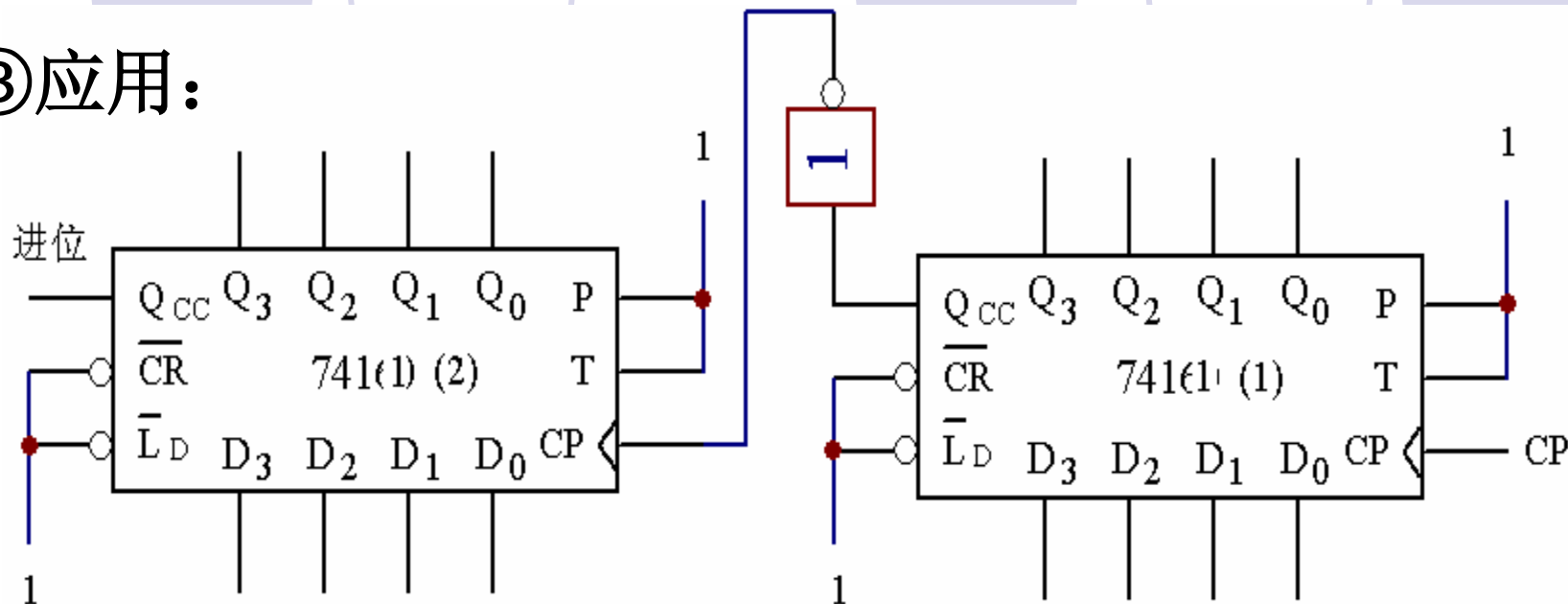
$\overline{\text{CR}}$	$\overline{\text{L}}_{\text{D}}$	$\text{P}(\text{S}_1) \text{ T}(\text{S}_2)$		CP	$\text{D}_3 \text{ D}_2 \text{ D}_1 \text{ D}_0$	$\text{Q}_3^{n+1} \text{ Q}_2^{n+1} \text{ Q}_1^{n+1} \text{ Q}_0^{n+1}$	功能
0	\emptyset	\emptyset	\emptyset	\emptyset	$\emptyset \emptyset \emptyset \emptyset$	0 0 0 0	异步清除
1	0	\emptyset	\emptyset	\uparrow	$\text{d}_3 \text{ d}_2 \text{ d}_1 \text{ d}_0$	$\text{d}_3 \text{ d}_2 \text{ d}_1 \text{ d}_0$	同步并入
1	1	1	1	\uparrow	$\emptyset \emptyset \emptyset \emptyset$	0000 ~ 1111	计数
1 1		0	1	\emptyset	$\emptyset \emptyset \emptyset \emptyset$	$\text{Q}_3^n \text{ Q}_2^n \text{ Q}_1^n \text{ Q}_0^n$ Q_{CC}^n	保持
1 1		\emptyset	0	\emptyset	$\emptyset \emptyset \emptyset \emptyset$	$\text{Q}_3^n \text{ Q}_2^n \text{ Q}_1^n \text{ Q}_0^n$ $\text{Q}_{\text{CC}}^n = 0$	

②功能表

$$\text{Q}_{\text{CC}} = \text{Q}_3 \text{Q}_2 \text{Q}_1 \text{Q}_0 \text{T}$$

1. 4位二进制同步加法计数器74161

③应用：

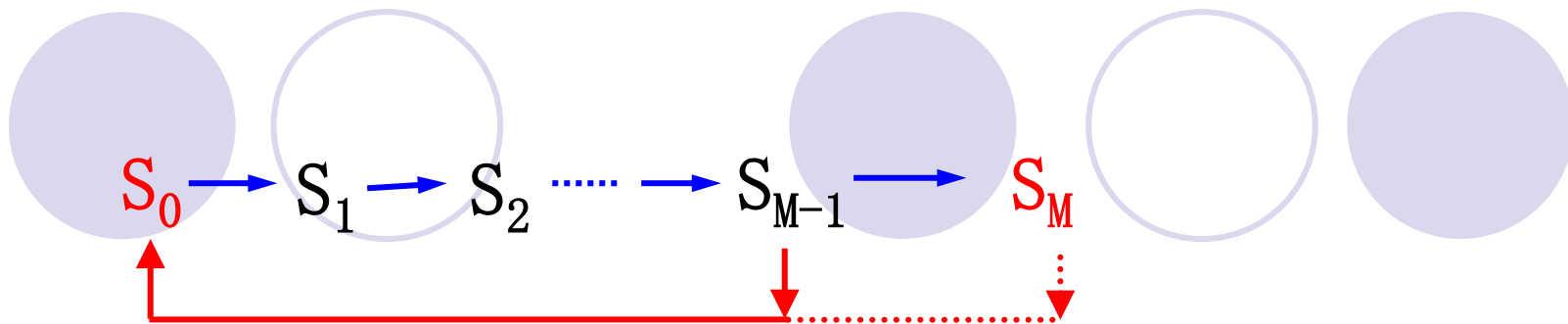


74161的异步级联方式

CP↑	74161(2)	74161(1)	CP↑	74161(2)	74161(1)
0	0000	0000	16	0001	0000
1	0000	0001			
⋮		⋮			⋮
15	0000	1111	255	1111	1111

5.3.3 MSI同步计数器

35

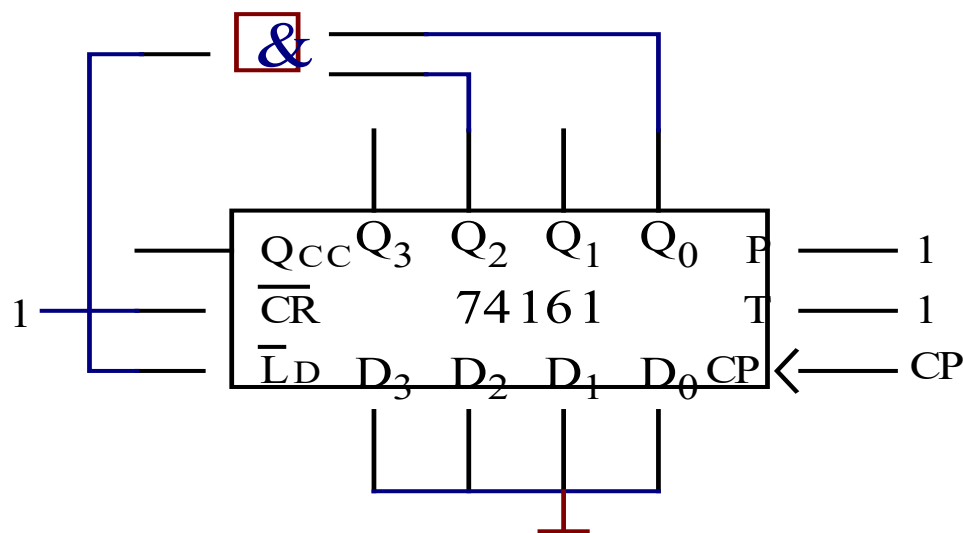


例 试用74161用置0法设计M=6的计数器。

解：74161为同步置数方式，反馈状态为：

S_{M-1} ，即： S_5 ， $5 = (0101)_2$ ，

电路图如图所示：

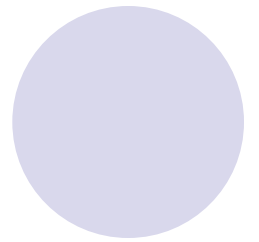
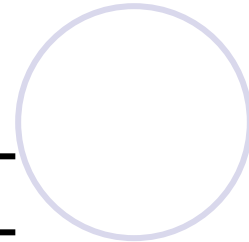
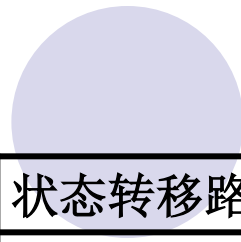
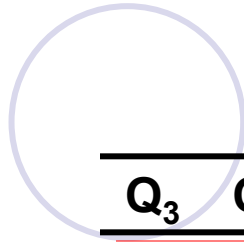
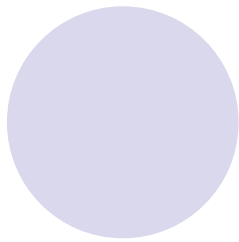


例 试用74161用置最小数法实现M=12的计数器。

解：74161为同步置数方式，最小数为：

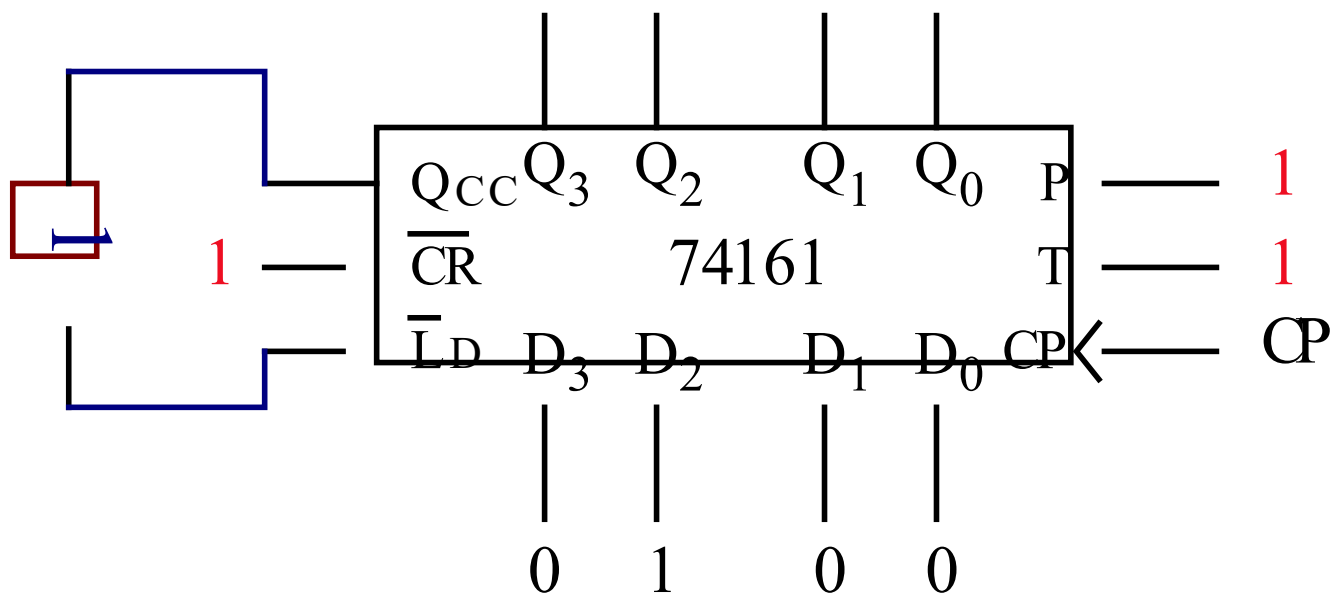
$$N-M=16-12=4 = (0100)_2。$$

工作状态转移表和电路接法下所示：



Q ₃	Q ₂	Q ₁	Q ₀	状态转移路线
0	0	0	0	跳过状态
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	← 起跳状态
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

状态转移表



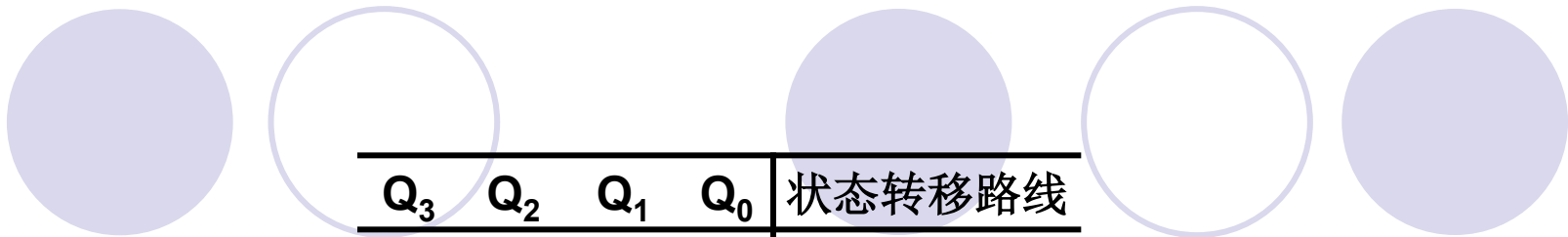
电路图

例 试用74161用置最大数法设计M=12的计数器。

解：74161为同步置数方式，反馈状态为：

S_{M-2} ，即： S_{10} ， $10=(1010)_2$ ，

电路及工作状态转移表分别下所示：



Q ₃	Q ₂	Q ₁	Q ₀	状态转移路线
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	起跳状态
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	← 跳过状态

状态转移表

