

ENGCE121 โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ 3(2-3-5)  
 (Computer Architecture and Organization)

รหัสรายวิชาเดิม : ENGCE104 โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์

วิชาบังคับก่อน : ENGE161 วงจรดิจิทัลและการออกแบบแบบโลจิก

ศึกษาและปฏิบัติการเกี่ยวกับโครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ หน่วยประมวลผลกลาง ชุดคำสั่ง หน่วยควบคุม และเส้นทางข้อมูล ไปเป็นไลน์ ลำดับขั้นของ หน่วยความจำ บัส การเขื่อมต่อและสื่อสารกับช่องรับส่งข้อมูล อุปกรณ์ต่อพ่วง หลักการออกแบบ การประเมินประสิทธิภาพ หน่วยประมวลผลแบบหลายแกน ระบบประมวลผลแบบหลายตัว ระบบประมวลผลประสิทธิภาพสูงและการเชื่อมต่อ

Study and practice of computer architectures and organization; CPU, instruction set, data path and controller, pipeline, memory hierarchy, bus, I/O interfacing and communications, peripheral equipment, design principles, performance evaluation, multicore processor, multiprocessor system, high performance computing and networks.

**ตารางที่ 1 แผนการสอนรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์**

สัปดาห์	หัวข้อการเรียนการสอน	กิจกรรม / การบ้าน / การประเมินผล
1	บทนำ และทบทวน Digital Logic	<ul style="list-style-type: none"> <li>Computer Organization vs. Architecture: ความแตกต่างและภาพรวม</li> <li>โครงสร้างและหน้าที่: Von Neumann Architecture, ภาพรวม 4 องค์ประกอบหลัก (CPU, Memory, I/O, System Bus)</li> <li>ทบทวน ENGE161: ทบทวน Logic Gates, Flip-flops, Registers, Counters และวงจร Combinational/Sequential ที่จำเป็น</li> </ul>
2	วิวัฒนาการและประสิทธิภาพของคอมพิวเตอร์	<ul style="list-style-type: none"> <li>ประวัติและวิวัฒนาการ: จากหลอดสุญญากาศสู่ Multicore</li> <li>การวัดประสิทธิภาพ: Response Time, Throughput, Clock Cycles, CPI (Cycles Per Instruction)</li> <li>กฎของ Amdahl (Amdahl's Law): การคำนวณ Speedup</li> </ul>

**ตารางที่ 1 แผนการสอนรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ (ต่อ)**

สัปดาห์	หัวข้อการเรียนการสอน	กิจกรรม / การบ้าน / การประเมินผล
3	ชุดคำสั่ง (Instruction Set Architecture - ISA) ส่วนที่ 1	<ul style="list-style-type: none"> <li>องค์ประกอบของคำสั่ง: Opcode, Operands (Source, Destination)</li> <li>ประเภทของคำสั่ง: Data transfer, Arithmetic, Logical, Control</li> <li>Instruction Set Design: RISC vs. CISC</li> </ul>
4	ชุดคำสั่ง (Instruction Set Architecture - ISA) ส่วนที่ 2	<ul style="list-style-type: none"> <li>Addressing Modes: Immediate, Direct, Indirect, Register, Displacement</li> <li>ตัวอย่าง ISA: แนะนำ MIPS หรือ RISC-V เป็นกรณีศึกษา</li> <li>ปฏิบัติการ: การเขียน Assembly เป็นต้น (MIPS/RISC-V)</li> </ul>
5	หน่วยประมวลผลกลาง (CPU) และ Datapath	<ul style="list-style-type: none"> <li>องค์ประกอบของ CPU: ALU, Registers (PC, IR, MAR, MBR)</li> <li>การสร้าง Datapath: การนำ Registers, ALU, Muxes มาประกอบกันสำหรับคำสั่งพื้นฐาน (R-type, Load/Store)</li> </ul>
6	Quiz ครั้งที่ 1 และ หน่วยควบคุม (Control Unit)	<ul style="list-style-type: none"> <li>Quiz ครั้งที่ 1 (เนื้อหา สัปดาห์ที่ 1-5)</li> <li>การทำงานของ Control Unit: หน้าที่ในการส่งสัญญาณควบคุม Datapath</li> <li>Hardwired Control: การออกแบบวงจร Control Unit โดยใช้ Logic Gates</li> </ul>
7	หน่วยควบคุมแบบ Microprogrammed	<ul style="list-style-type: none"> <li>แนวคิด: Micro-operations, Micro-instructions</li> <li>โครงสร้าง: Control Memory, Control Address Register</li> <li>ข้อดี/ข้อเสีย: เปรียบเทียบ Hardwired vs. Microprogrammed</li> </ul>

**ตารางที่ 1 แผนการสอนรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ (ต่อ)**

สัปดาห์	หัวข้อการเรียนการสอน	กิจกรรม / การบ้าน / การประเมินผล
8	การประเมินประสิทธิภาพ CPU และทบทวน	<ul style="list-style-type: none"> <li>การคำนวณเวลา CPU: <math>CPU\ Time = \text{Instruction\ Count} * \text{CPI} * \text{Clock\ Cycle\ Time}</math></li> <li>การเปรียบเทียบประสิทธิภาพ</li> <li>ทบทวนเนื้อหาเกี่ยวกับสถาปัตยกรรม (Performance, ISA, Datapath, Control Unit)</li> </ul>
9	สอบกลางภาค	<ul style="list-style-type: none"> <li>ดำเนินการสอบกลางภาค (ข้อเขียนหรือภาคปฏิบัติตามความเหมาะสม)</li> </ul>
10	Pipelining แนวคิดและ Data Hazards	<ul style="list-style-type: none"> <li>แนวคิด Pipelining: การทำงานแบบสายท่อ (IF, ID, EX, MEM, WB)</li> <li>Pipeline Hazards: ปัญหาที่ขัดขวางการทำงานของ Pipeline</li> <li>Data Hazards: RAW, WAR, WAW และแนวทางแก้ไข (Forwarding/Bypassing)</li> </ul>
11	Pipelining Hazards (ต่อ) และ Superscalar	<ul style="list-style-type: none"> <li>Control Hazards: Branch prediction (static vs. dynamic)</li> <li>Structural Hazards: การแยกชิงทรัพยากร</li> <li>Superscalar: การประมวลผลหลายคำสั่งพร้อมกัน</li> </ul>
12	ลำดับชั้นหน่วยความจำ (Memory Hierarchy) และ Cache	<ul style="list-style-type: none"> <li>แนวคิด Memory Hierarchy: หลักการ Locality (Temporal &amp; Spatial)</li> <li>Cache Memory: หลักการทำงาน, Cache Hits vs. Misses</li> <li>Cache Mapping: Direct, Fully Associative, N-Way Set Associative</li> </ul>

**ตารางที่ 1 แผนการสอนรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ (ต่อ)**

สัปดาห์	หัวข้อการเรียนการสอน	กิจกรรม / การบ้าน / การประเมินผล
13	การจัดการ Cache ขั้นสูง	<ul style="list-style-type: none"> <li>• Replacement Algorithms: LRU, FIFO</li> <li>• Write Policies: Write-Through vs. Write-Back</li> <li>• การวัดประสิทธิภาพ Cache: Average Memory Access Time (AMAT)</li> </ul>
14	Quiz ครั้งที่ 2 และ หน่วยความจำหลัก/เสมือน	<ul style="list-style-type: none"> <li>• Quiz ครั้งที่ 2 (เนื้อหา สัปดาห์ที่ 10-13)</li> <li>• Main Memory: ประเภทของ RAM (SRAM, DRAM, SDRAM)</li> <li>• Virtual Memory: แนวคิด Paging และ Page Tables</li> <li>• Translation Lookaside Buffer (TLB): ตัวเร่งการแปลงที่อยู่</li> </ul>
15	ระบบบัส (Bus) และการเชื่อมต่อ I/O	<ul style="list-style-type: none"> <li>• System Bus: Data Bus, Address Bus, Control Bus</li> <li>• Bus Arbitration: Centralized vs. Decentralized</li> <li>• I/O Modules: หน้าที่และโครงสร้าง</li> <li>• Programmed I/O: การทำงานและข้อจำกัด</li> </ul>
16	การจัดการ I/O ขั้นสูง	<ul style="list-style-type: none"> <li>• Interrupt-Driven I/O: กระบวนการทำงานของ Interrupt</li> <li>• Direct Memory Access (DMA): การทำงานและข้อดี</li> <li>• อุปกรณ์ต่อพ่วง: HDD, SSD, และการเชื่อมต่อ (SATA, PCIe)</li> </ul>

### ตารางที่ 1 แผนการสอนรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์ (ต่อ)

สัปดาห์	หัวข้อการเรียนการสอน	กิจกรรม / การบ้าน / การประเมินผล
17	สถาปัตยกรรมขั้นสูง (Advanced Architectures)	<ul style="list-style-type: none"> <li>• Parallel Processing: SIMD, MIMD</li> <li>• Multicore Processors: โครงสร้างและการสื่อสารระหว่าง Core</li> <li>• Multiprocessor Systems: SMP, NUMA</li> <li>• ทบทวนภาพรวม: การเชื่อมโยง CPU, Pipeline, Cache, Memory, I/O</li> </ul>
18	สอบปลายภาค	<ul style="list-style-type: none"> <li>• ดำเนินการสอบปลายภาค (ภาคฤดูร้อนหรือปฏิบัติตามลักษณะรายวิชา)</li> </ul>

### ตารางที่ 2 การประเมินผลรายวิชา โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์

องค์ประกอบการประเมินผล	รายละเอียด	สัดส่วน (%)
งานเดี่ยวและแบบฝึกหัดรายสัปดาห์	<ul style="list-style-type: none"> <li>แบบฝึกหัดการเขียนโปรแกรม ผังงาน และโจทย์เชิงปฏิบัติ</li> <li>พิจารณาจากความครบถ้วน ความถูกต้อง ความคิดสร้างสรรค์ และการส่งงานตรงเวลา</li> </ul>	20%
แบบทดสอบย่อยและกิจกรรมในชั้นเรียน	<ul style="list-style-type: none"> <li>แบบทดสอบสั้น (2 ครั้ง) ในหัวข้อสำคัญ</li> <li>กิจกรรมกลุ่ม: วิเคราะห์โค้ดและแก้ไขปัญหา</li> </ul>	20%
สอบกลางภาค	<ul style="list-style-type: none"> <li>การสอบวัดผลความเข้าใจเนื้อหาครึ่งแรกของรายวิชา</li> </ul>	25%
สอบปลายภาค	<ul style="list-style-type: none"> <li>การสอบวัดผลความเข้าใจเนื้อหาครึ่งหลังของรายวิชา</li> </ul>	25%
คุณลักษณะนิสัยและวินัยในการเรียนรู้	<ul style="list-style-type: none"> <li>การเข้าชั้นเรียนตรงเวลาและสม่ำเสมอ</li> <li>ความรับผิดชอบในการส่งงาน</li> <li>การมีส่วนร่วมในชั้นเรียนและการทำงานกลุ่ม</li> <li>ความมีวินัยและความรับผิดชอบต่อตนเองและผู้อื่น</li> </ul>	10%
รวม		100%