

体系结构第一次作业

范裕达

2017 年 11 月 8 日

1 1.3

超前进位加法器为并行加法器，对普通的串行运算进行了优化。从而消除了各位运算的时序性，能够进行并行的计算。

2 2.3

wire 对应连续赋值，reg 对应过程赋值。input 参数类型肯定为 wire，output 参数类型可能为 wire，也可能为 reg。wire 不具有存储的功能，并且依赖于端口进行驱动。

3 2.4

在不需要连续赋值的情况下，reg 可以变成 wire。在需要持续驱动的情况下，reg 不能当作 wire 使用。