



**UNIVERSIDADE FEDERAL DE RORAIMA
CENTRO DE CIÊNCIA E TECNOLOGIA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**



DISCIPLINA: ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

PROFESSOR: HERBERT OLIVEIRA ROCHA

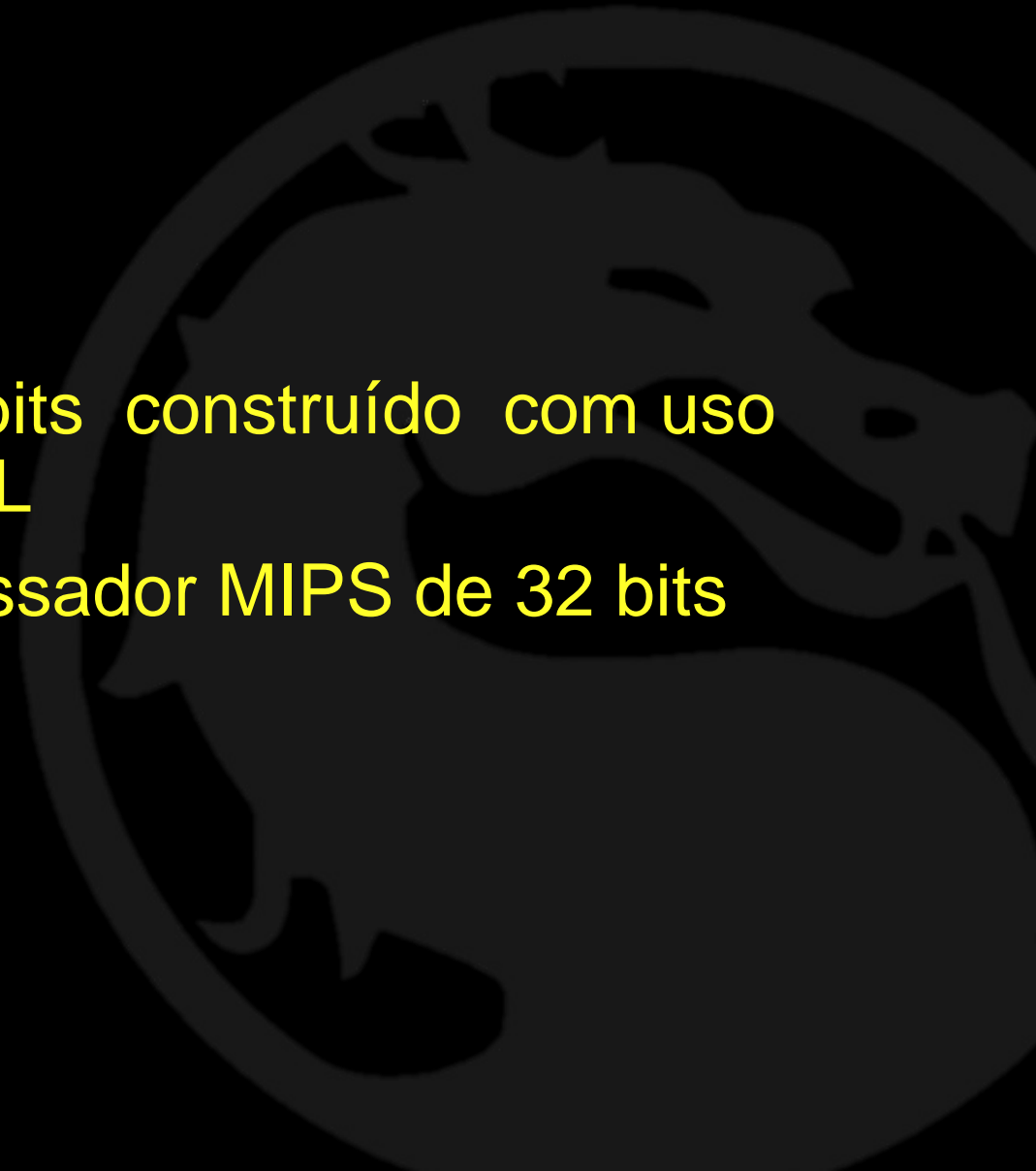
PROCESSADOR MK 1 

KEVIN WILLYN CONCEIÇÃO BARROS | MATHEUS NARANJO CORRÊA

**BOA VISTA – RR
2021**

RESUMO

- Processador de 8 bits construído com uso da linguagem VHDL
- Baseado no Processador MIPS de 32 bits



FORMATO DE INSTRUÇÕES

TIPO R		
OPCODE	REG1	REG2
4 BITS	2 BITS	2 BITS
7 - 4	3 - 2	1-0

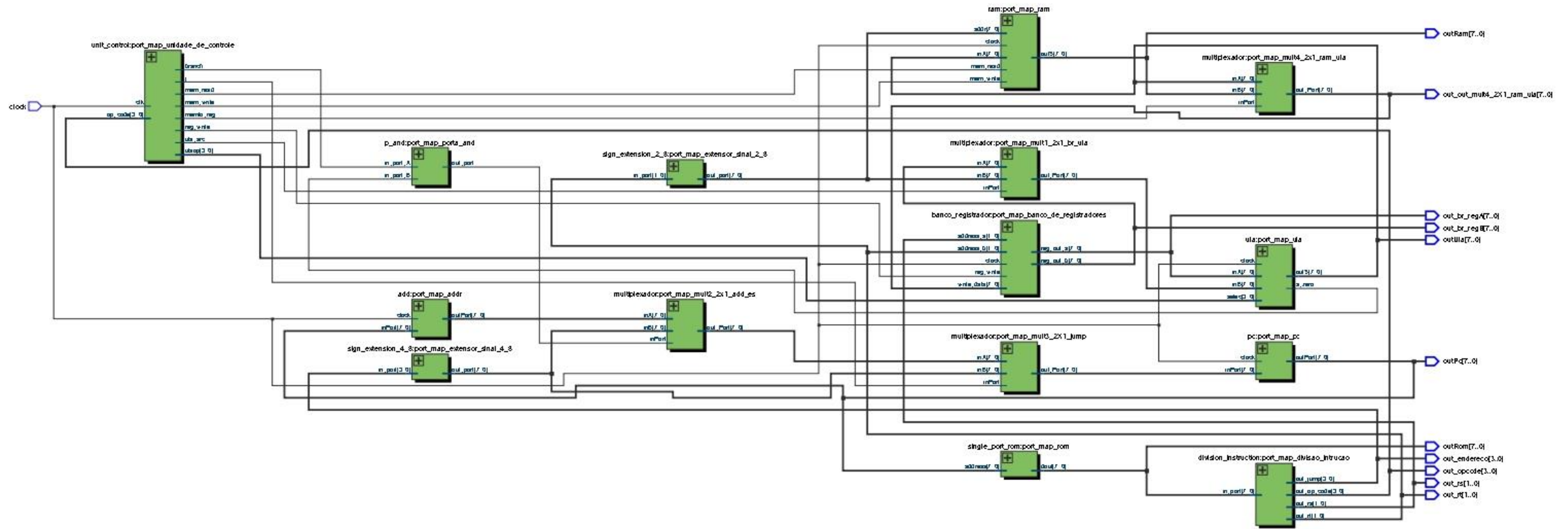
TIPO I		
OPCODE	REG1	REG2/CONST
4 BITS	2 BITS	2 BITS
7 - 4	3 - 2	1-0

TIPO J	
OPCODE	ENDEREÇO
4 BITS	4 BITS
7 - 4	3 - 0

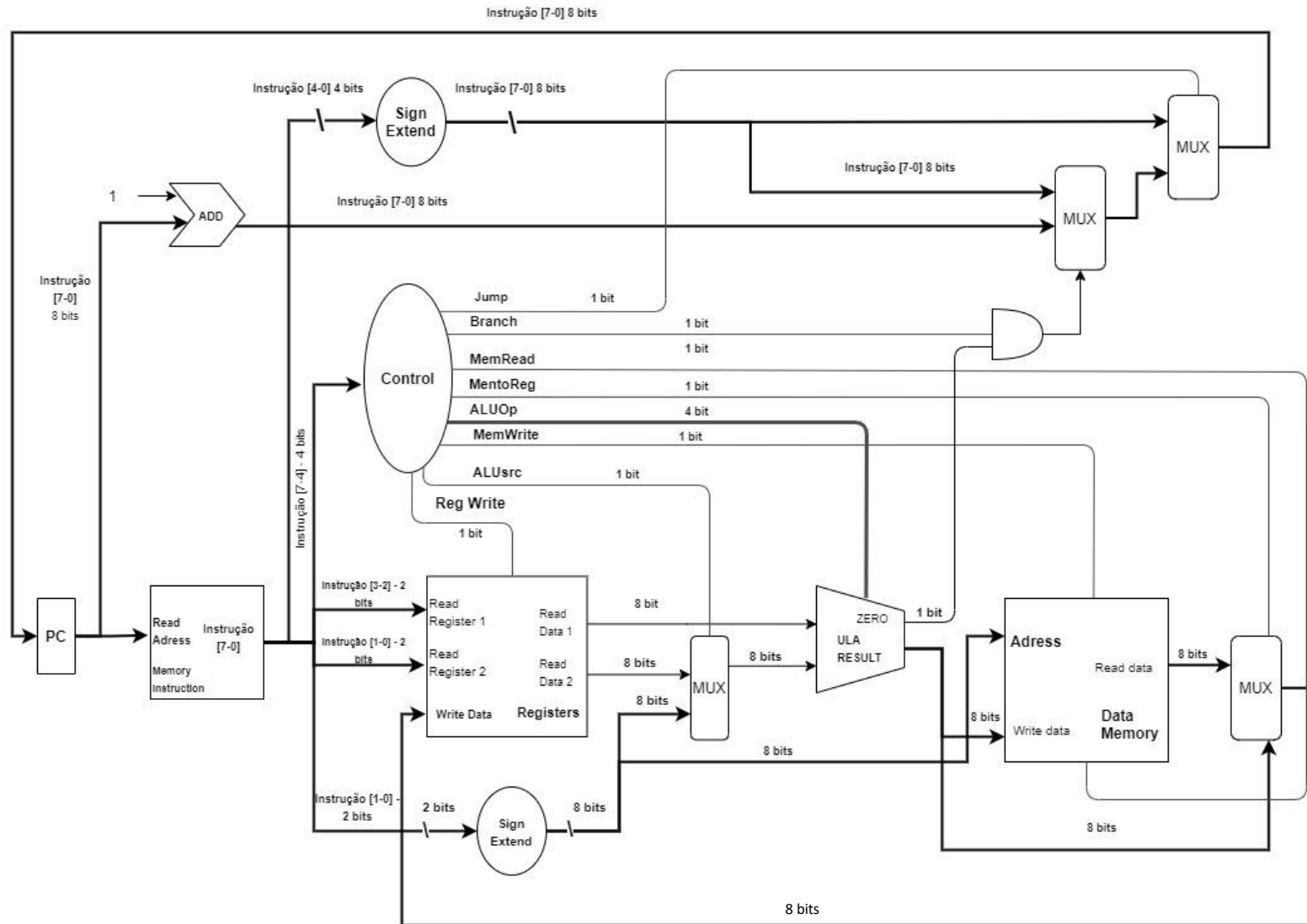
LISTA DE OPCODES

OPCODE	NOME	FORMATO	INSTRUÇÃO	EXEMPLO
0000	ADD	R	SOMA	ADD \$S0, \$S1
0001	ADDI	I	SOMA IMEDIATA	ADDI \$S0, 2
0010	SUB	R	SUBTRAÇÃO	SUB \$S0, \$S1
0011	SUBI	I	SUBTRAÇÃO IMEDIATA	SUBI \$S0, 5
0100	MUL	R	MULTIPLICAÇÃO	MUL \$S0, \$S1
0101	LW	I	LOAD WORD	LW \$S0 MEM (00)
0110	SW	I	STORE WORD	SW \$S0 MEM (00)
0111	MOVE	R	MOVER	MOVE \$S0, \$S1
1000	li	I	LOAD IMEDIATO	LI \$S0 1
1001	BEQ	J	DESVIO CONDICIONAL	BEQ ENDEREÇO
1010	BNE	J	DESVIO CONDICIONAL	BNE ENDEREÇO
1011	IF BEQ E BNE	R	CONDIÇÃO PARA DESVIO	IF \$S0 \$S1
1100	J	J	DESVIO INCONDICIONAL	J ENDEREÇO (0000)

RTL VIEWER



DATAPATH



TESTE DE FIBONACCI

ENDEREÇO	INSTRUÇÃO	BINÁRIO		
		OPCODE	REG 1	REG 2
			ENDEREÇO	
1	li S3 3	1000	11	11
2	mul S3 S3	0100	11	11
3	addi S3 1	0001	11	01
4	addi S3 2	0001	11	10
5	addi S3 2	0001	11	10
6	li S2 0	1000	10	00
7	li S0 0	1000	00	00
8	sw S0 RAM(00)	0110	00	00
9	li S0 1	1000	00	01
10	sw S0 RAM(01)	0110	00	01
11	lw S0 RAM(00)	0101	00	00
12	add S1 S0	0000	01	00
13	lw S0 RAM(01)	0101	00	01
14	add S1 S0	0000	01	00
15	sw S0 RAM(00)	0110	00	00
16	sw S1 RAM(01)	0110	01	01
17	addi S2 1	0001	10	01
18	if S2 S3	1011	10	11
19	bne 1010	1010	1010	

TESTE DE FATORIAL

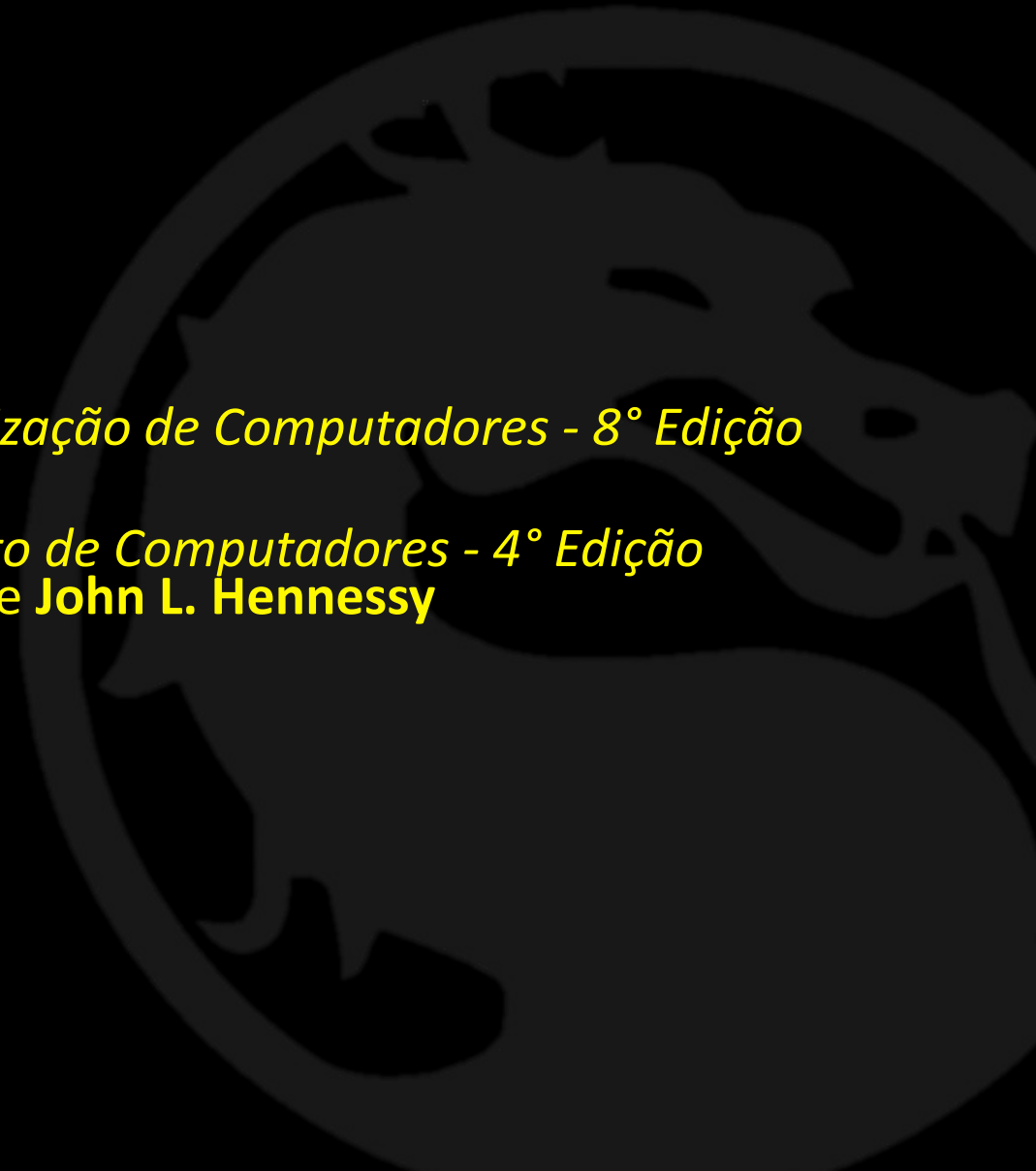
ENDEREÇO	INSTRUÇÃO	BINÁRIO		
		OPCODE	REG 1	REG 2
			ENDEREÇO	
1	li S3 3	1000	11	11
2	Addi S3 3	0001	11	11
3	Li S2 1	1000	10	01
4	Li S0 1	1000	00	01
5	Mul S0 S2	0100	00	10
6	If S2 == S3	1011	10	11
7	Addi S2 1	0001	10	01
8	Bne S2 != S3 jump	1010	0100	
9	Li S0 0	1000	00	00
10	Li S1 0	1000	01	00
11	Li S2 0	1000	10	00

LIMITES DO MK 10

- Dado a pouca quantidade de bits que possuímos, trabalhar com divisão torna-se limitado, por tal fato, optamos por não adicionar;
- Operações de multiplicação possuem um Limite e isso afeta os teste de Fatorial, que só vai até 5!

REFERÊNCIAS

- **Livro:** *Arquitetura e Organização de Computadores* - 8ª Edição
Autor: William Stallings
- **Livro:** *Organização e Projeto de Computadores* - 4ª Edição
Autor: David A. Patterson e John L. Hennessy





MR

FINISH HIM

10