

Sprawozdanie

Ćwiczenie 4

Jan Kwinta, grupa 12

Prowadzący ćwiczenia: dr. Szymon Niedźwiedzki

Data wykonania: 10 maja 2023

Wstęp

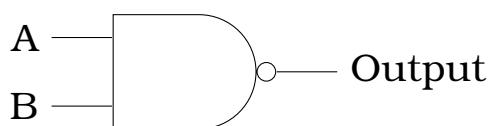
Na czwartych laboratoriach z elektroniki cyfrowej montowaliśmy proste układy cyfrowe przy pomocy układów scalonych TTL (ang. *transistor-transistor logic*). Główną częścią układów TTL są bramki logiczne: w przypadku tego ćwiczenia dwuwejściowe bramki NAND, NOR oraz XOR. Bramki NAND i NOR są najbardziej uniwersalnymi bramkami, za pomocą tylu bramek NAND albo tylko bramek NOR można zbudować układ realizujący dowolną funkcję logiczną algorytmu Boole'a.

NAND

Bramka NAND z wejściami A i B realizuje funkcję NOT-AND, czyli

$$NOT(A AND B)$$

Oznaczenie bramki NAND w schematach układów logicznych:



Tablica prawdy (zależności wartości wartości wyjścia bramki od wartości wejść):

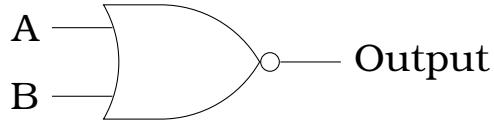
A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

NOR

Bramka NOR z wejściami A i B realizuje funkcję NOT-OR, czyli

$$NOT (A OR B)$$

Oznaczenie bramki NOR w schematach układów logicznych:



Tablica prawdy:

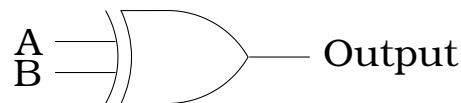
A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

XOR

Bramka XOR (lub EXOR z wejściami A i B realizuje funkcję EXCLUSIVE-OR, czyli

$$(A OR B) AND (NOT (A AND B))$$

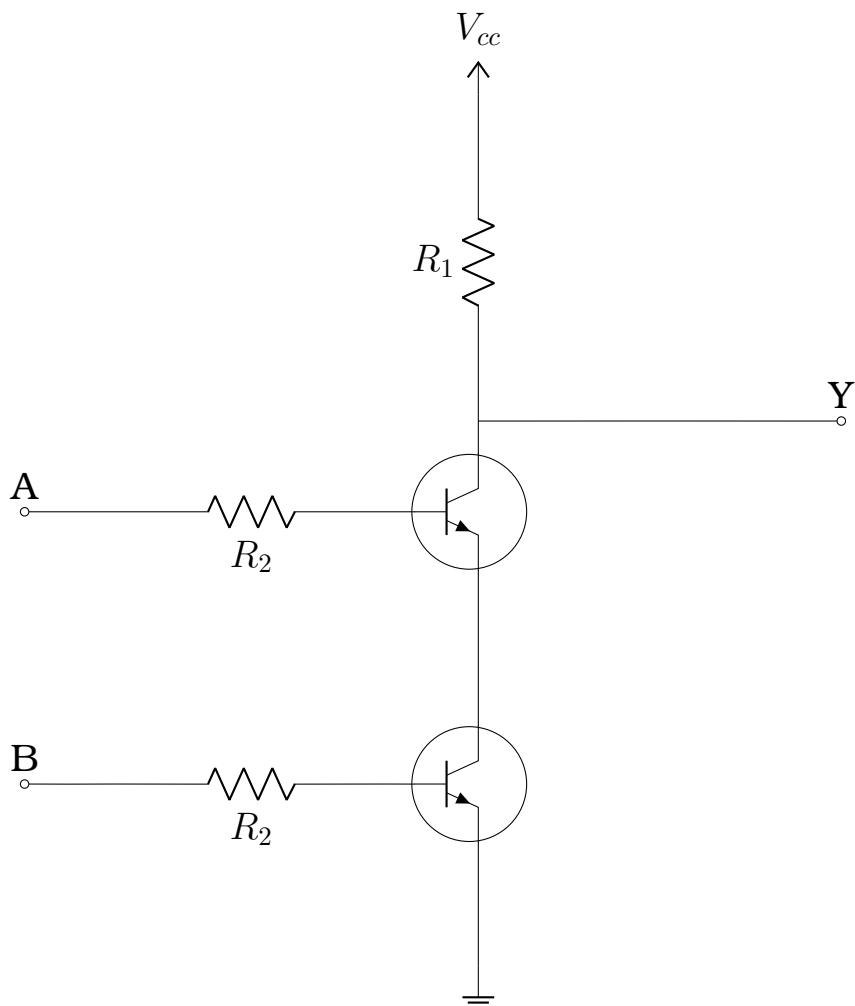
Oznaczenie bramki XOR w schematach układów logicznych:



Tablica prawdy:

A	B	Output
0	0	0
0	1	1
1	0	1
1	1	0

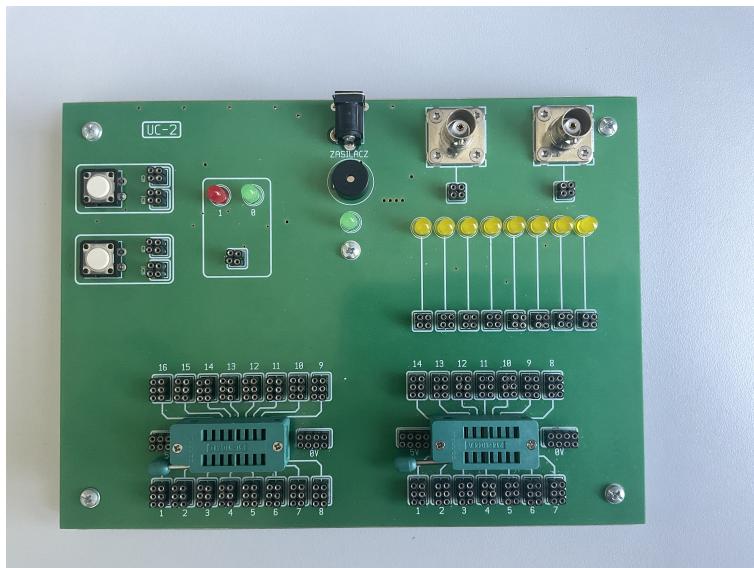
Elektronicznie bramki logiczne realizowane są za pomocą tranzystorów (elementów elektronicznych mogących pełnić rolę przełącznika sterowanego napięciem). Z historycznego punktu widzenia to właśnie użycie półprzewodników do budowy tranzystorów najmocniej pchnęło do przodu rozwój komputerów. Wcześniej układy logiczne budowano przy użyciu lamp próżniowych. Użycie tranzystorów półprzewodnikowych pozwoliło zmniejszyć rozmiary i efektywność bramek logicznych, a co za tym idzie procesorów i układów pamięci. Dla przykładu poniżej zamieszczam schemat bramki NAND realizowanej przy pomocy tranzystorów typu NPN:



Tylko w przypadku, kiedy napięcie będzie podane na obydwa wejścia A i B obydwa tranzystory będą "zamknięte", pozwalając napięciu z zasilania (V_{cc}) płynąć prosto do masy. W innym przypadku napięcie z zasilania jest obserwowane na wyjściu Y.

Ćwiczenie 4.1

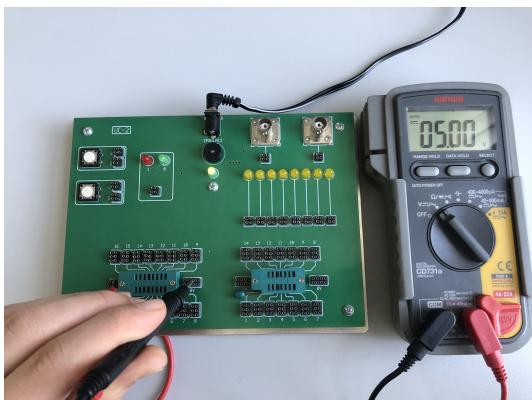
Zapoznanie się z płytą UC-2 do badania układów z scalonych TTL.



Płytkę UC-2.

Na płytce znajdują się dwa impulsatory do wytwarzania sygnałów logicznych, próbnik stanów logicznych (komparator do sprawdzania wartości logicznej sygnału), osiem diod, dwa złącza BNC oraz dwa gniazda na układy scalone: 16-pinowe i 14-pinowe. Obok gniazd znajdują się także piny zasilające (5 V) oraz masy (0 V).

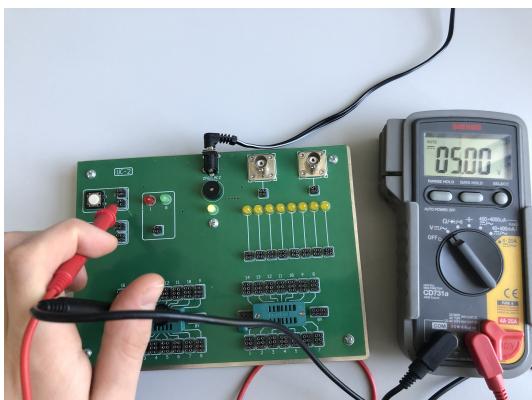
Zmierzyłem napięcia na pinach 5 V oraz na wyjściach impulsatorów. Każdy impulsator ma wyjście Q oraz wyjście zaprzeczone \bar{Q} . Na wyjście Q w stanie domyślnym podane jest 0 V (logiczny stan fałszu - FALSE), a na wyjście \bar{Q} - 5 V (logiczny stan prawdy - TRUE). Naciśnięcie przycisku powoduje zamianę stanów - Q na TRUE i \bar{Q} na FALSE.



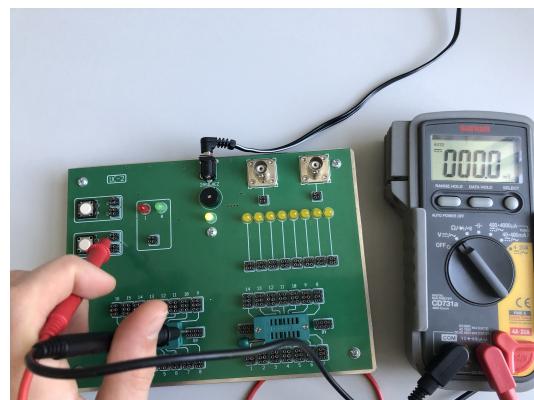
(a) Napięcie 5 V



(b) Napięcie 5 V



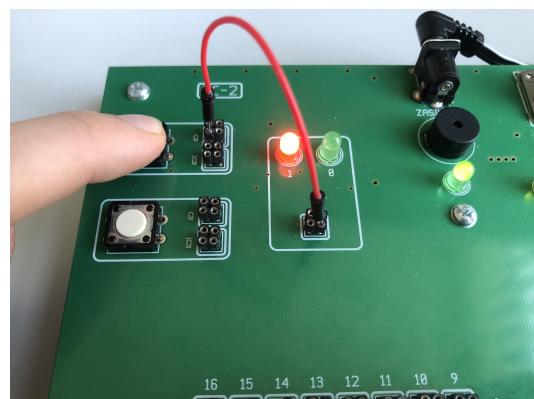
(c) Wyjście \bar{Q} impulsatora



(d) Wyjście Q impulsatora



(e) Sygnał logiczny TRUE na wyjściu Q impulsatora



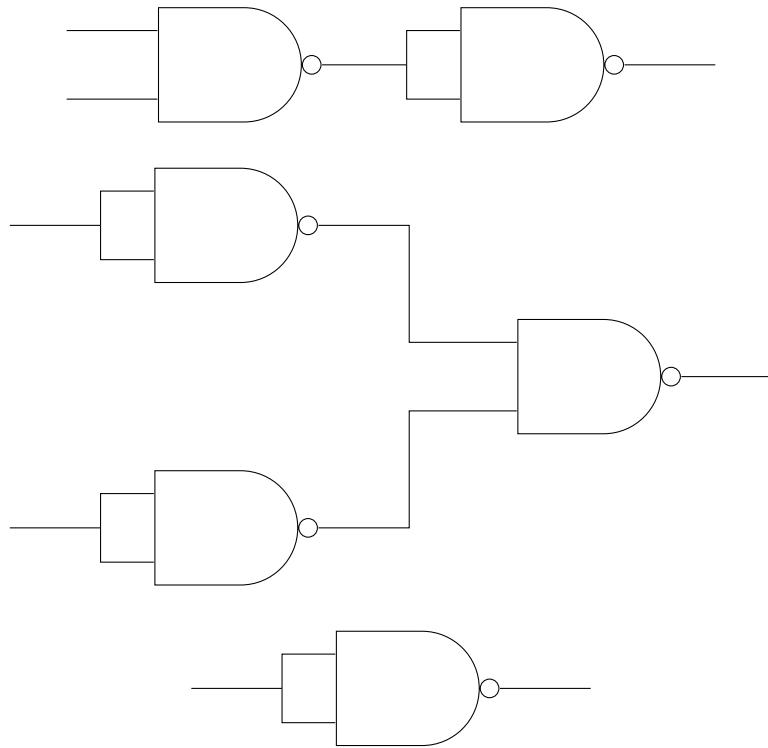
(f) Sygnał logiczny FALSE na wyjściu Q impulsatora

Ćwiczenie 4.2

Zbadanie tablicy logicznej dla bramek logicznych NAND, NOR i XOR mierząc poziomy napięć na ich wyjściach i sprawdzając je próbnikiem stanów logicznych.

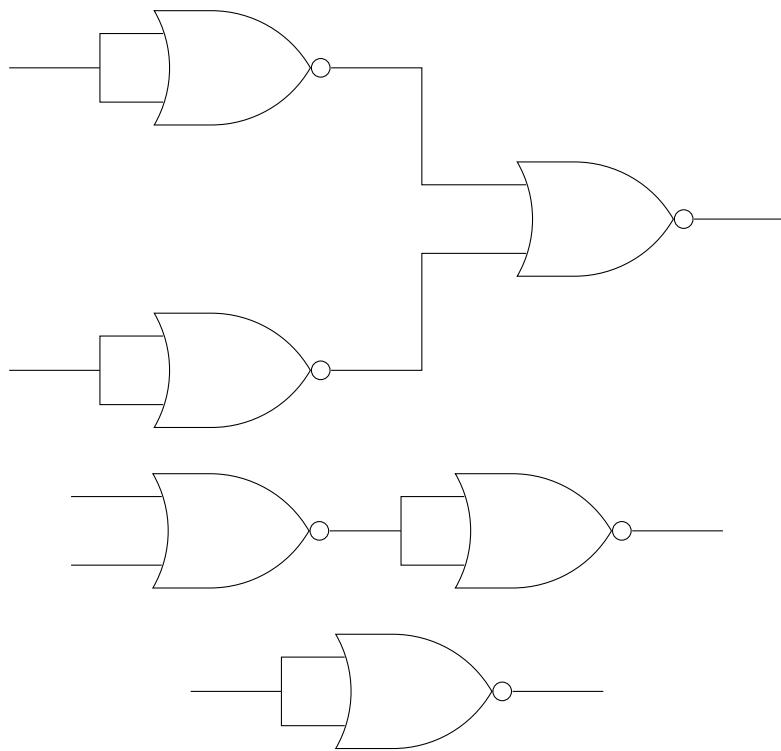
Ćwiczenie 4.3 a)

Używając tylko funkторów NAND zbudowanie układu realizującego sumę logiczną (OR), iloczyn logiczny (AND) oraz negację (NOT), sprawdzając ich tablice logiczne używając próbnika stanów logicznych.



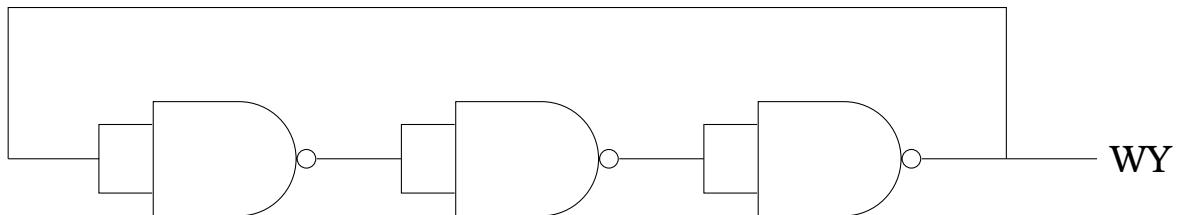
Ćwiczenie 4.3 b)

Używając tylko funkторów NOR zbudowanie układu realizującego sumę logiczną (OR), iloczyn logiczny (AND) oraz negację (NOT), sprawdzając ich tablice logiczne używając próbnika stanów logicznych.



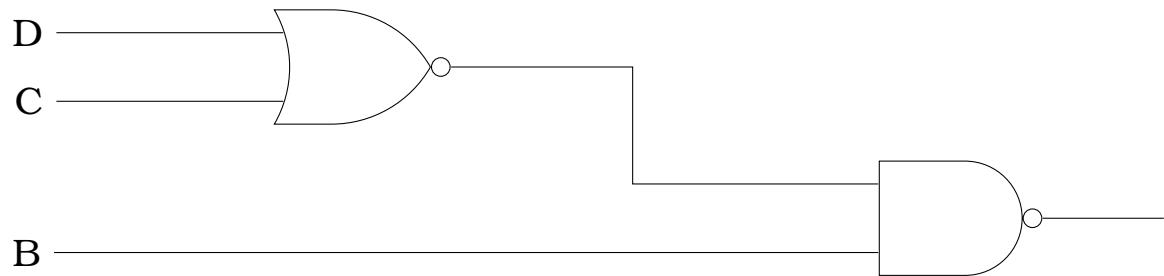
Ćwiczenie 4.4

Zmontowanie generatora zbudowanego z trzech bramek NAND. Zmierzenie średniego czasu propagacji impulsu przez bramkę mierząc okres drgań generatora. Porównać czasy propagacji bramek NAND na układach scalonych serii podstawowej 7400 i bramek z serii szybkiej 74S00.



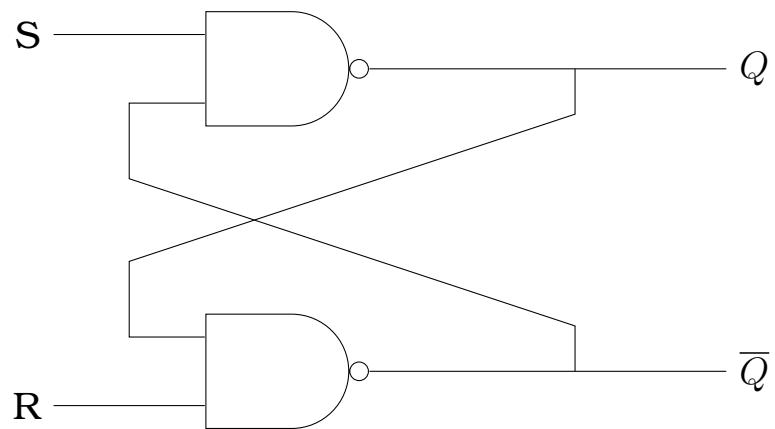
Ćwiczenie 4.5

Zbudowanie układu realizującego funkcję logiczną dla jednego segmentu wyświetlacza 7-segmentowego, którego zadaniem będzie wyświetlanie liczb w systemie ósemkowym.



Ćwiczenie 4.6

Zaprojektowanie i zmontowanie przerzutnika asynchronicznego R-S z funktorów NAND i sprawdzenie tablicy przejść.



Notatki z zeszytu laboratoryjnego

Poniżej załączone są notatki z zeszytu laboratoryjnego, które prowadziliem podczas zajęć wykonując pomiary.

ĆWICZENIE 4

10 MAY

Stacja robocza 1

ZMIERZONE NAPIĘCIE NA PINACH

5.0 V

ZADANIE 2.

NAND

Q_1	Q_2	V	Logiczne
0V	0V	4.16V	1
0V	5V	4.16V	1
5V	0V	4.16V	1
5V	5V	400mV	0

NOR

Q_1	Q_2	V	Logiczne
0V	0V	4.16V	1
0V	5V	400mV	0
5V	0V	320mV	0
5V	5V	320mV	0

XOR

Q_1	Q_2	V	Logique
0V	0V	320mV	0
0V	5V	5.36V	1
5V	0V	5.28V	1
5V	5V	400mV	0

ZADANIE 3.

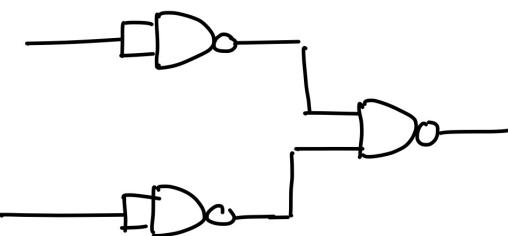
a) Za pomocą
NAND zbudować:

AND



$$Q_1 \xrightarrow{12} \text{Do} \rightarrow 11 \xleftarrow{10} Q_2 \xrightarrow{13} \text{Do} \rightarrow 8$$

OR



$$Q_1 \xleftarrow{12} \text{Do} \rightarrow 11 \rightarrow 10 \rightarrow \text{Do} \rightarrow 8$$

$$Q_2 \xleftarrow{13} \text{Do} \rightarrow 6 \rightarrow 9 \rightarrow \text{Do} \rightarrow 8$$

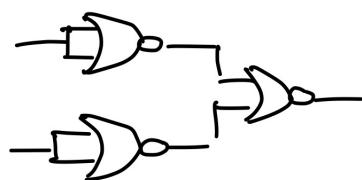
NOT



$$Q \xleftarrow{12} \text{Do} \rightarrow 11$$

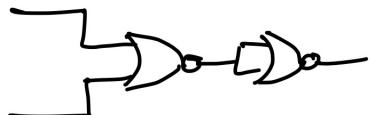
b) Za pomocą
NOR zbudować:

AND



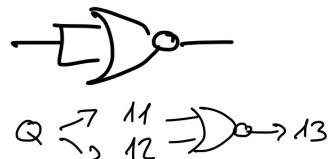
$$\begin{array}{l} Q_1 \xrightarrow[6]{5} \\ Q_2 \xrightarrow[9]{8} \end{array} \Rightarrow \begin{array}{l} 4 \rightarrow 11 \\ 10 \rightarrow 12 \end{array} \Rightarrow \begin{array}{l} 11 \rightarrow 13 \\ 12 \rightarrow 13 \end{array}$$

OR



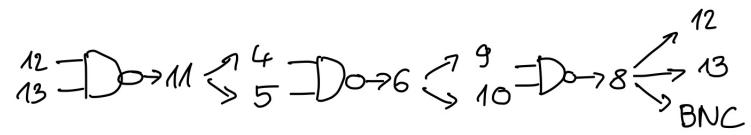
$$\begin{array}{l} Q_1 \xrightarrow[9]{8} \\ Q_2 \xrightarrow[12]{11} \end{array} \Rightarrow \begin{array}{l} 10 \rightarrow 11 \\ 12 \rightarrow 11 \end{array} \Rightarrow \begin{array}{l} 11 \rightarrow 13 \\ 11 \rightarrow 13 \end{array}$$

NOT



$$Q \xrightarrow[12]{11} \Rightarrow 13$$

ZADANIE 4.



Okres drgań

NAND 7400 $T = 60.65 \text{ ns}$

NAND 74S00 $T = 20.02 \text{ ns}$

ZADANIE 5.

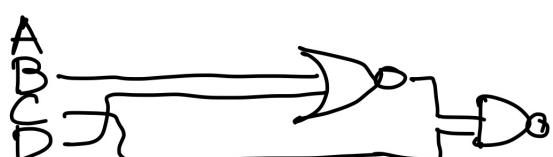
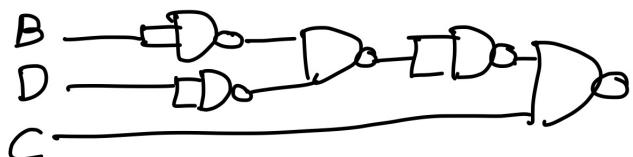
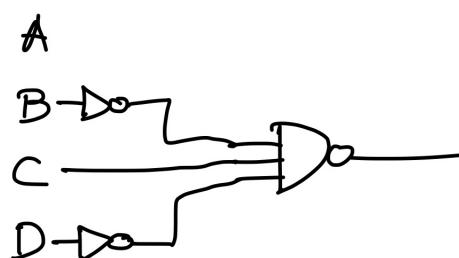
WYSWIETLACZ

7-SEGMENTOWY

segment c

$$(0010)_2 \rightarrow 0$$

$$\text{else } \rightarrow 1$$



ZADANIE 6.

Przerzutnik R-S
asynchroniczny

