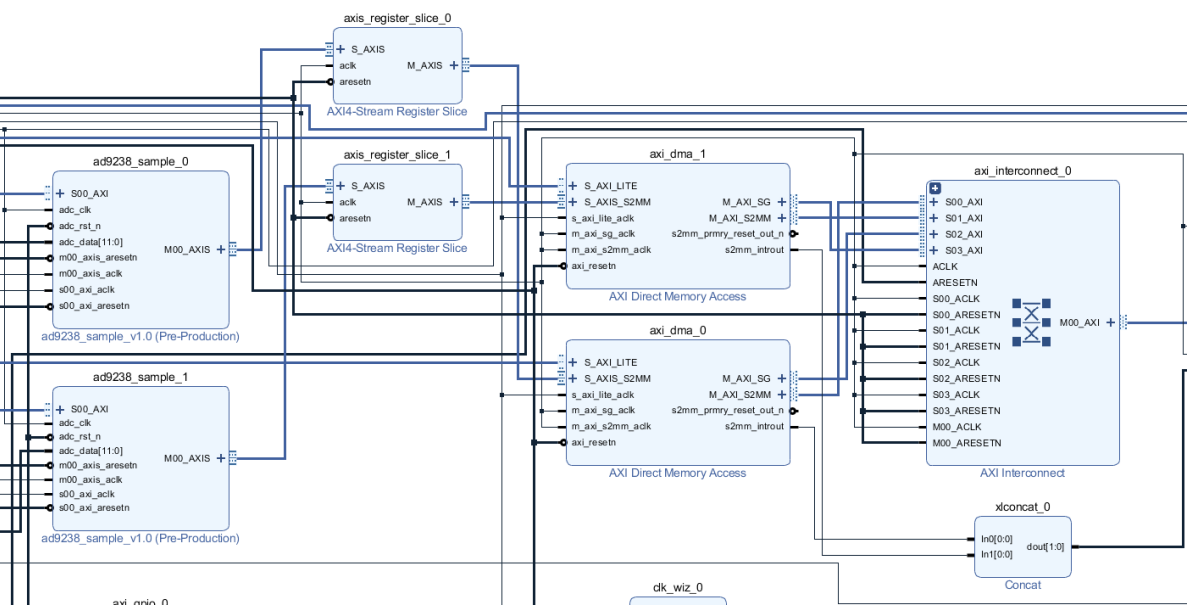


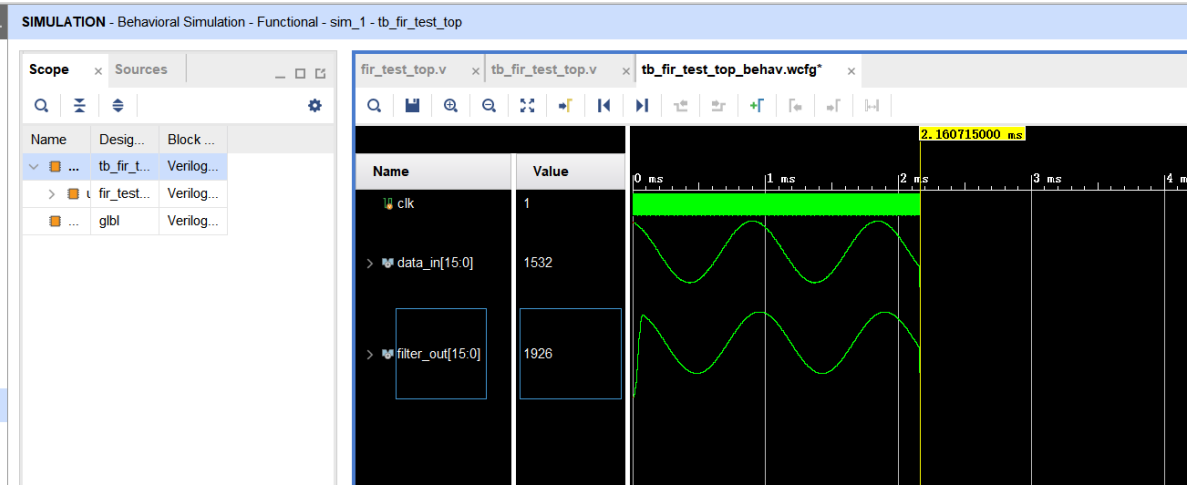
FIR 滤波器

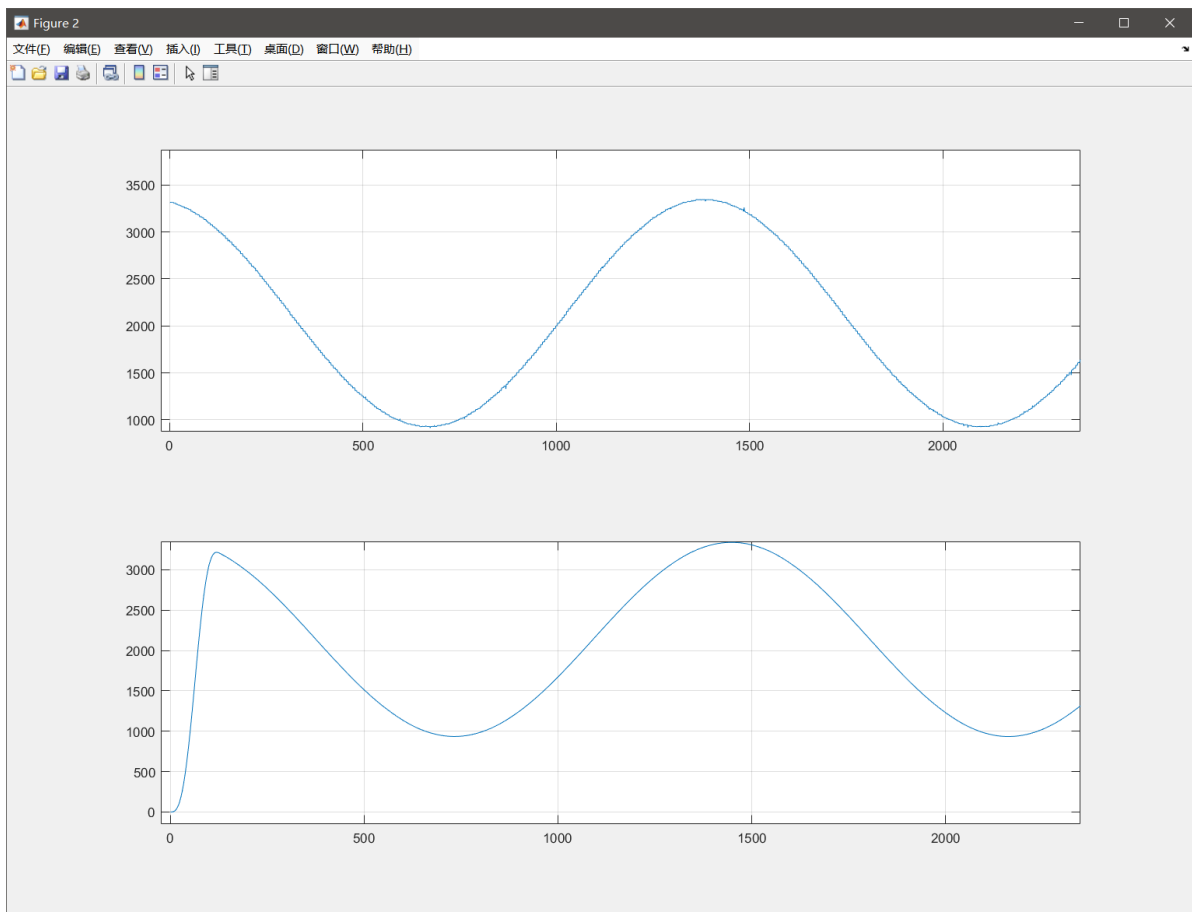
AD采样数据以AXI STREAM 总线连接



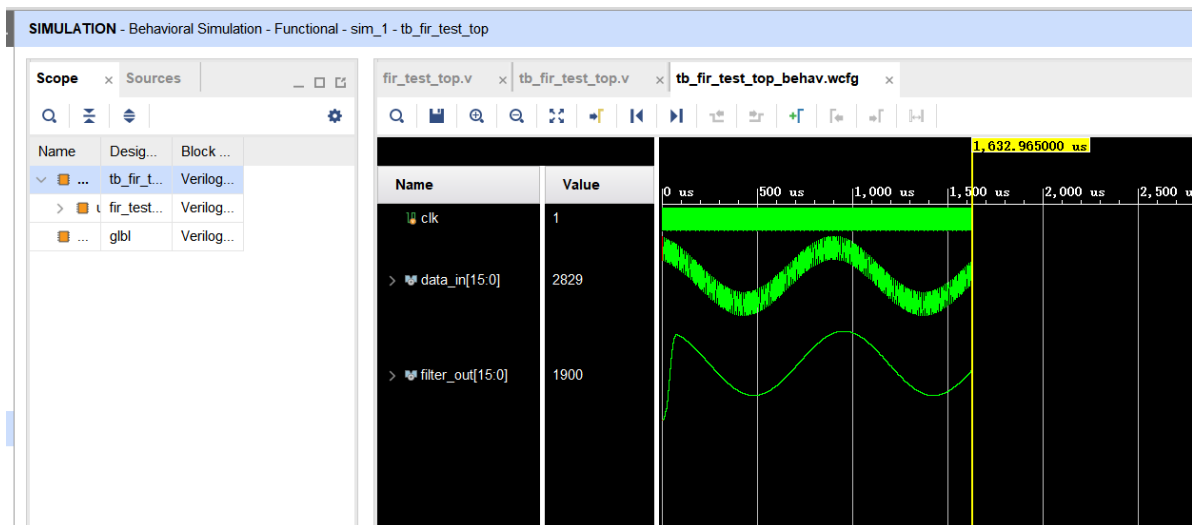
测试滤波输出：

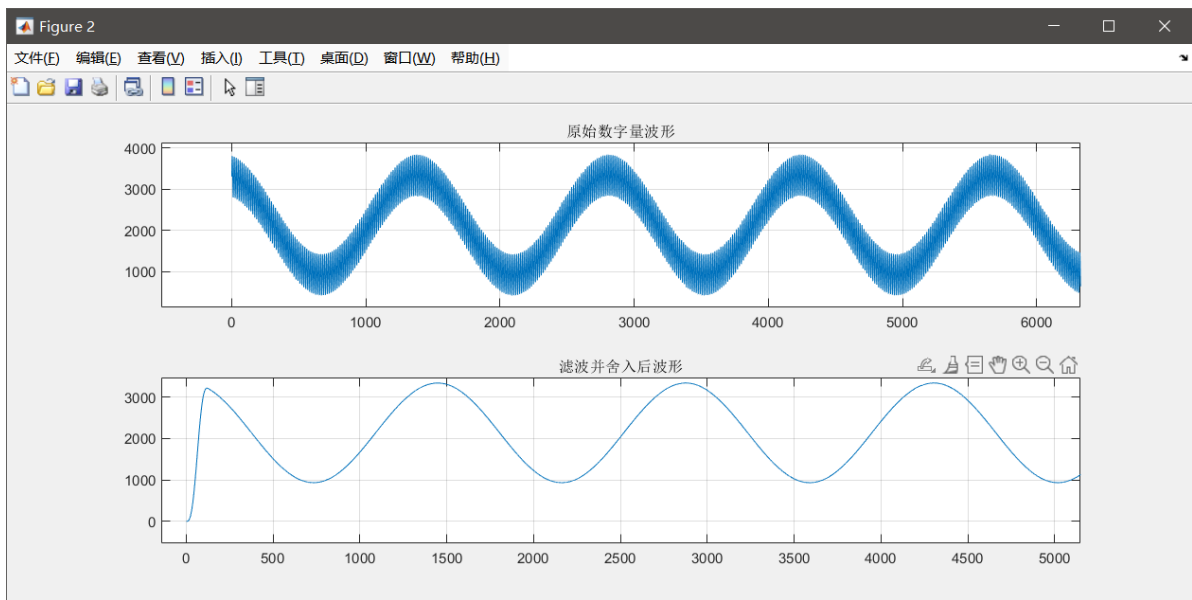
700hz 1024*257点





测试滤除高频：

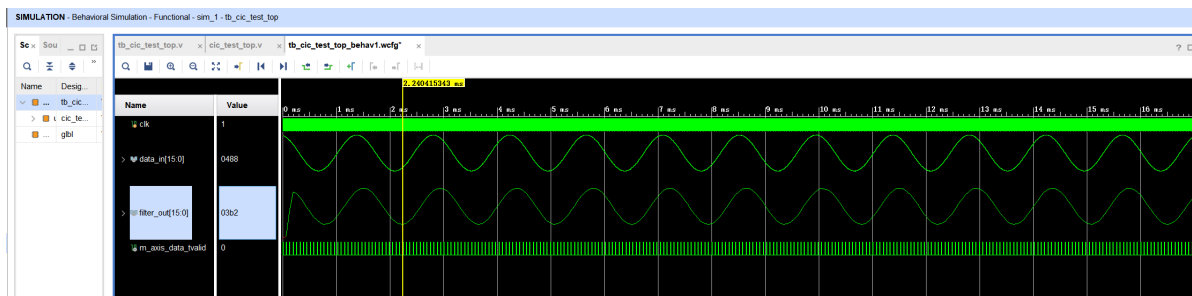
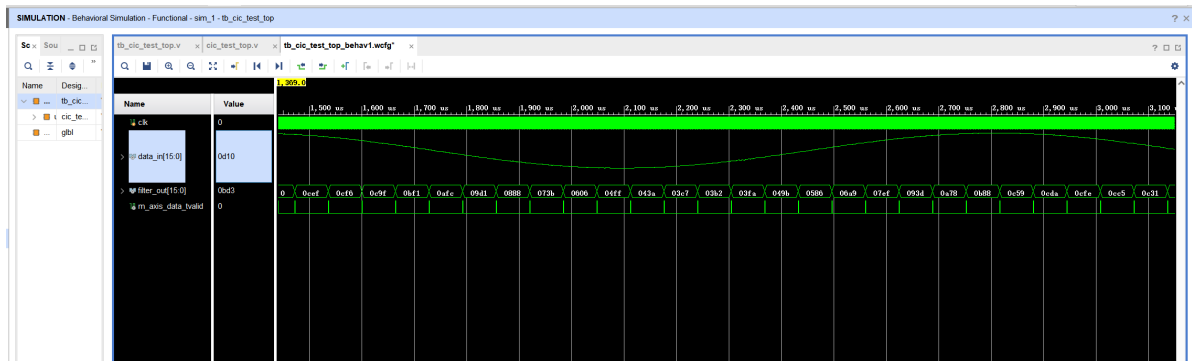




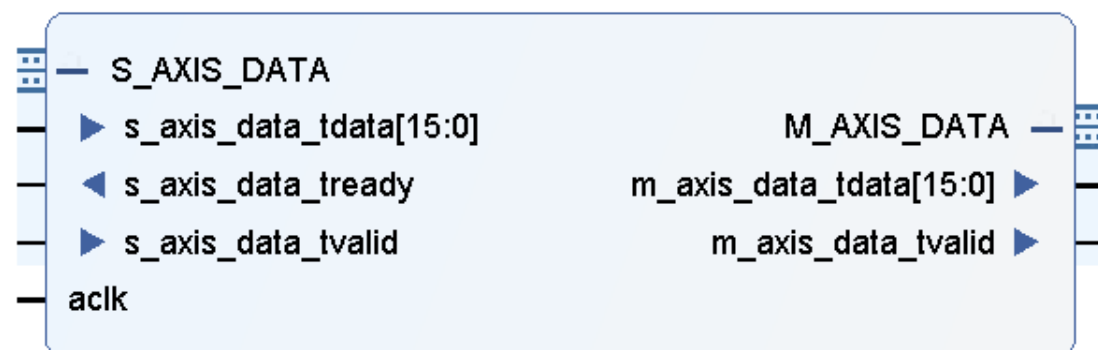
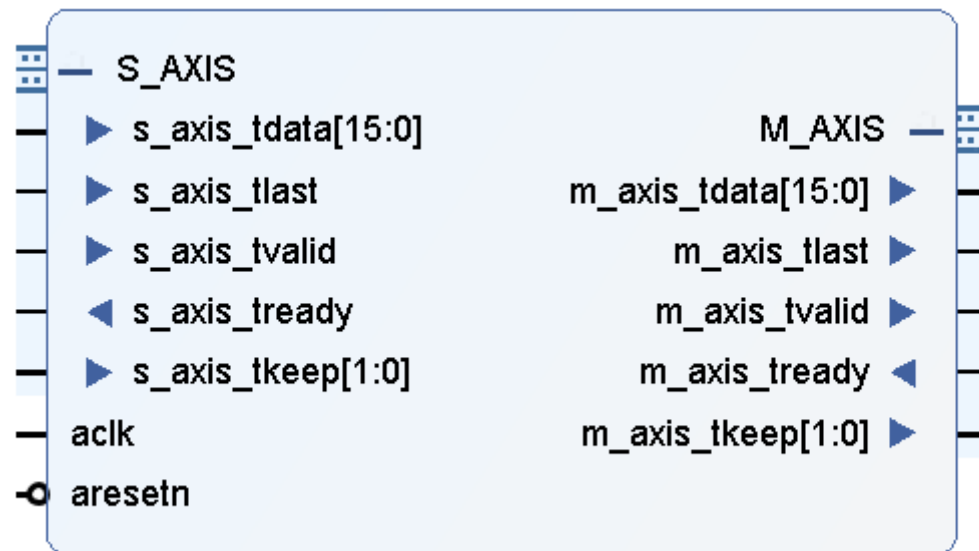
CIC 抽取滤波器

1024*256点 抽取为4096点

700Hz



10Hz

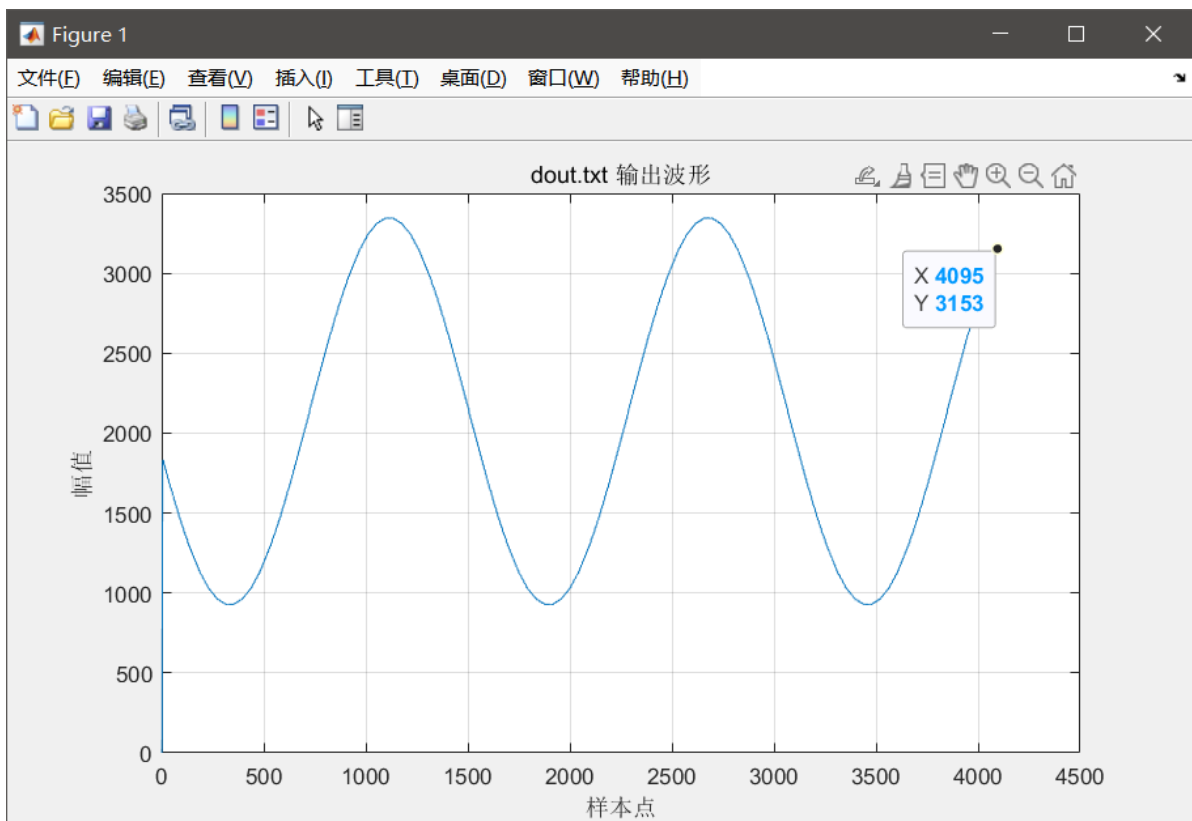
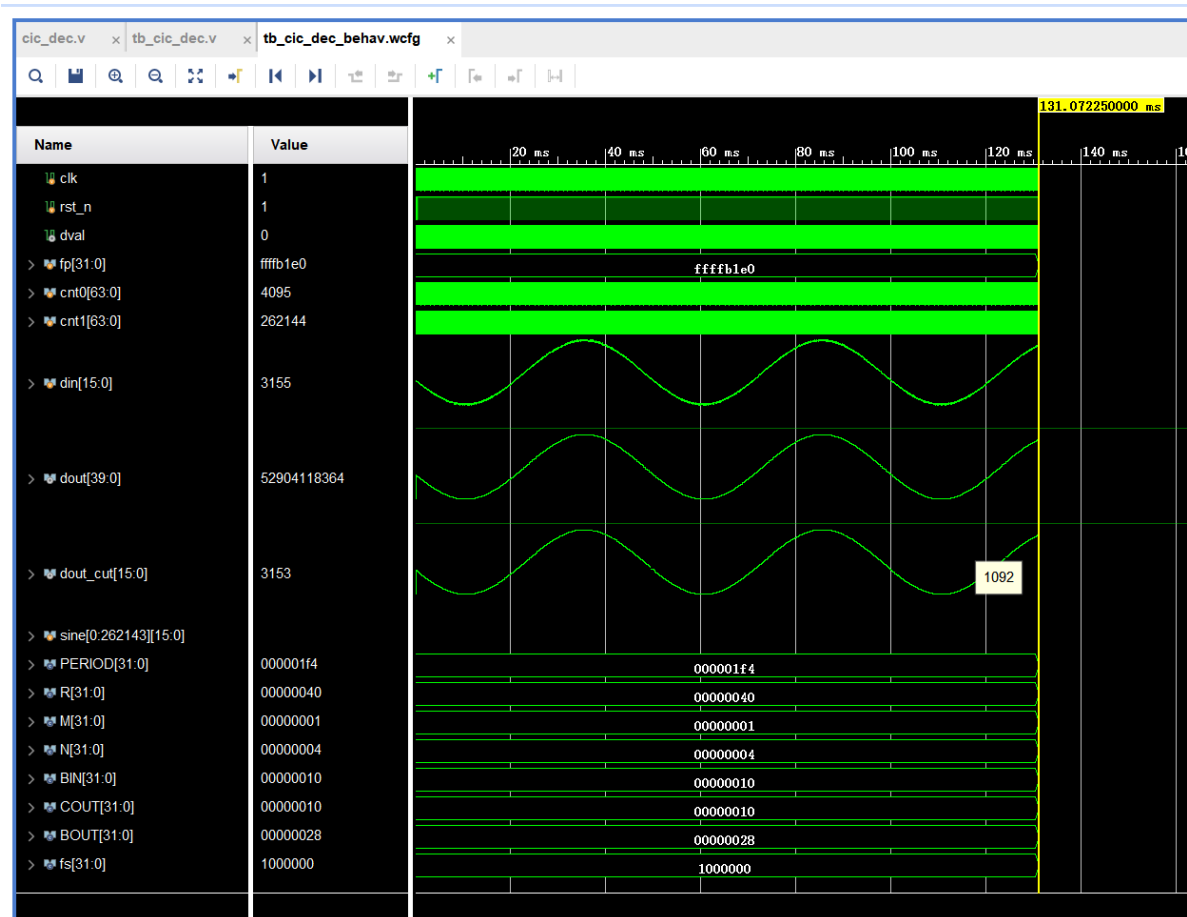


CIC 滤波器（咸鱼） E:\ALINX_Project\CIC_by

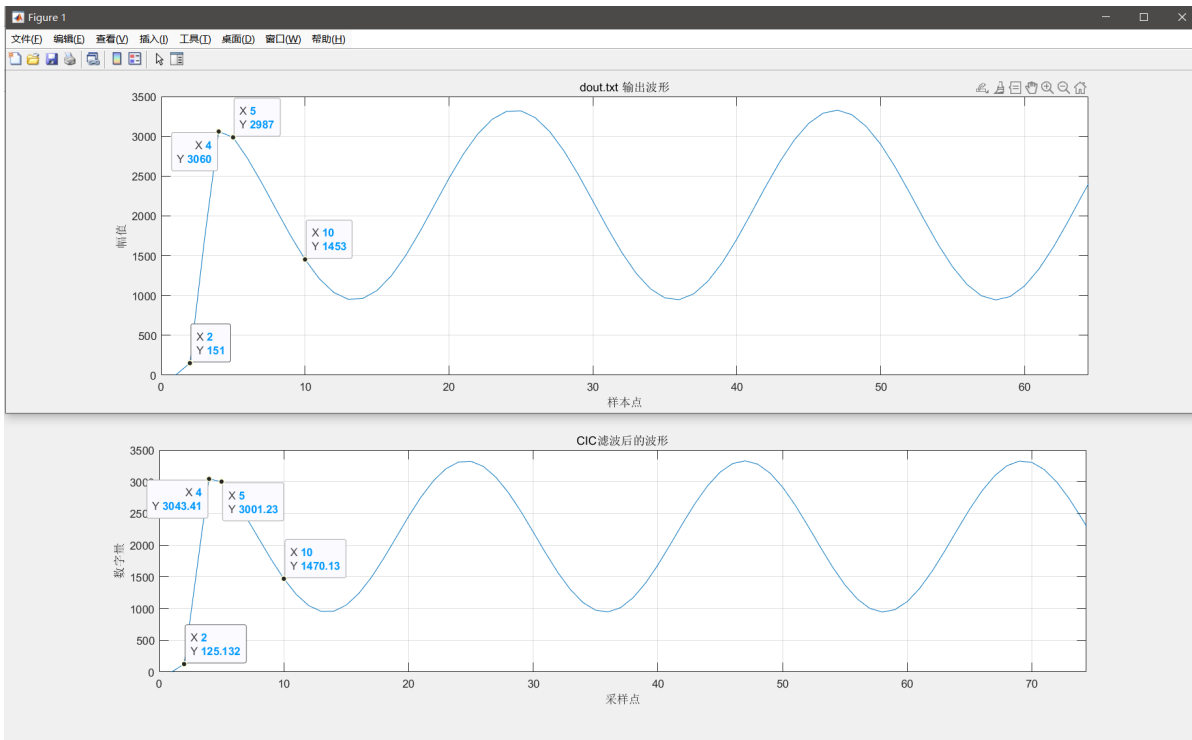
测试降采样 1024*256点 dout输出4096点

```

-----CIC_DEC-----
R   : 64
M   : 1
N   : 4
BIN : 16 bits
BOUT: 40 bits
COUT: 16 bits
cut method      : ROUND
input nyquist freq : 500000 Hz
output nyquist freq: 7812 Hz
cnt0 width      : 6 bits
  
```



同样数据 700Hz 1024*256点 上图为 FPGA CIC模块仿真输出，下图为matlab 设计的CIC滤波器输出，趋势相同，数值问题为，FPGA仿真输出为之间截取（ROUND为四舍五入）16位（便于传输），原始输出应为37位，没有保留完整数值特性，所以有差异，后续可以考虑拓展为32位。ADC采集数据是12位，首位补0拓展为16位便于传输，进入滤波器后，输出32位，结果较精确，



测试滤除高频

10hz 叠加 18khz 1024*256点 dout输出4096点

